(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월04일
(11) 등록번호 10-0886701
(24) 등록일자 2009년02월25일

(51) Int. Cl.
H01L 21/60 (2006.01)
(21) 출원번호 10-2002-0039670
(22) 출원일자 2002년07월09일
심사청구일자 2007년06월15일
(65) 공개번호 10-2004-0006134
(43) 공개일자 2004년01월24일
(56) 선행기술조사문헌
KR100257420 B1
KR1020010017024 A
KR1020010019775 A
전체 청구항 수 : 총 5 항

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
송호욱
경기도이천시부발읍아미리현대3차아파트302동208호
(74) 대리인
강성배

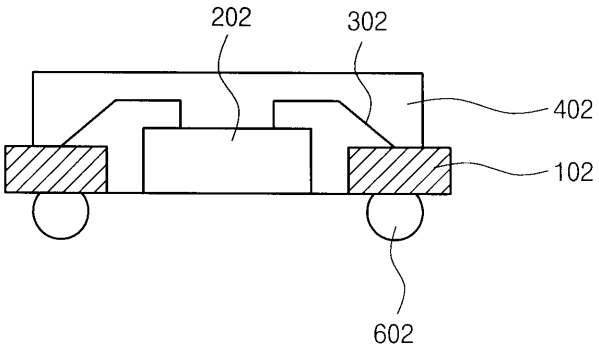
심사관 : 최상원

(54) 에프비지에이 타입으로 반도체 칩을 패키징하는 방법

(57) 요 약

더욱 얇은 패키지 두께와 우수한 열 방출 특성을 제공할 수 있는 반도체 칩패키징 방법이 개시된다. 본 발명은 반도체 칩을 수용할 수 있는 크기의 윈도우를 갖는 인쇄 회로 기판의 제1 면에 테이프를 붙이는 단계와, 상기 인쇄 회로 기판의 제2 면에서 상기 윈도우를 통해 상기 반도체 칩을 상기 테이프에 붙이는 단계와, 상기 제2 면에서 상기 반도체 칩과 상기 인쇄 회로 기판에 대해 와이어 본딩(wire bonding)과 몰딩(molding)을 행하는 단계와, 상기 인쇄 회로 기판의 제1 면에서 상기 테이프를 제거하는 단계와, 상기 테이프가 제거된 인쇄 회로 기판의 제1 면에 솔더볼을 부착하는 단계와, 상기 솔더볼이 부착된 인쇄 회로 기판을 최종 패키지 형태로 절단하는 단계를 포함한다.

대 표 도 - 도6



특허청구의 범위

청구항 1

에프비지에이(FBGA) 타입으로 반도체 칩을 패키징하는 방법에 있어서,

상기 반도체 칩을 수용할 수 있는 크기의 윈도우를 갖는 인쇄 회로 기판의 제1 면에 테이프를 붙이는 단계;

상기 인쇄 회로 기판의 제2 면에서 상기 윈도우를 통해 상기 반도체 칩을 상기 테이프에 붙이는 단계;

상기 제2 면에서 상기 반도체 칩과 상기 인쇄 회로 기판에 대해 와이어 본딩(wire bonding)과 몰딩(molding)을 행하는 단계;

상기 인쇄 회로 기판의 제1 면에서 상기 테이프를 제거하는 단계;

상기 테이프가 제거된 인쇄 회로 기판의 제1 면에 솔더볼을 부착하는 단계; 및

상기 솔더볼이 부착된 인쇄 회로 기판을 최종 패키지 형태로 절단하는 단계;

를 포함하는 것을 특징으로 하는 반도체 칩 패키징 방법.

청구항 2

제 1 항에 있어서,

상기 인쇄 회로 기판은 일정한 크기의 복수의 윈도우를 갖는 것을 특징으로 하는 반도체 칩 패키징 방법.

청구항 3

제 1 항에 있어서,

상기 테이프는 UV 테이프 또는 PVC 테이프인 것을 특징으로 하는 반도체 칩 패키징 방법.

청구항 4

제 3 항에 있어서,

상기 와이어 본딩은 클램프 및 히터 블록의 온도가 150 내지 170℃에서 수행되는 것을 특징으로 하는 반도체 칩 패키징 방법.

청구항 5

제 1 항에 있어서,

상기 몰딩은 에폭시 몰딩 화합물(epoxy molding compound)에 의해 상기 인쇄 회로 기판 전체에 대해 수행되는 것을 특징으로 하는 반도체 칩 패키징 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<7> 본 발명은 반도체 칩 패키징 방법에 관한 것으로서, 특히 에프비지에이(FBGA) 타입으로 반도체 칩을 패키징하는 방법에 관한 것이다.

<8> 오늘날 전자제품은 더욱 소형화, 경량화, 고속화, 다기능화되고 있으며, 이를 가능하게 위해 개발된 새로운 반도체 칩 패키지 기술 중의 하나가 볼 그리드 어레이(Ball Grid Array : 이하, "BGA"라고 함) 방식이다. BGA 패키지는 통상적인 플라스틱 패키지와는 달리 리드프레임(leadframe) 대신에 인쇄 회로 기판을 사용한다. 인쇄 회로 기판은 반도체 칩이 접착되는 면의 반대쪽 전면(全面)을 솔더볼(solder ball)들을 배치할 수 있는 영역으로 제공할 수 있기 때문에 모 기판에 대한 실장 밀도 면에서 유리하다.

<9> 그러나, 인쇄 회로 기판의 크기를 축소하는 데는 근본적으로 한계가 있다. 반도체 칩을 실장하기 위하여 회로 배선이 형성되지 않은 영역을 필요로 하기 때문에 인쇄 회로 기판의 크기는 여전히 반도체 칩의 크기보다 클 수 밖에 없는 것이다. 이러한 한계를 극복하기 위해 제안된 패키지 형태가 소위 칩 스케일 패키지(Chip Scale Package : 이하, "CSP"라고 함)이다.

<10> 칩 스케일 패키지는 최근 몇 년 사이에 미국, 일본, 한국 등의 수십 개의 회사로부터 여러 유형들이 소개되어 왔으며, 현재도 개발이 진행되고 있다. 칩 스케일 패키지는 구조로 분류했을 때 테이프를 사용하는 형태, 세라믹 기판 또는 두꺼운 폴리이미드 기판을 사용하는 형태, 및 리드프레임과 금속 배선 패턴을 사용하는 형태로 크게 분류될 수 있다. 그 중에서 테이프를 사용하는 형태의 칩 스케일 패키지로는 미세 피치 볼 그리드 어레이(Fine Pitch Ball Grid Array : 이하, "FBGA"라고 함) 패키지가 잘 알려져 있다.

<11> FBGA형 패키지에는 반도체 칩의 소자 비형성면이 인쇄 회로 기판을 향하는 타입과, 소자 형성면이 인쇄 회로 기판을 향하는 타입이 있다. 이중 전자는 접착제를 통해 인쇄 회로 기판의 일면에 소자 비형성면이 부착된다. 이로 인해 패키지 전체 두께에 인쇄 회로 기판의 두께가 포함되므로 패키지 전체 두께를 줄이는데 한계가 있다. 또한 반도체 칩 전체가 인쇄 회로 기판 또는 몰딩 재료로 둘러 쌓여 있기 때문에 반도체 칩의 어느 부분도 패키지 외부로 노출되지 않게 되어 열 방출 특성이 불량하다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<12> 본 발명은 이와 같은 문제점을 해결하기 위하여 제안된 것으로서, 기존의 FBGA 타입 패키지에 비해 더욱 얇게 반도체 칩을 패키징하는 방법을 제공하는 것을 일 목적으로 한다.

<13> 또한 본 발명은 열 방출 특성이 우수한 FBGA 타입의 반도체 칩 패키징 방법을 제공하는 것을 다른 목적으로 한다.

발명의 구성 및 작용

<14> 이러한 목적을 이루기 위한 본 발명은 FBGA 타입으로 반도체 칩을 패키징하는 방법에 있어서, 상기 반도체 칩을 수용할 수 있는 크기의 윈도우를 갖는 인쇄 회로 기판의 제1 면에 테이프를 붙이는 단계; 상기 인쇄 회로 기판의 제2 면에서 상기 윈도우를 통해 상기 반도체 칩을 상기 테이프에 붙이는 단계; 상기 제2 면에서 상기 반도체 칩과 상기 인쇄 회로 기판에 대해 와이어 본딩(wire bonding)과 몰딩(molding)을 행하는 단계; 상기 인쇄 회로 기판의 제1 면에서 상기 테이프를 제거하는 단계; 상기 테이프가 제거된 인쇄 회로 기판의 제1 면에 솔더볼을 부착하는 단계; 및 상기 솔더볼이 부착된 인쇄 회로 기판을 최종 패키지 형태로 절단하는 단계;를 포함한다.

<15> 바람직하게는 상기 인쇄 회로 기판은 일정한 크기의 복수의 윈도우를 갖는다. 그리고 상기 테이프는 UV 테이프 또는 PVC 테이프이다. 상기 와이어 본딩은 클램프 및 히터 블록의 온도가 150 내지 170℃에서 수행되며, 상기 몰딩은 에폭시 몰딩 화합물(epoxy molding compound)에 의해 상기 인쇄 회로 기판 전체에 대해 수행된다.

<16> 이와 같은 본 발명의 구성에 의하면 종래와 같이 인쇄 회로 기판 위에 반도체 칩이 위치하는 것이 아니라, 인쇄 회로 기판의 윈도우 내에 반도체 칩이 위치하므로 기존의 FBGA 타입 패키지에 비해 인쇄 회로 기판의 두께만큼 전체 반도체 칩 패키지를 얇게 할 수 있다. 또한 인쇄 회로 기판의 윈도우를 막고 있던 테이프를 제거함에 따라 반도체 칩의 회로 비형성면이 패키지 외부로 노출되므로 본 발명에 의한 반도체 칩 패키지는 열 방출 특성에 있어서 매우 우수하다.

<17> 이하, 첨부된 도면을 참조하여 본 발명의 일 실시예를 상세히 설명한다. 설명의 일관성을 위하여 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소 및 신호를 가리키는 것으로 사용한다.

<18> 도 1은 본 발명의 일 실시예에 의한 테이프 부착 공정을 설명하는 도면으로서, 도 1a는 측면도이고, 도 1b는 평면도이다. 도 1에 도시되어 있는 바와 같이 인쇄 회로 기판(102)은 일정한 크기의 윈도우(106)를 복수개 구비하고 있으며, 테이프(104)는 인쇄 회로 기판(102) 중에서 솔더볼 랜드(solder ball land)가 있는 후면에 부착된다.

<19> 인쇄 회로 기판(102)은 물리적/화학적으로 안정된 물성의 수지와 구리 패턴과 솔더볼 랜드로 이루어진다. 구리 패턴은 인쇄 회로 기판(102)의 전면(前面)에 형성되고, 솔더볼 랜드는 후면(後面)에 형성된다. 테이프(104)는 기본적으로 접착제와 베이스 필름의 2층 구조를 이루는데, 접착제는 적정 접착력을 유지할 수 있게 하며, 베이스 필름은 UV 또는 PVC 재질로 되어 있다.

<20> 도 2는 본 발명의 일 실시예에 의한 칩 부착 공정을 설명하는 도면으로서, 도 2a는 하나의 윈도우에 대한 측면도이고, 도 2b는 전체 인쇄 회로 기판에 대한 평면도이다. 반도체 칩(202)은 테이프(104)를 이용하여 인쇄 회로 기판(102)의 윈도우(106) 내에 부착된다. 테이프(104)에 도포된 접착제가 반도체 칩(202)을 지지 및 고정한다. 윈도우(106)는 당연히 반도체 칩(202)을 수용(收容)할 수 있을 정도의 크기를 가진다.

<21> 도 3은 본 발명의 일 실시예에 의한 와이어 본딩(wire bonding) 공정을 설명하는 도면으로서, 도 3a는 하나의 윈도우에 대한 측면도이고, 도 3b는 두 윈도우에 대한 평면도이다. 본딩 와이어(302)로는 금(gold)을 사용한다. 본딩 와이어(302)는 반도체 칩 상의 소정 위치와 인쇄 회로 기판(102)의 구리 패턴을 전기적으로 연결하는 역할을 한다. 와이어 본딩시에 테이프(104)의 특성을 감안하여 클램프(clamp) 및 히터 블록(heater block)의 온도를 150 내지 170℃ 정도로 설정한다.

<22> 도 4는 본 발명의 일 실시예에 의한 몰딩 공정을 설명하는 도면으로서, 도 4a는 하나의 윈도우에 대한 측면도이고, 도 4b는 전체 인쇄 회로 기판에 대한 평면도이다. 도 3에 도시되어 있는 바와 같은 와이어 본딩 공정 이후에 플라즈마 세정(plasma cleaning)을 하고, 이후에 에폭시 몰딩 화합물(epoxy molding compound)(402)을 이용하여 인쇄 회로 기판(102) 전체 면에 대해 몰딩 공정을 수행한다. 몰딩 공정은 인쇄 회로 기판(102)에서 테이프(104)가 부착된 후면(後面)의 반대면인 전면(前面)에서 반도체 칩(202)과 인쇄 회로 기판에 대해 수행된다. 이때 에폭시 몰딩 화합물(402)은 특성상 테이프(104)와의 접착력이 타 소재와의 접착력에 비해 현저히 낮다. 플라즈마 세정 공정은 필요에 따라 선택적이다.

<23> 도 5는 본 발명의 일 실시예에 의한 테이프 제거 공정을 설명하는 도면으로서, 도 5a는 하나의 윈도우에 대한 측면도이고, 도 5b는 전체 인쇄 회로 기판에 대한 측면도이다. 포스트 몰드 경화(post mold cure) 이전 또는 이후에 인쇄 회로 기판(102)의 후면에 부착되어 있는 테이프(104)를 제거한다.

<24> 도 6은 본 발명의 일 실시예에 의한 솔더볼 부착 공정을 설명하는 도면으로서, 하나의 윈도우에 대한 측면도이다. 도 5에 도시되어 있는 바와 같이 인쇄 회로 기판(102)의 후면에 부착되어 있는 테이프(104)를 제거한 후에는 솔더볼(602)을 부착하고, 이후에 리플로우 플럭스 세정(reflow flux cleaning)을 진행한다. 다음에는 하나의 칩마다 단위화(singulation)를 진행하여 최종 패키지 형태로 완성한다. 이러한 과정을 통해 볼 높이가 최대 0.300㎜이고, 인쇄 회로 기판의 두께가 최대 0.180㎜이며, 몰드 몸체의 높이가 최대 0.220㎜인 패키지를 제조할 수 있다.

<25> 여기서 설명된 실시예들은 본 발명을 당업자가 용이하게 이해하고 실시할 수 있도록 하기 위한 것일 뿐이며, 본 발명의 범위를 한정하려는 것은 아니다. 따라서 당업자들은 본 발명의 범위 안에서 다양한 변형이나 변경이 가능함을 주목하여야 한다. 본 발명의 범위는 원칙적으로 후술하는 특허청구범위에 의하여 정하여진다.

발명의 효과

<26> 이와 같은 본 발명의 구성에 의하면 종래와 같이 인쇄 회로 기판 위에 반도체 칩이 위치하는 것이 아니라, 인쇄 회로 기판의 윈도우 내에 반도체 칩이 위치하므로 기존의 FBGA 타입 패키지에 비해 인쇄 회로 기판의 두께만큼 전체 반도체 칩 패키지를 1.0㎜ 이하의 두께로 만들 수 있다. 또한 인쇄 회로 기판의 윈도우를 막고 있던 테이프를 제거함에 따라 반도체 칩의 회로 비형성면이 패키지 외부로 노출되므로 본 발명에 의한 반도체 칩 패키지는 열 방출 특성에 있어서 매우 우수하다. 또한 반도체 칩 패키지의 구조가 간단하여 패키징 공정이 단순하고 품질 및 생산성이 우수할 뿐만 아니라 가격 경쟁력이 높다는 이점 또한 가지고 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 의한 테이프 부착 공정을 설명하는 도면.

<2> 도 2는 본 발명의 일 실시예에 의한 칩 부착 공정을 설명하는 도면.

<3> 도 3은 본 발명의 일 실시예에 의한 와이어링 공정을 설명하는 도면.

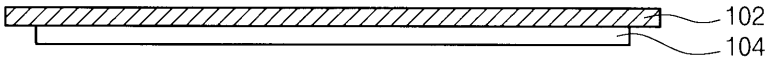
<4> 도 4는 본 발명의 일 실시예에 의한 몰딩 공정을 설명하는 도면.

<5> 도 5는 본 발명의 일 실시예에 의한 테이프 제거 공정을 설명하는 도면.

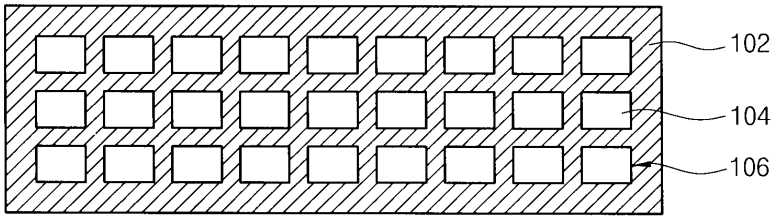
<6> 도 6은 본 발명의 일 실시예에 의한 솔더볼 부착 공정을 설명하는 도면.

도면

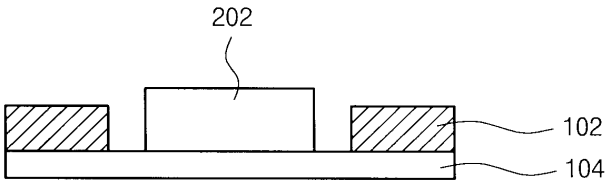
도면1a



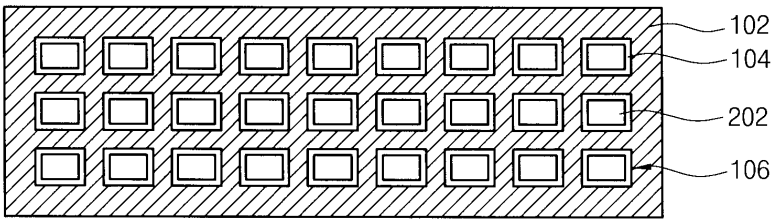
도면1b



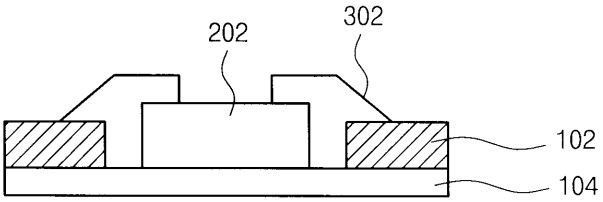
도면2a



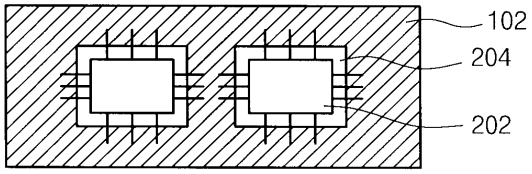
도면2b



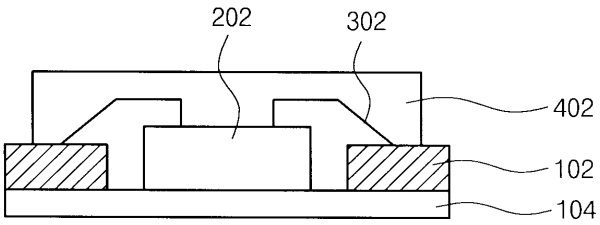
도면3a



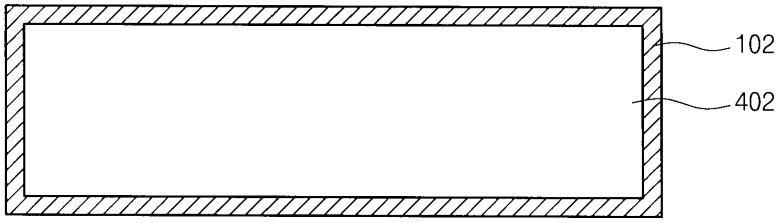
도면3b



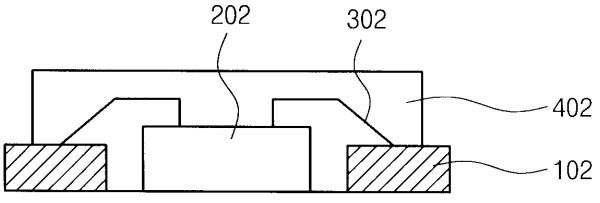
도면4a



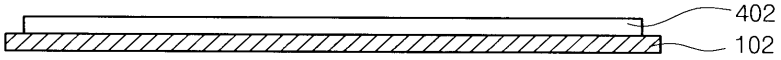
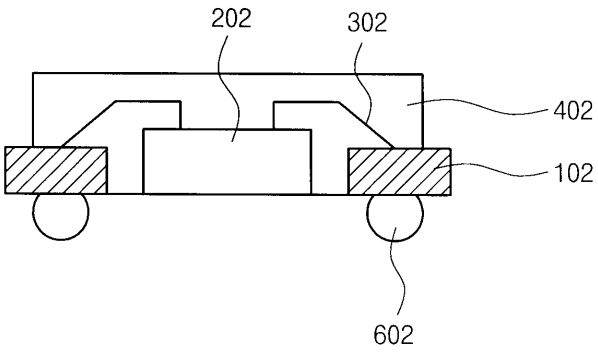
도면4b



도면5a



도면5b



도면6