



(12) 发明专利申请

(10) 申请公布号 CN 105428265 A

(43) 申请公布日 2016. 03. 23

(21) 申请号 201510558038. 5

(51) Int. Cl.

(22) 申请日 2015. 09. 02

H01L 21/60(2006. 01)

(30) 优先权数据

2014-185708 2014. 09. 11 JP

(71) 申请人 株式会社吉帝伟士

地址 日本大分县臼杵市

(72) 发明人 松原宽明 近井智哉 石堂仁则

中村卓 本多广一 出町浩

熊谷欣一 作元祥太郎 渡边真司

细山田澄和 中村慎吾 宫腰武

岩崎俊宽 玉川道昭

(74) 专利代理机构 北京弘权知识产权代理事务

所(普通合伙) 11363

代理人 郭放 许伟群

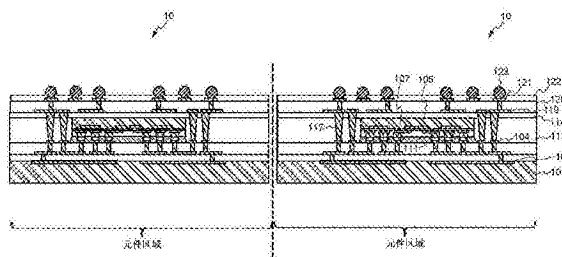
权利要求书3页 说明书14页 附图36页

(54) 发明名称

半导体装置的制造方法

(57) 摘要

本发明的半导体装置的制造方法包括:准备形成有电极的半导体晶片,经由凸块将形成于半导体晶片的第一半导体元件与半导体晶片的电极电连接;连接半导体晶片与半导体芯片之前或之后,在相互对置的半导体晶片与半导体芯片的间隙形成第一绝缘树脂层;在半导体晶片上以直至达到掩埋半导体芯片的厚度的方式形成第二绝缘树脂层;研磨第二绝缘树脂层和半导体芯片直至半导体芯片达到规定的厚度;在第二绝缘树脂层上和半导体芯片上形成第一绝缘层,在第一绝缘层和第二绝缘树脂层形成使电极露出的开口部;用导电性材料掩埋开口部;在第一绝缘层上形成与掩埋开口部的导电性材料相连接的布线;形成与布线电连接的第一端子;以及将半导体晶片研磨成规定的厚度。



1. 一种半导体装置的制造方法,其特征在于,包括以下步骤:

准备形成有电极的半导体晶片,并经由凸块将形成于半导体芯片的第一半导体元件与上述半导体晶片的上述电极电连接;

在连接上述半导体晶片与上述半导体芯片之前或之后,在相互对置的上述半导体晶片与上述半导体芯片的间隙形成第一绝缘树脂层;

在上述半导体晶片上,以直至达到掩埋上述半导体芯片的厚度为止的方式形成第二绝缘树脂层;

对上述第二绝缘树脂层和上述半导体芯片进行研磨,直至上述半导体芯片达到规定的厚度为止;

在上述第二绝缘树脂层上和上述半导体芯片上形成第一绝缘层,并在上述第一绝缘层和上述第二绝缘树脂层中形成用于使上述电极露出的开口部;

用导电性材料掩埋上述开口部;

在上述第一绝缘层上形成与掩埋了上述开口部的导电性材料相连接的布线;

形成与上述布线电连接的第一端子;以及

将上述半导体晶片研磨成规定的厚度,

其中,将上述半导体晶片研磨成规定的厚度是指对上述半导体晶片进行研磨,直至达到完工厚度为止。

2. 根据权利要求 1 所述的半导体装置的制造方法,其特征在于,上述半导体晶片具有形成有第二半导体元件的多个元件区域。

3. 根据权利要求 2 所述的半导体装置的制造方法,其特征在于,将上述多个元件区域的一个元件区域与多个上述半导体芯片相连接。

4. 根据权利要求 1 至 3 中任一项所述的半导体装置的制造方法,其特征在于,还包括以下步骤:

在上述半导体晶片上形成一端部与上述第二半导体元件电连接的掩埋电极;

在形成上述第一端子之后,对上述半导体晶片进行研磨,直至上述掩埋电极的另一端部的近前为止;

使上述掩埋电极的另一端部露出;以及

形成与露出的上述掩埋电极的另一端部电连接的第二端子。

5. 根据权利要求 1 所述的半导体装置的制造方法,其特征在于,还包括以下步骤:

在将上述电极与上述第一半导体元件凸块连接之前,沿着上述元件区域的边界线,在上述半导体晶片上形成宽度比划片宽度宽且深度在上述完工厚度以上的槽;以及

在对上述半导体晶片进行研磨直至达到上述完工厚度之后,将上述半导体晶片单片化,

其中,上述单片化是指沿着形成于上述半导体晶片的上述槽,以比上述槽窄的划片宽度将上述半导体晶片单片化。

6. 根据权利要求 4 所述的半导体装置的制造方法,其特征在于,还包括以下步骤:

在将上述电极与上述第一半导体元件凸块连接之前,沿着上述元件区域的边界线,在上述半导体晶片上形成宽度比划片宽度宽且深度在上述完工厚度以上的槽;以及

在对上述半导体晶片进行研磨直至达到上述完工厚度之后,将上述半导体晶片单片

化，

其中，上述单片化是指沿着形成于上述半导体晶片的上述槽，以比上述槽窄的划片宽度将上述半导体晶片单片化。

7. 一种半导体装置的制造方法，其特征在于，包括以下步骤：

准备形成有电极的半导体晶片，并准备形成有第一半导体元件且具有与上述第一半导体元件电连接的第一掩埋电极的第一半导体芯片；

经由第一凸块将上述第一半导体芯片的上述第一半导体元件与上述半导体晶片的上述电极电连接；

在连接上述半导体晶片与上述第一半导体芯片之前或之后，在相互对置的上述半导体晶片与上述第一半导体芯片的间隙中形成第一绝缘树脂层；

在上述半导体晶片上，以直至达到掩埋上述第一半导体芯片的厚度的方式形成第二绝缘树脂层；

对上述第二绝缘树脂层和上述第一半导体芯片进行研磨，直至上述第一掩埋电极的另一端部的近前为止；

使上述第一掩埋电极的上述另一端部露出；

在上述第一半导体芯片上形成用于覆盖上述第一掩埋电极的上述另一端部的第一绝缘层；

在上述第一绝缘层上形成经由接触孔与上述第一掩埋电极的上述另一端部相连接的端子；

经由第二凸块将上述端子与形成于第二半导体芯片的第二半导体元件电连接；

在连接上述端子与上述第二半导体芯片之前或之后，在相互对置的上述端子和上述第一绝缘层与上述第二半导体芯片的间隙中形成第三绝缘树脂层；

在上述第一绝缘层上，以直至达到掩埋上述第二半导体芯片的厚度为止的方式形成第四绝缘树脂层；

对上述第四绝缘树脂层和上述第二半导体芯片进行研磨，直至上述第二半导体芯片达到规定的厚度为止；

在上述第四绝缘树脂层上和上述第二半导体芯片上形成第二绝缘层；

在上述第二绝缘层、上述第四绝缘树脂层、上述第一绝缘层以及上述第二绝缘树脂层形成用于使形成于上述半导体晶片的上述电极露出的开口部；

用导电性材料掩埋上述开口部；

在上述第二绝缘层上形成与掩埋上述开口部的导电性材料相连接的布线，

形成与上述布线电连接的第一端子；以及

将上述半导体晶片研磨成规定的厚度，

其中，将上述半导体晶片研磨成规定的厚度是指对上述半导体晶片进行研磨直至达到完工厚度为止。

8. 根据权利要求 7 所述的半导体装置的制造方法，其特征在于，上述半导体晶片具有形成有第三半导体元件的多个元件区域。

9. 根据权利要求 8 所述的半导体装置的制造方法，其特征在于，将上述多个元件区域的一个元件区域与多个上述第一半导体芯片相连接。

10. 根据权利要求 9 所述的半导体装置的制造方法,其特征在于,还包括以下步骤:

经由上述第一凸块将形成于上述半导体晶片的一个元件区域的上述电极与形成于至少一个第三半导体芯片的第四半导体元件电连接的步骤。

11. 根据权利要求 7 至 10 中任一项所述的半导体装置的制造方法,其特征在于,还包括以下步骤:

在上述半导体晶片上形成一端部与上述第三半导体元件电连接的第二掩埋电极;

在形成上述第一端子之后,对上述半导体晶片进行研磨,直至上述第二掩埋电极的另一端部的近前为止;

使上述第二掩埋电极的另一端部露出;以及

形成与露出的上述第二掩埋电极的另一端部电连接的第二端子。

12. 根据权利要求 7 所述的半导体装置的制造方法,其特征在于,还包括以下步骤:

在将上述电极与上述第一掩埋电极的一端部凸块连接之前,沿着上述元件区域的边界线,在上述半导体晶片上形成宽度比划片宽度宽且深度在上述完工厚度以上的槽;以及

在对上述半导体晶片进行研磨直至达到上述完工厚度之后,将上述半导体晶片单片化,

其中,上述单片化是指沿着形成于上述半导体晶片的上述槽以比上述槽窄的划片宽度将上述半导体晶片单片化。

13. 根据权利要求 11 所述的半导体装置的制造方法,其特征在于,还包括以下步骤:

在将上述电极与上述第一掩埋电极的一端部凸块连接之前,沿着上述元件区域的边界线,在上述半导体晶片上形成宽度比划片宽度宽且深度在上述完工厚度以上的槽;以及

在对上述半导体晶片进行研磨直至达到上述完工厚度之后,将上述半导体晶片单片化,

其中,上述单片化是指沿着形成于上述半导体晶片的上述槽以比上述槽窄的划片宽度将上述半导体晶片单片化。

半导体装置的制造方法

技术领域

[0001] 本发明涉及半导体装置的制造方法。尤其涉及包括薄型半导体层叠结构的半导体模块的制造方法。

背景技术

[0002] 以往,为了实现电子设备的小型化,制成包括多个半导体芯片的半导体模块。对于内置于这种半导体模块的半导体芯片彼此的连接,出于高带宽化和降低消耗电力的目的,除了采用现有的引线键合以外,还采用了利用形成于半导体芯片表面上的凸状电极(凸块)的凸块连接(例如,专利文献1)。

[0003] 近年来,为了实现半导体装置的薄型化或形成穿通硅过孔(TSV, Through Silicon Via)的过孔,需要半导体芯片的薄型化,并提出了薄型半导体晶片的各种加工方法(例如,专利文献2、专利文献3)。然而,在制造将薄型半导体芯片之间凸块连接的半导体模块的情况下,存在有可能发生因背面研磨(BSG)带的使用或划片、拾取(pick up)而引起的芯片开裂、凸块连接时的因薄型芯片的翘曲引起的凸块连接不良等的担忧的问题。另外,若为了处理薄型晶片而使用晶片支撑件,则还存在会增加相应的成本的问题。

[0004] (现有技术文献)

[0005] (专利文献)

[0006] 专利文献1:日本特许第4809957号

[0007] 专利文献2:日本特开2010-267653号公报

[0008] 专利文献3:日本特开2012-084780号公报

发明内容

[0009] 本发明的目的在于提供抑制芯片开裂以及凸块连接不良并且可制造成品率和可靠性得以提高的半导体装置的制造方法。另外,本发明的目的在于提供不使用晶片支撑件而以晶片级制造半导体装置,据此可降低制造成本的半导体装置的制造方法。

[0010] 本发明一个实施方式的半导体装置的制造方法的特征在于,包括以下步骤:准备形成有电极的半导体晶片,并经由凸块将形成于半导体芯片的第一半导体元件与上述半导体晶片的上述电极电连接;在连接上述半导体晶片与上述半导体芯片之前或之后,在相互对置的上述半导体晶片与上述半导体芯片的间隙中形成第一绝缘树脂层;在上述半导体晶片上以直至达到掩埋上述半导体芯片的厚度为止的方式形成第二绝缘树脂层;对上述第二绝缘树脂层和上述半导体芯片进行研磨,直至上述半导体芯片达到规定的厚度为止;在上述第二绝缘树脂层上和上述半导体芯片上形成第一绝缘层,并在上述第一绝缘层和上述第二绝缘树脂层形成用于使上述电极露出的开口部;用导电性材料掩埋上述开口部;在上述第一绝缘层上形成与掩埋了上述开口部的导电性材料相连接的布线;形成与上述布电线连接的第一端子;以及将上述半导体晶片研磨成规定的厚度,其中,将上述半导体晶片研磨

成规定的厚度是指对上述半导体晶片进行研磨,直至达到完工厚度为止。

[0011] 根据本发明的一个实施方式,上述半导体晶片也可以具有形成有第二半导体元件的多个元件区域。

[0012] 根据本发明的一个实施方式,也可以将上述多个元件区域的一个元件区域与多个上述半导体芯片相连接。

[0013] 根据本发明的一个实施方式,本发明还可以包括以下步骤:在上述半导体晶片上形成一端部与上述第二半导体元件电连接的掩埋电极;在形成上述第一端子之后,对上述半导体晶片进行研磨,直至上述掩埋电极的另一端部的近前为止;使上述掩埋电极的另一端部露出;以及形成与露出的上述掩埋电极的另一端部电连接的第二端子。

[0014] 根据本发明的一个实施方式,本发明还可以包括以下步骤:在将上述电极与上述第一半导体元件凸块连接之前,沿着上述元件区域的边界线,在上述半导体晶片上形成宽度比划片宽度宽且深度在上述完工厚度以上的槽;以及在对上述半导体晶片进行研磨直至达到完工厚度之后,将上述半导体晶片单片化,其中上述单片化可以指沿着形成于上述半导体晶片的上述槽以比上述槽窄的划片宽度将上述半导体晶片单片化。

[0015] 本发明的一个实施方式的半导体装置的制造方法的特征在于,包括以下步骤:准备形成有电极的半导体晶片,并准备形成有第一半导体元件且具有与上述第一半导体元件电连接的掩埋电极的第一半导体芯片;经由第一凸块将上述第一半导体芯片的上述第一半导体元件与上述半导体晶片的上述电极电连接;在连接上述半导体晶片与上述第一半导体芯片之前或之后,在相互对置的上述半导体晶片与上述第一半导体芯片的间隙中形成第一绝缘树脂层;在上述半导体晶片上以直至达到掩埋上述第一半导体芯片的厚度的方式形成第二绝缘树脂层;对上述第二绝缘树脂层和上述第一半导体芯片进行研磨,直至上述第一掩埋电极的另一端部的近前为止;使上述第一掩埋电极的上述另一端部露出;在上述第一半导体芯片上形成用于覆盖上述第一掩埋电极的上述另一端部的第一绝缘层;在上述第一绝缘层上形成经由接触孔与上述第一掩埋电极的上述另一端部相连接的端子;经由第二凸块将上述端子与形成于第二半导体芯片的第二半导体元件电连接;在连接上述端子与上述第二半导体芯片之前或之后,在相互对置的上述端子和上述第一绝缘层与上述第二半导体芯片的间隙中形成第三绝缘树脂层;在上述第一绝缘层上以直至达到掩埋上述第二半导体芯片的厚度为止的方式形成第四绝缘树脂层;对上述第四绝缘树脂层和上述第二半导体芯片进行研磨,直至上述第二半导体芯片达到规定的厚度为止;在上述第四绝缘树脂层上和上述第二半导体芯片上形成第二绝缘层;在上述第二绝缘层、上述第四绝缘树脂层、上述第一绝缘层以及上述第二绝缘树脂层形成用于使形成于上述半导体晶片且与上述第一半导体元件电连接的电极露出的开口部;用导电性材料掩埋上述开口部;在上述第二绝缘层上形成与掩埋上述开口部的导电性材料相连接的布线;形成与上述布线电连接的第一端子;以及将上述半导体晶片研磨成规定的厚度,其中将上述半导体晶片研磨成规定的厚度是指对上述半导体晶片进行研磨直至达到完工厚度为止。

[0016] 根据本发明的一个实施方式,上述半导体晶片可以具有形成有第三半导体元件的多个元件区域。

[0017] 根据本发明的一个实施方式,可以将上述多个元件区域的一个元件区域与多个上述第一半导体芯片相连接。

[0018] 本发明的一个实施方式的半导体装置的制造方法还可以包括以下步骤：经由上述第一凸块将上述电极与至少一个形成于第三半导体芯片的第四半导体元件电连接。

[0019] 根据本发明的一个实施方式，还可以包括以下步骤：在上述半导体晶片形成一端部与上述第三半导体元件电连接的第二掩埋电极；在形成上述第一端子之后，对上述半导体晶片进行研磨，直至上述第二掩埋电极的另一端部的近前为止；使上述第二掩埋电极的另一端部露出；以及形成与露出的上述第二掩埋电极的另一端部电连接的第二端子。

[0020] 根据本发明的一个实施方式，还可以包括以下步骤：在将上述电极与上述第一掩埋电极的一端部凸块连接之前，沿着上述元件区域的边界线，在上述半导体晶片上形成宽度比划片宽度宽且深度在上述完工厚度以上的槽；以及在对上述半导体晶片进行研磨直至达到上述完工厚度之后，将上述半导体晶片单片化，其中上述单片化可以指沿着形成于上述半导体晶片的上述槽以比上述槽窄的划片宽度将上述半导体晶片单片化。

[0021] 根据本发明，可以提供能够制造抑制芯片开裂以及凸块连接不良而使成品率和可靠性得以提高的半导体装置的制造方法。另外，可提供可降低制造成本的半导体装置的制造方法。

附图说明

[0022] 图 1A 为用于说明本发明第一实施方式的半导体装置的制造方法的图。

[0023] 图 1B 为用于说明本发明第一实施方式的半导体装置的制造方法的图。

[0024] 图 2A 为用于说明本发明第一实施方式的半导体装置的制造方法的图。

[0025] 图 2B 为用于说明本发明第一实施方式的半导体装置的制造方法的图。

[0026] 图 3 为用于说明本发明第一实施方式的半导体装置的制造方法的图。

[0027] 图 4 为用于说明本发明第一实施方式的半导体装置的制造方法的图。

[0028] 图 5 为用于说明本发明第一实施方式的半导体装置的制造方法的图。

[0029] 图 6 为用于说明本发明第一实施方式的半导体装置的制造方法的图。

[0030] 图 7 为用于说明本发明第一实施方式的半导体装置的制造方法的图。

[0031] 图 8 为用于说明本发明第一实施方式的半导体装置的制造方法的图。

[0032] 图 9A 为用于说明本发明第二实施方式的半导体装置的制造方法的图。

[0033] 图 9B 为用于说明本发明第二实施方式的半导体装置的制造方法的图。

[0034] 图 10 为用于说明本发明第二实施方式的半导体装置的制造方法的图。

[0035] 图 11 为用于说明本发明第二实施方式的半导体装置的制造方法的图。

[0036] 图 12 为用于说明本发明第二实施方式的半导体装置的制造方法的图。

[0037] 图 13 为用于说明本发明第二实施方式的半导体装置的制造方法的图。

[0038] 图 14 为用于说明本发明第二实施方式的半导体装置的制造方法的图。

[0039] 图 15 为用于说明本发明第三实施方式的半导体装置的制造方法的图。

[0040] 图 16 为用于说明本发明第三实施方式的半导体装置的制造方法的图。

[0041] 图 17 为用于说明本发明第三实施方式的半导体装置的制造方法的图。

[0042] 图 18 为用于说明本发明第三实施方式的半导体装置的制造方法的图。

[0043] 图 19 为用于说明本发明第四实施方式的半导体装置的制造方法的图。

[0044] 图 20 为用于说明本发明第四实施方式的半导体装置的制造方法的图。

- [0045] 图 21 为用于说明本发明第四实施方式的半导体装置的制造方法的图。
- [0046] 图 22 为用于说明本发明第四实施方式的半导体装置的制造方法的图。
- [0047] 图 23 为用于说明本发明第四实施方式的半导体装置的制造方法的图。
- [0048] 图 24 为用于说明本发明第四实施方式的半导体装置的制造方法的图。
- [0049] 图 25 为用于说明本发明第四实施方式的半导体装置的制造方法的图。
- [0050] 图 26 为用于说明本发明第四实施方式的变形例的半导体装置的制造方法的图。
- [0051] 图 27 为用于说明本发明第五实施方式的半导体装置的制造方法的图。
- [0052] 图 28 为用于说明本发明第五实施方式的半导体装置的制造方法的图。
- [0053] 图 29 为用于说明本发明第五实施方式的半导体装置的制造方法的图。
- [0054] 图 30 为用于说明本发明第五实施方式的半导体装置的制造方法的图。
- [0055] 图 31 为用于说明本发明第五实施方式的半导体装置的制造方法的图。
- [0056] 图 32 为用于说明本发明第五实施方式的半导体装置的制造方法的图。
- [0057] 图 33 为用于说明本发明第五实施方式的半导体装置的制造方法的图。
- [0058] (附图标记的说明)
- [0059] 10:半导体装置;101:半导体晶片;103:第一半导体元件;105:半导体芯片;106:第二半导体元件;107:电极;109:凸块;111:第一绝缘树脂层;113:第二绝缘树脂层;114:第一绝缘层;115:开口部;117:布线;119:布线;121:端子;123:外部端子。

具体实施方式

[0060] 以下,参照附图对本发明的半导体装置的制造方法进行说明。然而,本发明的半导体装置的制造方法能够以多种不同的方式实施,并非限定地解释为以下所示的实施方式的记载内容。此外,在本实施方式中参照的附图中,对于相同部分或具有相同功能的部分标注相同的附图标记,并省略其重复说明。此外,在以下说明中,当层、膜、区域等要素位于另一要素“上”时,这不局限于上述另一要素的“直接上方”的情况,还包括在其中间还有其他要素的情况。

[0061] <第一实施方式>

[0062] 参照图 1A 至图 8 说明本发明第一实施方式的半导体装置的制造方法的概要。

[0063] 首先,如图 1A 和图 1B 所示,准备形成有多个元件区域的半导体晶片 101。这里,元件区域是指切割半导体晶片而进行单片化之后,作为一个半导体芯片发挥功能的区域。图 1A 为半导体晶片 101 的俯视图,图 1B 为沿着图 1A 的区域 A 的 B-B 线的剖视图。在半导体晶片 101 的每个元件区域可形成有半导体元件(以下,称为第一半导体元件)103。这里,第一半导体元件 103 还可包括晶体管等元件。另外,在半导体晶片 101 上,针对每个元件区域,经由绝缘膜形成有与第一半导体元件 103 电连接且由 Al 等金属材料形成的电极 104。另外,在半导体晶片 101 上还可形成有用于连接第一半导体元件 103 和电极 104 的布线层。图 1A 为半导体晶片的局部剖视图。图 1A、1B 中示出形成于半导体晶片 101 的两个元件区域。此外,半导体晶片 101 可以为未形成有第一半导体元件 103 而形成有布线层的中介(interposer)基板。

[0064] 接着,准备在半导体基板上形成了半导体元件(以下,称为第二半导体元件)106 的半导体芯片 105。这里,第二半导体元件 106 包括晶体管等元件。半导体装置的组装以晶

片级进行,因而准备与形成于半导体晶片 101 的元件区域相对应的数量的半导体芯片 105。在半导体芯片 105 上经由绝缘膜形成有经由布线与第二半导体元件 106 电连接的电极 107。

[0065] 如图 2A 和图 2B 所示,使形成于半导体晶片 101 的每个元件区域的第一半导体元件 103 与形成于半导体芯片 105 的第二半导体元件 106 相互对置并经由凸块 109 相接合,而将第一半导体元件 103 和第二半导体元件 106 电连接。图 2A 为表示在半导体晶片 101 上将半导体芯片 105 凸块接合了的状态的俯视图,图 2B 为沿着图 2A 的区域 A 的 B-B 线的剖视图。具体地,在与第一半导体元件 103 电连接并与半导体芯片 105 相互对置的电极 104 上和/或与第二半导体元件 106 电连接的电极 107 上形成凸块 109,使其相互对置并利用热处理来使其接合。凸块 109 可使用例如金、焊料或铜柱来通过半加成工艺 (semi-additive process) 等形成。图 2A、2B 中示出仅在用于将第一半导体元件 103 和第二半导体元件 106 连接的电极 104 上和/或电极 107 上形成有凸块 109 的状态,但本发明不局限于此,也可以在不与半导体芯片 105 对置的电极 104 上形成凸块 109。此外,在半导体晶片 101 为中介基板的情况下,可形成于中介基板上,并将与形成于中介基板的布线电连接的电极和与第二半导体元件 106 电连接的电极 107 凸块连接。

[0066] 如图 2B 所示,在经由凸块 109 将半导体晶片 101 和半导体芯片 105 接合之后,在半导体晶片 101 与半导体芯片 105 的间隙中填充底层填料(以下,称为第一绝缘树脂层)111。第一绝缘树脂层 111 只要是底层填料用绝缘树脂,就不受特别的限制,例如,可使用在环氧树脂中添加了二氧化硅、氧化铝的填料、或添加了胺类固化剂等的填料。此外,第一绝缘树脂层 111 也可在将半导体晶片 101 与半导体芯片 105 进行凸块接合之前形成。

[0067] 以下说明在经由凸块 109 将半导体晶片 101 与半导体芯片 105 接合之后,在半导体晶片 101 与半导体芯片 105 的间隙中填充底层填料而进行底层填料密封 (CUF, capillary underfill; 毛细底层填充) 的方法的一例。

[0068] 在将半导体晶片 101 和半导体芯片 105 进行凸块接合之后,根据需要,为了提高底层填料的流动性,对半导体晶片 101 和半导体芯片 105 进行等离子体处理之后,使用点胶机 (dispenser) 等在半导体晶片 101 上、例如在离各半导体芯片 105 的一端的一边数百 μm 左右的位置处以线形状涂敷液状的底层填料材料。当点胶 (dispense) 时,为了降低液剂的粘度而加热芯片和底层填料材料,并以间隔指定的时间间隔的方式多次进行涂敷。涂敷的底层填料材料利用毛细管现象进入半导体晶片 101 与半导体芯片 105 的间隙。

[0069] 另外,以下说明在经由凸块 109 将半导体晶片 101 与半导体芯片 105 接合之前,用液状的底层填料材料 (NCP, non-conductive paste; 非导电性黏着剂) 进行密封的方法的一例。

[0070] 在将半导体晶片 101 和半导体芯片 105 进行凸块接合之前,例如,可在凸块连接用的装置(倒装片焊接机)上搭载点胶机等,在与用于搭载半导体芯片 105 的区域的一部分或全部相对应的半导体晶片 101 上,以不易产生孔隙 (void) 的涂敷轨迹涂敷底层填料材料,在将半导体芯片 105 搭载于半导体晶片 101、即将将半导体晶片 101 与半导体芯片 105 凸块连接的同时,在半导体晶片 101 和半导体芯片 105 的间隙的整个面扩展底层填料材料。

[0071] 另外,例如,可以在半导体晶片 101、或半导体芯片 105 划片前的晶片、或上述双方上,利用底层填料液剂的旋涂或薄膜形状的底层填料材料的层压等而以晶片单位附着底层填料,将附着有底层填料材料的状态的半导体晶片 101 和单片化后的半导体芯片 105 凸块

连接,并用底层填料材料密封半导体晶片 101 和半导体芯片 105 的间隙。

[0072] 根据以上所述的方法等,在半导体晶片 101 和半导体芯片 105 的间隙填充底层填料之后,用烘箱等进行加热而使底层填料固化,据此形成第一绝缘树脂层 111。

[0073] 接着,如图 2B 所示,在半导体晶片 101 上形成用于掩埋半导体芯片 105 的厚度的绝缘树脂层(以下,称为第二绝缘树脂层)113。用作第二绝缘树脂层 113 的树脂不受特别的限制,但需要基于再布线工序的耐腐蚀性以及焊料耐热性,而为了抑制晶片的弯曲,优选为具有低热膨胀率的树脂。例如,可使用由扇出(fan-out)封装芯片掩埋用途的压缩成型用环氧树脂杂化材料或真空层压用硅酮杂化材料形成的薄膜模具材料等。此外,在图 2A 中,省略了第二绝缘树脂层 113 的记载。

[0074] 接着,如图 3 所示,在使第二绝缘树脂层 113 固化之后,通过背面研磨对未形成第二半导体元件 106 的各半导体芯片 105 的背面进行研磨,直至达到每个第二绝缘树脂层 113 所需的厚度(完工厚度,即薄化工序结束后的最终半导体芯片的厚度)为止。当对各个半导体芯片 105 以及第二绝缘树脂层 113 进行研磨时,在未形成第一半导体元件 103 的半导体晶片 101 的背面粘贴背面研磨(BSG, Back Side Grinding)带(表面保护带),从而通过背面研磨工序将半导体芯片 105 进行薄化。在将各个半导体芯片 105 薄化之后,从半导体晶片 101 的背面剥离背面研磨带。

[0075] 接着,在半导体芯片 105 的背面形成布线之前,形成第一绝缘层 114。关于第一绝缘层 114,可以在半导体芯片 105 以及第二绝缘树脂层 113 的研磨面涂敷例如环氧类的装配布线板用树脂涂敷材料,或从处理性的观点触发,可使用薄膜类型的层间绝缘材料或用于辅助下述的布线形成工序的附着有树脂的铜箔等。进而,如图 4 所示,利用 CO₂ 激光器或 UV-YAG 激光器等在第二绝缘树脂层 113 以及第一绝缘层 114 形成开口部 115,上述开口部 115 用于使形成于半导体晶片 101 上且不与半导体芯片 105 对置的电极 104 露出。从成本的观点出发,开口部 115 优选地利用激光形成,但也可以利用光刻来形成。用于形成开口部 115 的激光的强度设定为不对半导体晶片 101 上的电极 104 进行加工的条件。在电极 104 受损的情况下,如上所述,在不与半导体芯片 105 对置的电极 104 上形成铜柱等凸块 109 作为凸块,为了保护电极 104 不受激光的损伤而使用凸块 109,据此可防止电极 104 受损。在利用 CO₂ 激光器的情况下,会产生树脂污渍,因而在形成开口部 115 之后,继续进行去污处理。作为去污处理,在用铜柱等保护电极 104 的情况下,可进行利用碱性高锰酸盐的去污液的处理,在电极 104 露出的情况下,可进行等离子体去污等的处理。

[0076] 接着,如图 5 所示,在半导体晶片 101 的上表面整面、即第一绝缘层 114 上、借助于开口部 115 而露出的电极 104 上以及开口部 115 的侧面形成导电层,并将导电层图案化,据此形成掩埋开口部 115 的布线 117 以及与布线 117 相连接的布线 119。布线 117、119 也可通过例如半加成法等形式形成。在通过半加成法形成布线 117、119 的情况下,在半导体晶片 101 的上表面整面实施无电解镀铜之后,用抗镀敷剂形成图案,基于图案而通过电解镀铜形成布线之后,去除抗镀敷剂,并通过刻蚀去除无电解镀铜露出部。通过这些工序,可形成掩埋开口部 115 的布线 117 以及与布线 117 相连接的布线 119。可反复执行上述绝缘层的形成工序以及上述布线工序,据此可形成两层以上的布线层。

[0077] 在形成布线 117、119 之后,如图 6 所示,在布线 119 上形成绝缘膜 120,而在绝缘膜 120 上形成与布线 119 相连接的端子 121。绝缘膜 120 与第一绝缘层 114 同样地,可利用装

配布线板用的热固化性的环氧类绝缘膜或附着有树脂的铜箔来形成。进而,在端子 121 上涂敷阻焊剂 122 之后,进行开口而使端子 121 露出。在露出的端子 121 的表面可进行有机可焊性保护剂 (OSP, Organic Solderability Preservative) 处理等抗氧化处理。在端子 121 上可根据需要针对每个元件区域而以晶片级形成外部端子 123。外部端子 123 可利用焊料球搭载机来搭载焊料球,并形成球栅阵列 (BGA, Ball Grid Array)。

[0078] 接着,如图 7 所示,通过背面研磨对未形成第一半导体元件 103 的半导体晶片 101 的背面进行研磨,直至达到所需的厚度(完工厚度,即薄化工序结束之后的最终半导体晶片的厚度),从而将半导体晶片 101 薄化。当对半导体晶片 101 进行研磨时,在形成有端子 121 或外部端子 123 的一侧粘贴背面研磨带,并在半导体晶片 101 的薄化结束之后,剥离背面研磨带。

[0079] 之后,如图 8 所示,沿着形成于半导体晶片 101 的元件区域的边界线,将半导体晶片 101 连同阻焊剂 122、绝缘膜 120、第一绝缘层 114 以及第二绝缘树脂层 113 一起对进行划片而单片化,据此制成半导体装置 10。在将半导体晶片 101 单片化之前,根据需要,也可在半导体晶片 101 的背面借助于绝缘树脂等形成绝缘膜并固化。在半导体晶片 101 的背面形成有绝缘膜的情况下,与半导体晶片一起对绝缘膜也进行划片而单片化。

[0080] 根据本发明第一实施方式的半导体装置的制造方法,由于在进行半导体晶片 101 以及半导体芯片 105 的薄化之前(在半导体晶片和半导体芯片的厚度厚的状态下)将半导体晶片 101 和半导体芯片 105 凸块连接,因而可抑制凸块连接时的芯片的弯曲引起的凸块连接不良或短路,提高半导体装置的成品率和可靠性。另外,在利用第二绝缘树脂层 113 进行加强之后,对半导体芯片 105 进行研磨,因而可抑制对半导体芯片 105 进行研磨时的芯片开裂。进而,由于在将半导体晶片 101 薄化之前(在半导体晶片 101 的厚度厚的状态下)形成布线 119,因而利用半导体晶片 101 的刚性,可以不使用晶片支撑件而稳定地形成布线 119,并降低制造成本。

[0081] < 第二实施方式 >

[0082] 参照图 9A 至图 14 说明本发明第二实施方式的半导体装置的制造方法的概要。在第二实施方式的半导体装置的制造方法中,与第一实施方式的半导体装置的制造方法不同,包括在使形成于半导体晶片的每个元件区域的第一半导体元件与形成于半导体芯片的第二半导体元件相互对置并经由凸块进行接合之前,沿着形成于半导体晶片的多个元件区域的各个的边界线,在未形成第一半导体元件的半导体晶片的背面形成比划片宽度宽的槽的工序。此外,在以下说明的第二实施方式的半导体装置的制造方法中,省略或简化与第一实施方式的半导体装置的制造方法重复的说明。

[0083] 图 9A 为半导体晶片 101 的俯视图,图 9B 为沿着图 9A 的区域 A 的 B-B 线的剖视图。首先,与第一实施方式同样地,准备形成有多个元件区域的半导体晶片 101。然后,如图 9A 和图 9B 所示,沿着元件区域的边界线,在形成有半导体晶片 101 的第一半导体元件 103 的一侧的面形成比划片宽度宽的槽 201。槽 201 可通过借助于刀片、激光等的半划片 (half dicing) 来形成。槽 201 的深度较深地形成于半导体晶片 101 的完工厚度以上。此外,半导体晶片 101 可以为省略第一半导体元件 103 并形成有布线层的中介件 (interposer)。

[0084] 本发明第二实施方式的半导体装置的制造方法除了沿着元件区域的边界线在半导体晶片 101 形成槽 201 之外,与第一实施方式的半导体装置的制造方法大致相同。即,如

图 10 所示,以晶片级将半导体晶片 101 和半导体芯片 105 进行凸块接合,在半导体晶片 101 和半导体芯片 105 的间隙填充第一绝缘树脂层 111,并在半导体晶片 101 上形成掩埋半导体芯片 105 的厚度的第二绝缘树脂层 113。第二绝缘树脂层 113 还填充于在半导体晶片 101 上形成的槽 201。

[0085] 之后,如图 11 所示,利用背面研磨对各半导体芯片 105 的背面进行研磨来将半导体芯片 105 薄化,直至每个第二绝缘树脂层 113 达到完工厚度。接着,在各个半导体芯片 105 以及第二绝缘树脂层 113 的研磨面形成第一绝缘层 114。

[0086] 之后,如图 12 所示,利用 CO₂激光器或 UV-YAG 激光器等在第二绝缘树脂层 113 以及第一绝缘层 114 形成开口部 115,上述开口部 115 用于使形成于半导体晶片 101 上的电极 104 露出。在半导体晶片 101 的上表面整面、即第一绝缘层 114 上、借助于开口部 115 而露出的电极 104 上以及开口部 115 的侧面通过半加成法等形成导电层,并进行图案化,据此形成用于掩埋开口部 115 的布线 117 以及与布线 117 相连接的布线 119。在形成布线 117、119 之后,在布线 119 上形成绝缘膜,在绝缘膜 120 上形成与布线 119 相连接的端子 121。进而,在端子 121 上涂敷阻焊剂 122 之后,进行开口而使端子 121 露出。在露出的端子 121 的表面上可进行 OSP 处理等抗氧化处理。在端子 121 上,根据需要以晶片级在每个元件区域形成外部端子 123。

[0087] 之后,如图 13 所示,通过背面研磨对未形成第一半导体元件 103 的半导体晶片 101 的背面进行研磨,直至达到完工厚度之后,如图 14 所示,沿着形成于半导体晶片 101 的元件区域的边界线,对阻焊剂 122、绝缘膜 120、第一绝缘层 114 和第二绝缘树脂层 113 进行划片而使半导体晶片 101 单片化,据此制成半导体装置 20。划片宽度比形成于半导体晶片 101 的背面的槽 201 的宽度窄。

[0088] 在本发明第二实施方式的半导体装置的制造方法中,在半导体晶片 101 上预先形成半导体晶片 101 的完工厚度以上的深的槽 201,因而在半导体晶片 101 的薄化结束时,在未形成第一半导体元件 103 的半导体晶片 101 的背面侧,在形成有槽 201 的区域,露出第二绝缘树脂层 113,并且,与各个元件区域相对应的半导体晶片 101 的侧面被第二绝缘树脂层 113 覆盖。即,在半导体晶片 101 的研磨工序结束时,半导体晶片 101 处于按每个元件区域分离的状态。为此,针对阻焊剂 122、绝缘膜 120、第一绝缘层 114 以及第二绝缘树脂层 113 进行用于将半导体晶片 101 单片化的划片。

[0089] 根据本发明第二实施方式的半导体装置的制造方法,与第一实施方式的半导体装置的制造方法同样地,可抑制因凸块连接时的芯片的弯曲引起的凸块连接不良或短路,并提高半导体装置的成品率和可靠性,降低制造成本。进而,根据本发明第二实施方式的半导体装置的制造方法,可在半导体晶片 101 上预先形成宽度比划片宽度宽且深度在完工厚度以上的槽 201,据此在划片工序之前,可按每个元件区域将半导体晶片 101 进行分离,并对阻焊剂 122、绝缘膜 120、第一绝缘层 114 以及第二绝缘树脂层 113 进行划片。由此,可抑制因划片而产生的半导体晶片 101 的芯片开裂。进而,与各个元件区域相对应的半导体晶片 101 的侧面被第二绝缘树脂层 113 覆盖,因而不仅可抑制因划片产生的半导体晶片 101 的芯片开裂,还可抑制形成于半导体晶片 101 的侧面侧的布线层等的剥离,并可进一步提高半导体装置的成品率和可靠性。

[0090] 如上所述,本发明第二实施方式的半导体装置的制造方法的特征如下,即,在将半

导体晶片 101 和半导体芯片 105 进行凸块接合之前,沿着元件区域的边界线,在半导体晶片 101 的形成有第一半导体元件 103 的面上预先形成有宽度比划片宽度宽且深度在半导体晶片 101 的完工厚度以上的槽 201,但该槽 201 的深度也可以为小于半导体晶片 101 的完工厚度的深度。

[0091] < 第三实施方式 >

[0092] 参照图 15 至图 18 说明本发明第三实施方式的半导体装置的制造方法的概要。在第三实施方式的半导体装置的制造方法中,与第一实施方式以及第二实施方式的半导体装置的制造方法不同,在经由凸块使形成于半导体晶片的每个元件区域的第一半导体元件和形成于半导体芯片的第二半导体元件与半导体晶片的每个元件区域电连接时,将多个半导体芯片与半导体晶片的一个元件区域进行凸块接合。此外,在以下说明的第三实施方式的半导体装置的制造方法中,省略或简化与第一实施方式以及第二实施方式的半导体装置的制造方法重复的说明。

[0093] 首先,如图 15 所示,准备形成有多个元件区域的半导体晶片 101,并与本发明第二实施方式的半导体装置的制造方法同样地,沿着元件区域的边界线,在形成有半导体晶片 101 的第一半导体元件 103 的一侧的面上形成槽 201。半导体晶片 101 可以为省略第一半导体元件 103 且形成有布线层的中介件。此外,还可省略沿着半导体晶片 101 的边界线在半导体晶片上形成槽 201 的工序。

[0094] 接着,如图 16 所示,使形成于半导体晶片 101 的每个元件区域的第一半导体元件 103 与形成于半导体芯片 105a、105b 的第二半导体元件(未图示)相互对置,并经由凸块 109 将电极 104 和电极 107 电连接,上述电极 104 形成于半导体晶片 101,并与第一半导体元件 103 电连接,且与半导体芯片 105a、105b 对置,上述电极 107 分别形成于半导体芯片 105a、105b,并与第二半导体元件电连接。此外,在半导体晶片 101 为中介基板的情况下,还可将形成于中介基板上并与形成于中介基板的布线电连接的电极和分别形成于半导体芯片 105a、105b 的电极 107 凸块连接。之后,在半导体晶片 101 和半导体芯片 105a、105b 的间隙填充第一绝缘树脂层 111,并在半导体晶片 101 上形成用于掩埋半导体芯片 105a、105b 的厚度的第二绝缘树脂层 113。第二绝缘树脂层 113 还填充于在半导体晶片 101 上形成的槽 201。在本实施方式的半导体装置的制造方法中,将形成于半导体晶片 101 的多个元件区域中的一个元件区域的第一半导体元件 103 与分别形成于多个半导体芯片 105a、105b 的第二半导体元件凸块连接。

[0095] 接着,如图 17 所示,通过背面研磨对各个半导体芯片 105 的背面进行研磨,直至每个第二绝缘树脂层 113 达到完工厚度为止,从而将半导体芯片 105 薄化。之后,与第一实施方式或第二实施方式的半导体装置的制造方法同样地,在各个半导体芯片 150 以及第二绝缘树脂层 113 的研磨面形成第一绝缘层 114。在第一绝缘层 114 以及第二绝缘树脂层 113 中形成用于使形成于半导体晶片 101 上的电极 104 露出的开口部 115,并在半导体晶片 101 的上表面整面、即第一绝缘层 114 上、借助于开口部 115 而露出的电极 104 上以及在开口部 115 的侧面,通过半加成法等形成导电层并进行图案化,据此形成用于掩埋开口部 115 的布线 117 以及与布线 117 相连接的布线 119。之后,在布线 119 上形成绝缘膜 120,在绝缘膜 120 上形成与布线 119 相连接的端子 121。进而,在端子 121 上涂敷阻焊剂 122 之后,进行开口而使端子 121 露出。在端子 121 上,根据需要形成外部端子 123 之后,通过背面研

磨对未形成第一半导体元件 103 的半导体晶片 101 的背面进行研磨,直至达到完工厚度为止。在半导体晶片 101 的薄化结束之时,在未形成第一半导体元件 103 的半导体晶片 101 的背面侧,在形成有槽 201 的区域露出第二绝缘树脂层 113。之后,如图 18 所示,沿着形成于半导体晶片 101 的元件区域的边界线,对阻焊剂 122、绝缘膜 120、第一绝缘层 114 以及第二绝缘树脂层 113 进行划片而将半导体晶片 101 单片化,据此制作半导体装置 30。

[0096] 如图 18 所示,在半导体装置 30 中,经由凸块将形成于半导体晶片 101 的一个元件区域的第一半导体元件 103 与分别形成于两个半导体芯片 105a、105b 的第二半导体元件(未图示)连接,但并不局限于此,也可以经由凸块将形成于半导体晶片 101 的一个元件区域的第一半导体元件 103 与分别形成于三个以上的半导体芯片 105 的第二半导体元件连接。

[0097] 根据本发明第三实施方式的半导体装置的制造方法,即使在制造在半导体晶片 101 的一个元件区域平放多个半导体芯片 105 来进行接合的半导体装置的情况下,也可以与本发明第一实施方式以及第二实施方式的半导体装置的制造方法同样地,可抑制凸块连接时的芯片的弯曲引起的凸块连接不良或短路,提高半导体装置的成品率和可靠性,降低制造成本。

[0098] < 第四实施方式 >

[0099] 参照图 19 至图 25 说明本发明第四实施方式的半导体装置的制造方法的概要。在第四实施方式的半导体装置的制造方法中,与第一实施方式以及第二实施方式的半导体装置的制造方法不同,经由形成有穿透硅过孔(TSV, Through-Silicon Via)的另一个半导体芯片将形成于半导体晶片的每个元件区域的第一半导体元件与形成于半导体芯片的第二半导体元件接合。在以下说明的第四实施方式的半导体装置的制造方法中,省略或简化与第一实施方式以及第二实施方式的半导体装置的制造方法重复的说明。

[0100] 首先,准备形成有多个元件区域的半导体晶片 101,并与本发明第二实施方式的半导体装置的制造方法同样地,沿着元件区域的边界线,在形成有半导体晶片 101 的第一半导体元件 103 的一侧的面形成槽 201。半导体晶片 101 可以为省略第一半导体元件 103 且形成有布线层的中介件。此外,还可省略沿着半导体晶片 101 的边界线在半导体晶片形成槽的工序。

[0101] 接着,准备形成有掩埋电极 401 的半导体基板 403(以下,称为第一半导体芯片 403)。掩埋电极 401 经由布线层与形成于第一半导体芯片 403 的内部且一端部形成于第一半导体芯片 403 的第二半导体元件 402 相连接。掩埋电极 401 通过反应性离子刻蚀等在第一半导体芯片 403 形成过孔(via),并在侧壁使用化学气相沉积(CVD)等来形成 SiO_2 、 SiN 等绝缘膜,通过电镀等使用导电性材料、例如铜等金属掩埋过孔而形成。在第一半导体芯片 403 上形成有与第二半导体元件 402 以及掩埋电极 401 电连接的外部连接用电极 405。

[0102] 接着,如图 19 所示,经由第一凸块 409 将与形成于半导体晶片 101 的每个元件区域的第一半导体元件 103 相连接且与第一半导体芯片 403 对置的电极 104 和形成于第一半导体芯片 403 的掩埋电极 401 电连接。具体地,在形成于半导体晶片 101 上的电极 104 上和 / 或电极 405 上形成第一凸块 409,使其相互对置并通过热处理进行接合。此外,在半导体晶片 101 为中介基板的情况下,还可将形成于中介基板上且与形成于中介基板的布线电连接的电极和与第二半导体元件 106 电连接的电极 107 凸块连接。

[0103] 在经由第一凸块 409 将半导体晶片 101 和第一半导体芯片 403 接合之后,在半导体晶片 101 和第一半导体芯片 403 的间隙填充第一绝缘树脂层 411。第一绝缘树脂层 411 还可以在将半导体晶片 101 和第一半导体芯片 403 凸块接合之前形成。

[0104] 接着,在半导体晶片 101 上形成用于掩埋第一半导体芯片 403 的厚度的第二绝缘树脂层 413。使用与本发明第一实施方式中说明的第二绝缘树脂层 113 相同的材料作为第二绝缘树脂层 413 的材料。在使第二绝缘树脂层 413 固化之后,如图 20 所示,在未形成有第一半导体元件 103 的半导体晶片 101 的背面粘贴 BSG 带,从未形成掩埋电极 401 的第一半导体芯片 403 的背面侧到掩埋电极 401 的另一端部的近前为止,针对每个第二绝缘树脂层 413 通过背面研磨对第一半导体芯片 403 进行研磨而将第一半导体芯片 403 薄化。

[0105] 在从半导体晶片 101 的背面剥离 BSG 带之后,通过化学机械抛光 (CMP) 等对第一半导体芯片 403 进行研磨,来使掩埋电极 401 的另一端部露出。由此,掩埋电极 401 发挥贯通第一半导体芯片 403 的 TSV 的功能。接着,如图 21 所示,形成用于覆盖露出在第一半导体芯片 403 上的掩埋电极 401 的另一端部的第一绝缘层 415。第一绝缘层 415 可以例如涂敷环氧类的装配布线板用树脂涂敷材料,或从处理性的观点触发,可使用薄膜类型的层间绝缘材料或用于辅助下述的布线形成工序的附着有树脂的铜箔等。接着,形成对第一绝缘层 415 进行刻蚀而露出掩埋电极 401 的另一端部的接触孔,并在第一绝缘层 415 上形成经由接触孔与掩埋电极 401 相连接的端子 417。端子 417 可由 Cu 等形成。在端子 417 为 Cu 端子的情况下,为了防止与之后连接的焊料的合金化,还可在 Cu 上形成 Ni、Au 等阻隔层。

[0106] 接着,准备形成有第三半导体元件 420 的第二半导体芯片 419,并如图 22 所示,经由第二凸块 423 将与形成于第二半导体芯片 419 的第三半导体元件 420 电连接的电极 421 和与掩埋电极 401 的另一端部相连接的端子 417 电连接,而将第一半导体芯片 403 和第二半导体芯片 419 接合。具体地,在与形成于第一绝缘层 415 上的掩埋电极 401 的另一端部相连接的端子 417 上和/或形成于第二半导体芯片 419 上的电极 421 上形成第二凸块 423,使其相互对置并通过热处理进行接合。

[0107] 在经由第二凸块 423 将掩埋电极 401 的另一端部和第二半导体芯片 419 接合之后,在第一绝缘层 415 和第二半导体芯片 419 的间隙填充底层填料(以下,称为第三绝缘树脂层)425。第三绝缘树脂层 425 只要是底层填料用的绝缘树脂,就不受特别的限制。此外,第三绝缘树脂层 425 可在将掩埋电极 401 的另一端部和第二半导体芯片 419 进行凸块接合之前形成。

[0108] 接着,在第一绝缘层 415 上形成用于掩埋第二半导体芯片 419 的厚度的绝缘树脂层(以下,称为第四绝缘树脂层)427。作为用作第四绝缘树脂层 427 的树脂,与第二绝缘树脂层 413 同样地,使用与在本发明第一实施方式中说明的第二绝缘树脂层 113 相同的材料。

[0109] 在使第四绝缘树脂层 427 固化之后,如图 23 所示,通过背面研磨对未形成第三半导体元件 420 的第二半导体芯片 419 的背面进行研磨,直至每个第四绝缘树脂层 427 达到所需的厚度(完工厚度)。在对第二半导体芯片 419 和第四绝缘树脂层 427 进行研磨时,在未形成第一半导体元件 103 的半导体晶片 101 的背面粘贴 BSG 带,通过背面研磨工序将第二半导体芯片 419 薄化。在第二半导体芯片 419 的薄化结束之后,从半导体晶片 101 的背面剥离 BSG 带。

[0110] 接着,在第二半导体芯片 419 以及第四绝缘树脂层 427 的研磨面形成第二绝缘层

429。第二绝缘层 429 可使用与第一绝缘层 415 相同的材料来形成。如图 24 所示,在第二绝缘层 429、第四绝缘树脂层 427、第一绝缘层 415 以及第二绝缘树脂层 413 形成用于使形成于半导体晶片 101 上的电极 104 露出的开口部,在半导体晶片 101 的上表面整面、即第二绝缘层 429 上、借助于开口部露出的电极 104 上以及开口部的侧面,通过半加成法等形成导电层并进行图案化,据此形成用于掩埋开口部的布线 431 以及与布线 431 相连接的布线 433。之后,在布线 433 上形成绝缘膜 434,在绝缘膜 434 上形成与布线 433 相连接的端子 435。进而,在端子 435 上涂敷阻焊剂 436 之后,进行开口而使端子 435 露出。在端子 435 上,根据需要形成外部端子 437。外部端子 437 可以为 BGA 球。

[0111] 之后,通过背面研磨对未形成第一半导体元件 103 的半导体晶片 101 的背面进行研磨,直至达到完工厚度为止。在半导体晶片 101 的薄化结束时,在未形成第一半导体元件 103 的半导体晶片 101 的背面侧,在形成有槽 201 的区域露出第二绝缘树脂层 413。如图 25 所示,沿着形成于半导体晶片 101 的元件区域的边界线,对阻焊剂 436、绝缘膜 434、第二绝缘层 429、第四绝缘树脂层 427、第一绝缘层 415 以及第二绝缘树脂层 413 进行划片而将半导体晶片 101 单片化,据此制成半导体装置 40。

[0112] 在将半导体晶片 101 单片化之前,根据需要,可在半导体晶片 101 的背面借助于绝缘树脂等形成绝缘膜并固化。在半导体晶片 101 的背面形成有绝缘膜的情况下,将半导体晶片 101 的背面的绝缘膜与阻焊剂 436、绝缘膜 434、第二绝缘层 429、第四绝缘树脂层 427、第一绝缘层 415 以及第二绝缘树脂层 413 一同进行划片而将半导体晶片 101 单片化。在半导体晶片 101 上未预先形成槽 201 的情况下,在划片时,将半导体晶片 101 与阻焊剂 436、绝缘膜 434、第二绝缘层 429、第四绝缘树脂层 427、第一绝缘层 415 以及第二绝缘树脂层 413 一同进行划片。

[0113] 根据本发明第四实施方式的半导体装置的制造方法,可制造抑制凸块连接时的芯片的弯曲引起的凸块连接不良或短路,提高了成品率和可靠性的包括包含带有 TSV 的半导体芯片的三层以上的层叠芯片的半导体装置。另外,与本发明的第一实施方式以及第二实施方式的半导体装置的制造方法相同,还可降低制造成本。

[0114] 此外,参照图 19 至图 25,对将形成有 TSV 的第一半导体芯片 403 以及形成有第三半导体元件 420 的第二半导体芯片 419 分别一个个地层叠在半导体晶片 101 的一个元件区域上的半导体装置 40 的制造方法进行说明,与上述的本发明第三实施方式的半导体装置的制造方法同样地,还可将分别形成有 TSV 的多个第一半导体芯片 403 以及分别形成有第三半导体元件的多个第二半导体芯片 419 层叠在半导体晶片 101 的一个元件区域上。即,针对半导体晶片 101 的一个元件区域还可平放多个第一半导体芯片 403 来进行接合,并在多个第一半导体芯片 403 上分别接合第二半导体芯片 419。

[0115] 另外,在半导体晶片的元件区域上平放包括形成有 TSV 的半导体芯片的多个半导体芯片来进行层叠的情况下,半导体芯片的层叠数在一个半导体装置内也可以不同。例如,在半导体晶片的一个元件区域上平放两个半导体芯片,从而经由凸块与半导体晶片相接合的情况下,如图 26 所示的本发明的一个实施方式的半导体装置 40' 那样,可以将平放于半导体晶片 101 的元件区域上的两个半导体芯片中的一个半导体芯片作为形成有 TSV 的第一半导体芯片 403,将另一个作为形成有第四半导体元件 441 的第三半导体芯片 439,经由第一凸块 409 与半导体晶片 101 凸块接合。这种情况下,在形成有 TSV 的第一半导体芯片 403

上,可经由第二凸块 423 将形成有第三半导体元件 420 的第二半导体芯片 419 接合。

[0116] < 第五实施方式 >

[0117] 参照图 27 至图 33 说明本发明第五实施方式的半导体装置的制造方法的概要。在第五实施方式的半导体装置的制造方法中,与第一实施方式至第四实施方式的半导体装置的制造方法不同,使用在各个元件区域形成有第一半导体元件和一端部与第一半导体元件相连接的 TSV 的半导体晶片作为半导体晶片。在以下说明的本发明第五实施方式的半导体装置的制造方法中,说明对上述的第二实施方式的半导体装置的制造方法中使用的半导体晶片应用形成有 TSV 的半导体晶片的一例。这里,省略或简化与第二实施方式的半导体装置的制造方法重复的说明。

[0118] 首先,准备形成有多个元件区域的半导体晶片 501。这里,如图 27 所示,在半导体晶片 501 上形成有一端部露出的掩埋电极 503。另外,在半导体晶片 501 上形成有与掩埋电极 503 的露出一端部电连接的第一半导体元件 505。与本发明第二实施方式的半导体装置的制造方法同样地,沿着元件区域的边界线,在半导体晶片 501 的形成有第一半导体元件 505 的面上形成槽 201。

[0119] 与本发明第二实施方式的半导体装置的制造方法同样地,如图 28 所示,经由凸块 109 将电极 506 和电极 107 电连接来将半导体晶片 501 和半导体芯片 105 接合,上述电极 506 与形成于半导体晶片 501 的第一半导体元件 505 相连接,并与半导体芯片 105 对置,上述电极 107 经由布线与形成于半导体芯片 105 的第二半导体元件 106 相连接,使用第一绝缘树脂层 111 来掩埋半导体晶片 501 和半导体芯片 105 的间隙,并在半导体晶片 501 上形成第二绝缘树脂层 113 直至达到用于掩埋半导体芯片 105 的厚度为止。

[0120] 接着,如图 29 所示,通过背面研磨将半导体芯片 105 进行薄化,直至每个第二绝缘树脂层 113 达到完工厚度为止。之后,如图 30 所示,在半导体芯片 105 以及第二绝缘树脂层 113 的研磨面形成第一绝缘层 114。在第一绝缘层 114 以及第二绝缘树脂层 113 形成用于使形成于半导体晶片 501 上的电极 506 露出的开口部,并在半导体晶片 501 的上表面整面、即第一绝缘层 114 上、借助于开口部而露出的电极 506 上以及开口部的侧面通过半加成法等形成导电层,并进行图案化,据此形成用于掩埋开口部的布线 117 以及与布线 117 相连接的布线 507。之后,在布线 507 上形成绝缘膜 508,在绝缘膜 508 上形成与布线 507 相连接的端子 509。进而,在端子 509 上涂敷阻焊剂 510 之后,进行开口而使端子 509 露出。

[0121] 接着,在形成于半导体芯片 105 上的端子 509 一侧安装晶片支撑件,对半导体晶片 501 进行研磨直至掩埋电极 503 的另一端部的近前为止,而将半导体晶片 501 薄化。之后,通过 CMP 等对半导体晶片 501 进行研磨来露出掩埋电极 503 的另一端部。由此,掩埋电极 503 发挥贯通半导体晶片 501 的 TSV 的功能。在露出了掩埋电极 503 的另一端部的时刻,在未形成第一半导体元件 505 的半导体晶片 501 的背面侧,在形成有槽 201 的区域,第二绝缘树脂层 113 露出,而与各个元件区域相对应的半导体晶片 501 的侧面被第二绝缘树脂层 113 覆盖。

[0122] 接着,如图 31 所示,在半导体晶片 501 上形成第二绝缘层 512。第二绝缘层 512 可由与第一绝缘层 114 相同的材料形成。在第二绝缘层 512 形成用于露出掩埋电极 503 的开口之后,在第二绝缘层 512 上形成包括与掩埋电极 503 的另一端部相连接的端子 511 的导电层。在导电层中,除了端子 511 之外可形成有布线(未图示),在半导体晶片 501 与导电

层之间,可根据需要形成有另外的布线层。关于端子 511,可将导电性材料涂敷于第二绝缘层 512 整面并进行图案化来形成。接着,在端子 511 和第二绝缘层 512 的整面涂敷阻焊剂 513 并进行图案化来形成使端子 511 露出的开口 515。

[0123] 接着,如图 32 所示,可根据需要对露出的端子 511 实施预焊剂处理 (OSP),并在开口 515 上形成外部端子 517。外部端子 517 可以为利用焊料的 BGA 球。另外,可在半导体晶片 501 上形成外部端子 517 之后,从半导体芯片 105 一侧剥离晶片支撑件,并根据需要,在与布线 507 相连接的端子 509 上形成外部端子 519。外部端子 519 可以为利用焊料的 BGA 球。

[0124] 之后,如图 33 所示,沿着形成于半导体晶片 501 的元件区域的边界线,对阻焊剂 510、绝缘膜 508、第一绝缘层 114、第二绝缘树脂层 113、第二绝缘层 512 以及阻焊剂 513 进行划片而将半导体晶片 501 单片化,从而制造层叠有薄型半导体芯片的堆叠装配封装件 50。

[0125] 根据本发明第五实施方式的半导体装置的制造方法,可制造抑制半导体芯片彼此的凸块连接时的芯片的弯曲引起的凸块连接不良或短路,提高了成品率和可靠性的堆叠装配封装件。

[0126] 在以上说明的本发明第五实施方式的半导体装置的制造方法中,说明了对第二实施方式的半导体装置的制造方法中使用的半导体晶片应用形成有 TSV 的半导体晶片的一例,但也可以对第一实施方式、第三实施方式以及第四实施方式的半导体装置的制造方法中使用的半导体晶片应用形成有 TSV 的半导体晶片来制造堆叠装配封装件。

[0127] 以上,参照图 1A 至图 33 对本发明第一实施方式至第五实施方式进行了说明。此外,本发明并不局限于上述的实施方式,在不脱离要旨的范围内可进行适当变更。

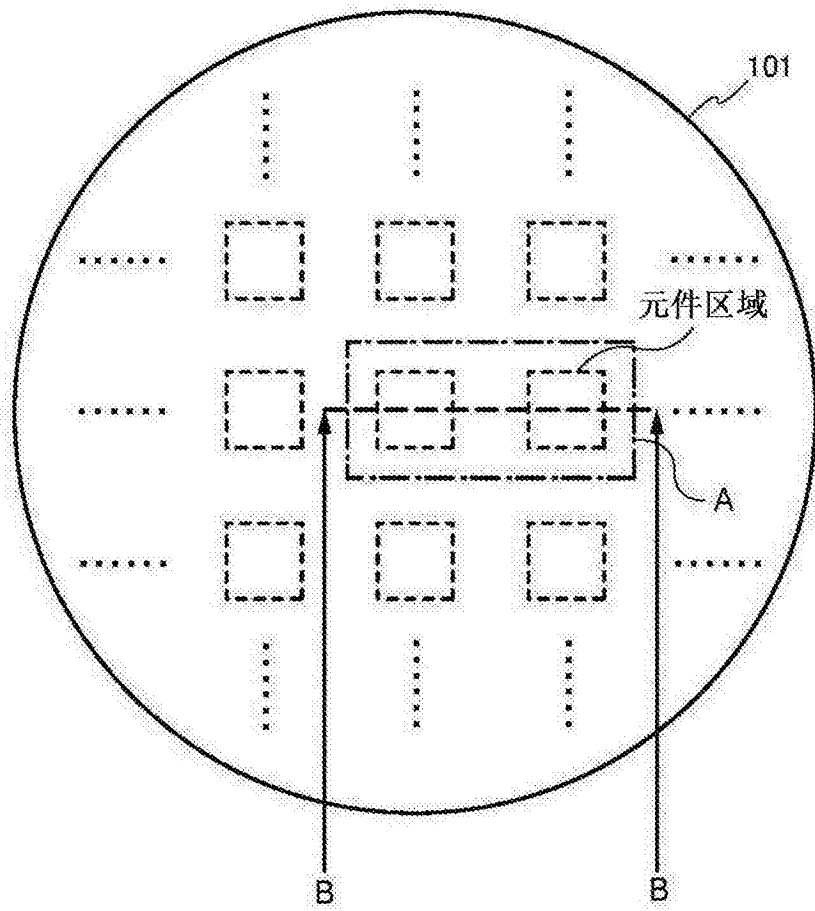


图 1A

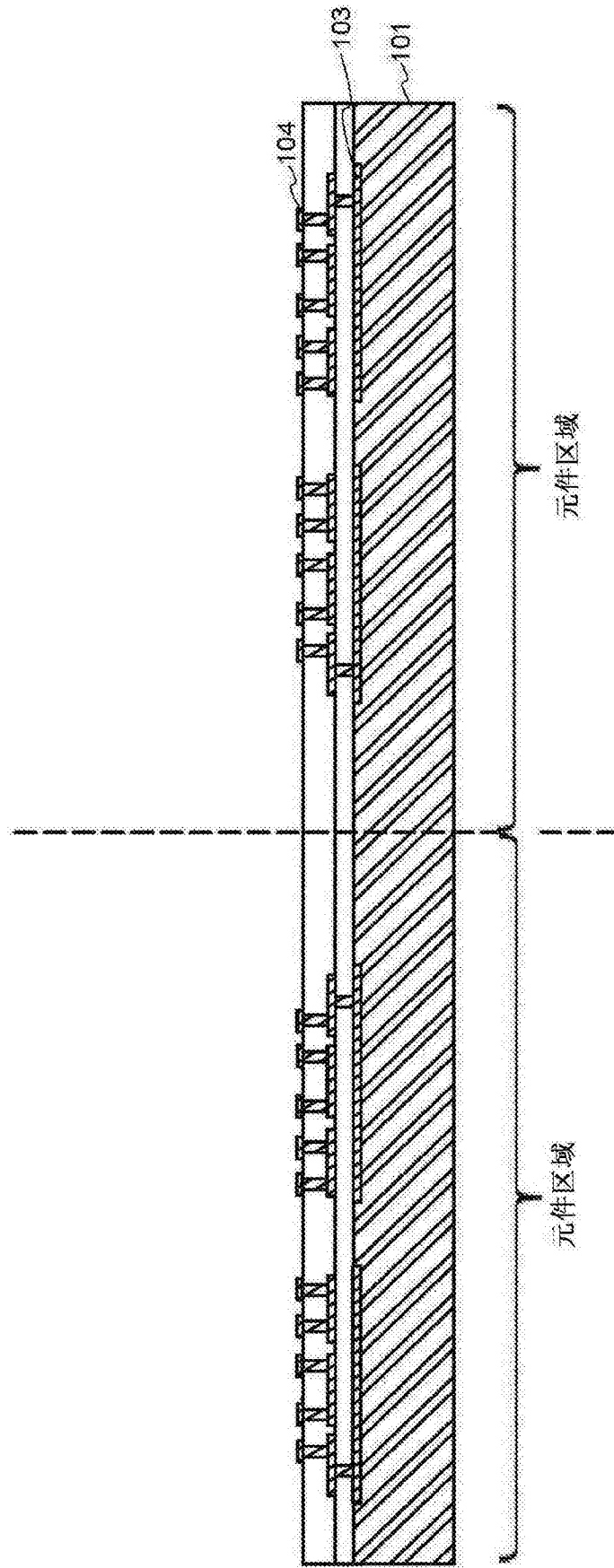


图 1B

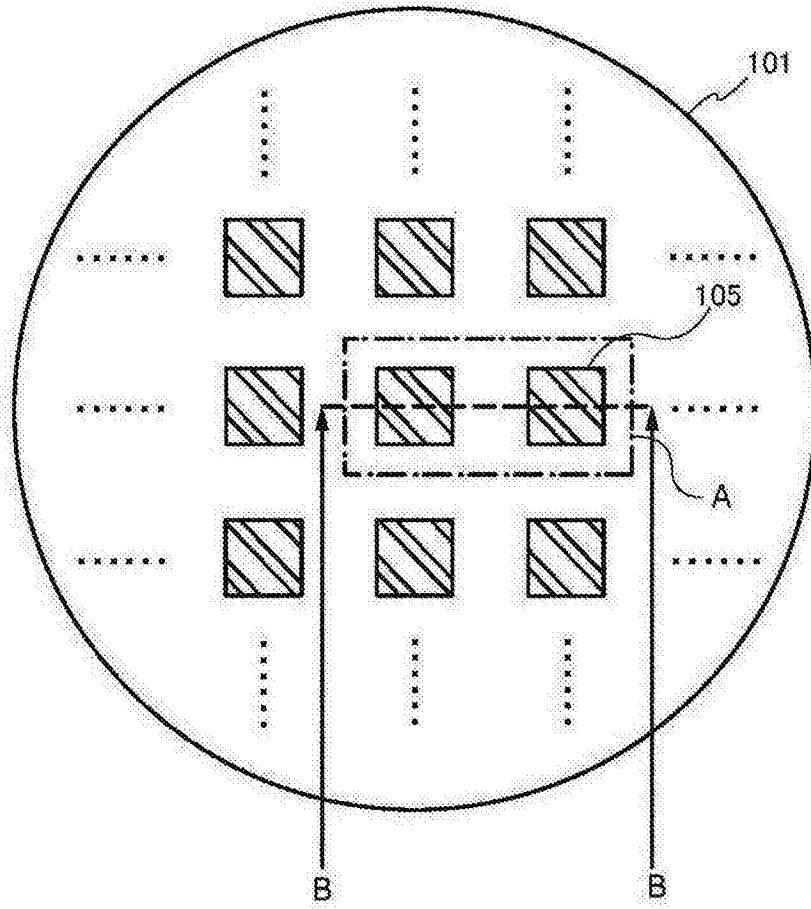


图 2A

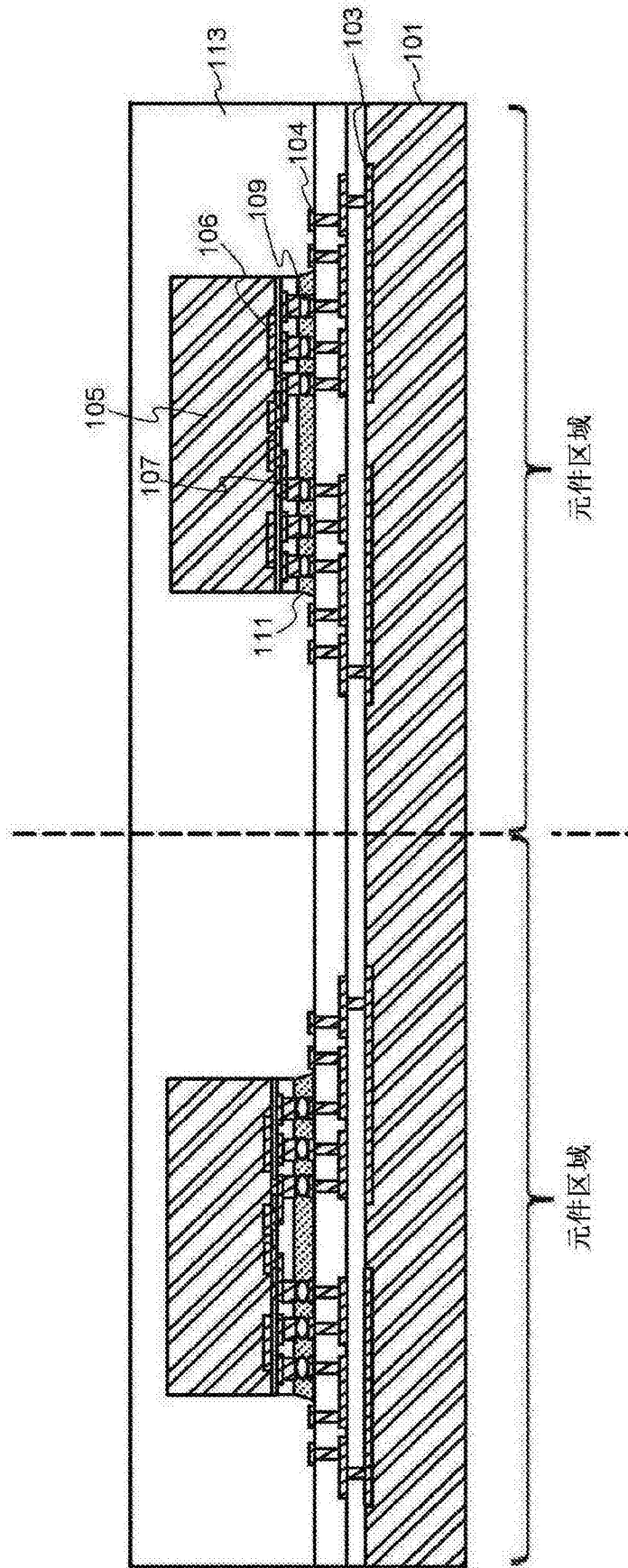


图 2B

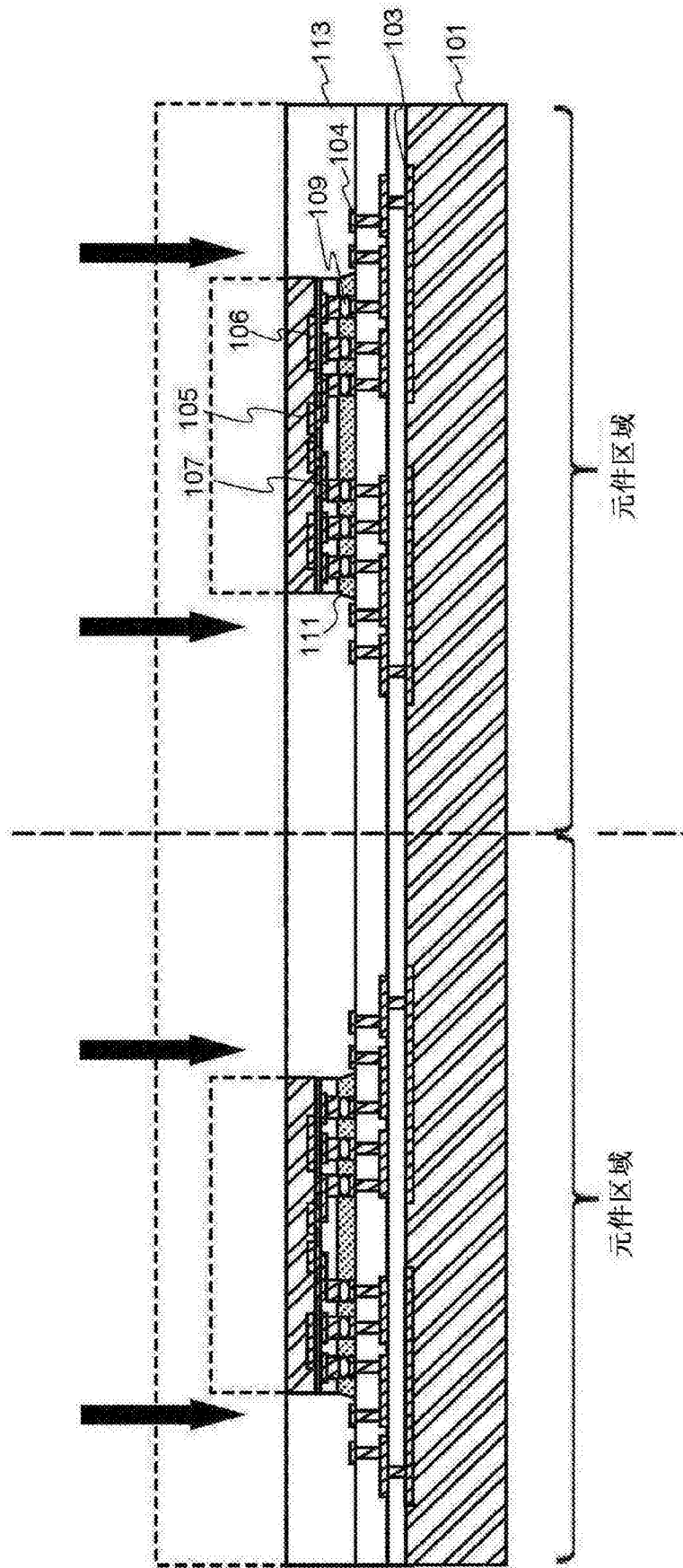


图 3

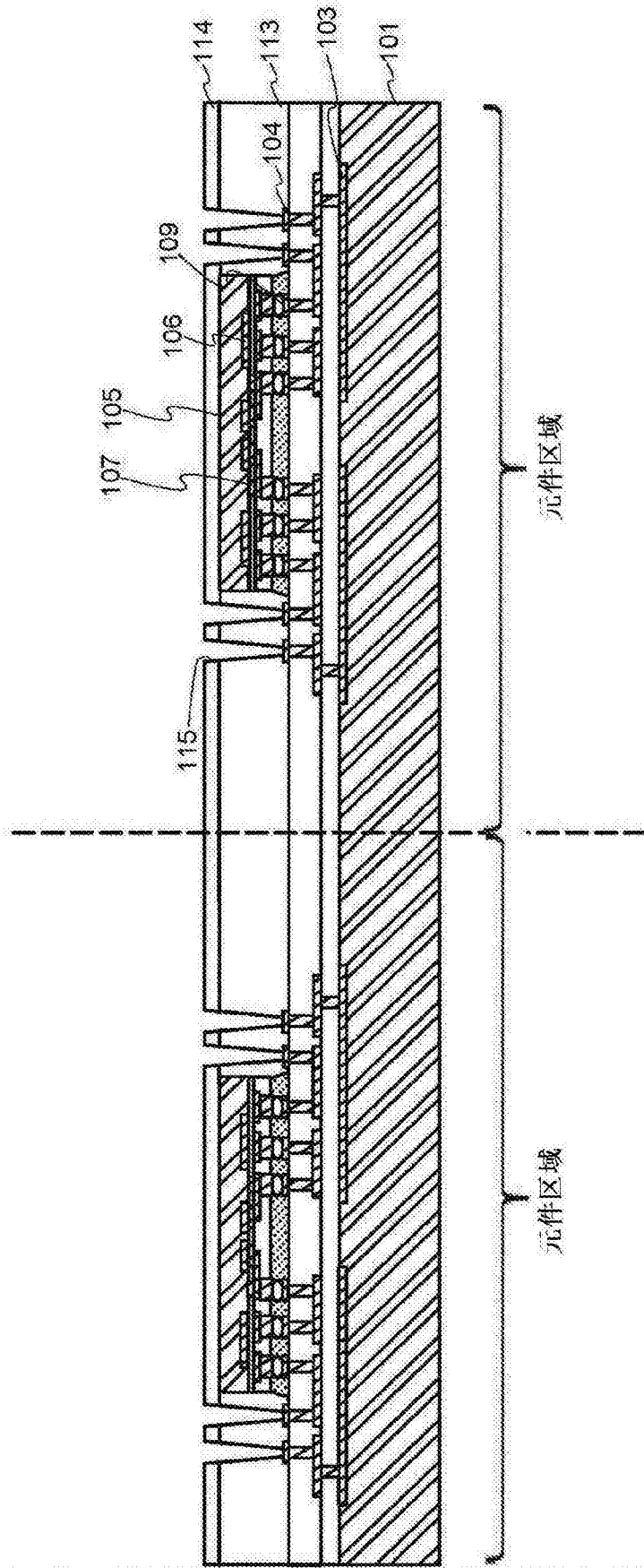


图 4

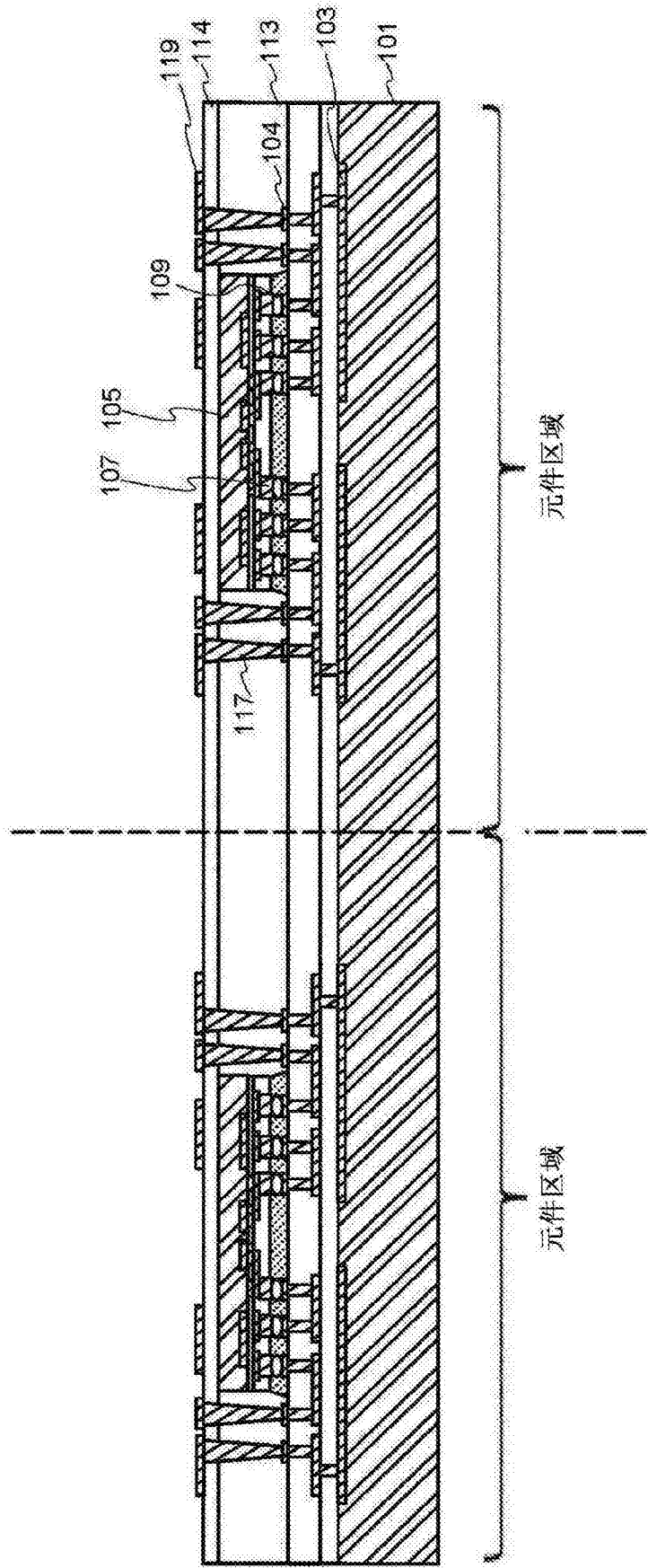


图 5

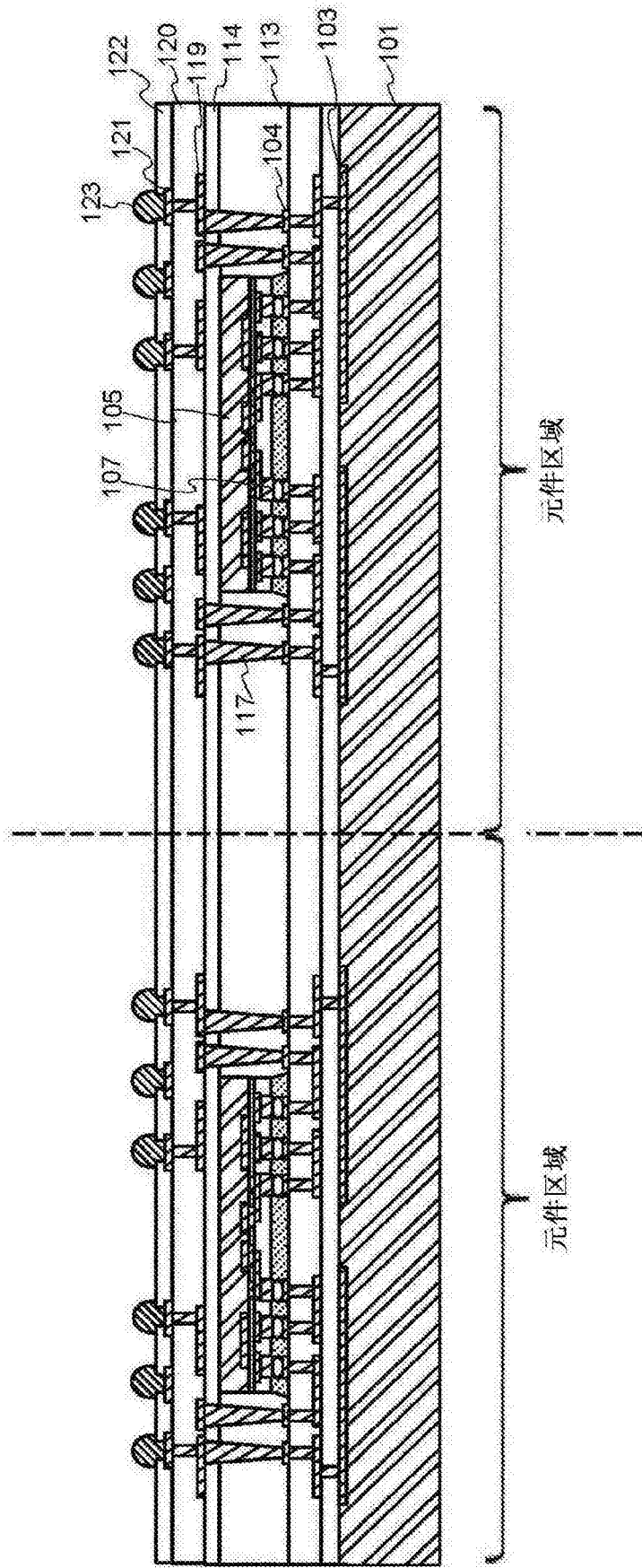


图 6

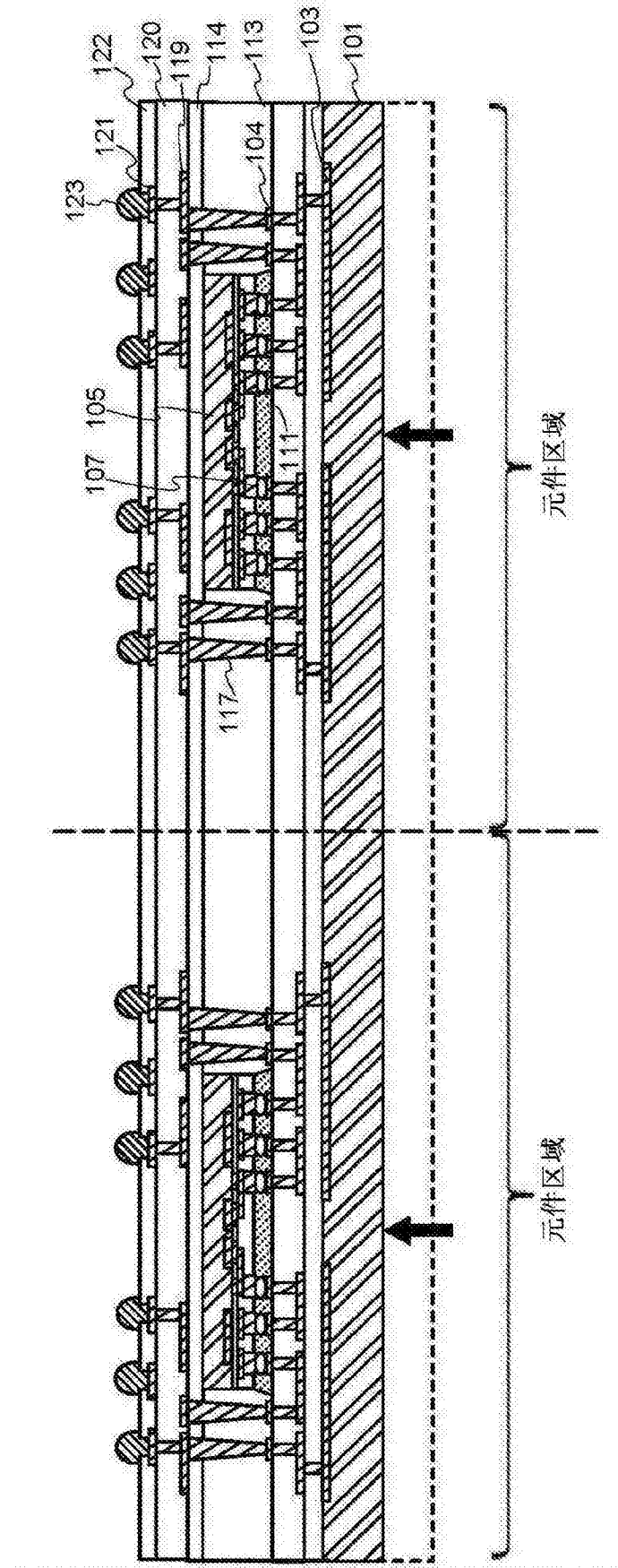


图 7

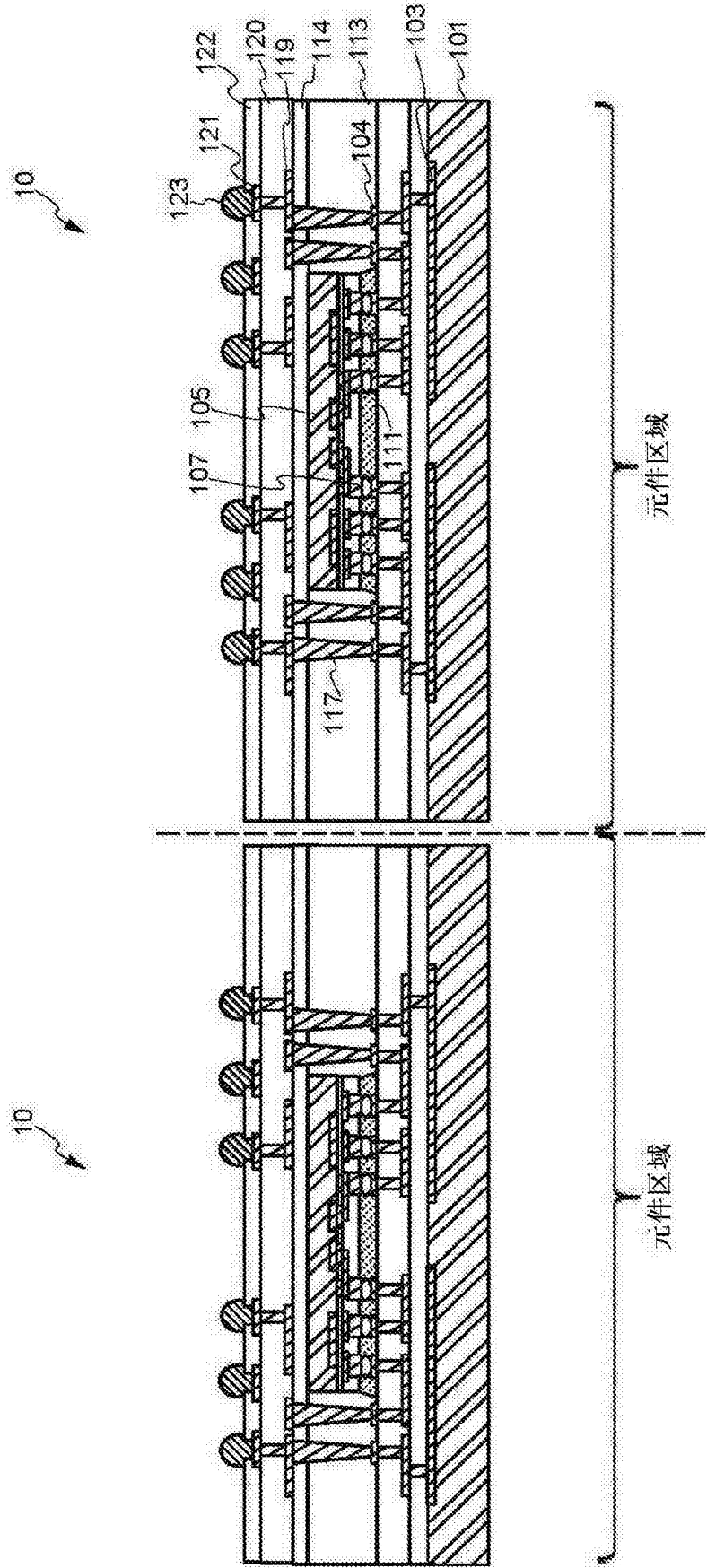


图 8

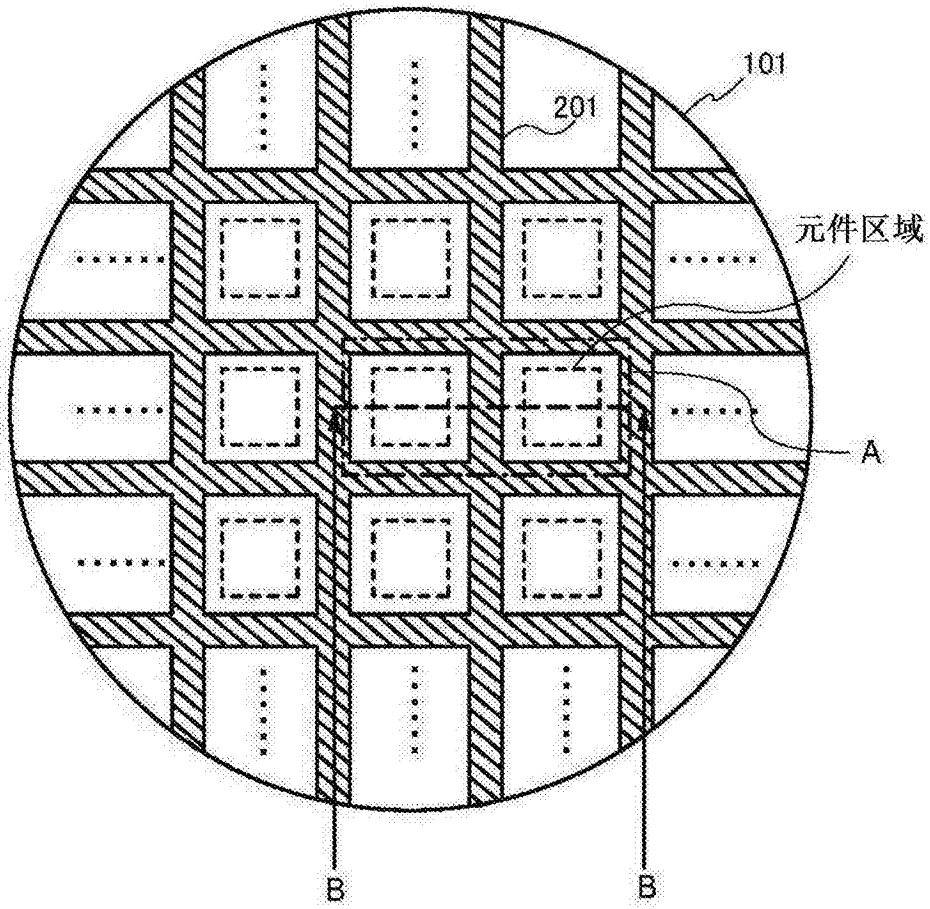


图 9A

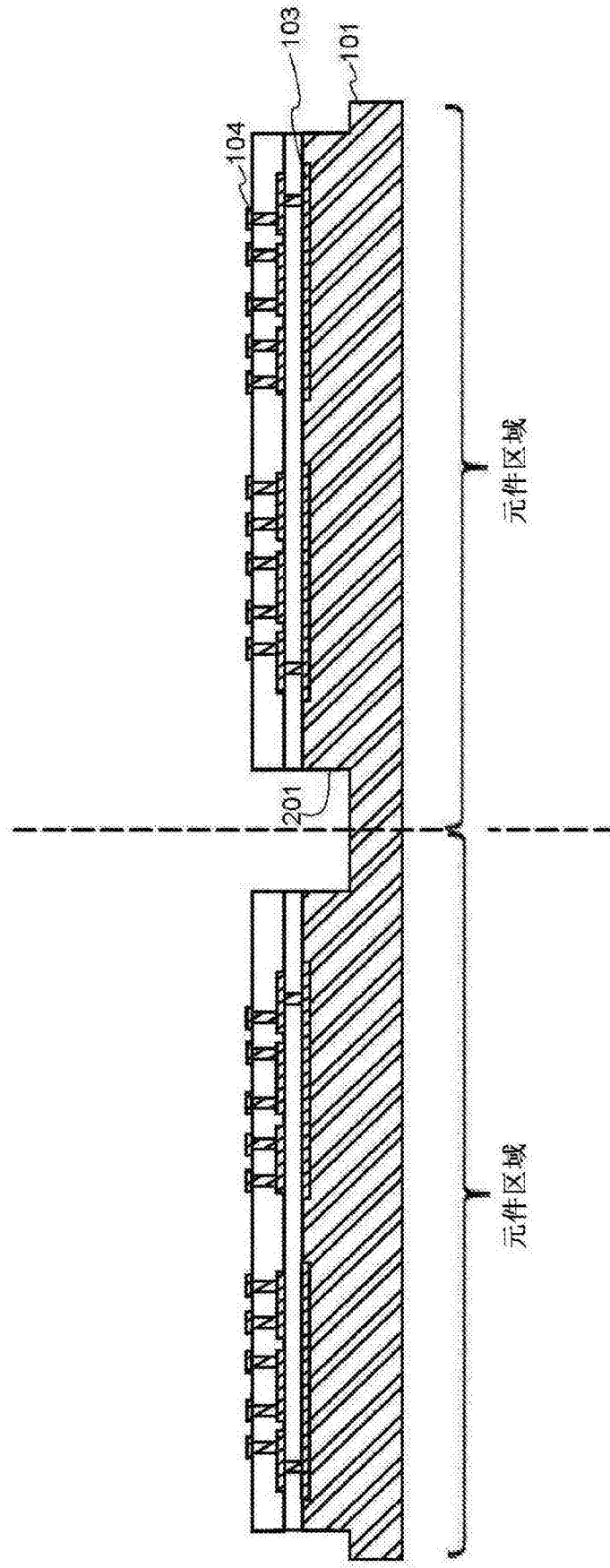


图 9B

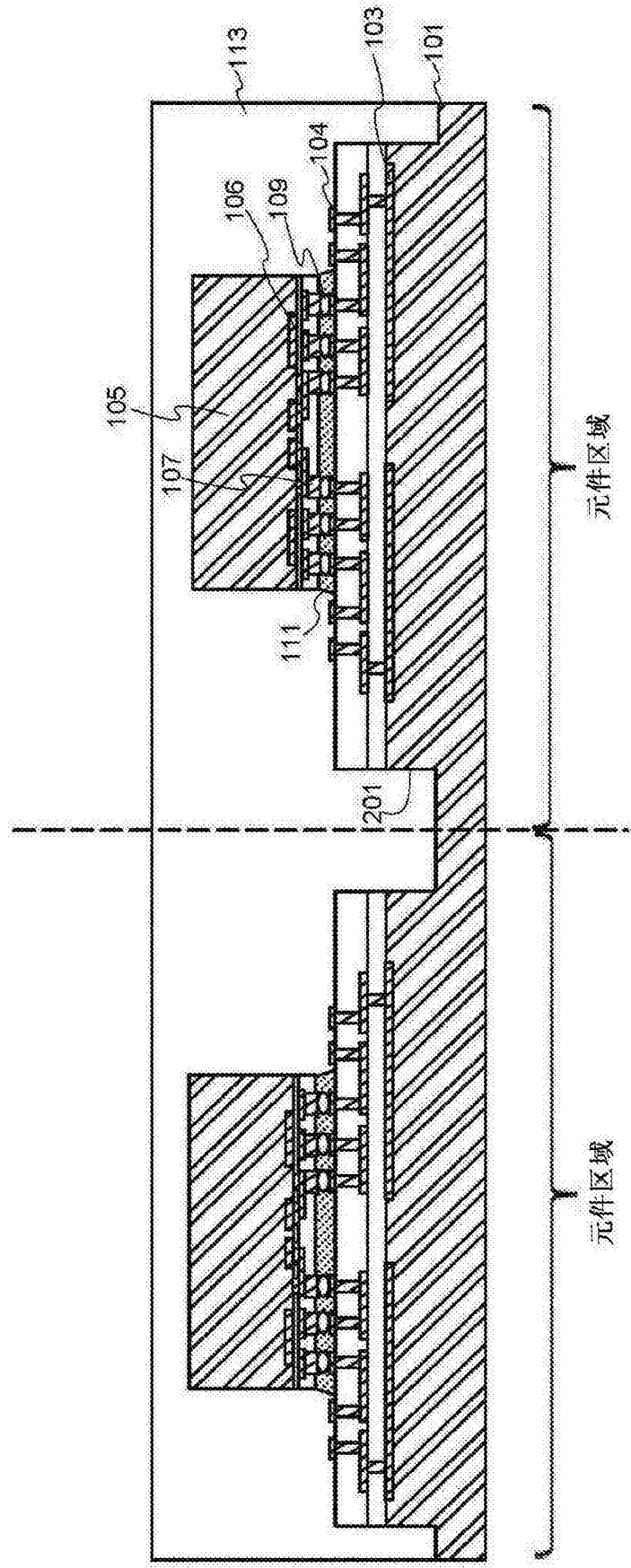


图 10

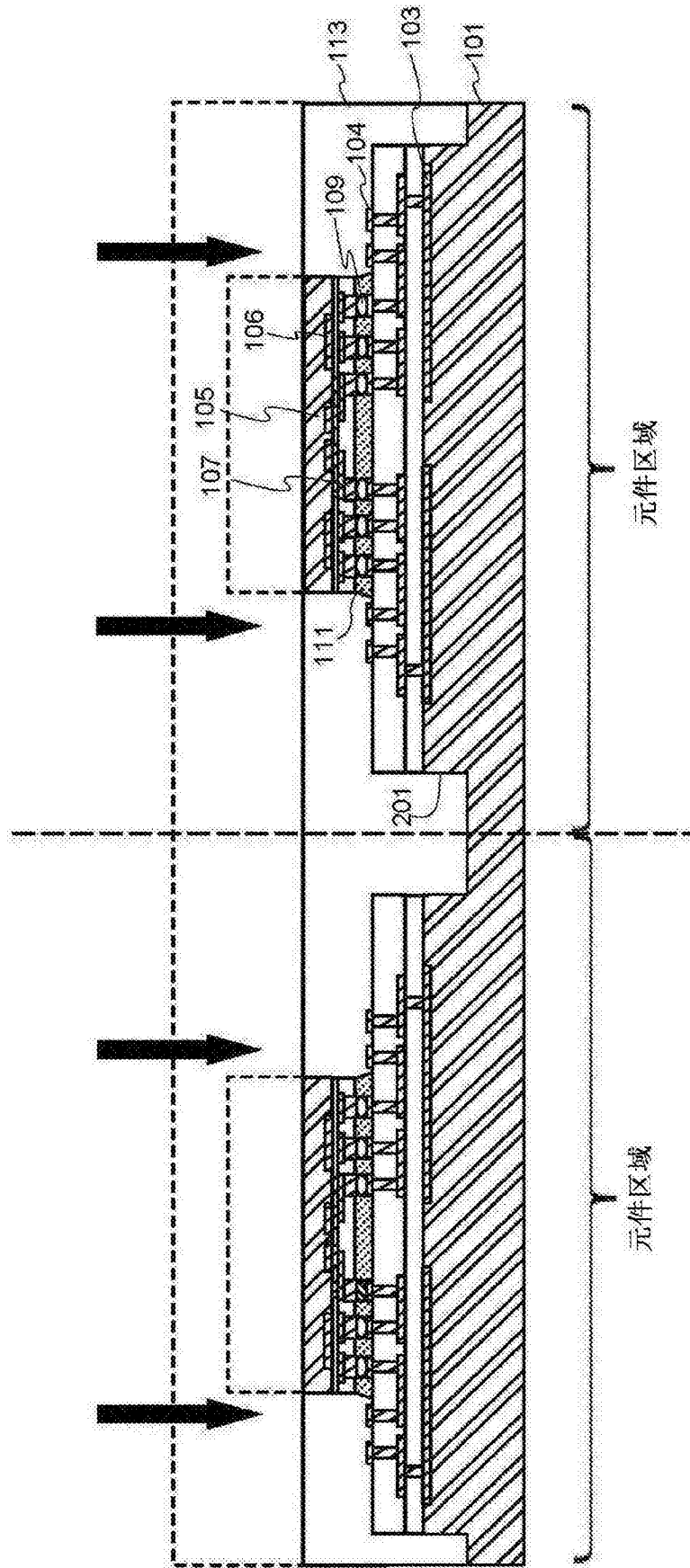


图 11

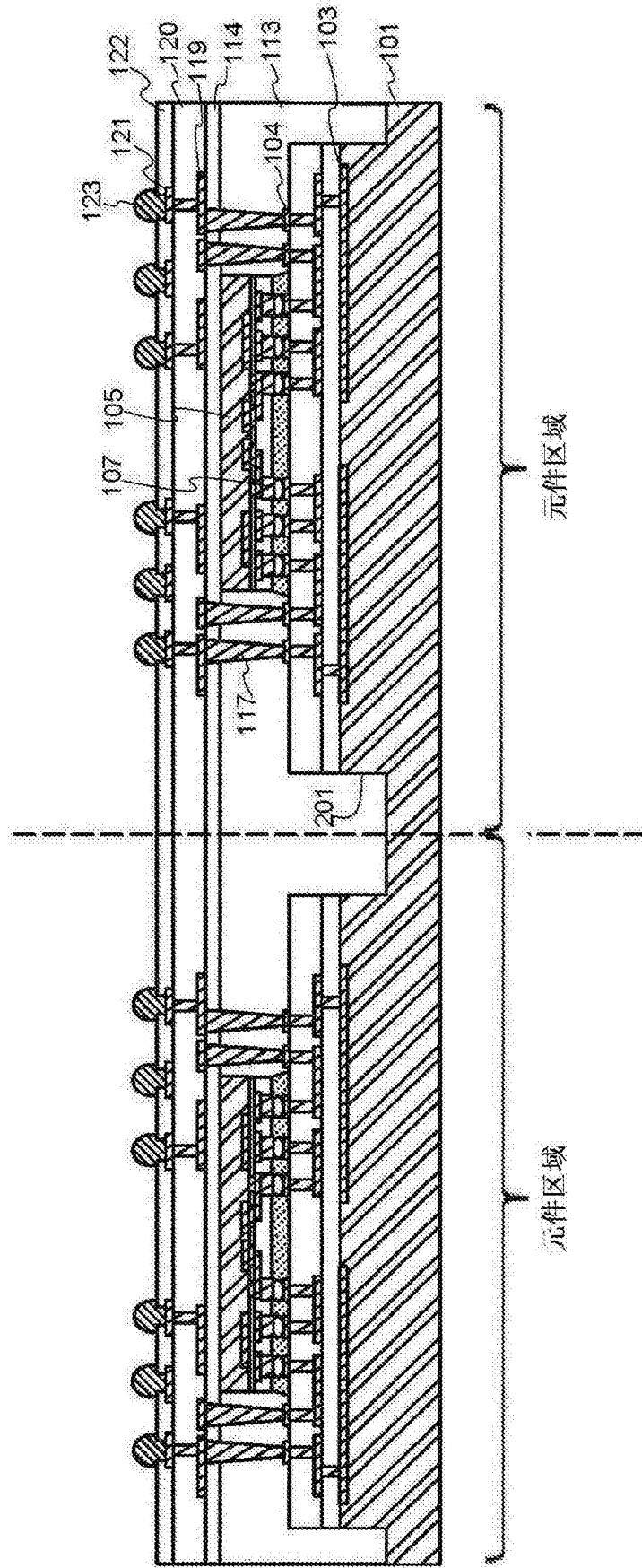


图 12

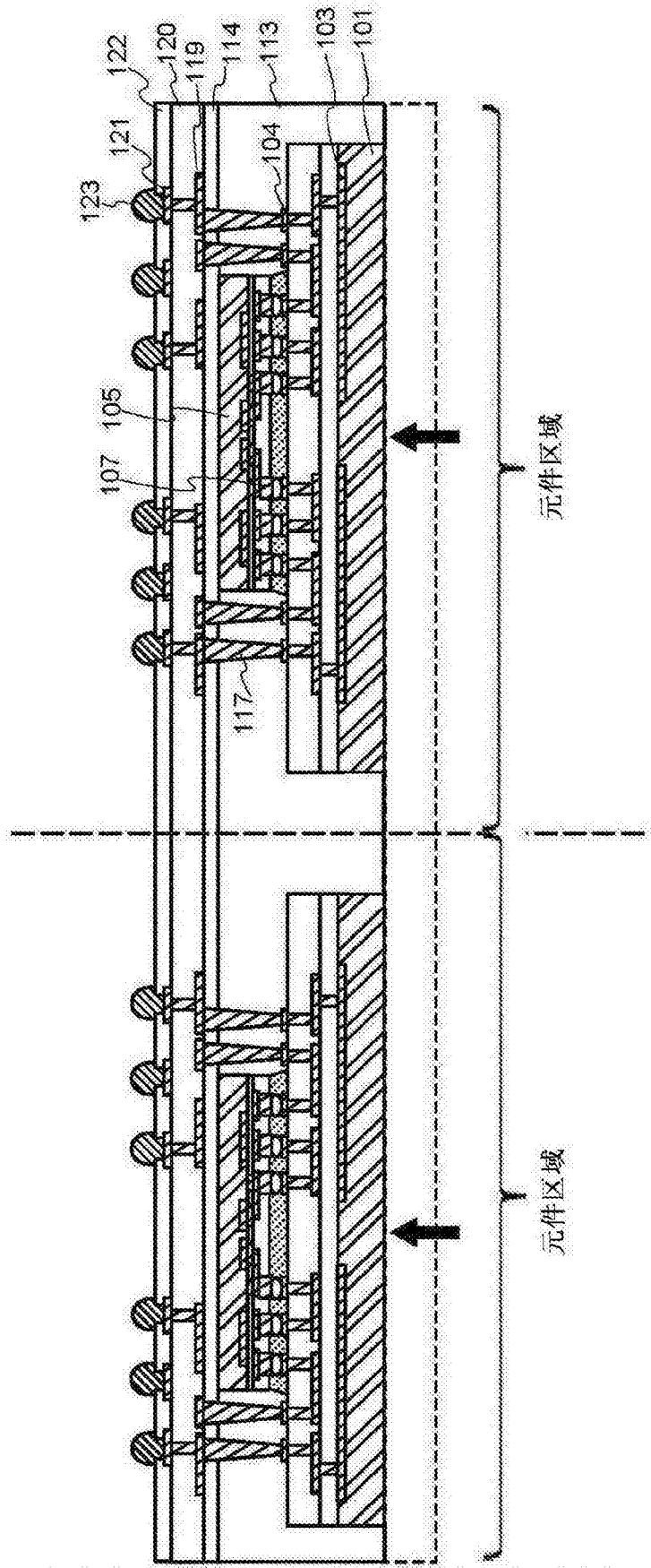


图 13

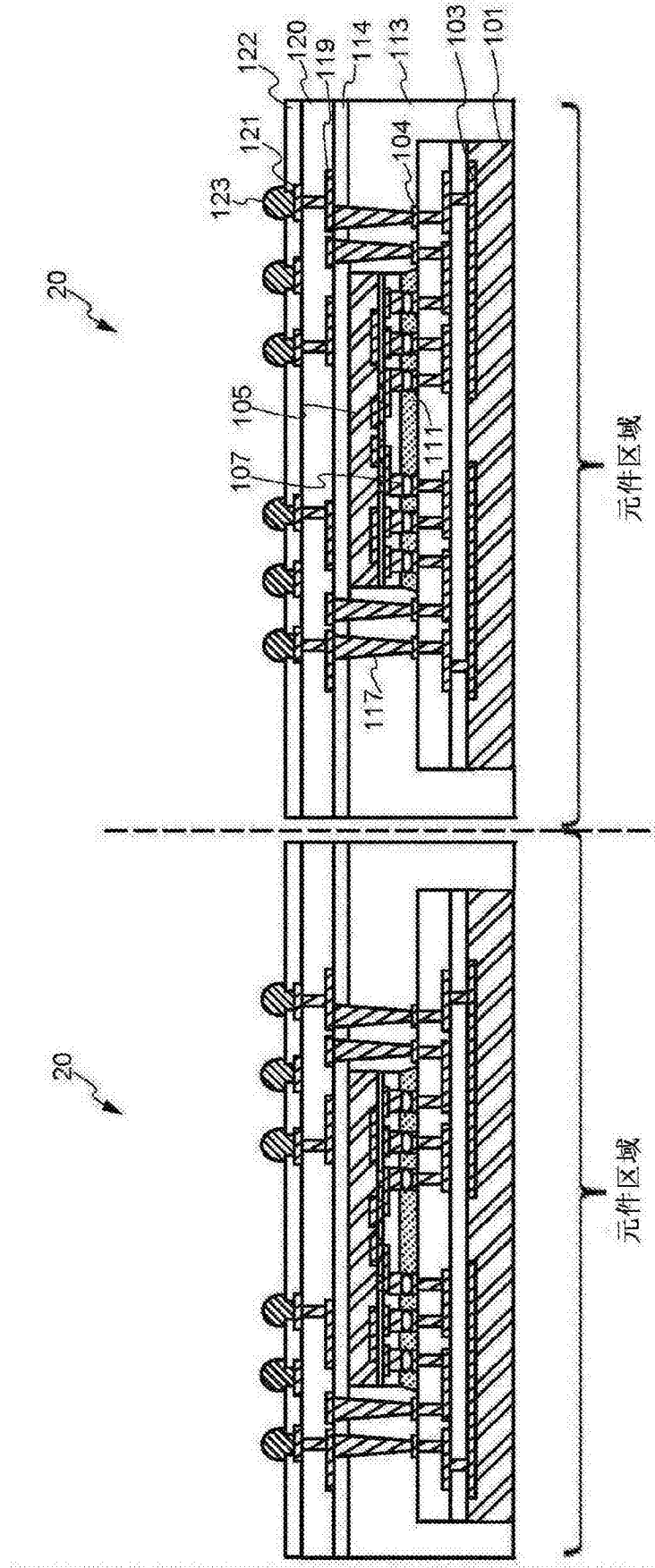


图 14

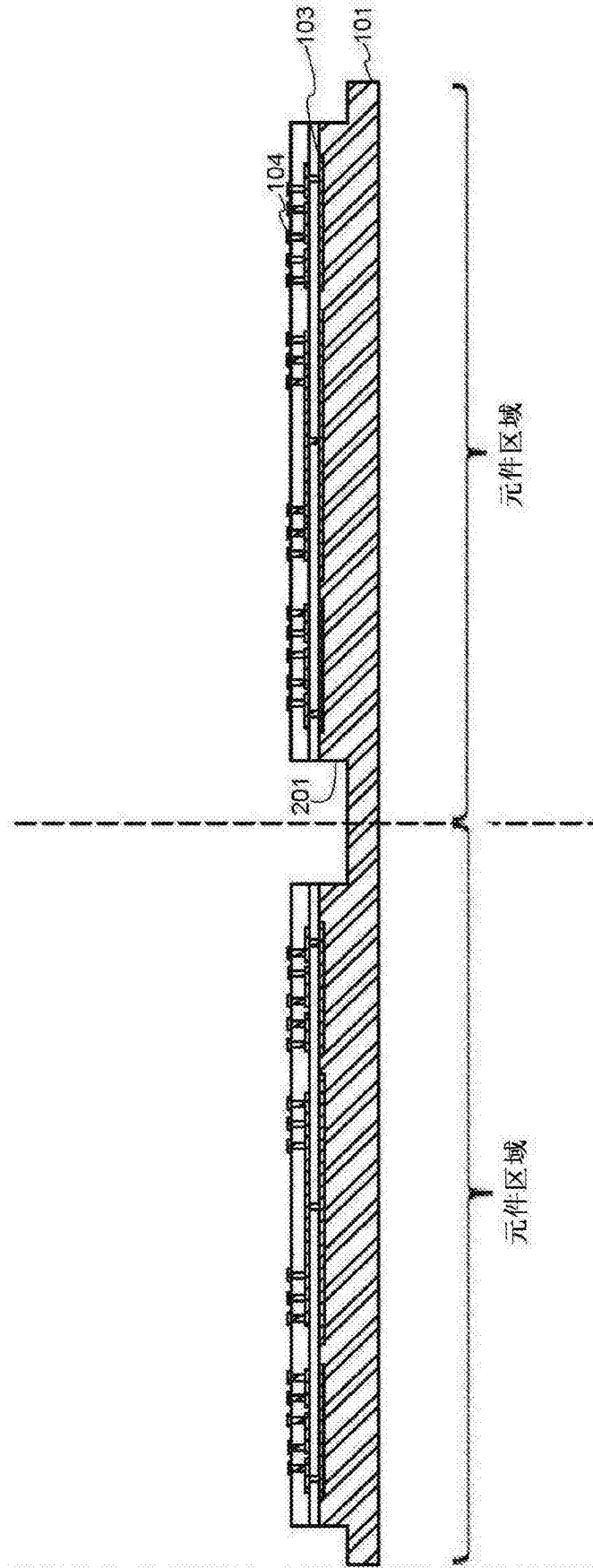


图 15

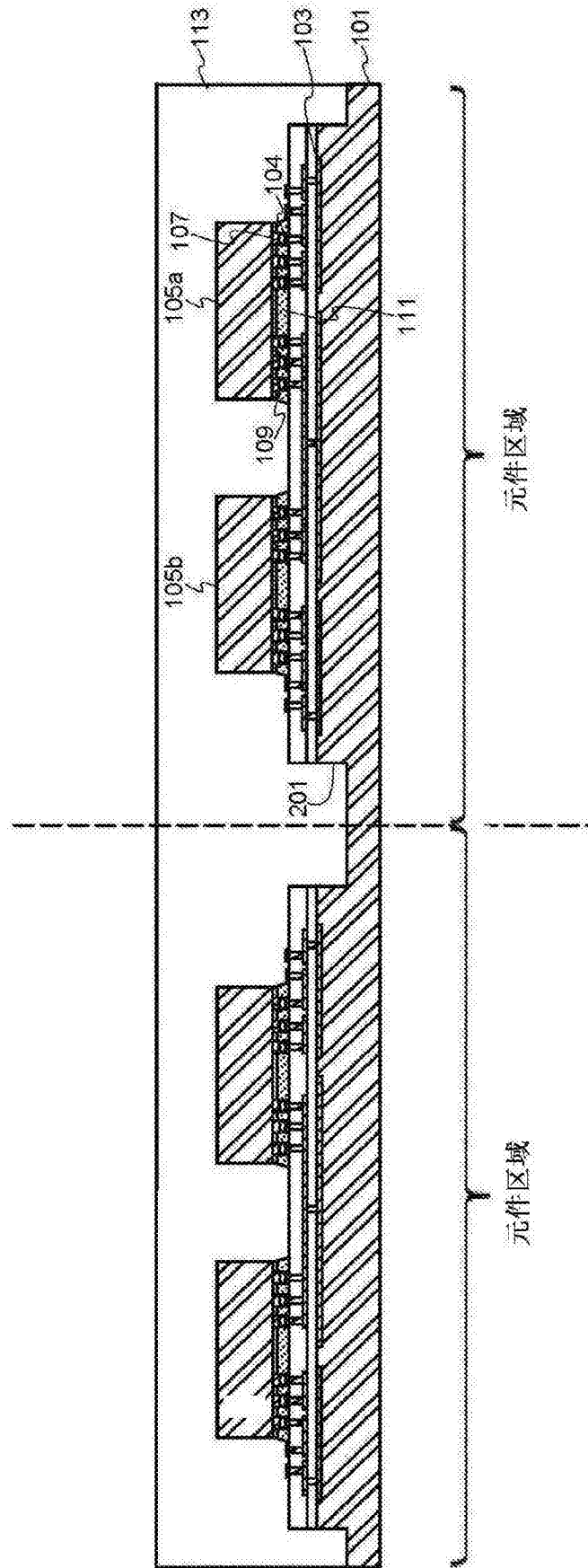


图 16

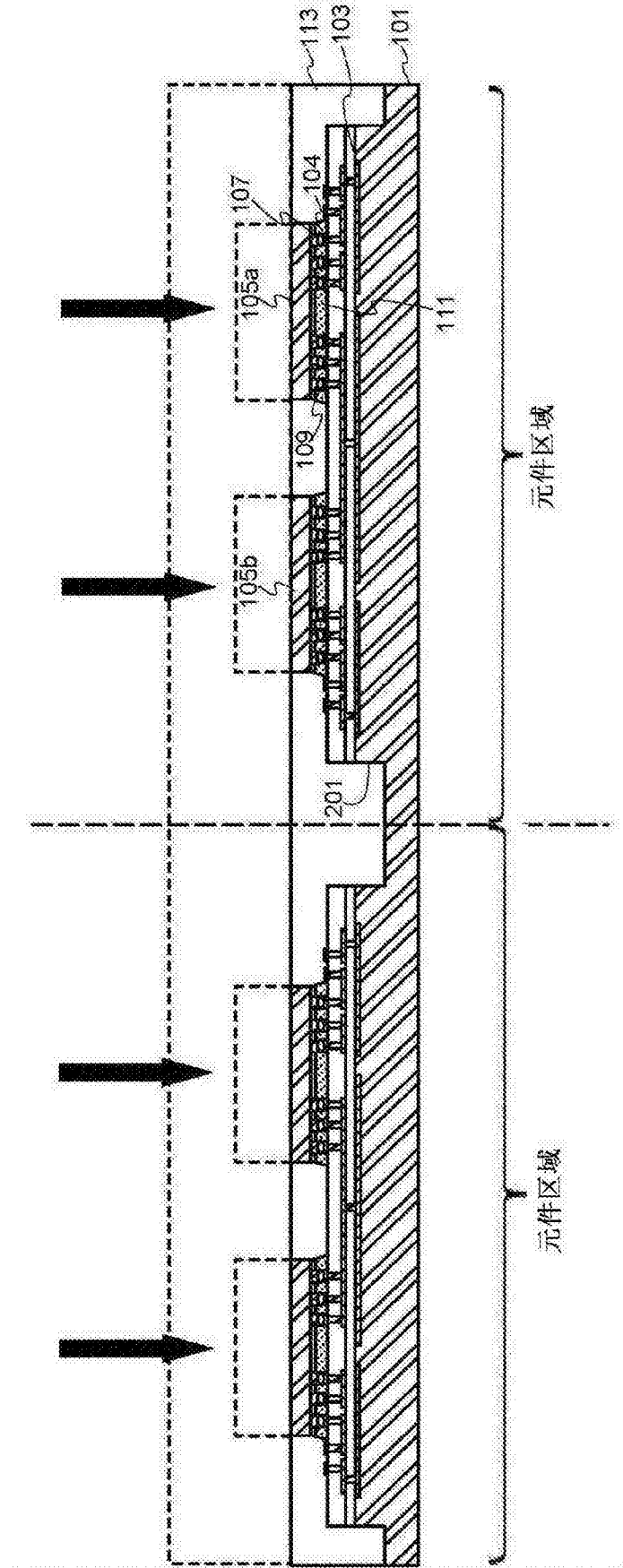


图 17

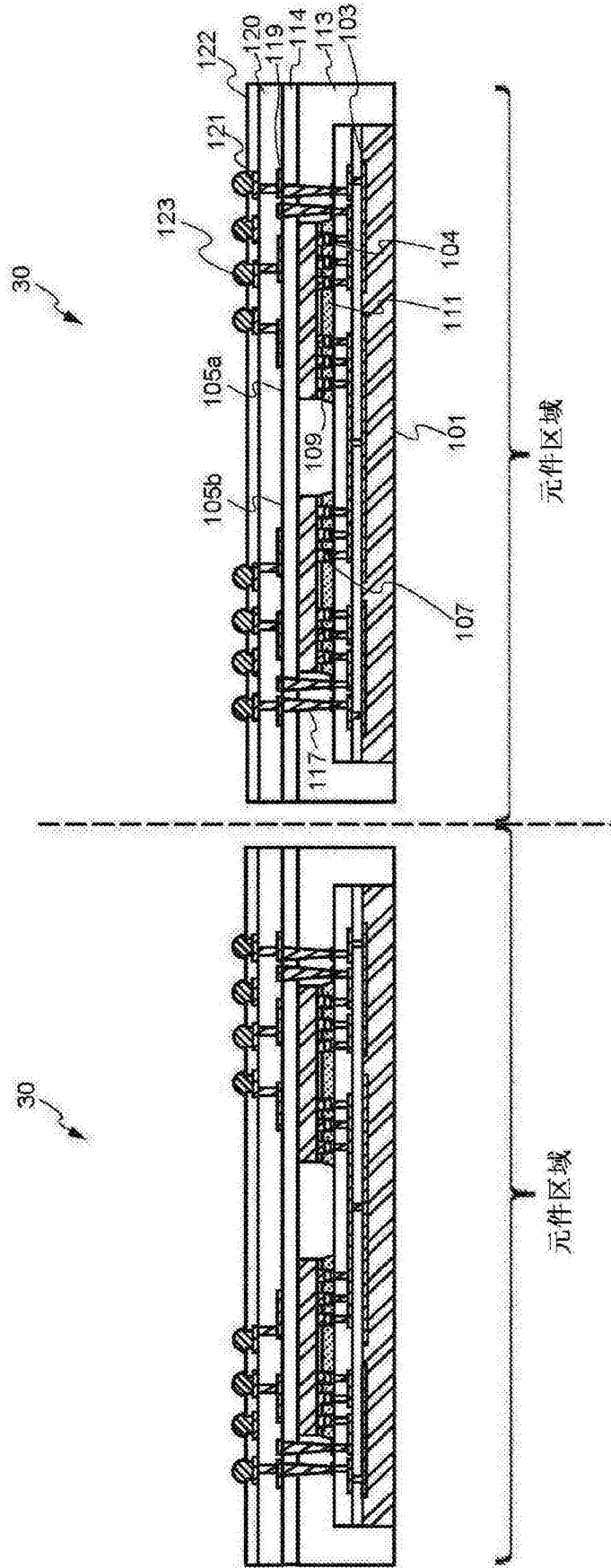


图 18

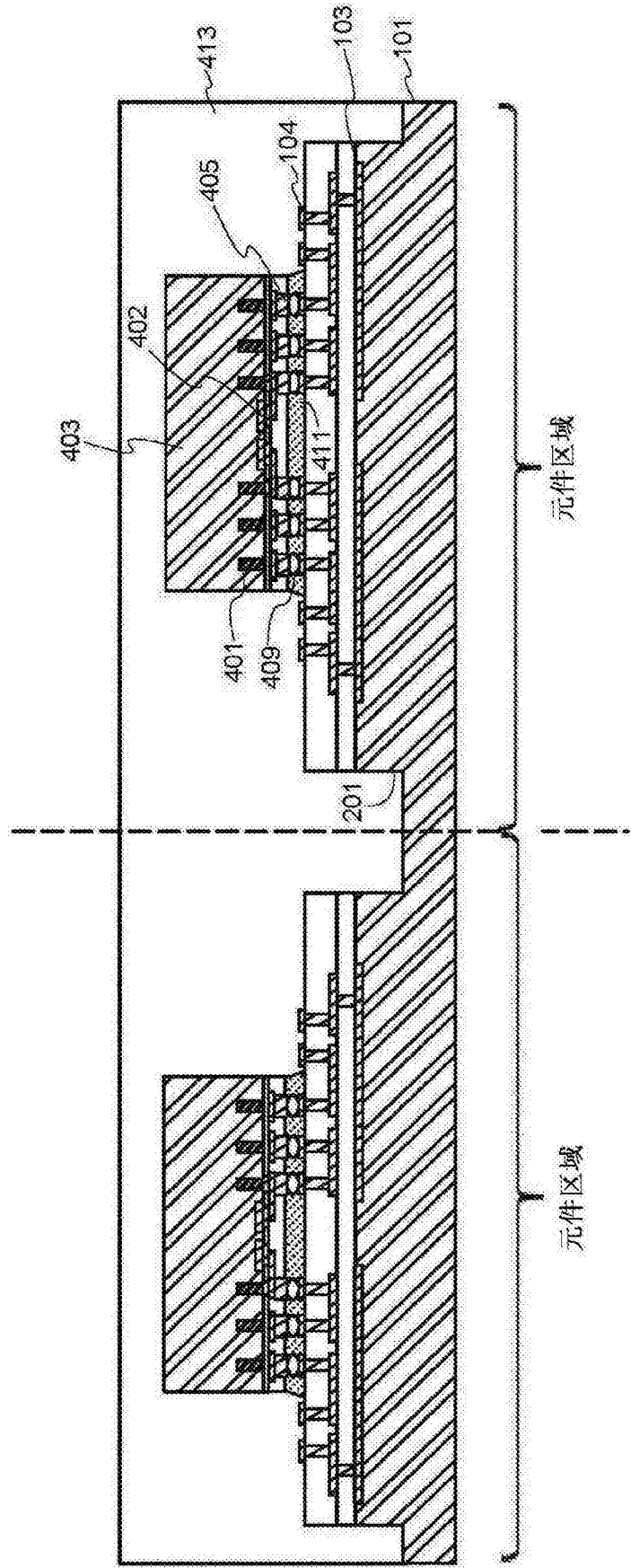


图 19

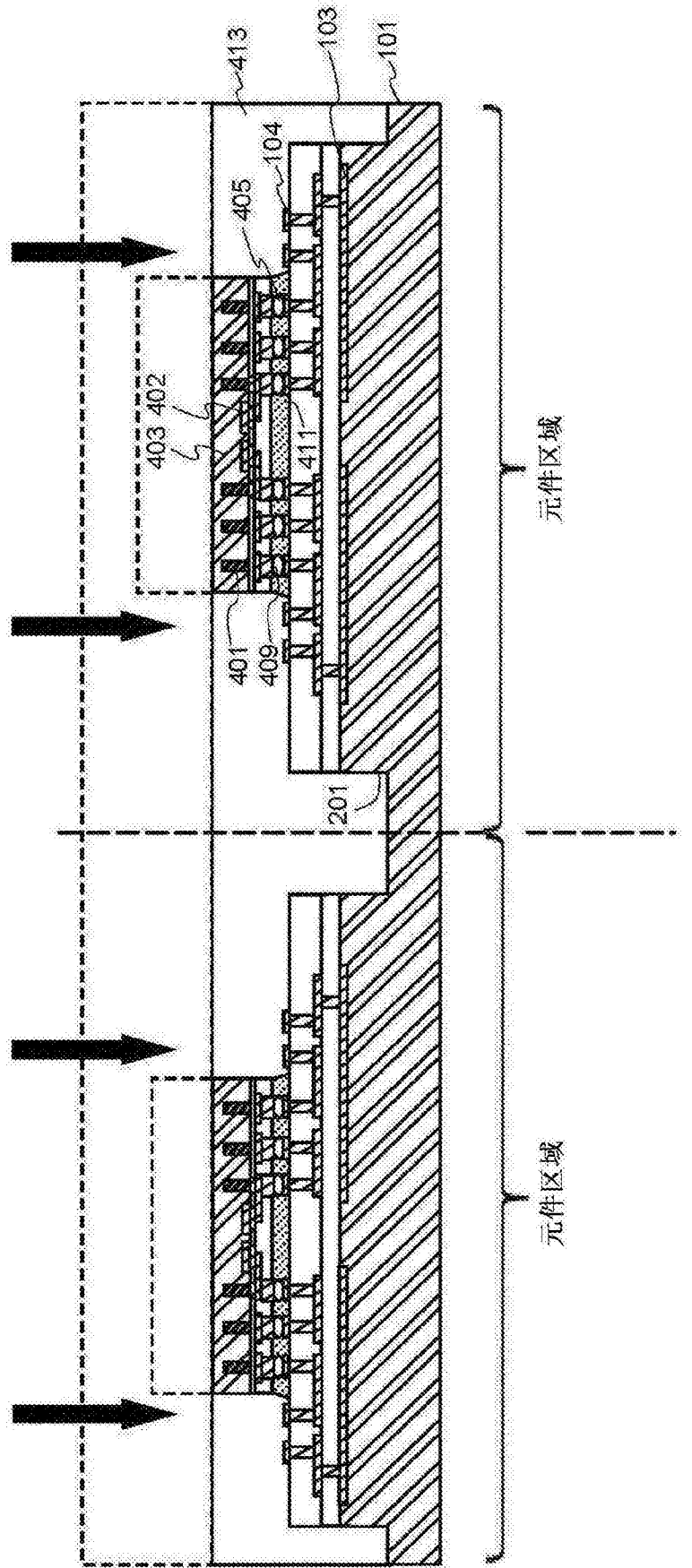


图 20

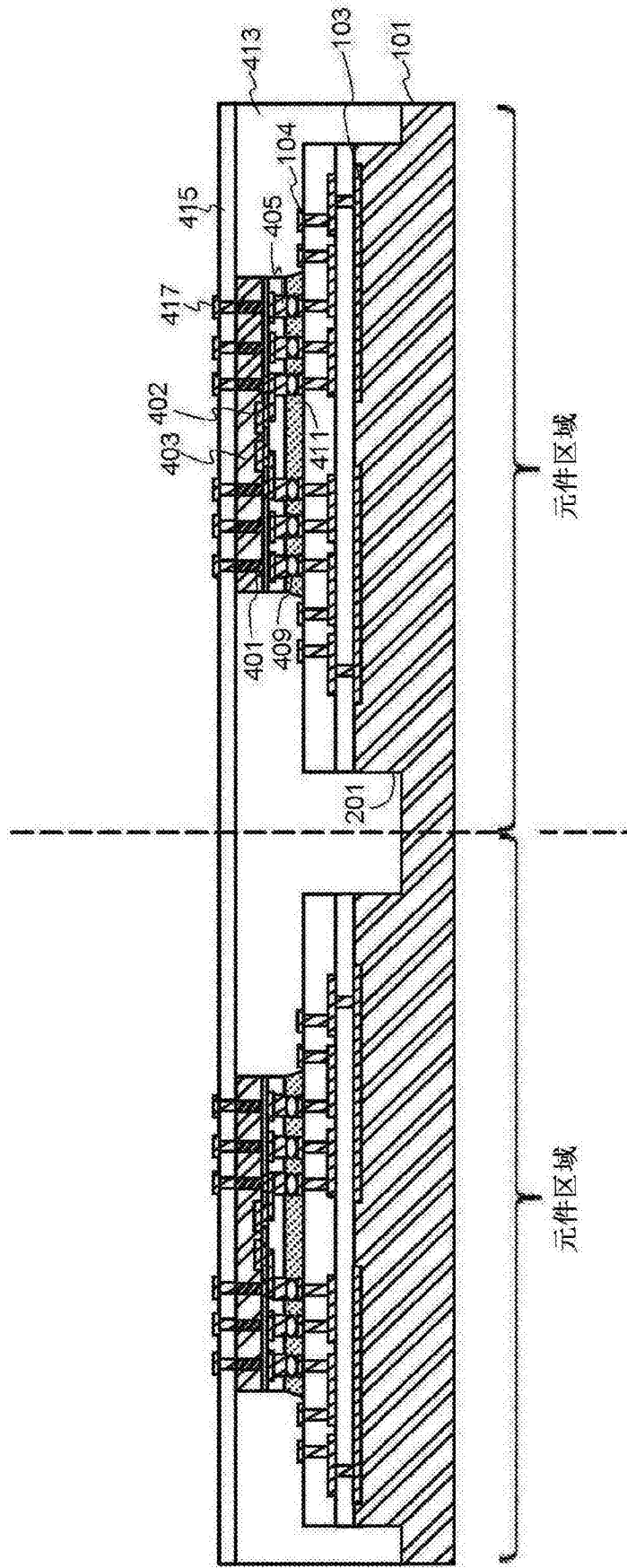


图 21

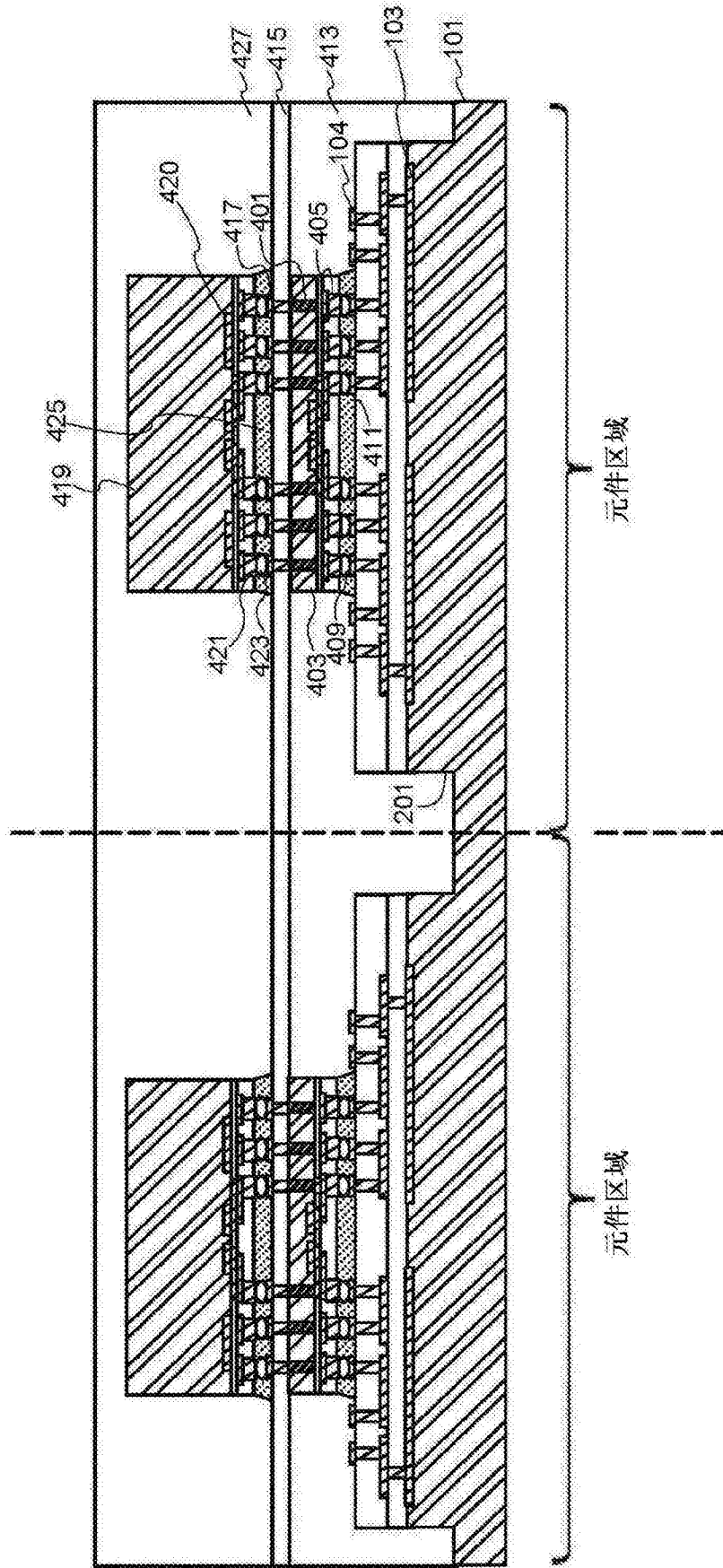


图 22

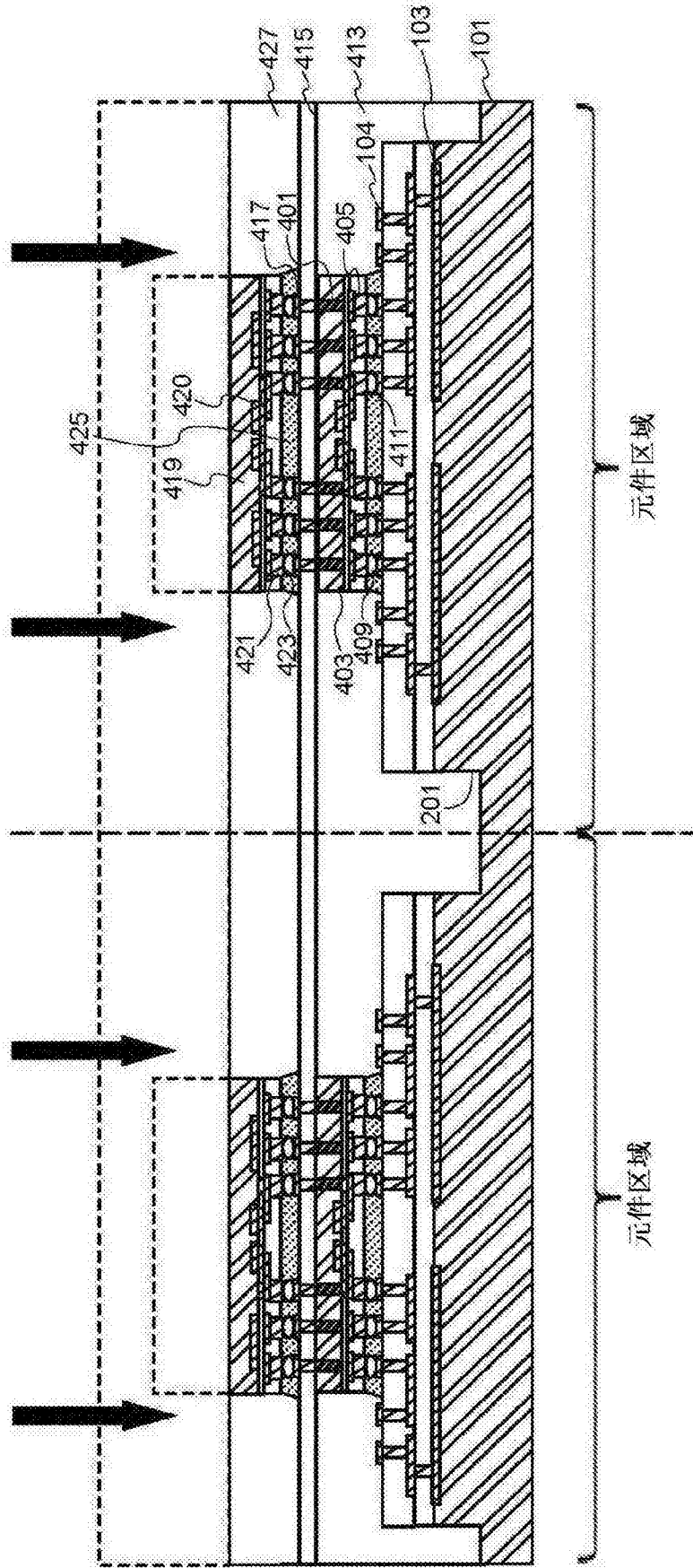


图 23

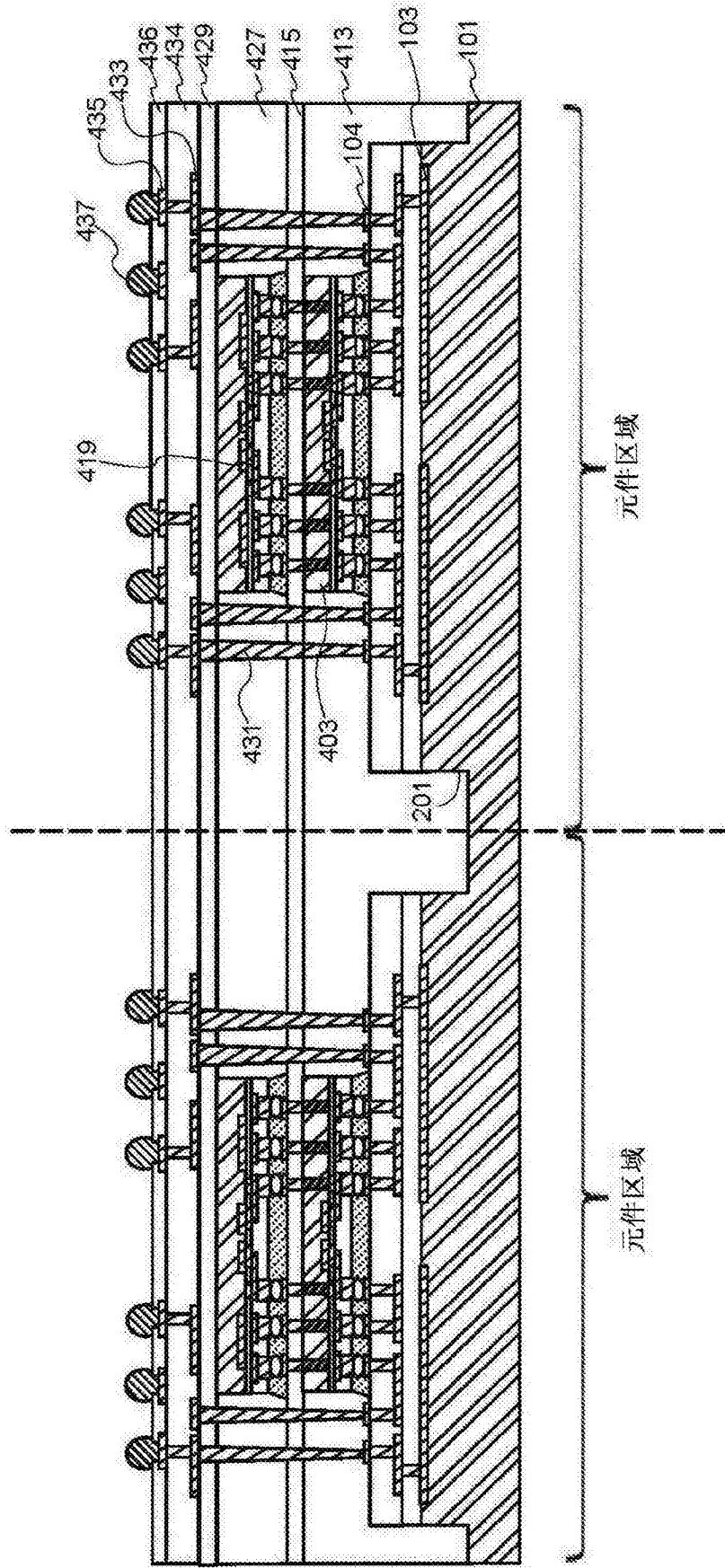


图 24

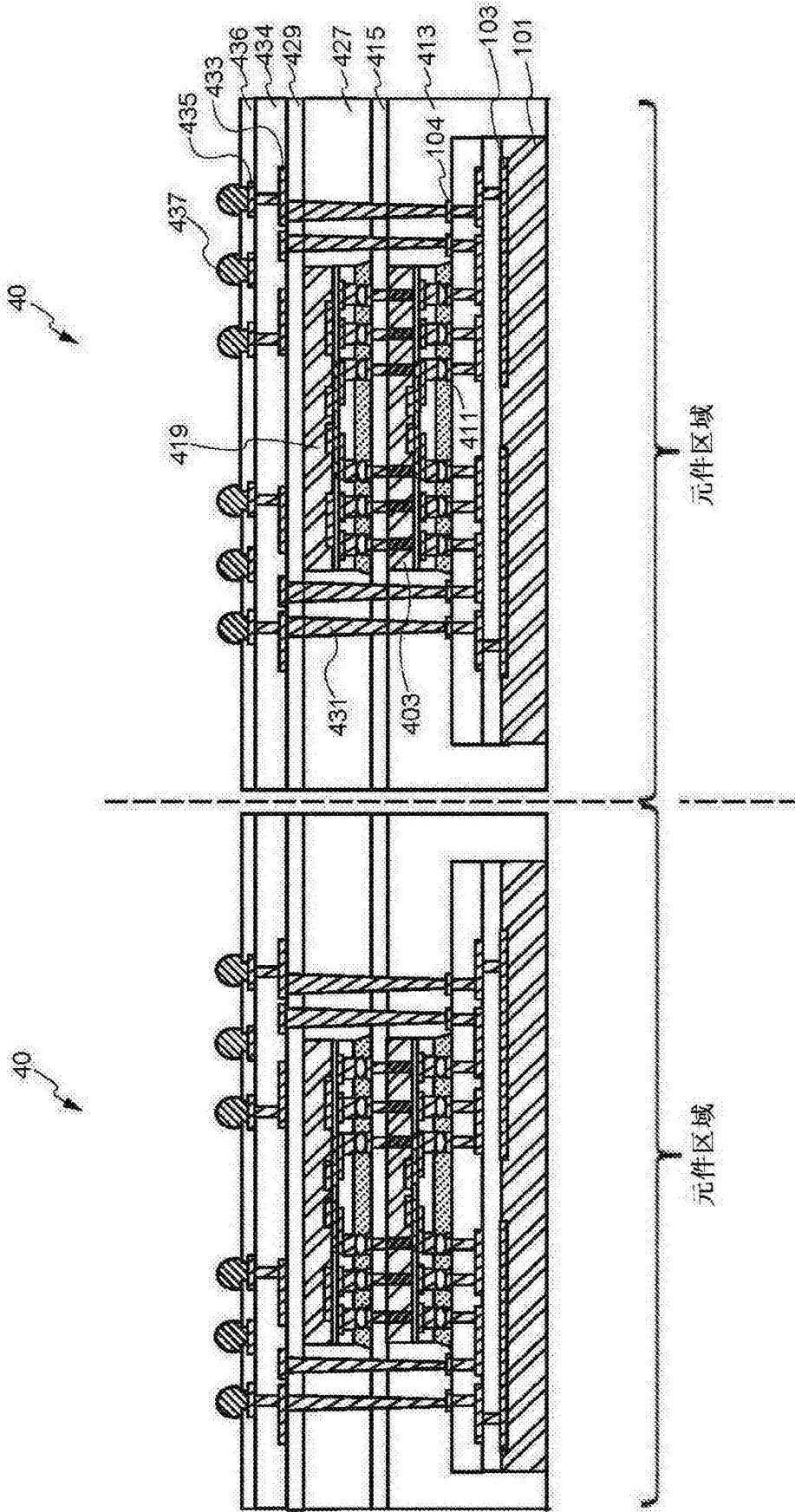


图 25

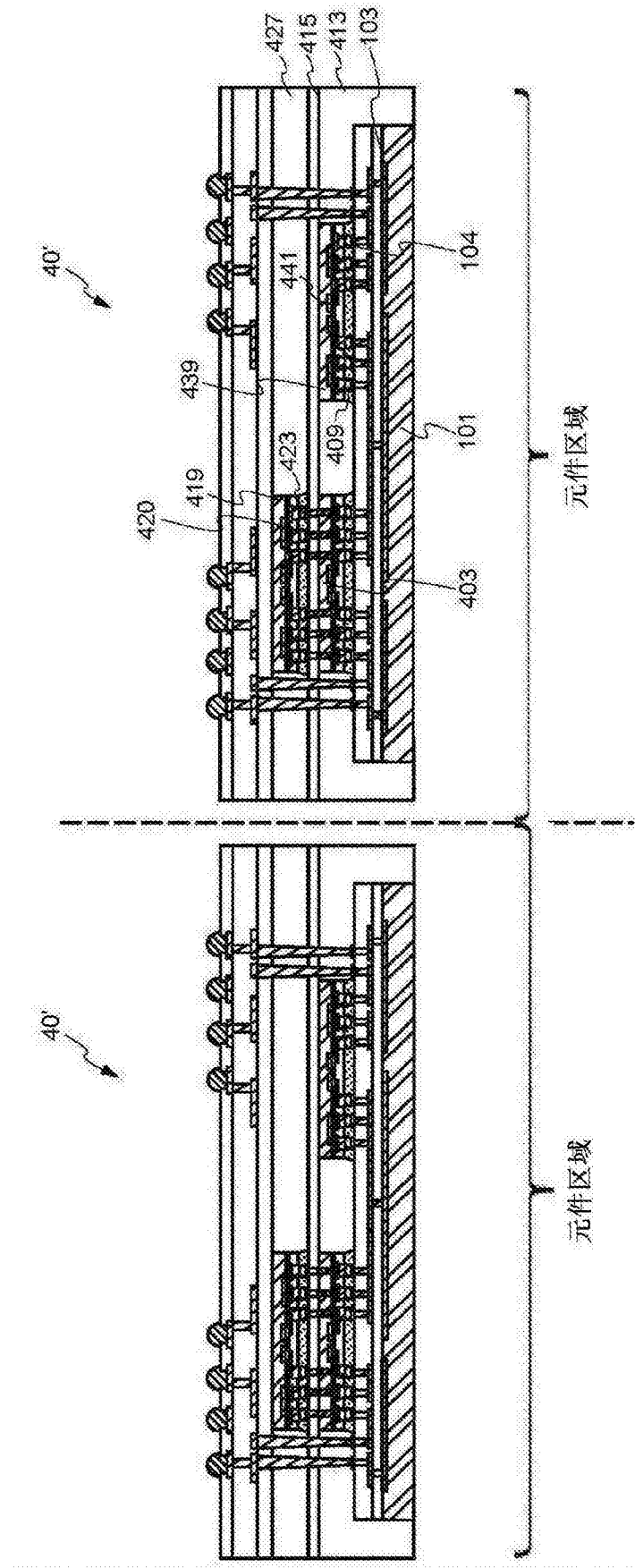


图 26

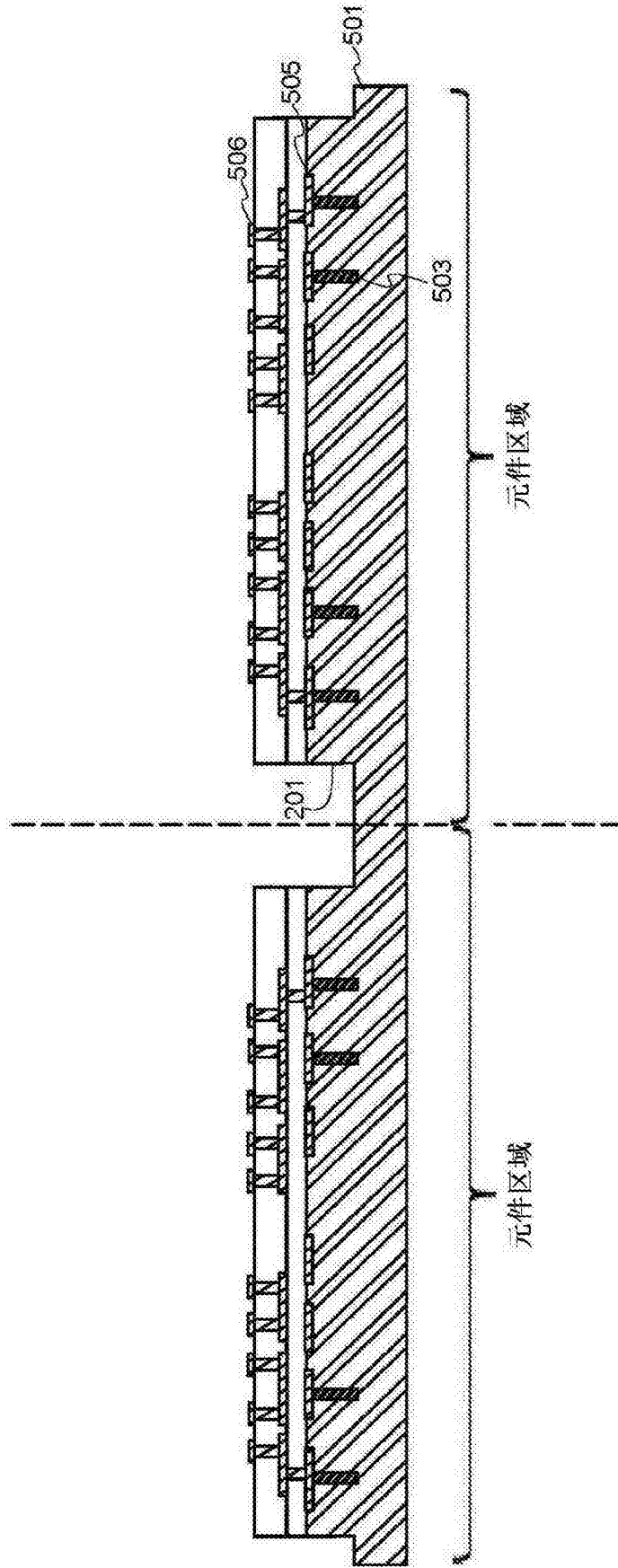


图 27

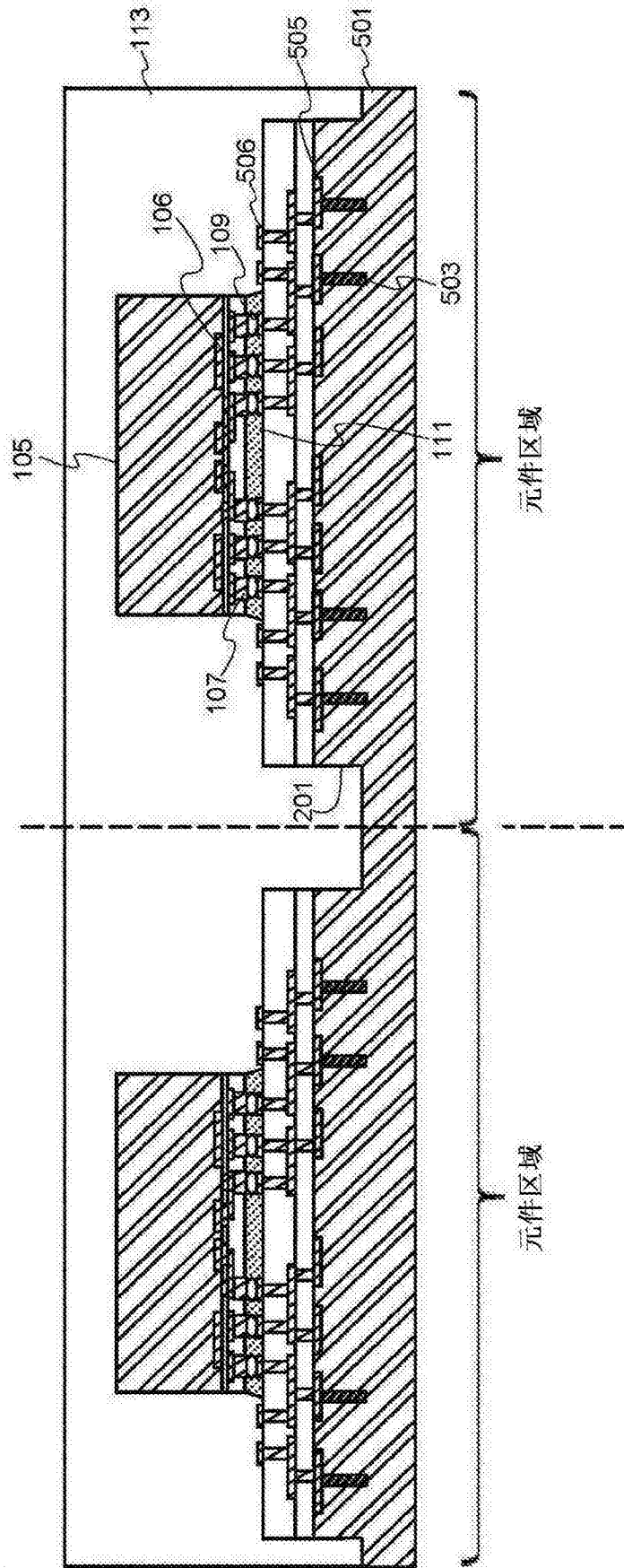


图 28

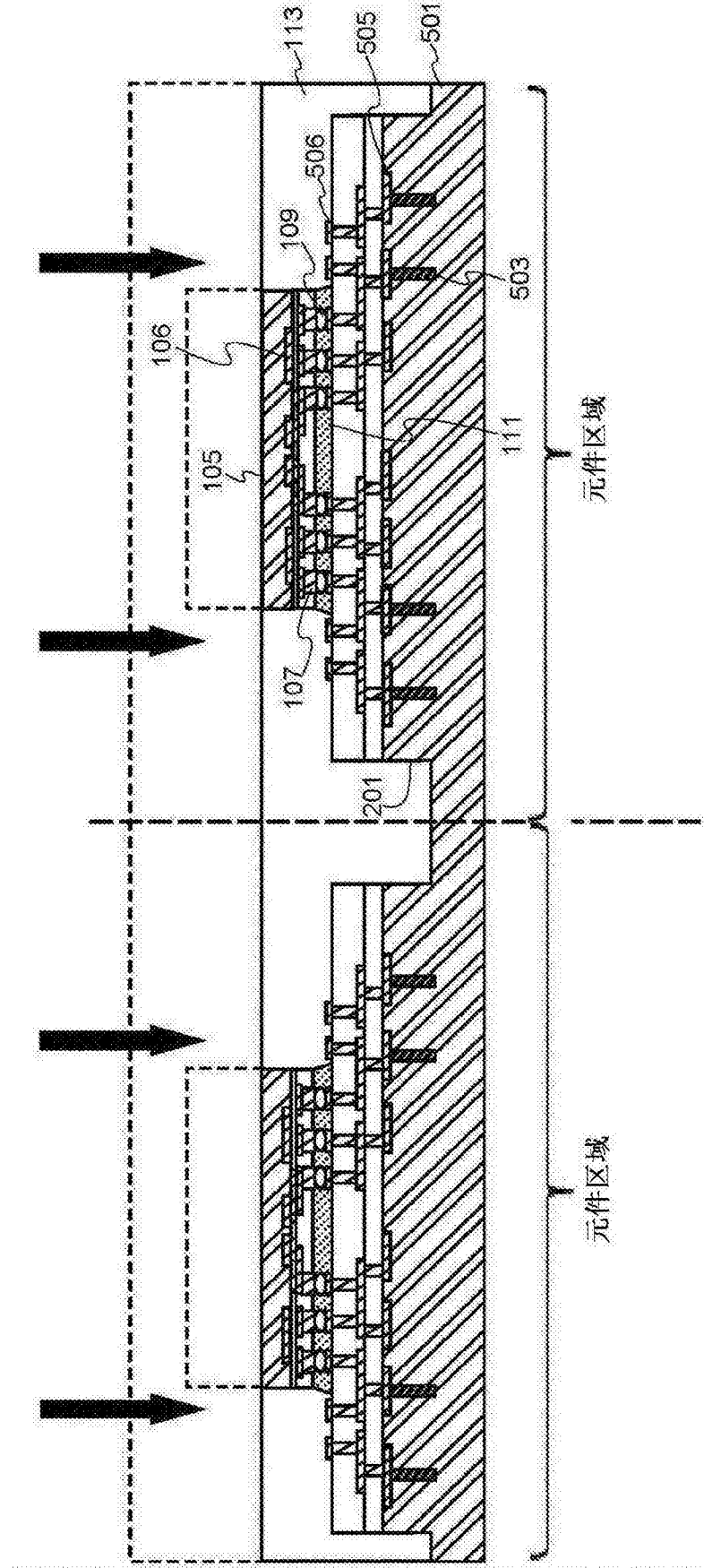


图 29

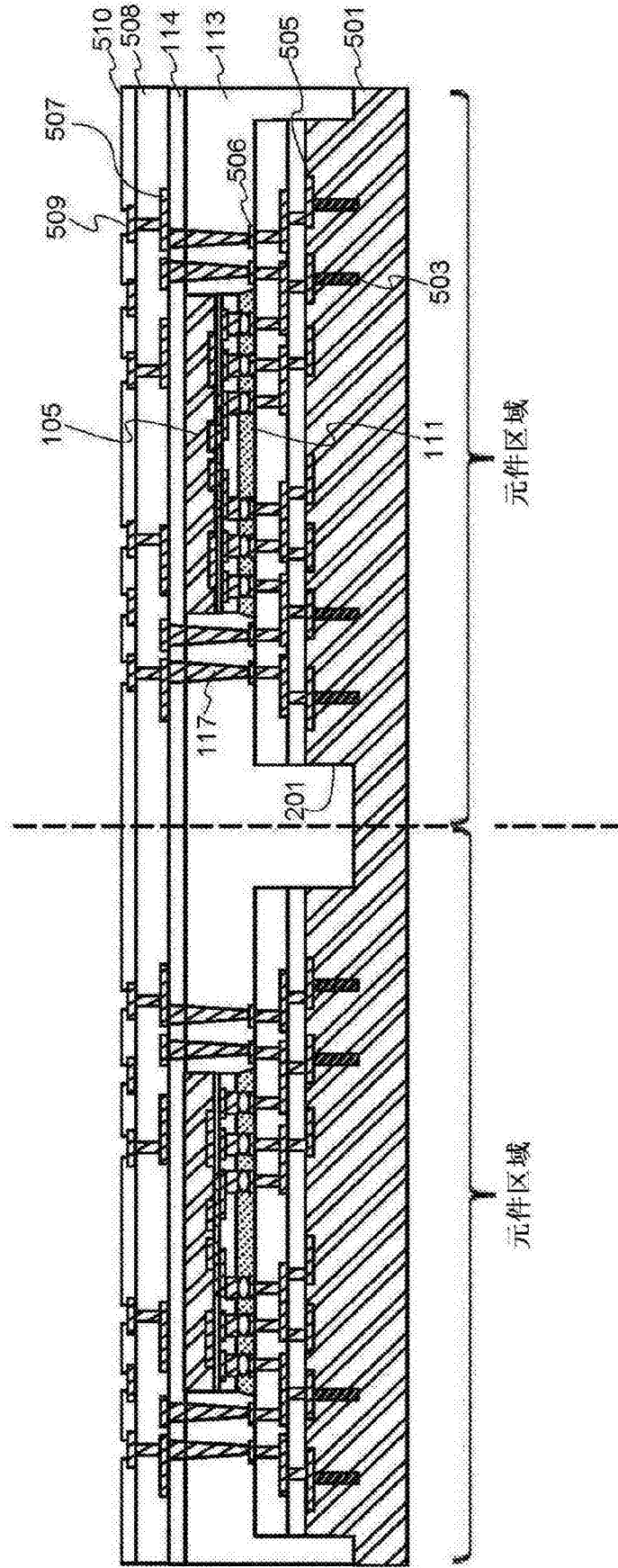


图 30

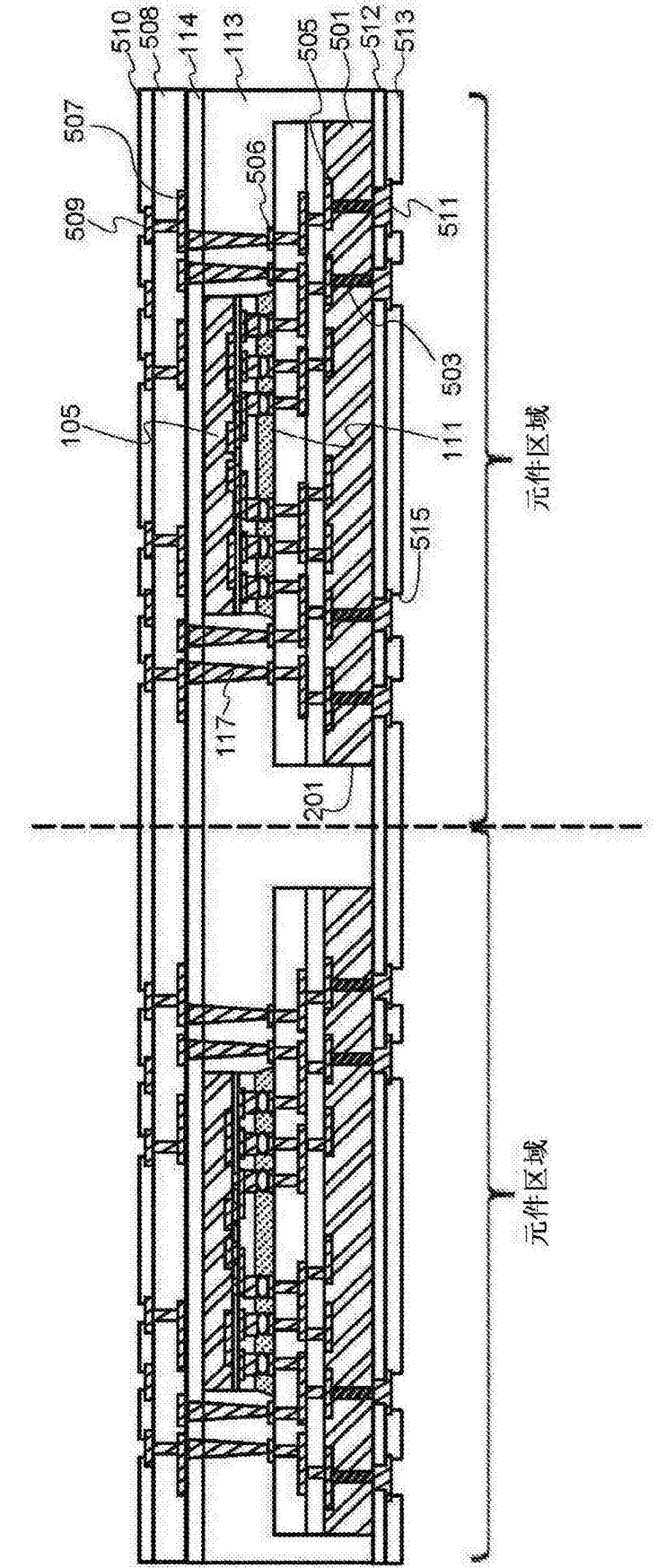


图 31

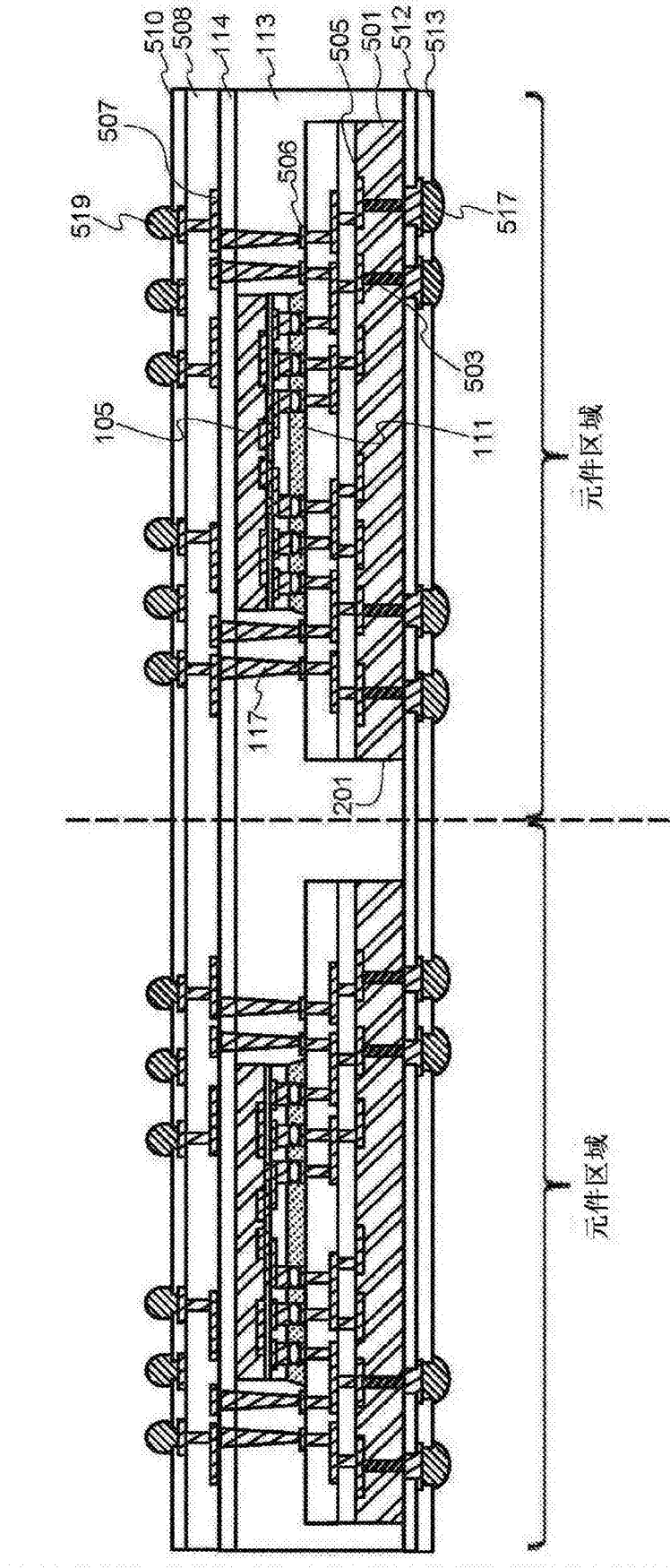


图 32

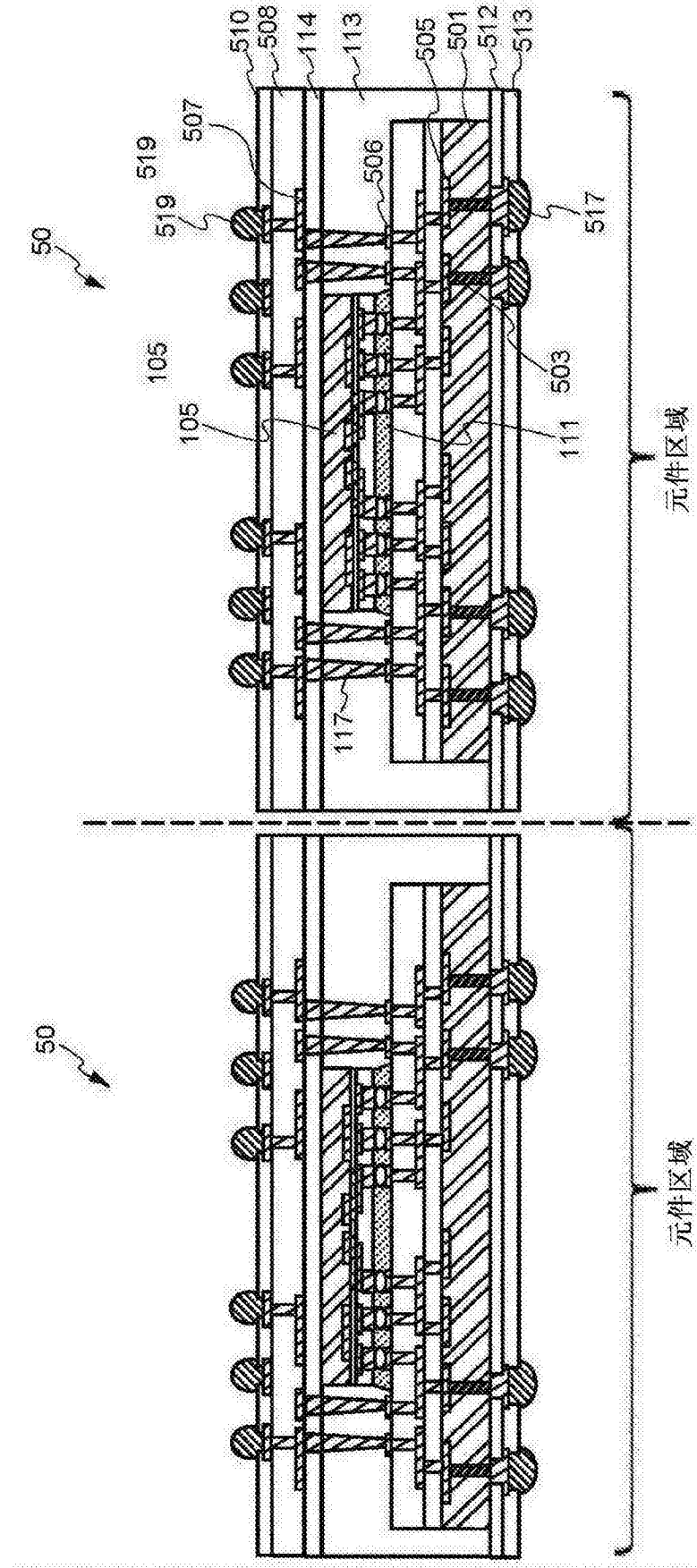


图 33