

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成22年4月22日(2010.4.22)

【公開番号】特開2008-107777(P2008-107777A)

【公開日】平成20年5月8日(2008.5.8)

【年通号数】公開・登録公報2008-018

【出願番号】特願2007-98395(P2007-98395)

【国際特許分類】

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 2 F 1/133 (2006.01)

【 F I 】

G 0 9 G 3/36

G 0 9 G 3/20 6 2 1 M

G 0 9 G 3/20 6 8 0 G

G 0 9 G 3/20 6 1 2 J

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 2 3 V

G 0 9 G 3/20 6 3 1 D

G 0 9 G 3/20 6 3 1 B

G 0 9 G 3/20 6 3 1 U

G 0 9 G 3/20 6 3 1 Q

G 0 9 G 3/20 6 1 1 C

G 0 2 F 1/133 5 5 0

【手続補正書】

【提出日】平成22年3月4日(2010.3.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

回路基板と、

前記回路基板上に実装されるタイミングコントローラであり、順次に入力される第 1 ないし第 $n + m$ 画素データを、前記第 1 ないし第 n 画素データを含む第 1 映像データセットと、前記第 $n + 1$ ないし第 $n + m$ 画素データを含む第 2 映像データセットとに区分して保存するが、前記第 1 映像データセットのデータサイズは、前記第 2 映像データセットのデータサイズより小さく ($m > n$)、前記保存された第 1 映像データセット及び前記第 2 映像データセットからそれぞれ 1 個ずつの前記画素データを同時に出力するタイミングコントローラと、

前記回路基板と電氣的に接続されて、前記画素データに対応するデータ電圧を複数のデータラインに提供するデータドライバであり、第 1 ないし第 n 画素データに対応するデータ電圧を提供する第 1 番目ないし第 s 番目データドライバ IC を含む第 1 データドライバ IC グループと、前記第 $n + 1$ ないし第 $n + m$ 画素データに対応するデータ電圧を提供する第 $s + 1$ 番目ないし第 $s + t$ 番目データドライバ IC を含む第 2 データドライバ IC グループと、を含むが、前記第 1 データドライバ IC グループのデータドライバ IC の個数は、前記第 2 データドライバ IC グループのデータドライバ IC の個数より小さく ($t >$

s) データドライバと、

前記複数のデータラインによって印加された前記データ電圧によって映像を表示する液晶パネルと、

を備えることを特徴とする液晶表示装置。

【請求項 2】

前記タイミングコントローラは、前記第 1 映像データセットを保存する第 1 メモリ部と、前記第 2 映像データセットを保存する第 2 メモリ部と、

を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 メモリ部と前記第 2 メモリ部とは、同じメモリサイズを有することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記タイミングコントローラは、第 1 メモリ部及び第 2 メモリ部を備え、前記第 1 メモリ部及び前記第 2 メモリ部に前記第 2 映像データセットを保存できるメモリサイズを割り当て、前記第 1 メモリ部に前記第 1 映像データセットを保存し、前記第 2 メモリ部に前記第 2 映像データセットを保存する請求項 1 に記載の液晶表示装置。

【請求項 5】

前記タイミングコントローラは、ラインバッファメモリと、前記第 1 映像データセットのデータサイズを表す第 1 データ情報と、前記第 2 映像データセットのデータサイズを表す第 2 データ情報とを受信して、前記第 1 映像データセットのデータサイズと前記第 2 映像データセットのデータサイズとを比較する比較部と、その比較結果によって前記ラインバッファメモリを、前記第 2 映像データセットを保存できるメモリサイズを有する第 1 メモリ部と第 2 メモリ部とに区分するメモリ割当部と、

を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 1 データ情報及び前記第 2 データ情報を前記比較部に提供する設定メモリをさらに備えることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 1 データ情報は、前記複数のデータラインのうち、前記第 1 データドライバ IC グループに電氣的に接続されたデータラインの数であり、前記第 2 データ情報は、前記複数のデータラインのうち、前記第 2 データドライバ IC グループに電氣的に接続されたデータラインの数であることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記タイミングコントローラは、前記第 s 番目データドライバ IC 及び前記第 s + 1 データドライバ IC が前記回路基板に接続される部分の間の前記回路基板上に実装されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】

前記回路基板は、前記タイミングコントローラと前記第 1 データドライバ IC グループとの間に接続され、前記第 1 ないし第 n 画素データを伝達する第 1 信号伝送ラインと、前記タイミングコントローラと前記第 2 データドライバ IC グループとの間に接続され、前記第 n + 1 ないし第 n + m 画素データを伝達する第 2 信号伝送ラインとを備え、前記第 1 及び第 2 信号伝送ラインはそれぞれ、前記タイミングコントローラから前記第 1 ないし第 n 画素データ及び前記第 n + 1 ないし第 n + m 画素データが順次に同時に出力される前記回路基板の第 1 層の第 1 出力ラインと、ビアを介して前記第 1 出力ラインから前記第 1 ないし第 n 画素データ及び前記第 n + 1 ないし第 n + m 画素データが、それぞれ前記第 1 番目ないし第 s 番目データドライバ IC 及び前記第 s + 1 番目ないし第 s + t 番目データドライバ IC に出力される前記回路基板の第 2 層の第 2 出力ラインと、

を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 10】

前記第 1 出力ラインは、複数の屈曲部を備え、前記屈曲部の内角が 90° 以上であるこ

とを特徴とする請求項 9 に記載の液晶表示装置。