

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 33/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610009081.7

[45] 授权公告日 2009年10月14日

[11] 授权公告号 CN 100550448C

[22] 申请日 2006.2.17

[21] 申请号 200610009081.7

[30] 优先权

[32] 2005.7.27 [33] US [31] 11/190,992

[73] 专利权人 台湾积体电路制造股份有限公司
地址 中国台湾新竹科学工业园区新竹市力行六路八号

[72] 发明人 黄健朝 杨富量

[56] 参考文献

TW233703B 2005.6.1

US6225647B1 2001.5.1

JP2001-313416A 2001.11.9

US5585640A 1996.12.17

审查员 张一文

[74] 专利代理机构 北京林达刘知识产权代理事务所
代理人 刘新宇

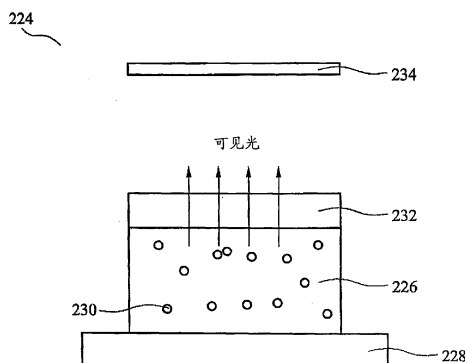
权利要求书2页 说明书9页 附图5页

[54] 发明名称

发光装置的形成方法与半导体发光装置

[57] 摘要

本发明提供一种发光装置的形成方法与半导体发光装置，所形成的发光装置与使用互补金属氧化物半导体工艺的一控制电路集成，形成至少一发光装置的方法包括下列步骤：形成至少一设置于下电极之中或是上方的介电区，其中介电区包括多孔介电质或低密度介电质；将多个发光粒子注入至介电区中；以及形成至少一设置于介电区上的上电极。本发明所述发光装置的形成方法与半导体发光装置，增加了纳米微晶体的沉积效率，因此可改善发光装置的空穴移动率以及栅极介电层界面，且不需要增加工艺花费就可以轻易的将发光装置与控制电路集成。



1. 一种形成至少一发光装置的方法，其特征在于，所形成的发光装置与使用互补金属氧化物半导体工艺的一控制电路集成，该形成至少一发光装置的方法包括下列步骤：

形成至少一介电区，设置于一下电极中，其中上述介电区包括一多孔介电质；

将多个发光粒子注入至上述介电区中；以及

形成至少一上电极，设置于上述介电区上。

2. 根据权利要求1所述的形成至少一发光装置的方法，其特征在于，上述发光粒子为多个纳米微晶体材料，且上述纳米微晶体材料包括硅或锗基材其中之一。

3. 根据权利要求1所述的形成至少一发光装置的方法，其特征在于，上述多孔介电质具有大于2纳米的孔径，并且包括一低介电常数的介电质材料或是通过化学气相沉积所形成的氧化层。

4. 根据权利要求1所述的形成至少一发光装置的方法，其特征在于，上述多孔介电质在50:1的氟化氢溶剂中，具有大于200埃/分的湿蚀刻速率。

5. 根据权利要求1所述的形成至少一发光装置的方法，其特征在于，上述介电区为设置于上述下电极中的一浅沟槽隔离区，上述下电极为半导体基板。

6. 根据权利要求1所述的形成至少一发光装置的方法，其特征在于，上述下电极为具有上述介电区形成于上的一金属区。

7. 一种半导体发光装置，其特征在于，所述半导体发光装置包括：

至少一多孔介电质区设置于一下电极中，其中上述多孔介电质区中的孔径是大于2纳米；以及

至少一上电极设置于上述多孔介电质区上；

其中上述多孔介电质区包括多个发光纳米微晶体材料。

8. 根据权利要求7所述的半导体发光装置，其特征在于，上

述纳米微晶体材料包括硅或锗基材其中之一。

9. 根据权利要求7所述的半导体发光装置，其特征在于，上述多孔介电质区包括一低介电常数的介电质材料或一化学气相沉积氧化层。

10. 根据权利要求7所述的半导体发光装置，其特征在于，上述下电极为一半导体基板，且上述多孔介电质区为设置于其中的一浅沟槽隔离区。

11. 根据权利要求7所述的半导体发光装置，其特征在于，上述下电极具有上述多孔介电质区形成于上的一金属区。

12. 根据权利要求7所述的半导体发光装置，其特征在于，更包括至少一个彩色滤光片，设置于上述上电极之上。

13. 根据权利要求7所述的半导体发光装置，其特征在于，上述多孔介电质区在50:1的氟化氢溶剂中，具有大于200埃/分的湿蚀刻速率。

发光装置的形成方法与半导体发光装置

技术领域

本发明是有关于一种集成电路设计，特别是有关于与一种控制电路装置设置于同一基板上的发光技术。

背景技术

发光(light emitting)技术是为近年来快速进步的一种产业。发光技术是通过提出新的产品(例如液晶显示器)，以缩小产品的尺寸(例如计算机显示器)。

一种目前用来制造发光装置的传统方法是为将一些相当于纳米微晶体(nanocrystal)的超微粒子(ultra-fine particle)注入至硅表面上的厚介电层中。这些纳米微晶体可以由硅(Si)、锗(Ge)，或是硅与锗的化合物(硅化锗，SiGe)等材料所构成。介电层是由二氧化硅(SiO₂)所形成，二氧化硅经过证实为可以用来控制工艺的材料。

然而，此传统的工艺方法存在许多严重的错误。例如，传统的工艺方法会产生较差的栅极介电层界面，如此一来会降低将纳米微晶体完美注入到硅表面上的介电层中的可能性。CMOS(互补金属氧化物半导体)装置的效能也会因为具有较差的空穴移动率(hole mobility)而变差。使用厚的二氧化硅介电层即代表在制造过程中，必须花费较多的材料成本。在传统工艺方法中，将发光装置与控制电路装置设置在同一个基板上亦为困难的。由于发光装置必须与许多VLSI控制电路装置结合，因此如何使发光装置与控制电路装置设置在同一个基板上是个重要的议题。

图1是显示传统发光装置的半导体剖面图100，传统发光装置的厚介电层(例如二氧化硅)是设置于硅基板上，并且具有纳米微晶

体掺杂于其中。厚介电层102是设置于硅基板104上。介电层102的厚度会影响发光装置所产生的颜色。介电层102通常是由二氧化硅所构成，二氧化硅可对工艺提供良好的控制。一些相当于超微粒子的纳米微晶体106是掺杂在厚介电层102中，作为发光介质。这些纳米微晶体106可由硅(Si)、锗(Ge)或是其化合物等材料所构成。

然而，传统的工艺方法中存在许多的问题。例如，传统的工艺方法中会形成相对较差的栅极介电层界面，如此一来会降低将纳米微晶体理想注入到硅表面上的介电层中的可能性。CMOS装置的效能也会因为具有较差的空穴移动率而变差。由于在传统的工艺方法中是使用厚的介电层102，因此必然会增加材料的费用。

因此需要设计一种不需要增加工艺费用就可以轻易的将发光装置与控制电路集成的工艺方法。

发明内容

有鉴于此，本发明提供一种形成至少一发光装置的方法，所形成的发光装置与使用互补金属氧化物半导体工艺的一控制电路集成，该形成至少一发光装置的方法包括下列步骤：形成至少一设置于下电极之中的介电区，其中介电区包括多孔介电质；将多个发光粒子注入至介电区中；以及形成至少一设置于介电区上的上电极。

本发明所述的形成至少一发光装置的方法，上述发光粒子为多个纳米微晶体材料，且上述纳米微晶体材料包括硅或锗基材料其中之一。

本发明所述的形成至少一发光装置的方法，上述多孔介电质具有大于2纳米的孔径，并且包括一低介电常数的介电质材料或是通过化学气相沉积所形成的氧化层。

本发明所述的形成至少一发光装置的方法，上述多孔介电质

在50:1的氟化氢溶剂中，具有大于200埃/分的湿蚀刻速率。

本发明所述的形成至少一发光装置的方法，上述介电区为设置于上述下电极中的一浅沟槽隔离区，上述下电极为半导体基板。

本发明所述的形成至少一发光装置的方法，上述下电极为具有上述介电区形成于上的一金属区。

再者，本发明提供一种半导体发光装置，包括至少一设置于下电极之中的多孔介电质区，其中多孔介电质区中的孔径是大于2纳米；以及至少一设置于多孔介电质区上的上电极，其中多孔介电质区包括多个发光纳米微晶体材料。

本发明所述的半导体发光装置，上述纳米微晶体材料包括硅或锗基材其中之一。

本发明所述的半导体发光装置，上述多孔介电质区包括一低介电常数的介电质材料或一化学气相沉积氧化层。

本发明所述的半导体发光装置，上述下电极为一半导体基板，且上述多孔介电质区为设置于其中的一浅沟槽隔离区。

本发明所述的半导体发光装置，上述下电极为具有上述多孔介电质区形成于上的一金属区。

本发明所述的半导体发光装置，更包括至少一个彩色滤光片，设置于上述上电极之上。

再者，本发明提供一种半导体发光装置，包括至少一设置于下电极之中或是上方的低密度介电质区，在50:1的氟化氢溶剂中，低密度介电质区的湿蚀刻速率大于200埃/分；至少一设置于低密度介电质区上的上电极；以及至少一设置于上电极之上的彩色滤光片，其中低密度介电质区包括由硅或锗为基材的发光纳米微晶体材料。

本发明所述的半导体发光装置，上述下电极为一半导体基板，且上述低密度介电质区是为设置于其中的一浅沟槽隔离区。

本发明所述的半导体发光装置，上述下电极是为具有上述低密度介电质区设置于上的一金属区。

本发明所述发光装置的形成方法与半导体发光装置，通过使用等离子掺杂法或是其他注入方法将由硅、锗或其化合物所构成的纳米微晶体注入至具有低介电常数的更多孔或低密度的介电层(例如SACVD氧化物以及多孔或低密度低介电常数的材料)，以增加纳米微晶体的沉积效率，因此可改善发光装置的空穴移动率以及栅极介电层界面。且不需要增加工艺花费就可以轻易的将发光装置与控制电路集成的工艺方法。

附图说明

图1是显示传统发光装置的半导体剖面图。

图2A是显示根据本发明实施例所述的具有纳米微晶体掺杂于其介电层中的发光装置的剖面图，包括多孔或低密度氧化层。

图2B中是显示根据本发明另一实施例所述的具有纳米微晶体掺杂于其介电层中的发光装置的半导体剖面图，包括多孔或低密度粒子。

图2C是显示根据本发明另一实施例所述的具有纳米微晶体掺杂于其介电层中的发光装置的半导体剖面图，包括多孔或低密度粒子。

图3是显示根据本发明多个实施例所述的三像素电路。

具体实施方式

为使本发明的上述目的、特征和优点能更明显易懂，下文特举一较佳实施例，并配合所附图式，作详细说明如下：

本发明提供许多种发光装置的制造方法，如此一来，是可将发光装置与控制电路装置设置于同一个基板上。

图2A是显示根据本发明实施例所述的具有纳米微晶体掺杂于其介电层中的发光装置的剖面图200，包括多孔(porous)或低密度氧化层。在此实施例中，多孔或低密度氧化物是设置于硅基板内的浅沟槽隔离区(shallow trench isolation, STI)中。

在剖面图200中，浅沟槽隔离区202是形成于硅基板204中。作为介电层的浅沟槽隔离区202是由多孔或低密度氧化物所填满。接下来，将多个纳米微晶体206注入至多孔或低密度氧化物中。多孔或低密度氧化物较佳为具有低介电常数(low - K)的材料，例如次常压化学气相沉积(sub - atmospheric chemical vapor deposition, SACVD)氧化物或是等离子辅助化学气相沉积(plasma enhanced chemical vapor deposition, PECVD)氧化物，透过将多个纳米微晶体206注入至多孔或低密度氧化物中可增加纳米微晶体206的沉积效率。多孔材料的孔径至少大于2纳米。在50:1的氟化氢溶剂中，低密度氧化物的湿蚀刻速率大于200埃/分。例如，多孔或低密度氧化物可透过SACVD或是PECVD来完成。多孔或低密度氧化物可用来改善空穴移动率以及栅极氧化层界面。作为发光介质的纳米微晶体206是掺杂于浅沟槽隔离区202的多孔或低密度氧化物中，本领域技术人员皆了解纳米微晶体206的注入方法。值得注意的是，纳米微晶体206可由硅、锗或其化合物所构成。为了使纳米微晶体206发光，将上电极208设置于浅沟槽隔离区202上，而以硅基板204作为下电极。浅沟槽隔离区202可具有大于3000埃的厚度。

在此发明中，由上电极208上方向下看，可看到纳米微晶体206所发射的光。选择性的将彩色滤光片膜(color filter film)210设置于上电极208的上层，以提供所需要的颜色。介电层的厚度亦可影响产生的颜色。值得注意的是，用以产生本发明所需要元件的工艺步骤与材料是相容于目前标准CMOS工艺，例如浅沟槽隔离区

202以及上电极208。本发明的设计更可应用于其他类型的电路集成，例如应用于VLSI存储装置。

图2B中是显示根据本发明另一实施例所述的具有纳米微晶体掺杂于其介电层中的发光装置的半导体剖面图212，包括多孔或低密度粒子。在此实施例中，介电层包括设置于硅基板上的多孔或低密度氧化物。设置于硅基板216上的介电层214具有与图2A中相同的多孔或低密度氧化物。介电层214的厚度可大于3000埃。作为发光介质的多个纳米微晶体218是掺杂在设置于硅基板216表面上的介电层214中。这些纳米微晶体218是由硅、锗或其化合物所构成。

如同图2A，作为介电层214的多孔或低密度氧化物是为具有低介电常数的材料，可增加纳米微晶体218的沉积效率。为了使纳米微晶体218发光，上电极220是设置于介电层214上，同时把硅基板216作为下电极。

根据本发明实施例，由上电极220的上方可看见纳米微晶体218所发射的光。选择性的将彩色滤光片膜222设置于上电极220的上层，以提供所需要的颜色。介电层的厚度可影响所产生的颜色。值得注意的是，用以产生本发明所需要元件的工艺步骤与材料是相容于目前标准CMOS工艺，例如介电层214以及上电极220。本发明更允许电路集成，例如VLSI存储装置的实现。

图2C是显示根据本发明另一实施例所述的具有纳米微晶体掺杂于其介电层中的发光装置的半导体剖面图224，包括多孔或低密度粒子。在此实施例中，作为下电极的介电层包括设置于金属层上的多孔或低密度氧化物。

剖面图224是相似于图2B中的剖面图212。介电层226是由相同于图2A与图2B中使用的多孔或低密度氧化物所填满。然而，在本实施例中，介电层226是设置于金属层228上，而不是设置于硅

基板上。金属层228是设计用来当作下电极。作为发光介质的多个纳米微晶体230是掺杂于介电层226中。这些纳米微晶体230是由硅、锗或其化合物所构成。

作为介电层226的多孔或低密度氧化物是为具有低介电常数的材料,可增加纳米微晶体230的沉积效率。为了使纳米微晶体230发光,上电极232是设置于介电层226上,同时把金属层228作为下电极。

根据本发明实施例,由上电极232的上方可看到纳米微晶体230所发射的光。选择性的将彩色滤光片膜234设置于上电极232的上层,以提供所需要的颜色。介电层226的厚度可影响所产生的颜色。值得注意的是,用以产生本发明所需要元件的工艺步骤与材料是相容于目前标准CMOS工艺,例如介电层226、金属层228以及上电极232。本发明更允许电路集成,例如VLSI存储装置的实现。

图3是显示根据本发明多个实施例所述的三像素(pixel)电路300。电路300是由标准CMOS工艺所制造,且由于图2A、图2B以及图2C的工艺方法与标准CMOS工艺相容,所以电路300可与图2A、图2B以及图2C中所显示的剖面图集成。

每一像素包括三个排在同一列的NMOS晶体管。每个NMOS晶体管是用以控制像素的颜色程度:红、绿以及蓝。例如,包括三个NMOS晶体管302、304以及306的像素是用以显示红绿蓝(RGB)三色,其中晶体管302控制红色输出、晶体管304控制绿色输出且晶体管306控制蓝色输。对应于晶体管的颜色输出是取决于设置于发光装置上且对应于该晶体管的彩色滤光片。由于电路图300中具有三行与三列的晶体管,总共代表三个像素。

所有NMOS晶体管的栅极是透过信号线耦接至对应的变压(variable voltage)产生电路(未图示)。透过调整供应至NMOS晶

体管的栅极的电压，便可控制某些颜色的发光强度。例如，NMOS晶体管302的栅极是耦接至变压产生电路，变压产生电路是透过信号线308来控制红色的强度。NMOS晶体管304与306的栅极是耦接至变压产生电路，且分别透过信号线310与312来控制绿色与蓝色的强度。以这样的像素概念，可产生不同颜色的光，并且透过三种光学装置来调整光的强度。

透过使用等离子掺杂法或是其他注入方法将由硅、锗或其化合物所构成的纳米微晶体注入至具有低介电常数的更多孔或低密度的介电层(例如SACVD氧化物以及多孔或低密度低介电常数的材料)，以增加纳米微晶体的沉积效率，因此可改善发光装置的空穴移动率以及栅极介电层界面。再者，设置于多孔或低密度介电层上的控制电极(例如介电层208、220、232)可由非复晶硅(non-poly)半导体材料构成，例如氧化铟锡(Indium Tin oxide)，因为这样的材料可以操控施加于控制电极的电压。由于所有的工艺步骤以及材料皆与标准CMOS工艺相容，因此本发明所揭露的工艺方法允许发光装置与VLSI电路设置在同一个基板中。

虽然本发明已通过较佳实施例说明如上，但该较佳实施例并非用以限定本发明。本领域的技术人员，在不脱离本发明的精神和范围内，应有能力对该较佳实施例做出各种更改和补充，因此本发明的保护范围以权利要求书的范围为准。

附图中符号的简单说明如下：

100：传统发光装置的半导体剖面图

102、214、226：介电层

104、204、216：硅基板

106、206、218、230：纳米微晶体

200、212、224：发光装置的剖面图

-
- 202: 浅沟槽隔离区
 - 208、220、232: 上电极
 - 210、222、234: 彩色滤光片膜
 - 228: 金属层
 - 300: 三像素电路
 - 302、304、306: NMOS晶体管
 - 308、310、312: 信号线

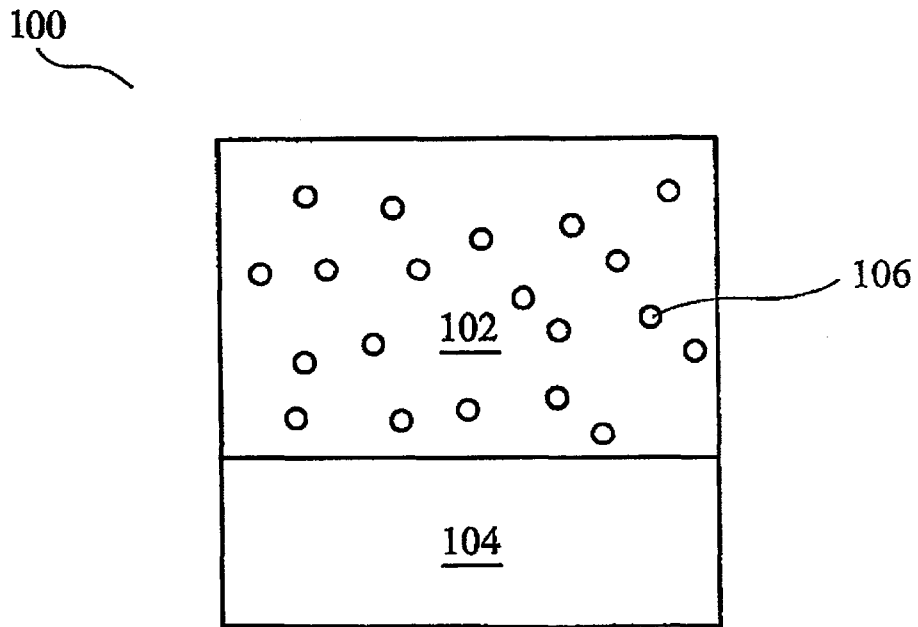


图 1

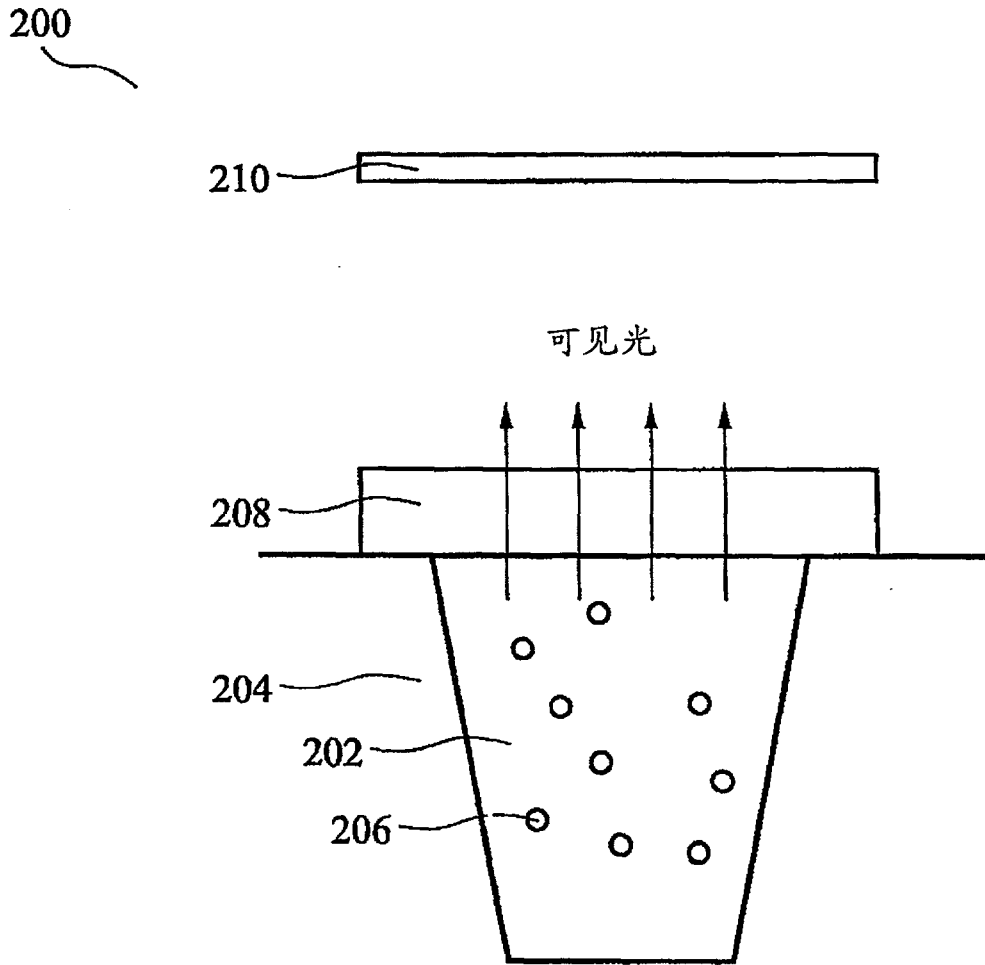


图 2A

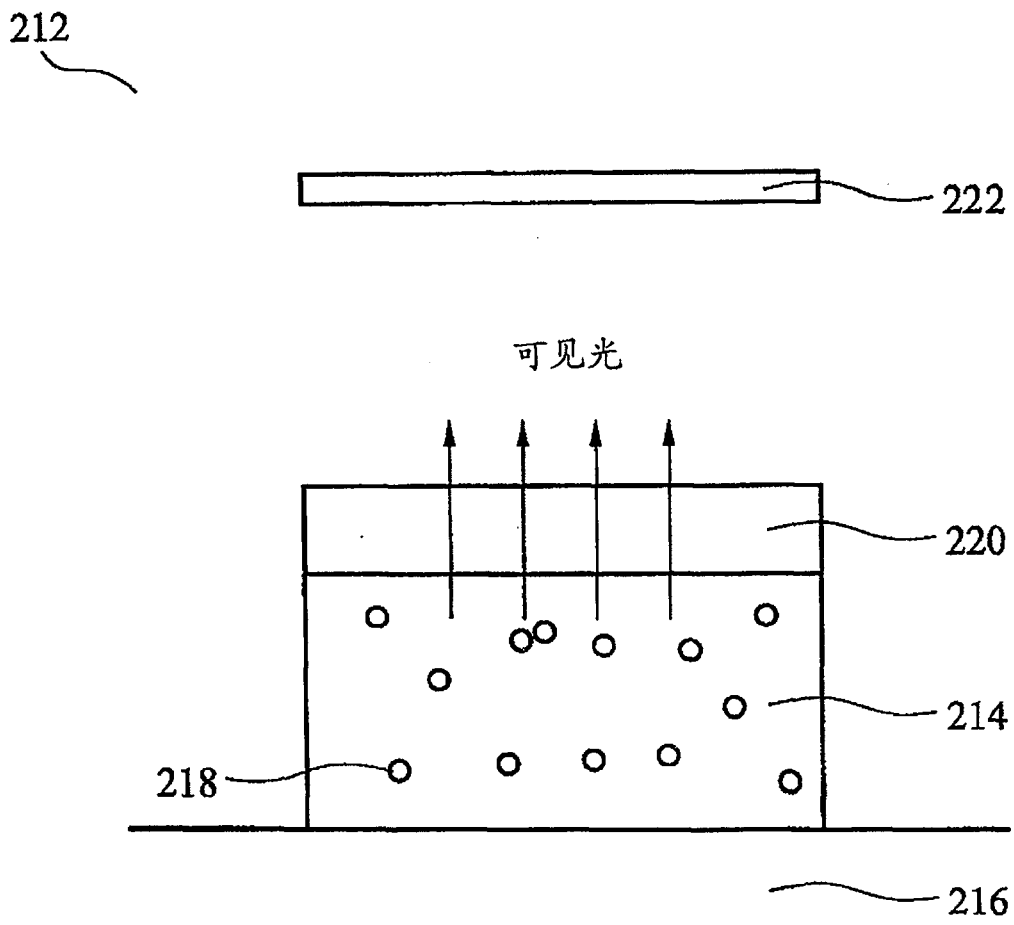


图 2B

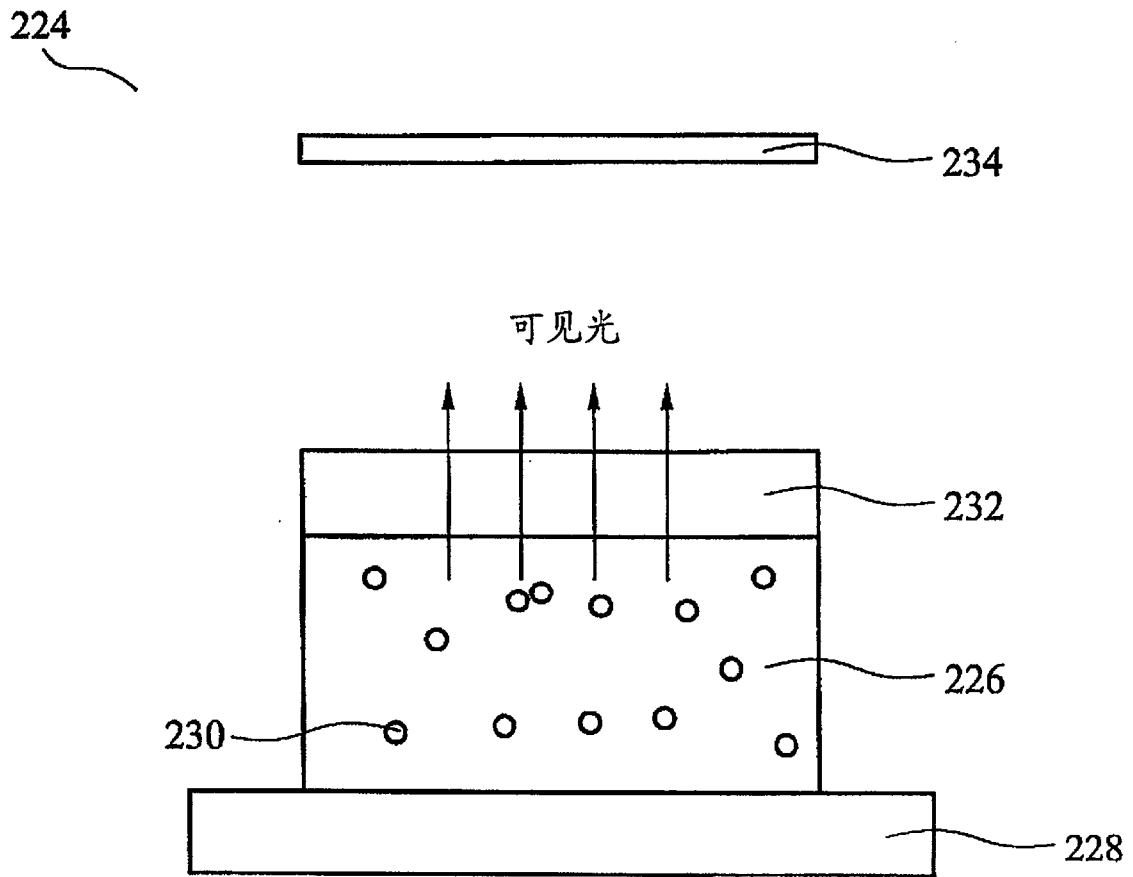


图 2C

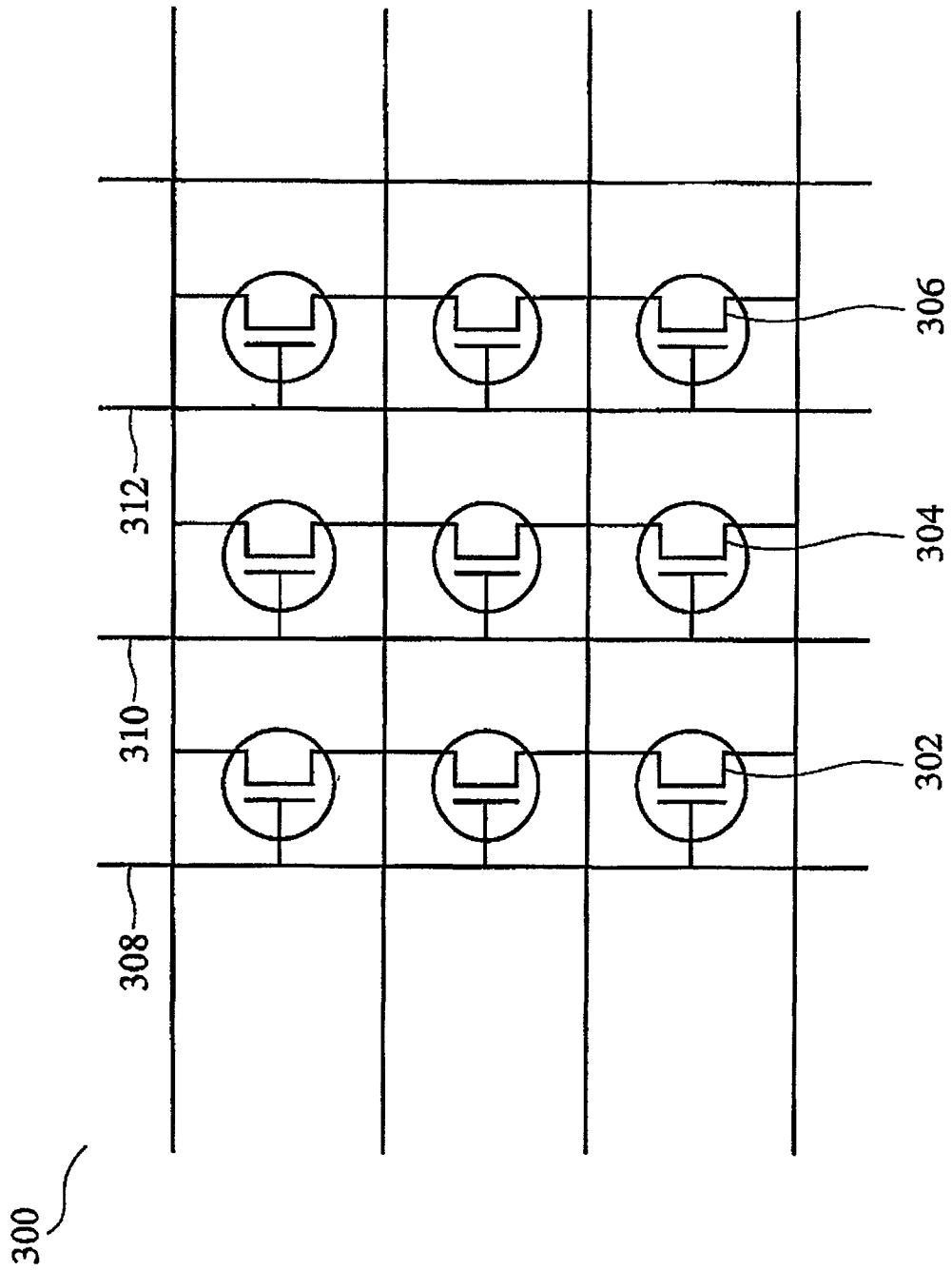


图 3