

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月4日(04.10.2018)



(10) 国際公開番号

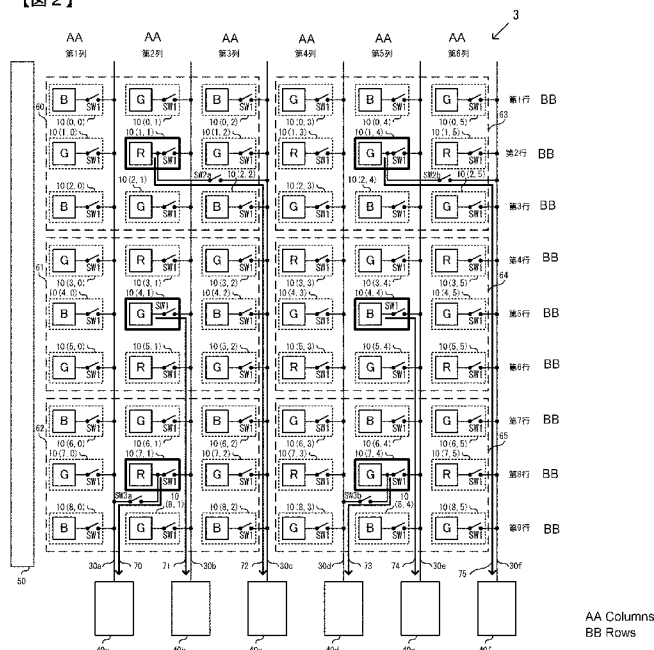
WO 2018/181723 A1

- (51) 国際特許分類:
H04N 5/3745 (2011.01) H04N 5/345 (2011.01)
- (21) 国際出願番号: PCT/JP2018/013270
- (22) 国際出願日: 2018年3月29日(29.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-065777 2017年3月29日(29.03.2017) JP
- (71) 出願人: 株式会社ニコン (NIKON CORPORATION) [JP/JP]; 〒1086290 東京都港区港南二丁目15番3号 Tokyo (JP).
- (72) 発明者: 松本 繁 (MATSUMOTO, Shigeru); 〒1086290 東京都港区港南二丁目15番3号 株式会社ニコン内 Tokyo (JP).
- (74) 代理人: 永井 冬紀, 外 (NAGAI, Fuyuki et al.); 〒1080075 東京都港区港南一丁目6番41号 品川クリスタルスクエア 901 永井特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: IMAGE CAPTURE ELEMENT AND ELECTRONIC CAMERA

(54) 発明の名称: 撮像素子および電子カメラ

【図2】



(57) Abstract: An image capture element provided with: a plurality of pixels each of which includes a photoelectric conversion section for generating charges by photoelectric conversion of light, and which are arranged in a first direction and a second direction different from the first direction; a plurality of signal lines which are respectively connected to a plurality of the pixels arranged in the first direction, and which are arranged in the second direction; and a control unit which outputs signals based on the charges generated by the photoelectric conversion section to different signal lines.

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：撮像素子は、光を光電変換して電荷を生成する光電変換部をそれぞれ有し、第1方向及び前記第1方向とは異なる第2方向に配置された複数の画素と、前記第1方向に配置された複数の前記画素とそれぞれ接続され、前記第2方向に配置された複数の信号線と、前記光電変換部により生成された電荷に基づく信号を異なる前記信号線に出力させる制御部と、を備える。

明 細 書

発明の名称 : 撮像素子および電子カメラ

技術分野

[0001] 本発明は、撮像素子および電子カメラに関する。

背景技術

[0002] 画素部から1行（ライン）単位で信号を出力させる撮像装置が知られている（特許文献1）。しかし、従来の撮像装置は、画素部からの信号の読み出し時間を短縮することが困難であった。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開2011-233949号公報

発明の概要

[0004] 本発明の第1の態様によると、撮像素子は、光を光電変換して電荷を生成する光電変換部をそれぞれ有し、第1方向及び前記第1方向とは異なる第2方向に配置された複数の画素と、前記第1方向に配置された複数の前記画素とそれぞれ接続され、前記第2方向に配置された複数の信号線と、前記光電変換部により生成された電荷に基づく信号を異なる前記信号線に出力させる制御部と、を備える。

本発明の第2の態様によると、撮像素子は、光を光電変換して電荷を生成する光電変換部を有し、第1方向及び前記第1方向とは異なる第2方向に配置された複数の画素と、前記第1方向に配置された複数の前記画素とそれぞれ接続され、前記第2方向に配置された第1の信号線及び第2の信号線と、前記第1方向に配置された複数の前記画素と前記第1の信号線との接続又は切断を切り替える第1の接続部と、前記第1方向に配置された複数の前記画素のうち少なくとも一部の画素と前記第2の信号線との接続又は切断を切り替える第2の接続部と、を備える。

本発明の第3の態様によると、撮像素子は、行方向及び列方向に配置され

た複数の画素と、前記列方向に配置された複数の画素毎に対して設けられた信号線と、前記複数の画素から画素信号を前記信号線に読み出す読み出し部と、を備え、前記読み出し部は、 m 行 $\times$ n 列（ m は1以上の整数、 n は2以上の整数）の画素からなる画素ブロックから一つの画素信号を読み出す読み出しモードを有し、前記読み出しモードは、前記列方向に並んだ n 個以下の画素ブロックからの n 個以下の画素信号を、前記信号線のうちの互いに異なった n 個以下の信号線に読み出す。

本発明の第4の態様によると、電子カメラは、第1から第3までのいずれか一つの態様の撮像素子と、前記画素の信号に基づいて画像データを生成する画像生成部と、を備える。

図面の簡単な説明

[0005] [図1]第1の実施の形態に係る撮像装置の構成を示すブロック図である。

[図2]第1の実施の形態に係る撮像素子の一部の構成を示すブロック図である。

[図3]第1の実施の形態に係る撮像素子の画素の構成を示す回路図である。

[図4]第1の実施の形態に係る撮像素子の一部の構成を示す回路図である。

[図5]第1の実施の形態に係る撮像素子の動作例を示すタイミングチャートである。

[図6]第1の実施の形態に係る撮像素子の別の動作例を示すタイミングチャートである。

[図7]第2の実施の形態に係る撮像素子の一部の構成を示すブロック図である。

[図8]第2の実施の形態に係る撮像素子の一部の構成を示す回路図である。

[図9]第2の実施の形態に係る撮像素子の動作例を示すタイミングチャートである。

発明を実施するための形態

[0006] （第1の実施の形態）

図1は、第1の実施の形態に係る撮像装置の構成を示すブロック図である

。図１では、第１の実施の形態に係る撮像装置の一例である電子カメラ１（以下、カメラ１と称する）の構成例を示す。カメラ１は、撮像光学系（結像光学系）２、撮像素子３、制御部４、メモリ５、表示部６、及び操作部７を備える。撮像光学系２は、複数のレンズ及び絞りを有し、撮像素子３に被写体像を結像する。なお、撮像光学系２は、カメラ１から着脱可能にしてもよい。

[0007] 撮像素子３は、例えばＣＭＯＳイメージセンサである。撮像素子３は、撮像光学系２により形成された被写体像を撮像する。撮像素子３には、後に詳述するように、光電変換部を有する複数の画素が２次元状に配置される。光電変換部は、例えばフォトダイオード（ＰＤ）によって構成される。撮像素子３は、入射した光を光電変換して画素信号を生成し、生成した画素信号を制御部４に出力する。画素信号は、光電変換部によって光電変換された電荷に基づいて生成される信号である。

[0008] メモリ５は、例えば、メモリカード等の記録媒体である。メモリ５には、画像データ等が記録される。メモリ５へのデータの書き込みや、メモリ５からのデータの読み出しは、制御部４によって行われる。表示部６は、画像データに基づく画像、シャッター速度や絞り値等の撮影に関する情報、及びメニュー画面等を表示する。操作部７は、リリースボタン、電源スイッチなどの各種設定スイッチ等を含み、それぞれの操作に応じた操作信号を制御部４へ出力する。

[0009] 制御部４は、ＣＰＵ、ＲＯＭ、ＲＡＭ等により構成され、制御プログラムに基づきカメラ１の各部を制御する。制御部４は、撮像素子３から出力される画素信号に対して各種の画像処理を行って、画像データを生成する。即ち、制御部４は、画像データを生成する画像生成部４であり、画素信号に基づいて静止画像データや動画データを生成する。画像処理には、例えば、階調変換処理、色補間処理、輪郭強調処理等の公知の画像処理が含まれる。

[0010] 制御部４は、撮像素子３の全ての画素の画素信号を読み出す処理（第１の制御モード）と、全画素１０のうち一部の画素（以下、選択画素と称する）

を1行単位で順次選択して画素信号を読み出す処理（第2の制御モード）とを行う。また、制御部4は、選択画素を複数行単位で順次選択して画素信号を読み出す処理（第3の制御モード）も行う。例えば、制御部4は、静止画撮影を行う場合に第1の制御モードを行って、全画素の画素信号を読み出す。また、制御部4は、動画撮影を行う場合に第2又は第3の制御モードを行って、全画素のうちの特定の行や列の画素から画素信号を読み出す。

[0011] 図2を参照して、第1の実施の形態に係る撮像素子3の信号の読み出し方法について説明する。図2は、第1の実施の形態に係る撮像素子3の一部の構成を示すブロック図である。図2に示すように、撮像素子3は、複数の画素10と、複数のカラム回路部40（カラム回路部40a～カラム回路部40f）と、垂直駆動部50とを備える。画素10は、第1方向である列方向（垂直方向）、及びそれと交差する第2方向である行方向（水平方向）に複数配置される。

[0012] 画素10には、例えばR（赤）、G（緑）、B（青）の異なる分光感度を有する3つの色フィルタのいずれかが設けられる。撮像素子3は、Rの色フィルタを有する画素（以下、R画素と称する）10、Gの色フィルタを有する画素（以下、G画素と称する）10、及びBの色フィルタを有する画素（以下、B画素と称する）10を有する。R画素10と、G画素10と、B画素10とは、ベイヤー配列に従って配置されている。即ち、R画素10とG画素10とが行方向に交互に配置された画素列と、G画素10とB画素10とが行方向に交互に配置された画素列とが列方向に交互に並べられている。

[0013] なお、図2に示す例では、説明を簡略化するために、画素10は行方向6画素×列方向9画素のみ図示しているが、撮像素子3は、例えば数百万画素～数億画素、又はそれ以上の画素を有する。また、図2においては、左上隅の画素10を第1行第1列の画素10（0，0）とし、右下隅の画素10を第9行第6列の画素10（8，5）として、画素10（0，0）から画素10（8，5）までの54個の画素10を図示している。なお、図2に示した行方向6画素×列方向9画素の54個の画素は、撮像素子3の撮像面の任意

の領域に配置された画素群を表すものであり、図2の第1列～第6列及び第1行～第9行の名称も54個の画素10に対して付したものである。従って、撮像素子3では、図2の第6列目の画素10の右側及び第9行目の画素10の下側は、勿論のこと、第1列目の画素10の左側及び第1行目の画素10の上側にも、画素が存在しうる。

[0014] 撮像素子3には、第1方向、即ち列方向に並んだ複数の画素10と共通に接続され第1方向に配置される垂直信号線30（垂直信号線30a～垂直信号線30f）が設けられる。言い換えれば垂直信号線は、前記第1方向に配置された複数の画素毎に設けられ、前記第2方向に複数配置される。また、垂直信号線30に対応して、カラム回路部40が設けられる。全ての各画素10には、スイッチSW1（図3の符号M4）が設けられる。即ち、第1列目の全ての画素10の各々と垂直信号線30aとを接続するスイッチSW1が設けられ、第2列目の全ての画素10の各々と垂直信号線30bとを接続するスイッチSW1が設けられ、以下同様に、第3列目～第6列目の各列の全ての画素10の各々と垂直信号線30c～30fの各々とを接続するスイッチSW1が設けられている。

[0015] また、撮像素子3には、第2列目の画素10のうち、第2行目の画素10（1，1）に対応してスイッチSW2aが設けられ、第8行目の画素10（7，1）に対応してスイッチSW3aが設けられている。スイッチSW2aは、接続部2aであり、画素10（1，1）と垂直信号線30cとを接続する。スイッチSW3aは、接続部3aであり、画素10（7，1）と垂直信号線30aとを接続する。更に、第5列目の画素10のうち、第2行目の画素10（1，4）に対応してスイッチSW2bが設けられ、第8行目の画素10（7，4）に対応してスイッチSW3bが設けられている。スイッチSW2bは、接続部2bであり、画素10（1，4）と垂直信号線30fとを接続する。スイッチSW3bは、接続部3bであり、画素10（7，4）と垂直信号線30dとを接続する。スイッチSW2a、SW3a、SW2b、SW3bは、それぞれトランジスタにより構成される。なお、これらのスイ

ッチSW2a、SW3a、SW2b、SW3bは、第3の制御モードの時に使用される、即ちオンされる。

[0016] 垂直駆動部50は、カメラ1の制御部4からの信号に基づいて、後述する駆動信号 ϕ TX、駆動信号 ϕ RS、駆動信号 ϕ SELを各画素10に供給して、各画素10の動作を制御する。また、垂直駆動部50は、スイッチSW2a、SW3a、SW2b、SW3bの各スイッチに信号を供給して、各スイッチをオンオフ制御する。垂直駆動部50は、画素10及び各スイッチを制御する制御部50であり、画素10から画素信号を垂直信号線30に読み出す読み出し部50でもある。

[0017] カラム回路部40は、アナログ／デジタル変換部（AD変換部）を含んで構成され、各画素10から垂直信号線30を介して入力された信号をデジタル信号に変換し、変換後のデジタル信号を出力する。カラム回路部40から出力された信号は、不図示の信号処理部に入力されて、相関二重サンプリングや信号量を補正する処理等の信号処理が施された後、カメラ1の制御部4に出力される。

[0018] 垂直駆動部50は、制御部4により第1の制御モードが設定された場合は、撮像素子3の全ての画素10から画素信号を読み出す。垂直駆動部50は、撮像素子3の画素10を行単位で、図2では第1行目から第9行目に向かって順次選択し、選択した画素10から画素信号を読み出す。以下に、第1の制御モードの場合の画素信号の読み出し方法について、より詳しく説明する。

[0019] 垂直駆動部50は、第1行目の画素10である画素10(0, 0)～画素10(0, 5)のスイッチSW1をオン状態（接続状態、導通状態、短絡状態）とする。垂直駆動部50は、第1行目とは異なる他の行の画素10のスイッチSW1を、オフ状態（切断状態、非導通状態、開放状態、遮断状態）とする。なお、第1の制御モードにおいては、スイッチSW2a、スイッチSW2b、スイッチSW3a、及びスイッチSW3bは、オフ状態にされる。

[0020] 第1行目の画素10(0, 0)～画素10(0, 5)の各々の画素信号は、各々の画素10のスイッチSW1を介して、各々の画素10に接続された垂直信号線30a～垂直信号線30fに同時に読み出される。詳述すると、画素10(0, 0)の画素信号は、垂直信号線30aに読み出され、画素10(0, 1)の画素信号は、垂直信号線30bに読み出され、画素10(0, 2)の画素信号は、垂直信号線30cに読み出される。また、画素10(0, 3)の画素信号は、垂直信号線30dに読み出され、画素10(0, 4)の画素信号は、垂直信号線30eに読み出され、画素10(0, 5)の画素信号は、垂直信号線30fに読み出される。

[0021] 第1行目の各画素10からの画素信号の読み出し後に、垂直駆動部50は、第2行目の画素10である画素10(1, 0)～画素10(1, 5)のスイッチSW1をオン状態とする。また、垂直駆動部50は、第2行目とは異なる他の行の画素10のスイッチSW1をオフ状態とする。第2行目の画素10(1, 0)～画素10(1, 5)の画素信号は、それぞれ垂直信号線30a～垂直信号線30fに同時に読み出される。同様に、撮像素子3では、第3行目から第9行目までの画素10が行単位で順次選択され、画素10から垂直信号線30に画素信号の読み出しが行われる。

[0022] このように、第1の制御モードでは、垂直駆動部50は、撮像素子3の画素10を行単位で順次選択して、選択した行の画素10から画素信号を同時に読み出す。各画素10から順次読み出される画素信号は、カラム回路40等によって信号処理が施された後に、制御部4に出力される。制御部4は、撮像素子3から出力された全画素10の画素信号を用いて、画像データ（例えば静止画像データ）を生成する。

[0023] 垂直駆動部50は、制御部4により第2の制御モードが設定された場合は、全画素10のうち一部の画素である選択画素を選択して、画素信号を読み出す。即ち、垂直駆動部50は、全画素10のうちから、画素信号を読み出すべき画素を指定する。具体的には、垂直駆動部50は、全画素10のうちの特定の行や列の画素を間引いて選択画素を選択し、選択画素から画素信号

を読み出す。即ち、垂直駆動部50は、間引き読み出しを行うことによって、第1の制御モードの場合よりも高速に画素信号を読み出す制御を行う。

[0024] 垂直駆動部50は、例えば図2に太線で囲まれた画素10、即ち画素10(1, 1)、画素10(4, 1)、画素10(7, 1)、画素10(1, 4)、画素10(4, 4)、及び画素10(7, 4)を、選択画素として選択する。図2に示す例では、9画素に1画素の割合で選択画素が選択される。詳述すると、図2の全画素を3画素×3画素の9画素からなる画素ブロック60～画素ブロック65に分割した場合の、各画素ブロック内の同一位置の画素が選択される。本実施の形態では、上述の各画素ブロック内の同一位置の画素として、各画素ブロック60～65内の中央の画素10(1, 1)、(4, 1)、(7, 1)、(1, 4)、(4, 4)、及び(7, 4)がそれぞれ選択される。このように選択画素を選択すると、選択された選択画素もベイヤ配列となる。垂直駆動部50は、選択画素から画素信号を順次読み出す、即ち全画素10から1/9の間引き読み出しを行う。以下に、第2の制御モードの場合の画素信号の読み出し方法について、より詳しく説明する。

[0025] 垂直駆動部50は、第2行目の画素10(1, 1)及び画素10(1, 4)のそれぞれのスイッチSW1をオン状態とする。垂直駆動部50は、画素10(1, 1)及び画素10(1, 4)とは異なる他の画素10のスイッチSW1は、オフ状態とする。なお、第2の制御モードにおいては、スイッチSW2a、スイッチSW2b、スイッチSW3a、及びスイッチSW3bは、オフ状態にされる。画素10(1, 1)の画素信号は、画素10(1, 1)のスイッチSW1を介して垂直信号線30bに読み出され、これと同時に画素10(1, 4)の画素信号は、画素10(1, 4)のスイッチSW1を介して垂直信号線30eに読み出される。

[0026] 画素10(1, 1)及び画素10(1, 4)からの画素信号の読み出し後に、垂直駆動部50は、第5行目の画素10(4, 1)及び画素10(4, 4)のそれぞれのスイッチSW1をオン状態とする。垂直駆動部50は、画

素10(4, 1)及び画素10(4, 4)とは異なる他の画素10のスイッチSW1は、オフ状態にする。画素10(4, 1)の画素信号は、垂直信号線30bに読み出され、これと同時に画素10(4, 4)の画素信号は、垂直信号線30eに読み出される。以下同様に、撮像素子3では、2行置きに、第8行目、第11行目と選択画素が1行単位で順次選択され、選択画素から垂直信号線30に画素信号の読み出しが行われる。

[0027] このように、第2の制御モードでは、垂直駆動部50は、撮像素子3の全画素10のうち特定の行や列の画素を間引いて選択画素を選択し、選択画素から1行単位で画素信号を順次読み出す。選択画素からの画素信号は、コラム回路40等による信号処理が施された後に、制御部4に出力される。制御部4は、撮像素子3から出力される選択画素の画素信号を用いて、画像データ（例えば動画像データ）を生成する。

[0028] 垂直駆動部50は、制御部4により第3の制御モードが設定された場合は、第2の制御モードの場合と同様に、全画素10のうち特定の行や列の画素を間引いて選択画素を選択する。垂直駆動部50は、例えば第2の制御モードの場合と同様に、図2に太線で囲まれた画素10、即ち画素10(1, 1)、画素10(4, 1)、画素10(7, 1)、画素10(1, 4)、画素10(4, 4)、及び画素10(7, 4)を、選択画素として選択する。

[0029] 上述した第2の制御モードの場合は、選択画素は1行毎に選択され、選択画素に対応して設けられる垂直信号線30（図2の例では垂直信号線30b、30e）を介して画素信号が読み出される。このため、第2の制御モードの場合には、垂直信号線30a、垂直信号線30c、垂直信号線30d、及び垂直信号線30fは、画素信号の読み出しには用いられない。

[0030] 第3の制御モードでは、垂直駆動部50は、垂直信号線30a～30fを用いることで、同一列内の複数の選択画素の画素信号の読み出しを同時に（並列に）行う。具体的には、垂直駆動部50は、スイッチSW2a、スイッチSW2b、スイッチSW3a、及びスイッチSW3bを制御して、同一列内の複数の選択画素の画素信号を、互いに異なる垂直信号線30に同時に読

み出す。

[0031] 垂直駆動部50は、列方向に並んだ3つの画素ブロック60、61、62のうちの一つの画素ブロック（例えば、画素ブロック61）内の選択画素（例えば、画素10（4，1））の画素信号を、その画素に対応する垂直信号線30bに読み出す。この信号の読み出しは、スイッチSW1を介して行われる。この読み出しと同時に、垂直駆動部50は、3つの画素ブロック60、61、62のうちの残りの2つの画素ブロック（例えば、画素ブロック60、62）内の選択画素（例えば、画素10（1，1）、（7，1））の画素信号を、垂直信号線30bに左右方向に隣接する垂直信号線30c、30aに読み出す。これらの信号の読み出しは、それぞれスイッチSW2a、SW3aを介して行われる。こうして、同一の列（例えば、第2列）内の複数の画素から、画素信号を異なった垂直信号線に同時に読み出すことができる。

[0032] 垂直駆動部50は、列方向に並んだ3つの画素ブロック63、64、65内の選択画素（1，4）、（4，4）、（7，4）についても、3つの画素ブロック60、61、62内の選択画素（1，1）、（4，1）、（7，1）の場合と同様に、3つの垂直信号線30d、30e、30fに同時に読み出す。即ち、選択画素（1，4）の画素信号が、スイッチSW2bを介して垂直信号線30fに読み出され、選択画素（4，4）の画素信号が、選択画素（4，4）のスイッチSW1を介して垂直信号線30eに読み出される。同様に、選択画素（7，4）の画素信号が、スイッチSW3bを介して垂直信号線30dに読み出される。以下では、第3の制御モードの場合の画素信号の読み出し方法について、より詳しく説明する。

[0033] 垂直駆動部50は、スイッチSW2a及びスイッチSW2bをオン状態とする。これにより、画素10（1，1）は、スイッチSW2aを介して垂直信号線30cに接続され、画素10（1，4）は、スイッチSW2bを介して垂直信号線30fと接続される。また、垂直駆動部50は、画素10（4，1）及び画素10（4，4）の各々のスイッチSW1をオン状態とする。

これにより、画素10(4, 1)は、スイッチSW1を介して垂直信号線30bに接続され、画素10(4, 4)は、スイッチSW1を介して垂直信号線30eに接続される。

[0034] 更に、垂直駆動部50は、スイッチSW3a及びスイッチSW3bをオン状態とする。これにより、画素10(7, 1)は、スイッチSW3aを介して垂直信号線30aに接続され、画素10(7, 4)は、スイッチSW3bを介して垂直信号線30dに接続される。なお、画素10(4, 1)及び画素10(4, 4)とは異なる他の画素10のスイッチSW1は、オフ状態にされる。垂直駆動部50は、このように各スイッチをオンオフ制御することによって、画素ブロック60、61、62内の選択画素(1, 1)、(4, 1)、(7, 1)を、垂直信号線30c、30b、30aにそれぞれ接続させる。また、垂直駆動部50は、画素ブロック63、64、65内の選択画素(1, 4)、(4, 4)、(7, 4)を、垂直信号線30f、30e、30dにそれぞれ接続させる。

[0035] 垂直信号線30aには、図2の矢印70で模式的に示す経路で、画素10(7, 1)から画素信号が読み出される。垂直信号線30bには、矢印71で示すように画素10(4, 1)から画素信号が読み出され、垂直信号線30cには、矢印72で示すように画素10(1, 1)から画素信号が読み出される。同様に、垂直信号線30dには、矢印73で示すように画素10(7, 4)から画素信号が読み出され、垂直信号線30eには、矢印74で示すように画素10(4, 4)から画素信号が読み出され、垂直信号線30fには、矢印75で示すように画素10(1, 4)から画素信号が読み出される。こうして、垂直駆動部50は、第2列内の選択画素のうち、第2行目の画素10(1, 1)、第5行目の画素10(4, 1)、及び第8行目の画素10(7, 1)から、互いに異なる垂直信号線30に画素信号を同時に読み出す。また、垂直駆動部50は、第5列内の選択画素のうち、第2行目の画素10(1, 4)、第5行目の画素10(4, 4)、及び第8行目の画素10(7, 4)から、互いに異なる垂直信号線30に画素信号を同時に読み出

す。

[0036] 同一列内の第2、第5、第8行目の選択画素からの画素信号の読み出し後に、垂直駆動部50は、同一列内の第11、第14、第17行目の選択画素から画素信号を同時に読み出す。その後も同様にして、撮像素子3では、同一列内の選択画素が3行単位で順次選択され、選択画素から画素信号の読み出しが行われる。

[0037] このように、第3の制御モードでは、垂直駆動部50は、全画素のうち行方向及び列方向の画素を間引いて選択画素を選択し、同一列内の複数の選択画素（本実施の形態では、3個の選択画素）の画素信号を同時に読み出し、その後に次の複数の選択画素の画素信号を同時に読み出す。複数の選択画素毎に順次読み出される画素信号は、カラム回路40等による信号処理が施された後に、制御部4に出力される。制御部4は、撮像素子3から出力される選択画素の画素信号を用いて、画像データ（例えば動画画像データ）を生成する。

[0038] 上述したように、撮像素子3では、スイッチSW1、スイッチSW2a、スイッチSW2b、スイッチSW3a、及びスイッチSW3bを制御して、複数行の画素10の画素信号を互いに異なる垂直信号線30に読み出す。このため、撮像素子3は、同一列内の複数の画素10から画素信号を同時に読み出すことができる。撮像素子3は、同一列内の各画素10から画素信号を同一の垂直信号線に順次読み出す場合よりも、短時間で画素信号を読み出すことが可能となる。この結果、動画撮影のフレームレートを向上させることができる。本実施の形態では、撮像素子3は、同一列内の各画素10から画素信号を同一の垂直信号線に順次読み出す場合と比較して、約1/3の時間で各画素10から画素信号を読み出すことが可能となり、3倍のフレームレートを実現することができる。

[0039] 図3～図6を参照して、第1の実施の形態に係る撮像素子3のより詳細な回路構成及び動作について説明する。図3は、第1の実施の形態に係る撮像素子3の画素の構成を示す回路図である。画素10は、光電変換部11と、

転送部 12 と、リセット部 13 と、フローティングディフュージョン (FD) 14 と、増幅部 15 と、選択部 16 とを有する。光電変換部 11 は、フォトダイオード PD であり、入射した光を電荷に変換し、光電変換された電荷を蓄積する機能を有する。

[0040] 転送部 12 は、駆動信号 ϕ_{TX} により制御されるトランジスタ M1 から構成され、光電変換部 11 で光電変換された電荷を FD 14 に転送する。即ち、転送部 12 は、光電変換部 11 及び FD 14 の間に電荷転送路を形成する。トランジスタ M1 は、転送トランジスタである。FD 14 の容量 C は、FD 14 に転送された電荷を蓄積 (保持) する。FD 14 は、電荷を蓄積する蓄積部 14 である。

[0041] 増幅部 15 は、FD 14 の容量 C に蓄積された電荷による信号を増幅して出力する。増幅部 15 は、ドレイン (端子)、ゲート (端子) 及びソース (端子) がそれぞれ、電源 VDD、FD 14 及び選択部 16 に接続されるトランジスタ M3 により構成される。増幅部 15 のソースは、選択部 16 を介して垂直信号線 30 に接続される。増幅部 15 は、不図示の電流源を負荷電流源としてソースフォロワ回路の一部として機能する。トランジスタ M3 は、増幅トランジスタである。

[0042] リセット部 13 は、駆動信号 ϕ_{RS} により制御されるトランジスタ M2 から構成され、容量 C の電荷をリセットし、FD 14 の電圧をリセットする。トランジスタ M2 は、リセットトランジスタである。選択部 16 は、駆動信号 ϕ_{SEL} により制御されるトランジスタ M4 から構成され、増幅部 15 と垂直信号線 30 とを接続又は切断する接続部 16 である。選択部 16 のトランジスタ M4 は、オン状態の場合に、増幅部 15 からの信号を垂直信号線 30 に出力する。トランジスタ M4 は、選択トランジスタであり、上述した図 2 におけるスイッチ SW1 である。

[0043] 図 4 は、第 1 の実施の形態に係る撮像素子 3 のより詳細な回路構成を示す回路図である。図 5 は、第 2 の制御モードの場合の撮像素子 3 の動作例を示すタイミングチャートである。図 6 は、第 3 の制御モードの場合の撮像素子

3の動作例を示すタイミングチャートである。

- [0044] 図4に示すように、撮像素子3は、行列状に配置される複数の画素10と、複数の垂直信号線30と、垂直駆動部50とを有する。なお、図4に示す例では、説明を簡略化するために、図2に示す画素ブロック60、画素ブロック61、及び画素ブロック62の画素10のみを示している。画素ブロック60及び画素ブロック62は、それぞれ3×3画素のうちの中央行の3画素のみ図示している。即ち、画素ブロック60については、画素10(1, 0)～画素10(1, 2)を図示し、画素ブロック62については、画素10(7, 0)～画素10(7, 2)を図示している。画素ブロック61については、画素ブロック61の3×3画素の9個の画素を全て図示している。
- [0045] 図4では、図2のスイッチSW2aを構成するトランジスタM12、及び図2のスイッチSW3aを構成するトランジスタM13aを示している。スイッチSW2aは、画素10(1, 1)の増幅部15と選択部16の間と、垂直信号線30cとを接続する。スイッチSW3aは、画素10(7, 1)の増幅部15と選択部16の間と、垂直信号線30aとを接続する。スイッチSW2aのトランジスタM12及びスイッチSW3aのトランジスタM13は、それぞれ駆動信号 $\phi_{SEL4}<1>$ 、駆動信号 $\phi_{SEL3}<7>$ により制御される。垂直駆動部50は、駆動信号 ϕ_{RS} 、駆動信号 ϕ_{TX} 、及び駆動信号 $\phi_{SEL0}\sim\phi_{SEL4}$ を、画素10及びスイッチSW2a、SW3aに供給して、画素10及びスイッチSW2a、SW3aを制御する。
- [0046] 図5に示すタイミングチャートにおいて、横軸は時刻を示しており、第2の制御モードの場合に図4の撮像素子3の各部に入力される制御信号を示している。また、図5において、制御信号がハイレベル（例えば電源電位）の場合に制御信号が入力されるトランジスタ又はスイッチがオン状態となり、制御信号がローレベル（例えば接地電位）の場合に制御信号が入力されるトランジスタ又はスイッチがオフ状態となる。
- [0047] 図5に示す時刻t1では、駆動信号 $\phi_{RS}<1>$ がハイレベルになることで、第2行目の選択画素である画素10(1, 1)において、リセット部1

3のトランジスタM2がオンになる。これにより、画素10(1, 1)において、FD14の容量Cの電荷がリセットされ、FD14の電位がリセット電位になる。また、時刻t1において、駆動信号 $\phi_{SEL1<1>}$ がハイレベルになることで、画素10(1, 1)のリセット電位に基づく信号が、増幅部15及び選択部16により垂直信号線30bに出力される。即ち、画素10(1, 1)のFD14の電荷をリセットした後の信号(リセット信号)が、垂直信号線30bに読み出される。垂直信号線30bに出力された第2行目の画素10(1, 1)からのリセット信号は、カラム回路部40bに入力されてデジタル信号に変換される。

[0048] 時刻t2では、駆動信号 $\phi_{TX<1>}$ がハイレベルになることで、画素10(1, 1)において、転送部12のトランジスタM1がオンになり、光電変換部11で光電変換された電荷がFD14に転送される。また、時刻t2では、駆動信号 $\phi_{SEL1<1>}$ がハイレベルであるため、画素10(1, 1)の光電変換部11で生成された電荷に基づく画素信号が、増幅部15及び選択部16によって垂直信号線30bに出力される。垂直信号線30bに出力された第2行目の画素10(1, 1)からの画素信号は、カラム回路部40bに入力されてデジタル信号に変換される。デジタル信号に変換されたりセット信号と画素信号とは、不図示の信号処理部に入力される。信号処理部は、リセット信号と画素信号との差分処理を行う相関二重サンプリング等の信号処理を行う。信号処理部は、処理後の画素信号を制御部4に出力する。

[0049] 時刻t3～時刻t5では、時刻t1から時刻t3までの期間の場合と同様にして、第5行目の選択画素である画素10(4, 1)からリセット信号の読み出しと、画素信号の読み出しとが行われる。時刻t5～時刻t7では、時刻t1から時刻t3までの期間の場合と同様にして、第8行目の選択画素である画素10(7, 1)からリセット信号の読み出しと、画素信号の読み出しとが行われる。このように、図5に示す第2の制御モードでは、選択画素を1行単位で順次選択し、画素信号を読み出すことができる。

[0050] 図6に示すタイミングチャートにおいて、横軸は時刻を示しており、第3の制御モードの場合に図4の撮像素子3の各部に入力される制御信号を示している。図6に示す時刻 t_1 では、駆動信号 $\phi RS<1>$ 、駆動信号 $\phi RS<4>$ 、及び駆動信号 $\phi RS<7>$ がハイレベルになる。駆動信号 $\phi RS<1>$ がハイレベルになることで、第2行目の選択画素である画素10(1, 1)において、リセット部13のトランジスタM2がオンになり、FD14の電荷がリセットされる。また、駆動信号 $\phi RS<4>$ がハイレベルになることで、第5行目の選択画素である画素10(4, 1)において、リセット部13のトランジスタM2がオンになり、FD14の電荷がリセットされる。同様に、駆動信号 $\phi RS<7>$ がハイレベルになることで、第8行目の選択画素である画素10(7, 1)において、FD14の電荷がリセットされる。

[0051] また、時刻 t_1 において、駆動信号 $\phi SEL4<1>$ 、駆動信号 $\phi SEL1<4>$ 、及び駆動信号 $\phi SEL3<7>$ がハイレベルになる。駆動信号 $\phi SEL4<1>$ がハイレベルになることで、スイッチSW2aがオン状態となる。これにより、画素10(1, 1)のリセット信号が、画素10(1, 1)の増幅部15及びスイッチSW2aにより垂直信号線30cに出力される。また、駆動信号 $\phi SEL1<4>$ がハイレベルになることで、画素10(4, 1)のリセット信号が、画素10(4, 1)の増幅部15及び選択部16により垂直信号線30bに出力される。更に、駆動信号 $\phi SEL3<7>$ がハイレベルになることで、スイッチSW3aがオン状態となる。これにより、画素10(7, 1)のリセット信号が、画素10(7, 1)の増幅部15及びスイッチSW3aにより垂直信号線30aに出力される。このようにして、垂直信号線30a~30cには、それぞれ画素10(7, 1)、画素10(4, 1)、画素10(1, 1)からリセット信号が同時に読み出される。垂直信号線30a~30cにそれぞれ出力されたリセット信号は、それぞれカラム回路部40a~40cに入力されてデジタル信号に変換される。

[0052] 時刻 t_2 では、駆動信号 $\phi_{TX<1>}$ 、駆動信号 $\phi_{TX<4>}$ 、及び駆動信号 $\phi_{TX<7>}$ がハイレベルになる。これにより、画素 10 (1, 1)、画素 10 (4, 1)、及び画素 10 (7, 1) のそれぞれにおいて、転送部 12 のトランジスタ M1 がオンになり、光電変換部 11 で光電変換された電荷が FD 14 に転送される。また、時刻 t_2 では、駆動信号 $\phi_{SEL4<1>}$ がハイレベルであるため、画素 10 (1, 1) の画素信号が、スイッチ SW2a を介して垂直信号線 30c に出力される。また、駆動信号 $\phi_{SEL1<4>}$ がハイレベルであるため、画素 10 (4, 1) の画素信号が、画素 10 (4, 1) の選択部 16 を介して垂直信号線 30b に出力される。更に、駆動信号 $\phi_{SEL3<7>}$ がハイレベルであるため、画素 10 (7, 1) の画素信号が、スイッチ SW3a を介して垂直信号線 30a に出力される。

[0053] このようにして、垂直信号線 30a ~ 30c には、それぞれ画素 10 (7, 1)、画素 10 (4, 1)、画素 10 (1, 1) から画素信号が同時に読み出される。垂直信号線 30a ~ 30c にそれぞれ出力された画素信号は、それぞれカラム回路部 40a ~ 40c に入力されてデジタル信号に変換される。デジタル信号に変換されたリセット信号と画素信号とは、信号処理部に入力される。信号処理部は、相関二重サンプリング等の信号処理を行った後に、処理後の画素信号を制御部 4 に出力する。

[0054] 時刻 t_3 以降の期間では、時刻 t_1 から時刻 t_3 までの期間の場合と同様に、選択画素が 3 行単位で順次選択され、リセット信号の読み出しと、画素信号の読み出しとが行われる。このように、図 6 に示す第 3 の制御モードでは、選択画素を 3 行単位で順次選択し、画素信号を複数行単位で同時に読み出すことができる。

[0055] 次に、第 1 の制御モードと、第 2 の制御モードと、第 3 の制御モードとの使い分けについて説明する。制御部 4 は、カメラ 1 が高解像度の静止画撮影を行う場合には、撮像素子 3 を第 1 の制御モードで制御する。また、制御部 4 は、動画撮影やカメラ 1 が表示部 6 に被写体のスルー画像（ライブビュー画像）を表示する場合には、撮像素子 3 を第 2 の制御モード又は第 3 の制御

モードで制御する。

[0056] 更に、カメラ 1 がフレームレートの高い撮影、例えば高速連写撮影や高速動画撮影を行う場合には、制御部 4 は、画素信号の高速読み出しのために撮像素子 3 を第 3 の制御モードで制御する。また、カメラ 1 が被写体速度検出部を有し、その被写体速度検出部が所定値以上の被写体速度を検出した場合にも、制御部 4 は、画素信号を高速に読み出して画像のブレを少なくするために、撮像素子 3 を第 3 の制御モードで制御する。なお、被写体速度検出部は、例えば、スルー画像の相前後する 2 枚の画像間の被写体像の移動量から検出することができる。

[0057] 上述した実施の形態によれば、次の作用効果が得られる。

(1) 撮像素子 3 は、入射光を光電変換して電荷を生成する光電変換部 11 を有し、第 1 方向（列方向）及び第 1 方向とは異なる第 2 方向（行方向）に配置された複数の画素 10 と、第 1 方向に配置された複数の画素 10 毎に設けられる信号線（垂直信号線 30）と、第 1 方向に配置された複数の画素 10 から、光電変換部 11 により生成された電荷に基づく信号を互いに異なる信号線に出力させる制御部（垂直駆動部 50）と、を備える。このようにしたので、画素信号の読み出し時間を短縮することができる。この結果、動画撮影時のフレームレートを向上させることができる。

[0058] (2) 複数の画素 10 は、第 1 方向に配置された第 1 画素（例えば画素 10（4， 1））及び第 2 画素（例えば画素 10（1， 1））を含む。複数の信号線は、第 1 及び第 2 画素に接続される第 1 の信号線（垂直信号線 30 b）と、第 1 の信号線とは異なる第 2 の信号線（垂直信号線 30 c）とを含む。撮像素子 3 は、第 2 画素と第 2 の信号線とを接続又は切断する第 2 の接続部（スイッチ SW 2 a）を備える。制御部 50 は、第 2 の接続部を接続状態とし、第 1 画素から信号を第 1 の信号線に出力させ、第 2 画素から信号を第 2 の信号線に出力させる。このようにしたので、同一列内の複数の画素（例えば画素 10（1， 1）及び画素 10（4， 1））から画素信号を同時に読み出すことができる。

[0059] (3) 複数の画素10は、第1の列に配置された第1画素及び第2画素（例えば画素10（4，1）及び画素10（1，1））と、第2の列に配置された第3画素及び第4画素（例えば画素10（4，2）及び画素10（1，2））とを含む。複数の信号線は、第1及び第2画素に接続される第1の信号線（垂直信号線30b）と、第3及び第4画素に接続される第2の信号線（垂直信号線30c）とを含む。撮像素子3は、第2画素と第2の信号線とを接続又は切断する第2の接続部（スイッチSW2a）を備える。制御部50は、第3及び第4画素から第2の信号線への信号の出力を停止させ、第2の接続部を接続状態とし、第1画素から信号を第1の信号線に出力させ、第2画素から信号を第2の信号線に出力させる。このようにしたので、同一列内の複数の画素（例えば画素10（1，1）及び画素10（4，1））の画素信号を、互いに異なる垂直信号線に同時に読み出すことができる。

[0060] (第2の実施の形態)

図面を参照して、第2の実施の形態に係る撮像装置を説明する。第2の実施の形態の撮像装置は、第3の制御モードの場合に、複数の画素10の信号を混合して読み出す処理を行う。図7を参照して、第2の実施の形態に係る撮像素子3の信号の読み出し方法について説明する。図7は、第2の実施の形態に係る撮像素子3の一部の構成を示すブロック図である。なお、図7に示す例では、説明を簡略化するために、画素10は行方向8画素×列方向11画素のみ図示している。また、左上隅の画素10を第1行第1列の画素10（0，0）とし、右下隅の画素10を第11行第8列の画素10（10，7）として、画素10（0，0）から画素10（10，7）までの88個の画素10を図示している。図7に示した行方向8画素×列方向11画素の88個の画素10も、図2に示した画素10と同様に、撮像素子3の撮像面の任意の領域に配置された画素群を表すものである。

[0061] 本実施の形態では、選択画素の信号と、選択画素の周囲に配置された選択画素と同色の複数の画素の信号とが、混合される。これにより、本実施の形態では、第1の実施の形態の場合では間引かれる画素の信号を、選択画素の

信号に混合した画素信号を得ることができる。カメラ 1 の制御部 4 は、混合された画素信号に基づいて画像データを生成する。このため、画像にモアレ等のノイズが生じることを抑制することができる。以下に、詳細に説明する。

[0062] 図 7 に太線で囲まれた画素、即ち画素 10 (2, 2)、画素 10 (5, 2)、画素 10 (8, 2)、画素 10 (2, 5)、画素 10 (5, 5)、及び画素 10 (8, 5) は、第 1 の実施の形態の場合と同様に、選択画素として選択される画素である。即ち、これらの選択画素は、3 画素×3 画素の 9 画素からなる画素ブロック 60～65 の各々の中央位置に位置する画素である。従って、9 画素に 1 画素の割合で選択画素が選択される。

[0063] 画素ブロック 60 については、選択画素としての R 画素 10 (2, 2) の信号が、R 画素 10 (2, 2) の周囲に配置された 8 個の R 画素 10 の各々の信号と混合される。即ち、垂直駆動部 50 は、9 個の R 画素 10 の信号を混合した信号を、選択画素 10 (2, 2) の画素信号として読み出す。詳述すると、R 画素 10 (0, 0)、R 画素 10 (0, 2)、R 画素 10 (0, 4)、R 画素 10 (2, 0)、R 画素 10 (2, 2)、R 画素 10 (2, 4)、R 画素 10 (4, 0)、R 画素 10 (4, 2)、及び R 画素 10 (4, 4) の 9 個の画素の信号が混合される。これら 9 個の画素の信号が混合された信号が、選択画素 10 (2, 2) の画素信号として、垂直信号線 30 d に読み出される。

[0064] 画素ブロック 61 については、選択画素としての G 画素 10 (5, 2) の信号が、G 画素 10 (5, 2) の周囲に配置された 8 個の G 画素 10 の各々の信号と混合される。即ち、垂直駆動部 50 は、9 個の G 画素 10 の信号を混合した信号を、選択画素 10 (5, 2) の画素信号として読み出す。詳述すると、G 画素 10 (3, 0)、G 画素 10 (3, 2)、G 画素 10 (3, 4)、G 画素 10 (5, 0)、G 画素 10 (5, 2)、G 画素 10 (5, 4)、G 画素 10 (7, 0)、G 画素 10 (7, 2)、及び G 画素 10 (7, 4) の 9 個の画素の信号が混合される。これら 9 個の画素の信号が混合され

た信号が、選択画素10(5, 2)の画素信号として、垂直信号線30cに読み出される。

[0065] なお、選択画素としてのG画素10(5, 2)の周囲には、上述の8個の同色の画素10よりも、もっと近傍位置に、G画素10(4, 1)、G画素10(4, 3)、G画素10(6, 1)、及びG画素10(6, 3)が存在する。そこで、上述の9個のG画素に、G画素10(4, 1)、G画素10(4, 3)、G画素10(6, 1)、及びG画素10(6, 3)の4個を加えた合計13個の画素の信号を混合した信号を、選択画素10(5, 2)の画素信号として読み出してもよい。

[0066] 画素ブロック62については、選択画素としてのR画素10(8, 2)の信号が、画素ブロック60の場合と同様に、R画素10(8, 2)の周囲に配置された8個のR画素10の各々の信号と混合される。これら9個の画素の信号が混合された信号が、選択画素10(8, 2)の画素信号として、垂直信号線30bに読み出される。

[0067] 画素ブロック63については、選択画素としてのG画素10(2, 5)の信号が、画素ブロック61の場合と同様に、G画素10(2, 5)の周囲に配置された8個のG画素10の各々の信号と混合される。これら9個の画素の信号が混合された信号が、選択画素10(2, 5)の画素信号として、垂直信号線30gに読み出される。なお、画素ブロック63では、画素ブロック61の場合と同様に、上述の9個のG画素に、G画素10(1, 4)、G画素10(1, 6)、G画素10(3, 4)、及びG画素10(3, 6)の4個を加えた合計13個の画素の信号を混合した信号を、選択画素10(2, 5)の画素信号として読み出してもよい。

[0068] 画素ブロック64については、選択画素としてのB画素10(5, 5)の信号が、B画素10(5, 5)の周囲に配置された8個のB画素10の各々の信号と混合される。即ち、撮像素子3は、9個のB画素10の信号を混合した信号を、選択画素10(5, 5)の画素信号として読み出す。詳述すると、B画素10(3, 3)、B画素10(3, 5)、B画素10(3, 7)

、B画素10(5, 3)、B画素10(5, 5)、B画素10(5, 7)、
B画素10(7, 3)、B画素10(7, 5)、及びB画素10(7, 7)
の9個の画素の信号が混合される。これら9個の画素の信号が混合された信号が、選択画素10(5, 5)の画素信号として、垂直信号線30fに読み出される。

[0069] 画素ブロック65については、選択画素としてのG画素10(8, 5)の信号が、画素ブロック61、63の場合と同様に、G画素10(8, 5)の周囲に配置された8個のG画素10の各々の信号と混合される。これら9個の画素の信号が混合された信号が、選択画素10(8, 5)の画素信号として、垂直信号線30eに読み出される。なお、画素ブロック65では、画素ブロック61、63の場合と同様に、上述の9個のG画素に、G画素10(7, 4)、G画素10(7, 6)、G画素10(9, 4)、及びG画素10(9, 6)の4個を加えた合計13個の画素の信号を混合した信号を、選択画素10(8, 5)の画素信号として読み出してもよい。

[0070] 次に、画素ブロック60～65の選択画素の信号とその周囲の同色画素の信号とを混合するための回路構成、及び信号の混合処理についてより詳しく説明する。垂直駆動部50は、図7に示すスイッチSW2a～スイッチSW9a、及びスイッチSW2b～スイッチSW9bをオン状態とする。また、垂直駆動部50は、画素10(5, 2)及び画素10(5, 5)の各々のスイッチSW1をオン状態とし、これらの画素とは異なる画素のスイッチSW1はオフ状態とする。

[0071] また、詳細は後述するが、同一列(第1列目)の、R画素10(0, 0)、R画素10(2, 0)、及びR画素10(4, 0)の各々のFD14(図3参照)が接続部(図8の接続部20)によって互いに接続される。これにより、R画素10(0, 0)、R画素10(2, 0)、及びR画素10(4, 0)の各々のFD14の信号(電荷)が平均化される。同様に、同一列(第3列目)の、R画素10(0, 2)、R画素10(2, 2)、及びR画素10(4, 2)の各々のFD14が互いに接続され、R画素10(0, 2)

、R画素10(2, 2)、及びR画素10(4, 2)の各々のFD14の信号が平均化される。更に、同一列(第5列目)の、R画素10(0, 4)、R画素10(2, 4)、及びR画素10(4, 4)の各々のFD14が互いに接続され、R画素10(0, 4)、R画素10(2, 4)、及びR画素10(4, 4)の各々のFD14の信号が平均化される。

[0072] スイッチSW4a、スイッチSW2a、及びスイッチSW7aがオン状態となることで、画素ブロック60の選択画素であるR画素10(2, 2)とそれと同一の行(第3行目)のR画素10(2, 0)とR画素10(2, 4)とは、垂直信号線30dに接続される。詳述すると、R画素10(2, 0)はスイッチSW4a、SW2aを介して、R画素10(2, 2)はスイッチSW2aを介して、R画素10(2, 4)はスイッチSW7aを介して、それぞれ垂直信号線30dに接続される。

[0073] R画素10(2, 0)、R画素10(2, 2)、及びR画素10(2, 4)が垂直信号線30dに接続されることで、画素10(2, 0)、画素10(2, 2)、及び画素10(2, 4)の各々からの信号が混合される。即ち、R画素10(0, 0)、(2, 0)、(4, 0)の平均化された信号と、R画素10(0, 2)、(2, 2)、(4, 2)の平均化された信号と、R画素10(0, 4)、(2, 4)、(4, 4)の平均化された信号とが混合される。この結果、これら9個のR画素10の信号が混合された信号が、選択画素10(2, 2)による画素信号として、垂直信号線30dに出力される。

[0074] また、同一列(第1列目)の、G画素10(3, 0)、G画素10(5, 0)、及びG画素10(7, 0)の各々のFD14が互いに接続されて、各画素のFD14の信号が平均化される。同様に、同一列(第3列目)の、G画素10(3, 2)、G画素10(5, 2)、及びG画素10(7, 2)の各々のFD14が互いに接続されて、各画素のFD14の信号が平均化される。更に、同一列(第5列目)の、G画素10(3, 4)、G画素10(5, 4)、及びG画素10(7, 4)の各々のFD14が互いに接続されて、

各画素のFD14の信号が平均化される。

[0075] スイッチSW5a、スイッチSW8a、及び画素10(5, 2)のスイッチSW1がオン状態となることで、画素ブロック61の選択画素であるG画素10(5, 2)とそれと同一の行(第6行目)のG画素(5, 0)とG画素(5, 4)とは、垂直信号線30cに接続される。詳述すると、G画素(5, 0)はスイッチSW5aを介して、G画素10(5, 2)はスイッチSW1を介して、G画素(5, 4)はスイッチSW8aを介して、それぞれ垂直信号線30cに接続される。これにより、画素10(3, 0)、画素10(3, 2)、画素10(3, 4)、画素10(5, 0)、画素10(5, 2)、画素10(5, 4)、画素10(7, 0)、画素10(7, 2)、画素10(7, 4)の各々の信号が混合された信号が、選択画素10(5, 2)による画素信号として、垂直信号線30cに出力される。

[0076] 更に、同一列(第1列目)の、R画素10(6, 0)、R画素10(8, 0)、及びR画素10(10, 0)の各々のFD14が互いに接続されて、各画素のFD14の信号が平均化される。同様に、同一列(第3列目)の、R画素10(6, 2)、R画素10(8, 2)、及びR画素10(10, 2)の各々のFD14が互いに接続されて、各画素のFD14の信号が平均化される。更に、同一列(第5列目)の、R画素10(6, 4)、R画素10(8, 4)、及びR画素10(10, 4)の各々のFD14が互いに接続されて、各画素のFD14の信号が平均化される。

[0077] スイッチSW6a、スイッチSW3a、及びスイッチSW9aがオン状態となることで、画素ブロック62の選択画素であるR画素10(8, 2)とそれと同一の行(第9行目)のR画素(8, 0)とR画素(8, 4)とは、垂直信号線30bに接続される。詳述すると、R画素(8, 0)はスイッチSW6aを介して、R画素10(8, 2)はスイッチSW3aを介して、R画素(8, 4)はスイッチSW9a及びスイッチSW3aを介して、それぞれ垂直信号線30bに接続される。これにより、画素10(6, 0)、画素10(6, 2)、画素10(6, 4)、画素10(8, 0)、画素10(8

、2)、画素10(8, 4)、画素10(10, 0)、画素10(10, 2)、画素10(10, 4)の各々の信号が混合された信号が、選択画素10(8, 2)による画素信号として、垂直信号線30bに出力される。

[0078] 画素ブロック63については、上述の画素ブロック60～62と同様に、選択画素であるG画素10(2, 5)と同一行のG画素(2, 3)及び(2, 7)は、スイッチSW2b、スイッチSW4b、スイッチSW7bを介して、垂直信号線30gに接続される。また、第4列目のG画素10(0, 3)、(2, 3)、(4, 3)のFD14が互いに接続される。同様に、第6列目のG画素10(0, 5)、(2, 5)、(4, 5)のFD14が互いに接続され、第8列目のG画素(0, 7)、(2, 7)、(4, 7)のFD14が互いに接続される。これにより、画素10(0, 3)、画素10(0, 5)、画素10(0, 7)、画素10(2, 3)、画素10(2, 5)、画素10(2, 7)、画素10(4, 3)、画素10(4, 5)、画素10(4, 7)の各々の信号が混合された信号が、選択画素10(2, 5)による画素信号として、垂直信号線30gに出力される。

[0079] 画素ブロック64については、上述の画素ブロック60～62と同様に、選択画素であるB画素10(5, 5)と同一行のB画素10(5, 3)及び(5, 7)は、画素10(5, 5)のスイッチSW1、スイッチSW5b、スイッチSW8bを介して、垂直信号線30fに接続される。また、第4列目のB画素10(3, 3)、(5, 3)、(7, 3)のFD14が互いに接続される。同様に、第6列目のB画素10(3, 5)、(5, 5)、(7, 5)のFD14が互いに接続され、第8列目のB画素10(3, 7)、(5, 7)、(7, 7)のFD14が互いに接続される。これにより、画素10(3, 3)、画素10(3, 5)、画素10(3, 7)、画素10(5, 3)、画素10(5, 5)、画素10(5, 7)、画素10(7, 3)、画素10(7, 5)、画素10(7, 7)の各々の信号が混合された信号が、選択画素10(5, 5)による画素信号として、垂直信号線30fに出力される。

[0080] 画素ブロック65については、上述の画素ブロック60～62と同様に、選択画素であるG画素10(8, 5)と同一行のG画素(8, 3)及び(8, 7)は、スイッチSW3b、スイッチSW6b、スイッチSW9bを介して、垂直信号線30eに接続される。また、第4列目のG画素(6, 3)、(8, 3)、(10, 3)のFD14が互いに接続さる。同様に、第6列目のG画素(6, 5)、(8, 5)、(10, 5)のFD14が互いに接続され、第8列目のG画素(6, 7)、(8, 7)、(10, 7)のFD14が互いに接続される。これにより、画素10(6, 3)、画素10(6, 5)、画素10(6, 7)、画素10(8, 3)、画素10(8, 5)、画素10(8, 7)、画素10(10, 3)、画素10(10, 5)、画素10(10, 7)の各々の信号が混合された信号が、選択画素10(8, 5)による画素信号として、垂直信号線30eに出力される。

以下では、図8及び図9を参照して、撮像素子のより詳細な構成及び動作について更に詳細に説明する。

[0081] 図8は、第2の実施の形態に係る撮像素子3のより詳細な回路構成を示す回路図である。図9は、第3の制御モードの場合の撮像素子3の動作例を示すタイミングチャートである。なお、図8に示す例では、説明を簡略化するために、図7に示す複数の画素のうちの一部の画素のみを図示している。即ち、図8では、画素10(2, 0)、画素10(2, 2)、画素10(2, 4)、画素10(3, 0)、画素10(3, 2)、画素10(3, 4)、画素10(5, 0)、画素10(5, 2)、画素10(5, 4)、画素10(7, 0)、画素10(7, 2)、画素10(7, 4)、画素10(8, 0)、画素10(8, 2)、及び画素10(8, 4)を示している。

[0082] 図8に示すように、全ての各画素10には、接続部20が設けられる。接続部20は、駆動信号 ϕ FD_ADDにより制御されるトランジスタM20から構成され、列方向にそれぞれ配置される複数の画素10の各々のFD14を接続又は切断する。垂直駆動部50は、駆動信号 ϕ RS、駆動信号 ϕ TX、駆動信号 ϕ SEL0～ ϕ SEL4、及び駆動信号 ϕ FD_ADDを、画

素10及びスイッチSW2a、SW3a、SW4a、SW5a、SW6a、SW7a、SW8a、SW9aに供給して、画素10及び各スイッチを制御する。

- [0083] スイッチSW2aは、トランジスタM12により構成され、画素10(2, 2)の増幅部15と選択部16の間と、垂直信号線30dとを接続する。スイッチSW3aは、トランジスタM13により構成され、画素10(8, 2)の増幅部15と選択部16の間と、垂直信号線30bとを接続する。
- [0084] スイッチSW4aは、トランジスタM14により構成され、画素10(2, 0)の増幅部15と選択部16の間と、画素10(2, 2)の増幅部15と選択部16の間とを接続する。スイッチSW5aは、トランジスタM15により構成され、画素10(5, 0)の増幅部15と選択部16の間と、垂直信号線30cとを接続する。スイッチSW6aは、トランジスタM16により構成され、画素10(8, 0)の増幅部15と選択部16の間と、垂直信号線30bとを接続する。
- [0085] スイッチSW7aは、トランジスタM17により構成され、画素10(2, 4)の増幅部15と選択部16の間と、垂直信号線30dとを接続する。スイッチSW8aは、トランジスタM18により構成され、画素10(5, 4)の増幅部15と選択部16の間と、垂直信号線30cとを接続する。スイッチSW9aは、トランジスタM19により構成され、画素10(8, 4)の増幅部15と選択部16の間と、画素10(8, 2)の増幅部15と選択部16の間とを接続する。
- [0086] 図9に示すタイミングチャートにおいて、横軸は時刻を示しており、第3の制御モードの場合に図8の撮像素子3の各部に入力される制御信号を示している。図9に示す時刻t1では、駆動信号 $\phi_{FD_ADD<1>}$ 、駆動信号 $\phi_{FD_ADD<4>}$ 、駆動信号 $\phi_{FD_ADD<5>}$ 、及び駆動信号 $\phi_{FD_ADD<7>}$ がハイレベルになる。駆動信号 $\phi_{FD_ADD<4>}$ 及び駆動信号 $\phi_{FD_ADD<5>}$ がハイレベルになることで、画素10(5, 0)、画素10(5, 2)、画素10(5, 4)、画素10(7, 0)、

画素10(7, 2)、及び画素10(7, 4)において、接続部20のトランジスタM20がオン状態となる。これにより、画素10(3, 0)、画素10(5, 0)、及び画素10(7, 0)の各々のFD14の容量Cが互いに電氣的に接続される。同様に、画素10(3, 2)、画素10(5, 2)、及び画素10(7, 2)の各々の容量Cが互いに電氣的に接続され、画素10(3, 4)、画素10(5, 4)、及び画素10(7, 4)の各々の容量Cが互いに電氣的に接続される。

[0087] 同様に、駆動信号 ϕ FD_ADD<1>がハイレベルになり、図7に示す画素10(0, 0)、画素10(2, 0)、及び画素10(4, 0)の各々の容量Cが互いに接続される。また、画素10(0, 2)、画素10(2, 2)、及び画素10(4, 2)の各々の容量Cが互いに接続され、画素10(0, 4)、画素10(2, 4)、及び画素10(4, 4)の各々の容量Cが互いに接続される。更に、駆動信号 ϕ FD_ADD<7>がハイレベルになり、画素10(6, 0)、画素10(8, 0)、及び画素10(10, 0)の各々の容量Cが互いに接続される。また、画素10(6, 2)、画素10(8, 2)、及び画素10(10, 2)の各々の容量Cが互いに接続され、画素10(6, 4)、画素10(8, 4)、及び画素10(10, 4)の各々の容量Cが互いに接続される。

[0088] また、時刻t1において、駆動信号 ϕ RS<1>、駆動信号 ϕ RS<3>、駆動信号 ϕ RS<4>、駆動信号 ϕ RS<5>、及び駆動信号 ϕ RS<7>がハイレベルになる。駆動信号 ϕ RS<1>がハイレベルになることで、画素10(2, 0)、画素10(2, 2)、及び画素10(2, 4)において、リセット部13のトランジスタM2がオンになり、FD14の電荷がリセットされる。この場合、上述したように、列方向の3つの画素10の容量Cが接続されているため、画素10(0, 0)、画素10(2, 0)、及び画素10(4, 0)のFD14の電位が平均化される。また、画素10(0, 2)、画素10(2, 2)、及び画素10(4, 2)のFD14の電位が平均化され、画素10(0, 4)、画素10(2, 4)、及び画素10(4, 4)のFD14の電位が平均化される。

、４）のFD 14の電位が平均化される。

[0089] 駆動信号 $\phi RS<3>$ がハイレベルになることで、画素10（3，0）、画素10（3，2）、及び画素10（3，4）において、FD 14の電荷がリセットされる。また、駆動信号 $\phi RS<4>$ がハイレベルになることで、画素10（5，0）、画素10（5，2）、及び画素10（5，4）において、FD 14の電荷がリセットされる。更に、駆動信号 $\phi RS<5>$ がハイレベルになることで、画素10（7，0）、画素10（7，2）、及び画素10（7，4）において、FD 14の電荷がリセットされる。この場合、画素10（3，0）、画素10（5，0）、及び画素10（7，0）の各々のFD 14が接続されているため、画素10（3，0）、画素10（5，0）、及び画素10（7，0）のFD 14の電位が平均化される。同様に、画素10（3，2）、画素10（5，2）、及び画素10（7，2）のFD 14の電位が平均化され、画素10（3，4）、画素10（5，4）、及び画素10（7，4）のFD 14の電位が平均化される。

[0090] 駆動信号 $\phi RS<7>$ がハイレベルになることで、画素10（8，0）、画素10（8，2）、及び画素10（8，4）において、FD 14の電荷がリセットされる。また、画素10（6，0）、画素10（8，0）、及び画素10（10，0）のFD 14の電位が平均化される。同様に、画素10（6，2）、画素10（8，2）、及び画素10（10，2）のFD 14の電位が平均化され、画素10（6，4）、画素10（8，4）、及び画素10（10，4）のFD 14の電位が平均化される。

[0091] 更に、時刻t 1において、駆動信号 $\phi SEL 3<1>$ 、駆動信号 $\phi SEL 4<1>$ 、駆動信号 $\phi SEL 1<4>$ 、駆動信号 $\phi SEL 3<4>$ 、駆動信号 $\phi SEL 4<4>$ 、駆動信号 $\phi SEL 3<7>$ 、及び駆動信号 $\phi SEL 4<7>$ がハイレベルになる。

[0092] 駆動信号 $\phi SEL 3<1>$ がハイレベルになることで、スイッチSW 4 a及びスイッチSW 7 aがそれぞれオン状態となり、駆動信号 $\phi SEL 4<1>$ がハイレベルになることで、スイッチSW 2 aがオン状態となる。これに

より、画素10(2, 0)、画素10(2, 2)、及び画素10(2, 4)の各々の増幅部15のトランジスタM3のソース端子が、垂直信号線30dに電氣的に接続される。垂直信号線30dでは、画素10(2, 0)の信号、画素10(2, 2)の信号、及び画素10(2, 4)の信号が混合される。この結果、画素10(0, 0)、画素10(0, 2)、画素10(0, 4)、画素10(2, 0)、画素10(2, 2)、画素10(2, 4)、画素10(4, 0)、画素10(4, 2)、及び画素10(4, 4)の9個の画素の信号が混合された信号が、選択画素10(2, 2)のリセット信号として、垂直信号線30dに出力される。

[0093] 駆動信号 ϕ SEL1<4>がハイレベルになることで、画素10(5, 2)の選択部16のトランジスタM4がオン状態となる。また、駆動信号 ϕ SEL3<4>がハイレベルになることで、スイッチSW5aがオン状態となり、駆動信号 ϕ SEL4<4>がハイレベルになることで、スイッチSW8aがオン状態となる。これにより、画素10(5, 0)、画素10(5, 2)、及び画素10(5, 4)の各々の増幅部15のトランジスタM3のソース端子が、垂直信号線30cに電氣的に接続される。これにより、画素10(3, 0)、画素10(3, 2)、画素10(3, 4)、画素10(5, 0)、画素10(5, 2)、画素10(5, 4)、画素10(7, 0)、画素10(7, 2)、及び画素10(7, 4)の9個の画素の信号が混合された信号が、選択画素10(5, 2)のリセット信号として、垂直信号線30cに出力される。

[0094] 駆動信号 ϕ SEL3<7>がハイレベルになることで、スイッチSW3aがオン状態となり、駆動信号 ϕ SEL4<7>がハイレベルになることで、スイッチSW6a及びスイッチSW9aがそれぞれオン状態となる。これにより、画素10(8, 0)、画素10(8, 2)、及び画素10(8, 4)の各々の増幅部15のトランジスタM3のソース端子が、垂直信号線30bに電氣的に接続される。画素10(6, 0)、画素10(6, 2)、画素10(6, 4)、画素10(8, 0)、画素10(8, 2)、画素10(8,

4)、画素10(10, 0)、画素10(10, 2)、及び画素10(10, 4)の9個の画素の信号が混合された信号が、選択画素10(8, 2)のリセット信号として、垂直信号線30bに出力される。垂直信号線30b~30dにそれぞれ出力されたりセット信号は、それぞれ図7に示したカラム回路部40b~40dに入力されてデジタル信号に変換される。

[0095] 時刻 t_2 では、駆動信号 $\phi_{TX<1>}$ 、駆動信号 $\phi_{TX<3>}$ 、駆動信号 $\phi_{TX<4>}$ 、駆動信号 $\phi_{TX<5>}$ 、及び駆動信号 $\phi_{TX<7>}$ がハイレベルになる。駆動信号 $\phi_{TX<1>}$ がハイレベルになることで、画素10(2, 0)、画素10(2, 2)、及び画素10(2, 4)において、転送部12のトランジスタM1がオンになり、光電変換部11で光電変換された電荷がFD14に転送される。この場合、上述したように、列方向の3つの画素10の容量Cが接続されているため、画素10(0, 0)、画素10(2, 0)、及び画素10(4, 0)の各々の光電変換部11で生成された電荷が3つの容量Cに分配されて、FD14の電位が平均化される。画素10(0, 0)、画素10(2, 0)、及び画素10(4, 0)の各々の光電変換部11で生成された電荷が、加算平均化されるともいえる。同様に、画素10(0, 2)、画素10(2, 2)、及び画素10(4, 2)のFD14の電位が平均化され、画素10(0, 4)、画素10(2, 4)、及び画素10(4, 4)のFD14の電位が平均化される。

[0096] 駆動信号 $\phi_{TX<3>}$ がハイレベルになることで、画素10(3, 0)、画素10(3, 2)、及び画素10(3, 4)において、光電変換部11で光電変換された電荷がFD14に転送される。また、駆動信号 $\phi_{TX<4>}$ がハイレベルになることで、画素10(5, 0)、画素10(5, 2)、及び画素10(5, 4)において、光電変換部11で光電変換された電荷がFD14に転送される。駆動信号 $\phi_{TX<5>}$ がハイレベルになることで、画素10(7, 0)、画素10(7, 2)、及び画素10(7, 4)において、光電変換部11で光電変換された電荷がFD14に転送される。この場合、画素10(3, 0)、画素10(5, 0)、及び画素10(7, 0)の各

々のFD14が接続されているため、画素10(3, 0)、画素10(5, 0)、及び画素10(7, 0)のFD14の電位が平均化される。同様に、画素10(3, 2)、画素10(5, 2)、及び画素10(7, 2)のFD14の電位が平均化され、画素10(3, 4)、画素10(5, 4)、及び画素10(7, 4)のFD14の電位が平均化される。

[0097] 更に、駆動信号 $\phi TX<7>$ がハイレベルになることで、画素10(8, 0)、画素10(8, 2)、及び画素10(8, 4)において、光電変換部11で光電変換された電荷がFD14に転送される。また、画素10(6, 0)、画素10(8, 0)、及び画素10(10, 0)のFD14の電位が平均化される。同様に、画素10(6, 2)、画素10(8, 2)、及び画素10(10, 2)のFD14の電位が平均化され、画素10(6, 4)、画素10(8, 4)、及び画素10(10, 4)のFD14の電位が平均化される。

[0098] また、時刻t2では、駆動信号 $\phi SEL3<1>$ 及び駆動信号 $\phi SEL4<1>$ がハイレベルであるため、垂直信号線30dでは、画素10(2, 0)の信号、画素10(2, 2)の信号、及び画素10(2, 4)の信号が混合される。これにより、画素10(0, 0)、画素10(0, 2)、画素10(0, 4)、画素10(2, 0)、画素10(2, 2)、画素10(2, 4)、画素10(4, 0)、画素10(4, 2)、及び画素10(4, 4)の9個の画素の信号が混合された信号が、選択画素10(2, 2)の画素信号として、垂直信号線30dに出力される。

[0099] また、時刻t2では、駆動信号 $\phi SEL1<4>$ 、駆動信号 $\phi SEL3<4>$ 、及び駆動信号 $\phi SEL4<4>$ がハイレベルであるため、垂直信号線30cでは、画素10(5, 0)、画素10(5, 2)、及び画素10(5, 4)の信号が混合される。これにより、画素10(3, 0)、画素10(3, 2)、画素10(3, 4)、画素10(5, 0)、画素10(5, 2)、画素10(5, 4)、画素10(7, 0)、画素10(7, 2)、及び画素10(7, 4)の9個の画素の信号が混合された信号が、選択画素10(

5, 2) の画素信号として、垂直信号線 30c に出力される。

[0100] 更に、時刻 t 2 では、駆動信号 $\phi SEL3<7>$ 及び駆動信号 $\phi SEL4<7>$ がハイレベルであるため、垂直信号線 30b では、画素 10(8, 0)、画素 10(8, 2)、及び画素 10(8, 4) の信号が混合される。これにより、画素 10(6, 0)、画素 10(6, 2)、画素 10(6, 4)、画素 10(8, 0)、画素 10(8, 2)、画素 10(8, 4)、画素 10(10, 0)、画素 10(10, 2)、及び画素 10(10, 4) の 9 個の画素の信号が混合された信号が、選択画素 10(8, 2) の画素信号として、垂直信号線 30b に出力される。

[0101] 垂直信号線 30b ~ 30d にそれぞれ出力された画素信号は、それぞれコラム回路部 40b ~ 40d に入力されてデジタル信号に変換される。デジタル信号に変換されたリセット信号と画素信号とは、信号処理部に入力される。信号処理部は、相関二重サンプリング等の信号処理を行った後に、処理後の画素信号を制御部 4 に出力する。

[0102] 時刻 t 3 以降の期間では、時刻 t 1 から時刻 t 3 までの期間の場合と同様に、3 行分の選択画素とその周囲の同色画素が順次選択され、リセット信号の読み出しと、画素信号の読み出しとが行われる。このように、第 3 の制御モードでは、選択画素を 3 行単位で順次選択し、画素信号を複数行単位で同時に読み出すことができる。また、選択画素の信号とその周囲の同色画素の信号とを混合した信号を、選択画素の画素信号として読み出すことができる。

[0103] 上述した実施の形態によれば、第 1 の実施の形態と同様の作用効果に加えて、次の作用効果が得られる。

(4) 撮像素子 3 は、第 1 画素と第 1 及び第 2 画素とは異なる他の画素の各々の蓄積部 14 を接続又は切断する第 3 の接続部 20 を備える。制御部 50 は、第 3 の接続部 20 を接続状態とし、第 1 画素及び他の画素の光電変換部 11 で生成された電荷を加算した電荷に基づく信号を第 1 の信号線に出力させる。このようにしたので、複数の画素 10 の各々で光電変換された電荷を

加算平均化した電荷に基づく信号を、垂直信号線 30 に読み出すことができる。このため、選択画素の信号と、選択画素の周囲の同色画素の信号とを混合した信号を、垂直信号線 30 に読み出すことができる。また、この混合された画素信号に基づいて画像データが生成されるため、画像にモアレ等のノイズが生じることを抑制することができる。

[0104] (5) 制御部 50 は、第 1 画素から信号を第 1 の信号線に出力させると共に、第 1 及び第 2 画素とは異なる他の画素から信号を第 1 の信号線に出力させる。本実施の形態では、制御部 50 は、例えば画素 10 (2, 0) の信号、画素 10 (2, 2) の信号、及び画素 10 (2, 4) の信号を同時に垂直信号線 30 d に出力させる。これにより、撮像素子 3 は、画素 10 (2, 0) の信号、画素 10 (2, 2) の信号、及び画素 10 (2, 4) の信号を、垂直信号線 30 d において混合することができる。

[0105] 次のような変形も本発明の範囲内であり、変形例の一つ、もしくは複数を上述の実施形態と組み合わせることも可能である。

[0106] (変形例 1)

上述した実施の形態では、選択画素を 3 行単位で順次選択し、画素信号を 3 行単位で同時に読み出す例について説明した。しかし、選択画素を 2 行単位で順次選択し、画素信号を 2 行単位で同時に読み出すようにしてもよい。この場合に、画素信号が読み出されない垂直信号線に対応して設けられる A/D 変換部の動作を休止してもよい。これにより、撮像素子の消費電力を低減させることができる。

[0107] (変形例 2)

上述した第 2 の実施の形態では、列方向の複数の画素の各々の F D 1 4 を互いに接続すると共に、行方向の複数の画素を同一の垂直信号線 30 に接続することで、列方向及び行方向の複数の画素の信号を混合する例について説明したが、信号の混合の方法はこれに限らない。例えば、行方向の複数の画素の各々の F D 1 4 を互いに接続すると共に、列方向の複数の画素を同一の垂直信号線 30 に接続することで、複数の画素の信号を混合するようにして

もよい。また、行方向及び列方向の複数の画素の各々のFD14を互いに接続することで、複数の画素の信号を混合するようにしてもよい。

[0108] (変形例3)

上述した実施の形態では、撮像素子3に、スイッチSW2a～スイッチSW9a、及びスイッチSW2b～スイッチSW9bを配置する例について説明した。しかし、撮像素子3に配置するスイッチの数は任意の数としてよい。スイッチの配置数を増やして、同一列内の任意の数の画素から、互いに異なる垂直信号線に画素信号を同時に読み出すことができるように構成してもよい。例えば、5画素×5画素の25画素に1画素の割合で選択画素が選択された場合に、同一列内の5つの選択画素の各々の画素信号を、それぞれ異なる垂直信号線（例えば垂直信号線30a～30e）に読み出すようにする。これにより、同一列内の各画素から画素信号を同一の垂直信号線に順次読み出す場合と比較して、約1/5の時間で画素信号を読み出すことが可能となり、5倍のフレームレートを実現することができる。

[0109] (変形例4)

上述した実施の形態及び変形例では、撮像素子3には、R画素とG画素とB画素とを配置する例について説明した。しかし、W（白）の色フィルタを有するW画素や、BK（黒）の色フィルタを有するBK画素を配置してもよい。

[0110] (変形例5)

上述した実施の形態では、光電変換部としてフォトダイオードを用いる例について説明した。しかし、光電変換部として光電変換膜を用いるようにしてもよい。

[0111] (変形例6)

上述の実施の形態及び変形例で説明した撮像素子及び撮像装置は、カメラ、スマートフォン、タブレット、PCに内蔵のカメラ、車載カメラ、無人航空機（ドローン、ラジコン機等）に搭載されるカメラ等に適用されてもよい。

[0112] (変形例 7)

上述した実施の形態および変形例で説明した撮像素子を、複数の基板（例えば、複数の半導体基板）を積層して構成される積層センサ（積層型の撮像素子）に適用してもよい。例えば、複数の画素 10 は 1 層目の基板に配置し、カラム回路 40 と垂直駆動部 50 とは 2 層目の基板に配置し、複数の垂直信号線 30 は 1 層目の基板と 2 層目の基板との間に配置する。複数の画素 10 と垂直駆動部 50 とは 1 層目の基板に配置し、カラム回路 40 は 2 層目の基板に配置してもよい。また、積層センサは 3 層以上にしてもよい。

[0113] 上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

[0114] 次の優先権基礎出願の開示内容は引用文としてここに組み込まれる。

日本国特許出願 2017 年第 65777 号（2017 年 3 月 29 日出願）

符号の説明

[0115] 3 撮像素子、4 制御部、10 画素、11 光電変換部、30 垂直信号線、50 垂直駆動部

請求の範囲

- [請求項1] 光を光電変換して電荷を生成する光電変換部をそれぞれ有し、第1方向及び前記第1方向とは異なる第2方向に配置された複数の画素と、
- 、
- 前記第1方向に配置された複数の前記画素とそれぞれ接続され、前記第2方向に配置された複数の信号線と、
- 前記光電変換部により生成された電荷に基づく信号を異なる前記信号線に出力させる制御部と、
- を備える撮像素子。
- [請求項2] 光を光電変換して電荷を生成する光電変換部を有し、第1方向及び前記第1方向とは異なる第2方向に配置された複数の画素と、
- 前記第1方向に配置された複数の前記画素とそれぞれ接続され、前記第2方向に配置された第1の信号線及び第2の信号線と、
- 前記第1方向に配置された複数の前記画素と前記第1の信号線との接続又は切断を切り替える第1の接続部と、
- 前記第1方向に配置された複数の前記画素のうち少なくとも一部の画素と前記第2の信号線との接続又は切断を切り替える第2の接続部と、
- を備える撮像素子。
- [請求項3] 請求項1に記載の撮像素子において、
- 前記第1方向に配置された複数の前記画素は、第1画素及び第2画素を含み、
- 複数の前記信号線は、前記第1画素及び前記第2画素に接続される第1の信号線と、前記第1の信号線とは異なる第2の信号線とを含み、
- 、
- 前記第2画素と前記第2の信号線との接続又は切断を切り替える第2の接続部を備え、
- 前記制御部は、前記第1画素の信号を前記第1の信号線に出力させ

、前記第 2 の接続部を接続状態とし、前記第 2 画素の信号を前記第 2 の信号線に出力させる撮像素子。

[請求項4]

請求項 1 に記載の撮像素子において、

複数の前記画素は、第 1 の列に配置された第 1 画素及び第 2 画素と、第 2 の列に配置された第 3 画素及び第 4 画素とを含み、

複数の前記信号線は、前記第 1 画素及び前記第 2 画素に接続される第 1 の信号線と、前記第 3 画素及び前記第 4 画素に接続される第 2 の信号線とを含み、

前記第 2 画素と前記第 2 の信号線との接続又は切断を切り替える第 2 の接続部を備え、

前記制御部は、前記第 1 画素の信号を前記第 1 の信号線に出力させ、前記第 3 画素及び前記第 4 画素の信号を前記第 2 の信号線へ出力させず、前記第 2 の接続部を接続状態とし、前記第 2 画素の信号を前記第 2 の信号線に出力させる撮像素子。

[請求項5]

請求項 2 に記載の撮像素子において、

前記第 1 方向に配置された複数の前記画素は、第 1 画素及び第 2 画素を含み、

前記第 1 の信号線は、前記第 1 及び第 2 画素に接続され、

前記第 2 の接続部は、前記第 2 画素と前記第 2 の信号線との接続又は切断を切り替え、

前記第 1 画素の前記光電変換部により生成された電荷に基づく信号を前記第 1 の信号線に出力させ、前記第 2 の接続部を接続状態とし、前記第 2 画素の前記光電変換部により生成された電荷に基づく信号を前記第 2 の信号線に出力させる制御部と、
を備える撮像素子。

[請求項6]

請求項 3 から請求項 5 までのいずれか一項に記載の撮像素子において、

前記画素は、前記光電変換部で生成された電荷を蓄積する蓄積部と

、前記蓄積部に接続され前記信号を生成する生成部と、前記生成部と前記信号線との接続又は切断を切り替える第1の接続部とをそれぞれ有し、

前記第2の接続部は、前記第2画素の前記生成部と前記第2の信号線との接続又は切断を切り替える撮像素子。

[請求項7] 請求項6に記載の撮像素子において、

前記第2の接続部は、前記第2画素の前記生成部及び前記第1の接続部の間と、前記第2の信号線との接続又は切断を切り替える撮像素子。

[請求項8] 請求項6又は7に記載の撮像素子において、

前記第1画素と、前記第1画素及び前記第2画素とは異なる他の画素の前記蓄積部との接続又は切断を切り替える第3の接続部を備え、

前記制御部は、前記第3の接続部を接続状態とし、前記第1画素の前記光電変換部で生成された電荷と、前記他の画素の前記光電変換部で生成された電荷とを加算した電荷に基づく信号を前記第1の信号線に出力させる撮像素子。

[請求項9] 請求項6又は7に記載の撮像素子において、

前記制御部は、前記第1画素の信号を前記第1の信号線に出力させると共に、前記第1画素及び前記第2画素とは異なる他の画素の信号を前記第1の信号線に出力させる撮像素子。

[請求項10] 請求項3から請求項9までのいずれか一項に記載の撮像素子において、

前記制御部は、前記第1画素の信号を前記第1の信号線に出力させ、前記第2画素の信号を前記第2の信号線に出力させる第1の制御と、前記第1画素の信号及び前記第2画素の信号を前記第1の信号線に順次出力させる第2の制御とを行う撮像素子。

[請求項11] 行方向及び列方向に配置された複数の画素と、

前記列方向に配置された複数の画素毎に対して設けられた信号線と

、

前記複数の画素から画素信号を前記信号線に読み出す読み出し部と、
を備え、

前記読み出し部は、 m 行 $\times$ n 列（ m は1以上の整数、 n は2以上の整数）の画素からなる画素ブロックから一つの画素信号を読み出す読み出しモードを有し、

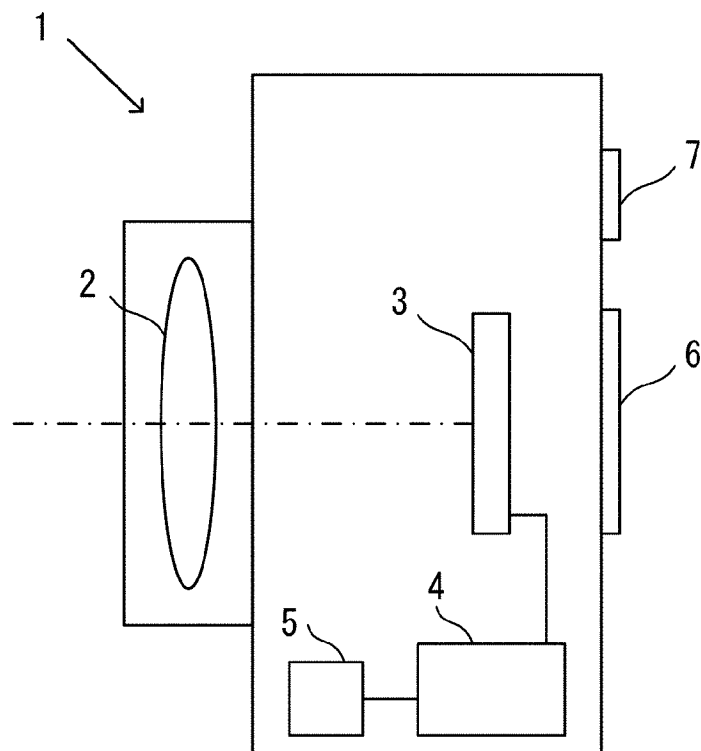
前記読み出しモードは、前記列方向に並んだ n 個以下の画素ブロックからの n 個以下の画素信号を、前記信号線のうちの互いに異なった n 個以下の信号線に読み出す撮像素子。

[請求項12]

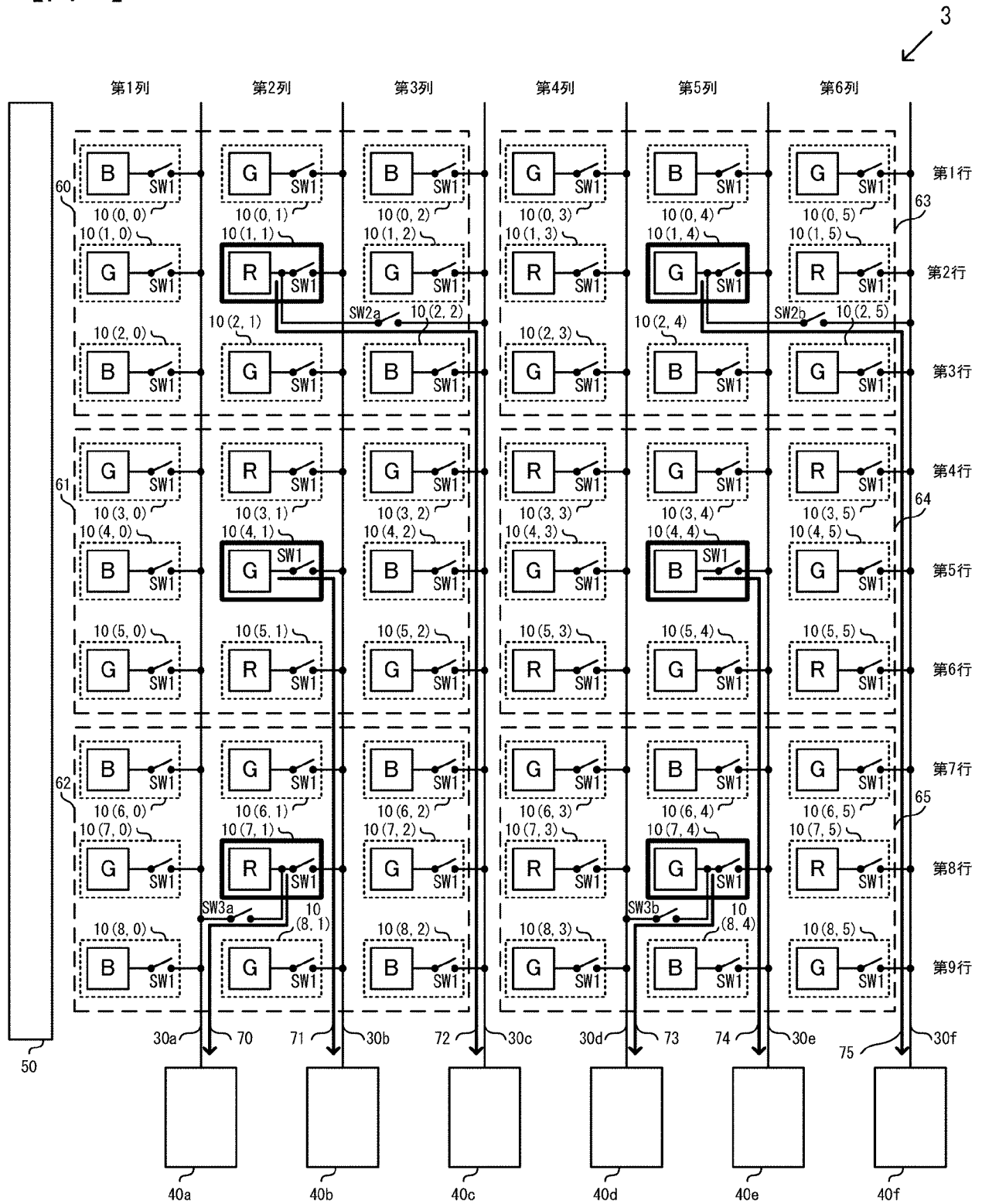
請求項1から請求項11までのいずれか一項に記載の撮像素子と、
前記画素の信号に基づいて画像データを生成する画像生成部と、
を備える電子カメラ。

[図1]

【図 1】

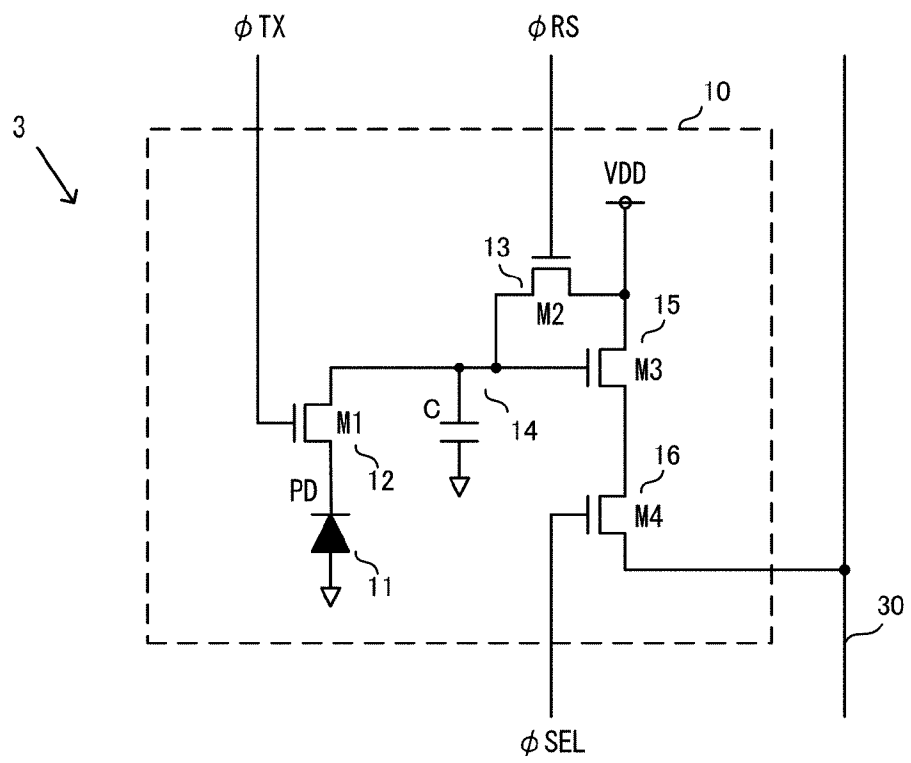


【図 2】



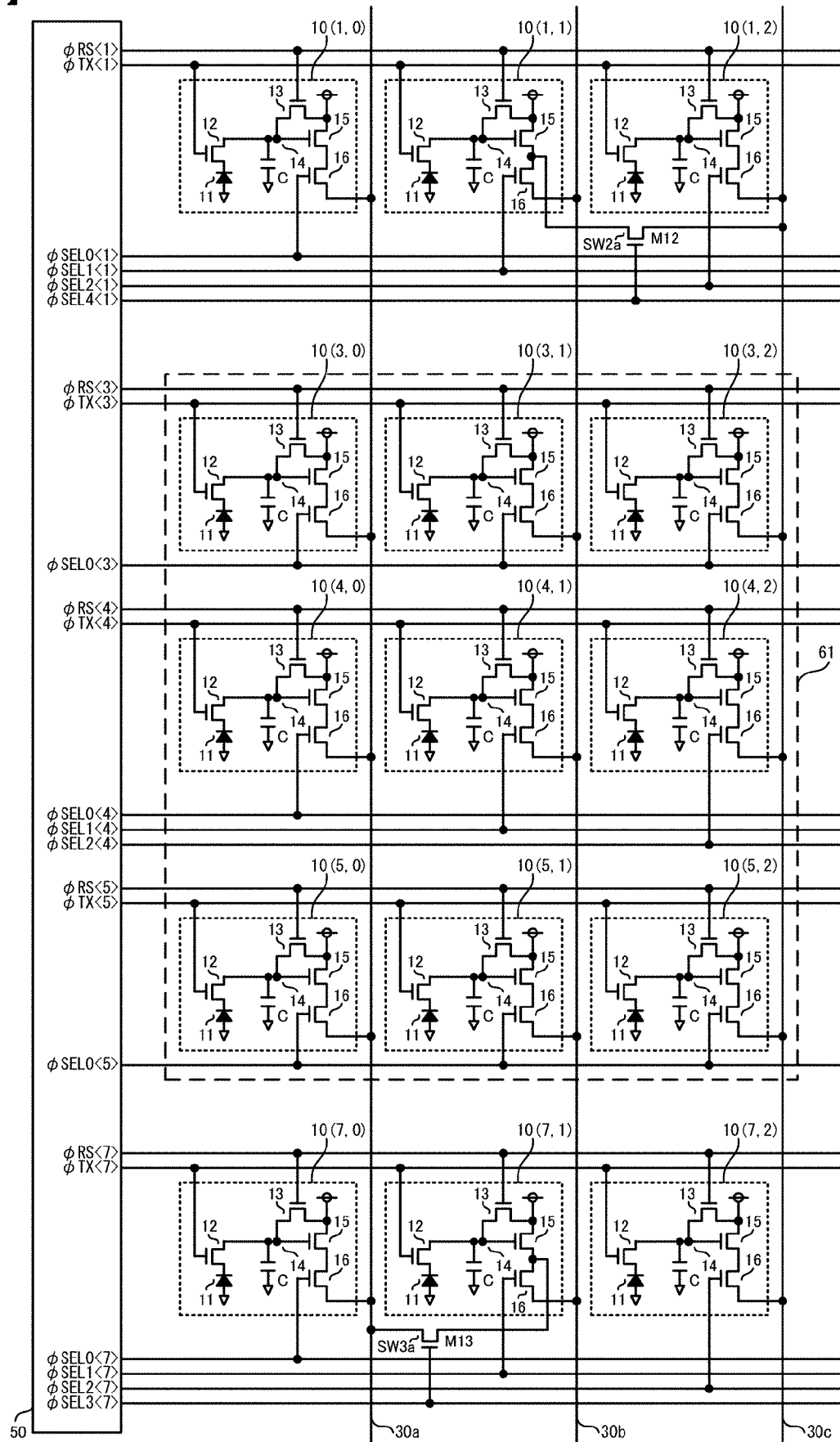
[図3]

【図 3】



[図4]

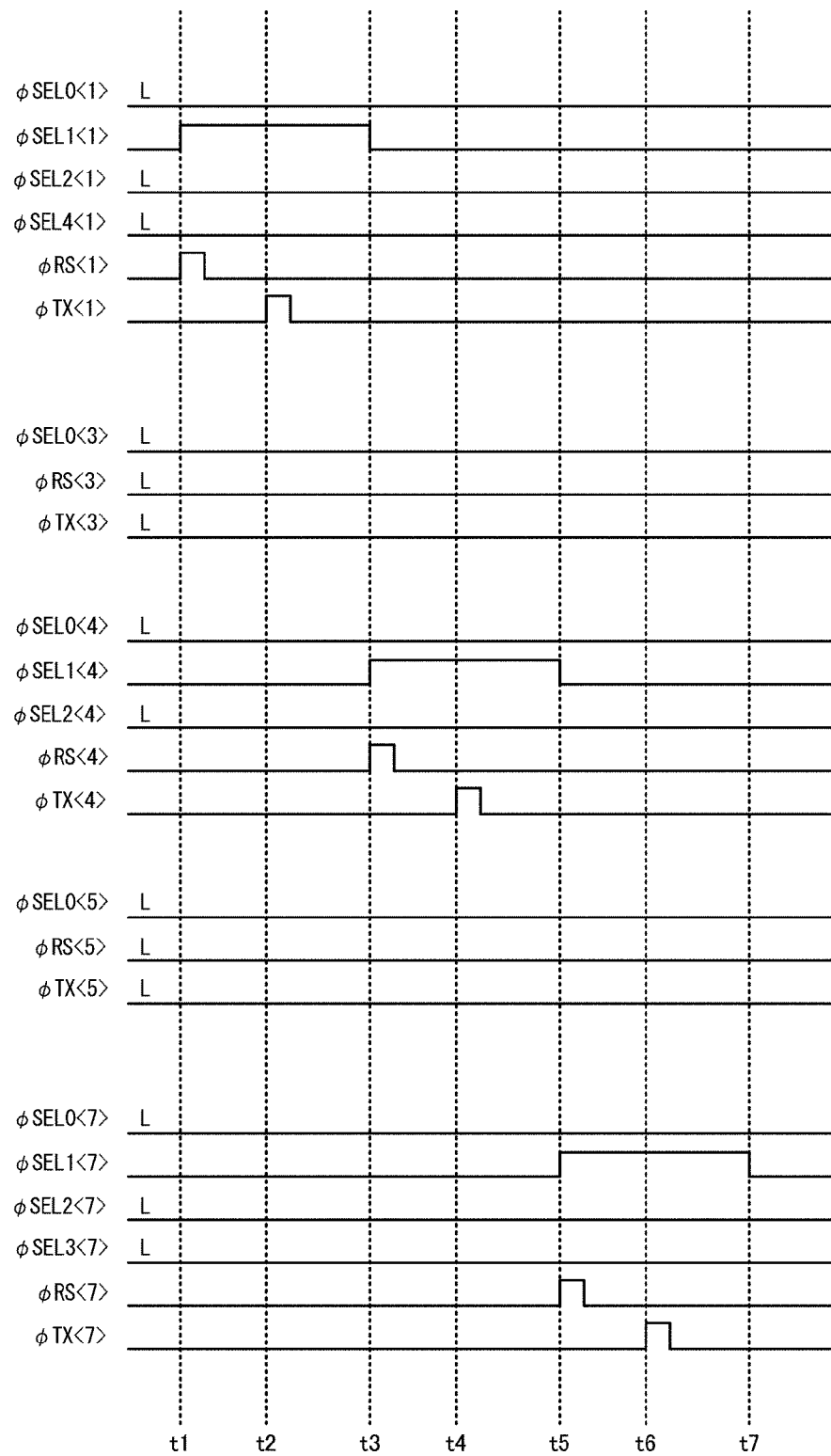
【図 4】



[図5]

【図5】

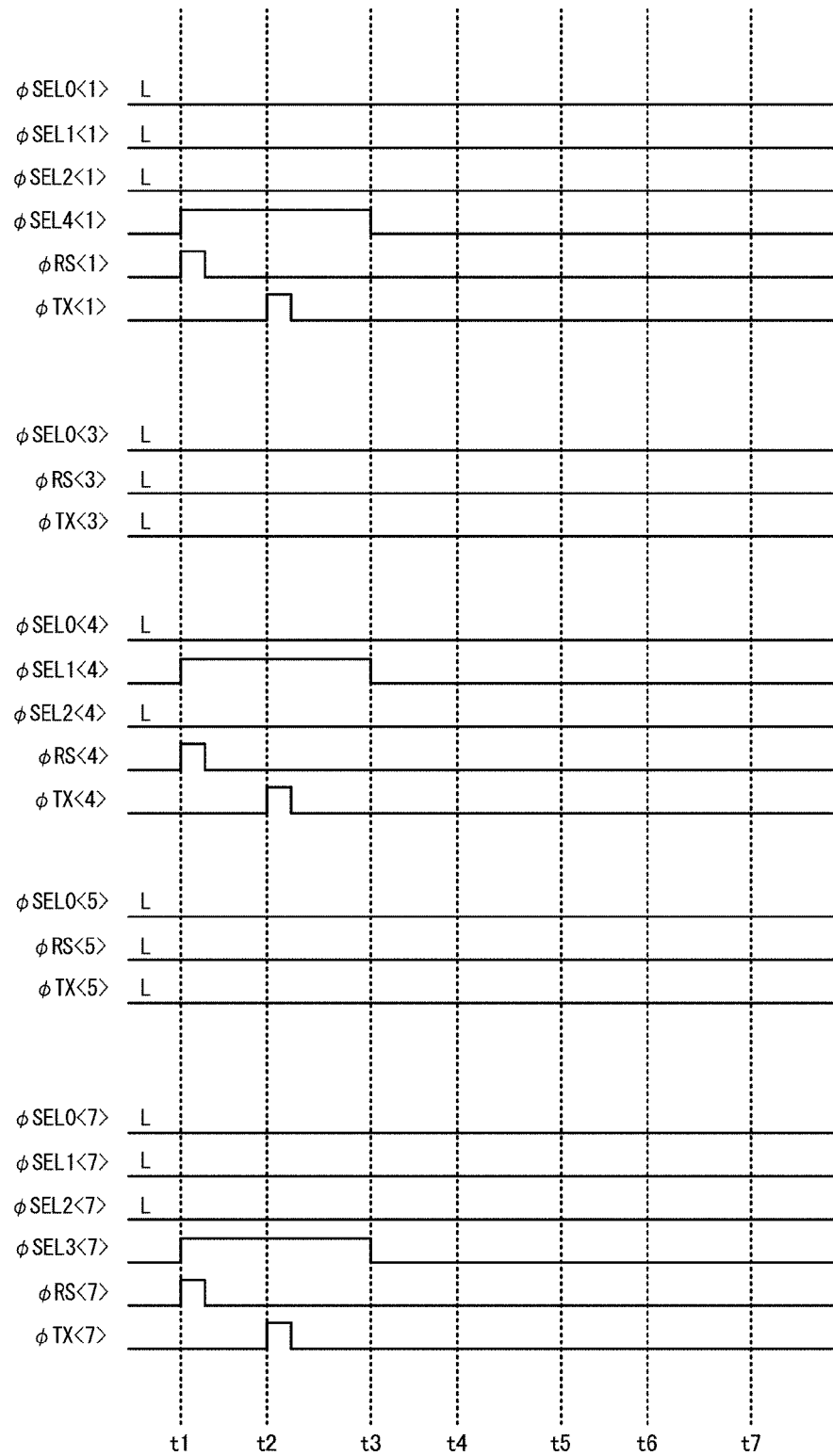
第2の制御モード（通常駆動時）



[図6]

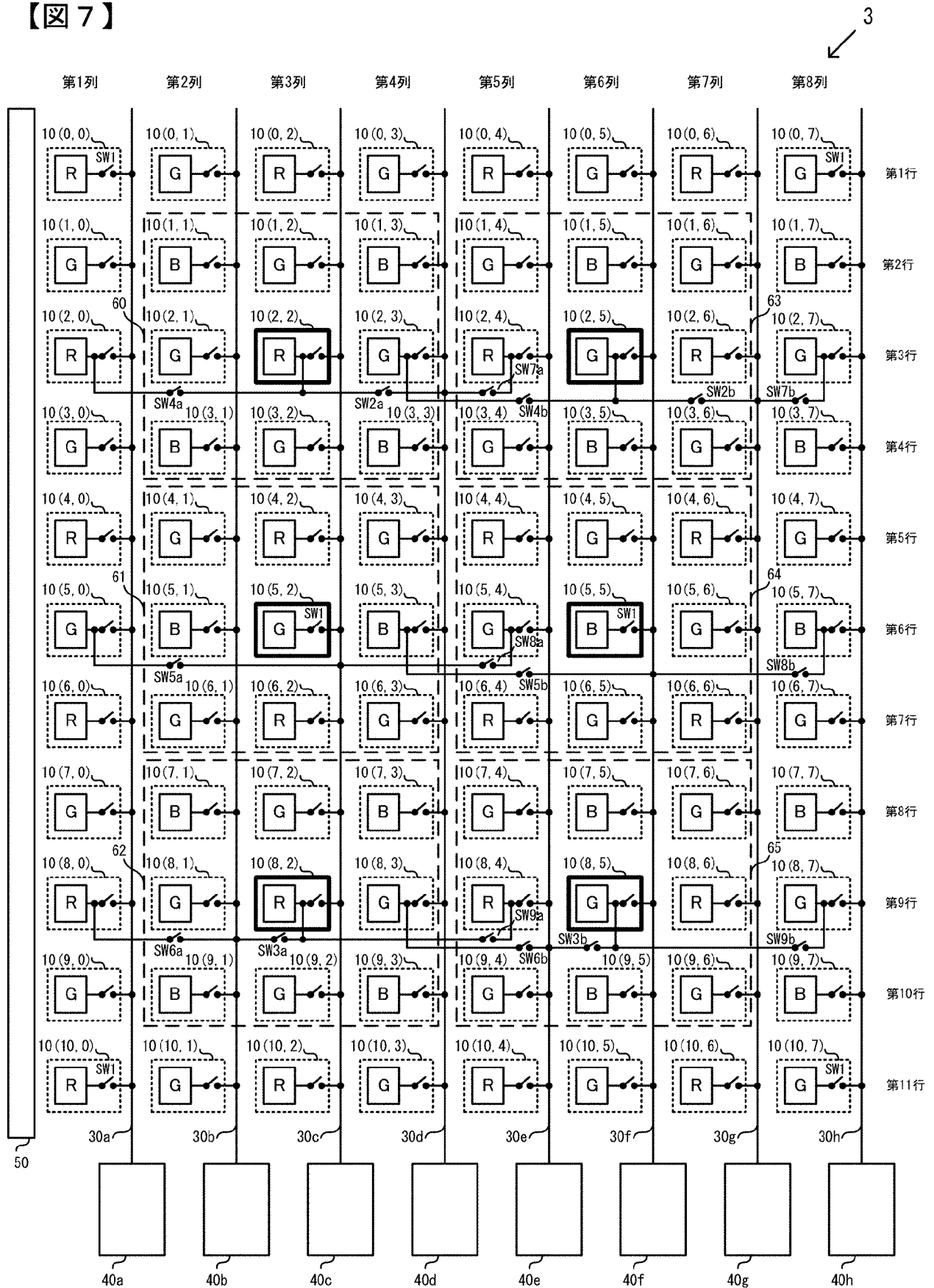
【図 6】

第3の制御モード（高速駆動時）



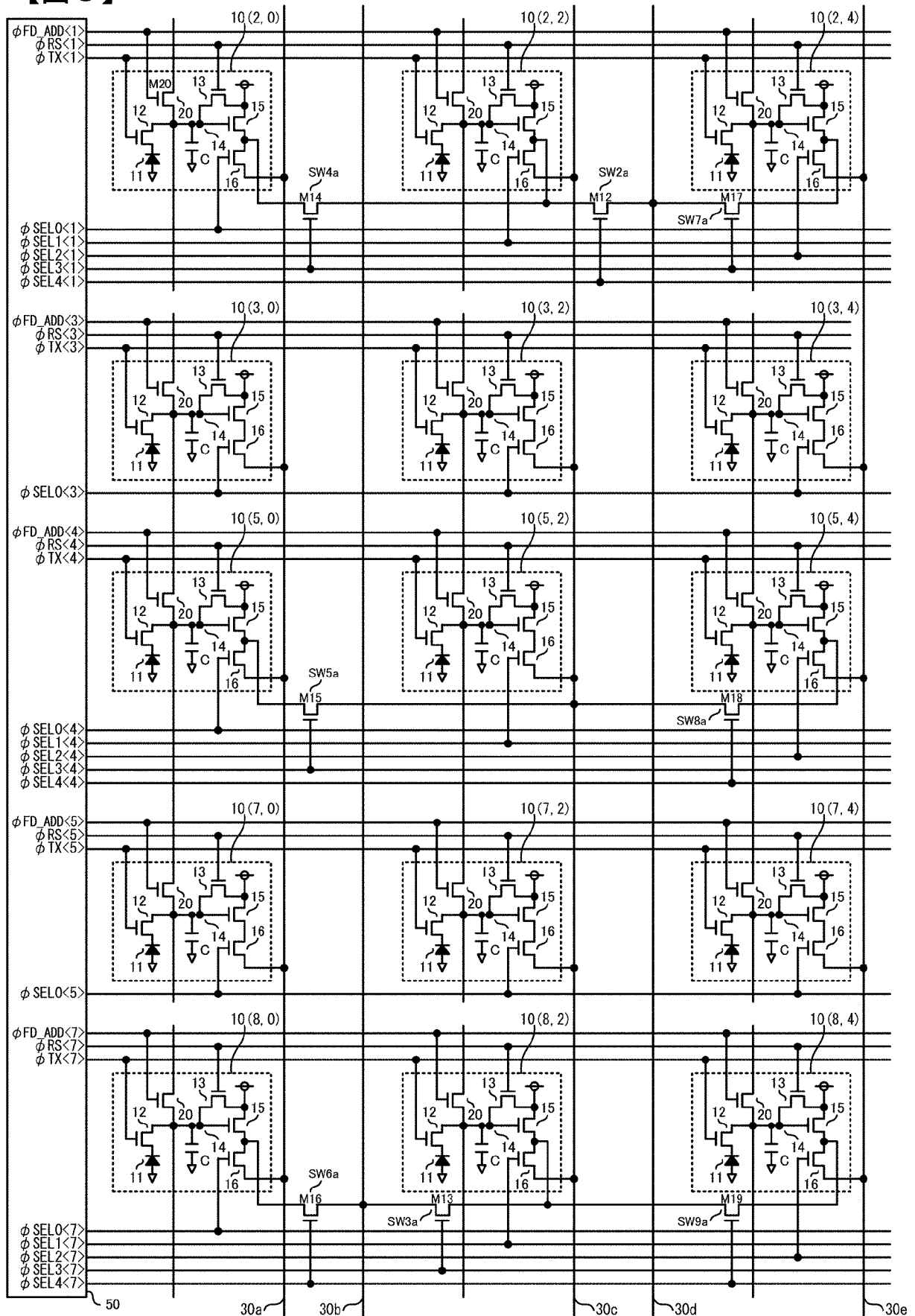
[図7]

【図 7】



[図8]

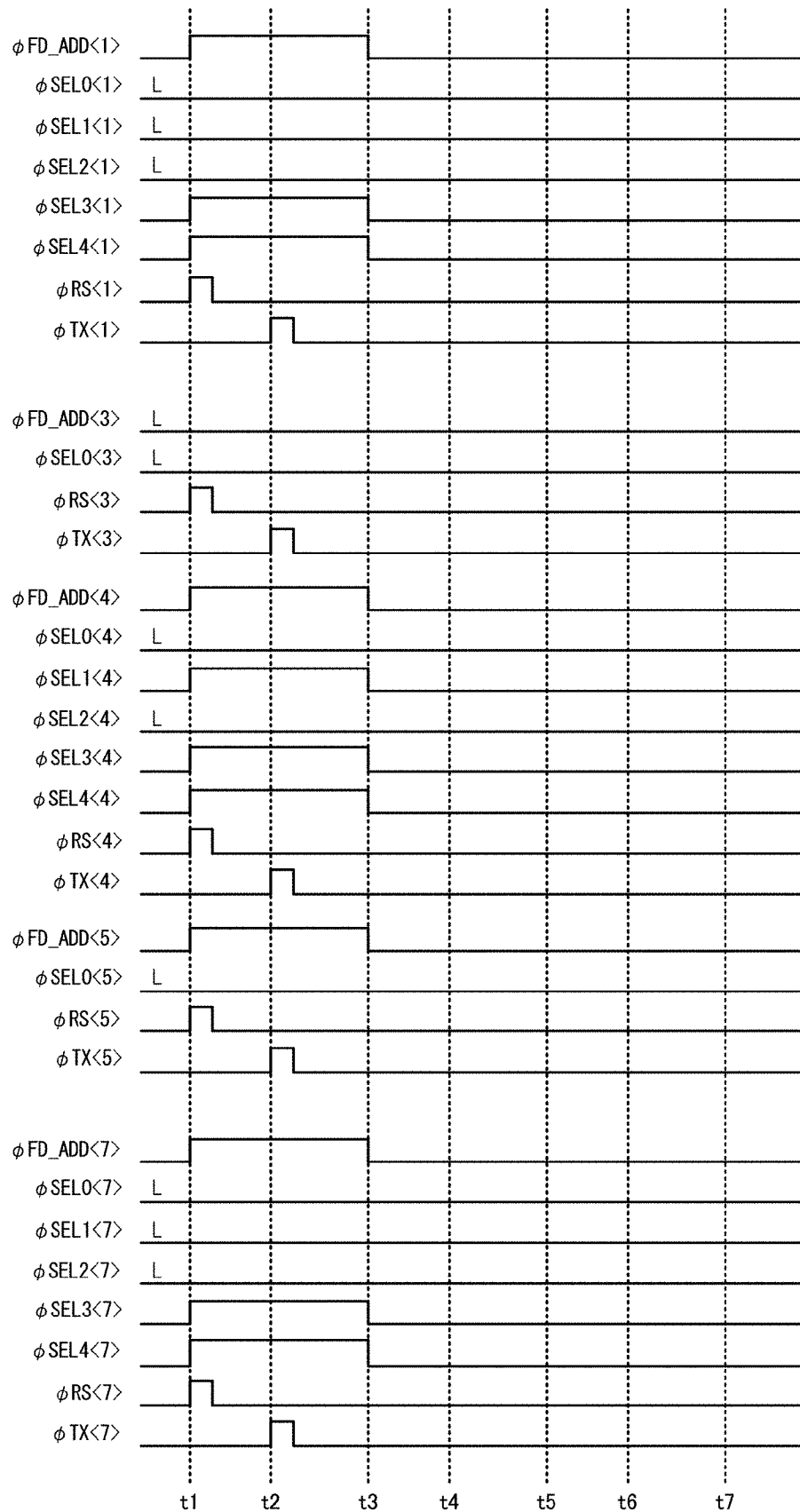
【図 8】



[図9]

【図 9】

高速駆動時



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/013270

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04N5/3745 (2011.01) i, H04N5/345 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04N5/3745, H04N5/345

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-157803 A (OLYMPUS CORP.) 15 July 2010,	1-7, 12
Y	paragraphs [0001]-[0041], fig. 1 & US 2010/0163711 A1, paragraphs [0001]-[0092], fig. 1	8-11
Y	JP 2015-207948 A (CANON INC.) 19 November 2015, paragraphs [0013]-[0043], fig. 3, 7 (Family: none)	8-10
Y	JP 2006-319407 A (PENTAX CORP.) 24 November 2006, paragraphs [0179]-[0185], fig. 1 (Family: none)	11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
04.06.2018

Date of mailing of the international search report
12.06.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/3745(2011.01)i, H04N5/345(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/3745, H04N5/345

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-157803 A（オリンパス株式会社）2010.07.15, 段落 [0001]-[0041]、図1 & US 2010/0163711 A1, 段落[0001]-[0092]、図 1	1-7, 12 8-11
Y	JP 2015-207948 A（キヤノン株式会社）2015.11.19, 段落 [0013]-[0043]、図3, 7（ファミリーなし）	8-10
Y	JP 2006-319407 A（ペンタックス株式会社）2006.11.24, 段落 [0179]-[0185]、図1（ファミリーなし）	11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

04.06.2018

国際調査報告の発送日

12.06.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

5 V

4228

電話番号 03-3581-1101 内線 3571