

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 8 月 19 日(19.08.2010)

(10) 国際公開番号
WO 2010/092748 A1

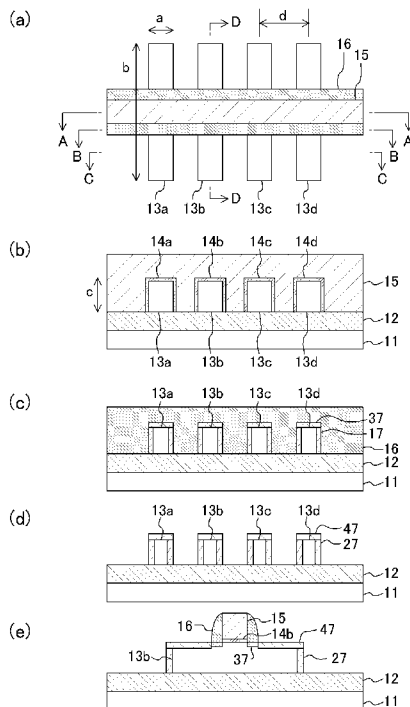
- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/3065 (2006.01)
H01L 21/265 (2006.01) H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2010/000285
- (22) 国際出願日: 2010 年 1 月 20 日(20.01.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-029564 2009 年 2 月 12 日(12.02.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 奥村智洋(OKUMURA, Tomohiro). 甲斐隆行(KAI, Takayuki). 佐々木雄一朗(SASAKI, Yuichiro).
- (74) 代理人: 前田弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SAME AND PLASMA DOPING SYSTEM

(54) 発明の名称: 半導体装置、その製造方法及びプラズマドーピングシステム

[図1]



(57) Abstract: A fin-type semiconductor region (13) is formed on a substrate (11). A first impurity which generates a donor level or an acceptor level in a semiconductor is introduced into the upper section and the side section of the fin-type semiconductor region (13), and furthermore, as a second impurity, oxygen or nitrogen is introduced into the upper section and the side section of the fin-type semiconductor region (13).

(57) 要約: 基板(11)上にフィン型半導体領域(13)が形成されている。フィン型半導体領域(13)の上部及び側部には、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物が導入されていると共に、フィン型半導体領域(13)の上部及び側部には、第2の不純物として酸素又は窒素がさらに導入されている。

WO 2010/092748 A1

WO 2010/092748 A1



CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体装置、その製造方法及びプラズマドーピングシステム

技術分野

[0001] この発明は、半導体装置、その製造方法及びプラズマドーピングシステムに関し、特に、基板上にフィン型半導体領域を有する３次元構造の半導体装置及びその製造方法に関するものである。

背景技術

[0002] 近年、半導体装置の高集積化、高機能化及び高速化に伴って、益々半導体装置の微細化の要求が高まっている。そこで、基板上におけるトランジスタの占有面積の低減を目指して種々のデバイス構造が提案されている。その中でも、フィン型構造を持つ電界効果トランジスタが注目されている。このフィン型構造を持つ電界効果トランジスタは、一般的にフィン型FET（Fin-Field Effect Transistor）と呼ばれ、基板の主面に対して垂直な薄い壁（フィン）状の半導体領域（以下、フィン型半導体領域という）からなる活性領域を有している。フィン型FETにおいては、フィン型半導体領域の両側面をチャネル面として用いることができるため、基板上におけるトランジスタの占有面積を低減することができる（例えば特許文献１、非特許文献１参照）。

[0003] 図１２（ａ）～（ｄ）は、従来のフィン型FETの構造を示す図であり、図１２（ａ）は平面図であり、図１２（ｂ）は図１２（ａ）におけるＡ－Ａ線の断面図であり、図１２（ｃ）は図１２（ａ）におけるＢ－Ｂ線の断面図であり、図１２（ｄ）は図１２（ａ）におけるＣ－Ｃ線の断面図である。

[0004] 従来のフィン型FETは、図１２（ａ）～（ｄ）に示すように、シリコンからなる支持基板１０１と、支持基板１０１上に形成された酸化シリコンからなる絶縁層１０２と、絶縁層１０２上に形成されたフィン型半導体領域１０３ａ～１０３ｄと、フィン型半導体領域１０３ａ～１０３ｄ上にゲート絶

縁膜 104a ~ 104d を介して形成されたゲート電極 105 と、ゲート電極 105 の側面上に形成された絶縁性サイドウォールスペーサ 106 と、フィン型半導体領域 103a ~ 103d におけるゲート電極 105 を挟む両側方領域に形成されたエクステンション領域 107 と、フィン型半導体領域 103a ~ 103d におけるゲート電極 105 及び絶縁性サイドウォールスペーサ 106 を挟む両側方領域に形成されたソース・ドレイン領域 117 とを有している。フィン型半導体領域 103a ~ 103d は、絶縁層 102 上においてゲート幅方向に一定間隔で並ぶように配置されている。ゲート電極 105 は、ゲート幅方向にフィン型半導体領域 103a ~ 103d を跨ぐように形成されている。エクステンション領域 107 は、フィン型半導体領域 103a ~ 103d のそれぞれの上部に形成された第 1 の不純物領域 107a と、フィン型半導体領域 103a ~ 103d のそれぞれの側部に形成された第 2 の不純物領域 107b とから構成されている。また、ソース・ドレイン領域 117 は、フィン型半導体領域 103a ~ 103d のそれぞれの上部に形成された第 3 の不純物領域 117a と、フィン型半導体領域 103a ~ 103d のそれぞれの側部に形成された第 4 の不純物領域 117b とから構成されている。尚、ポケット領域の説明及び図示については省略する。

[0005] 図 13 (a) ~ (d) は、従来の半導体装置の製造方法を工程順に示す断面図である。尚、図 13 (a) ~ (d) は、図 12 (a) における C-C 線の断面構成と対応している。また、図 13 (a) ~ (d) において、図 12 (a) ~ (d) に示す構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。

[0006] まず、図 13 (a) に示すように、シリコンからなる支持基板 101 上に酸化シリコンからなる絶縁層 102 を介してシリコンからなる半導体層が設けられた SOI (Silicon On Insulator) 基板を準備する。その後、当該半導体層をパターニングして、活性領域となるフィン型半導体領域 103b を形成する。

[0007] 次に、図 13 (b) に示すように、フィン型半導体領域 103b の表面に

ゲート絶縁膜 104 を形成した後、支持基板 102 上の全面に亘ってポリシリコン膜 105A を形成する。

[0008] 次に、図 13 (c) に示すように、ポリシリコン膜 105A 及びゲート絶縁膜 104 を順次エッチングして、フィン型半導体領域 103b 上にゲート絶縁膜 104b を介してゲート電極 105 を形成する。その後、ゲート電極 105 をマスクとして、半導体領域 103b に不純物をイオン注入して、エクステンション領域 107 及びポケット領域（図示省略）を形成する。

[0009] 次に、図 13 (d) に示すように、支持基板 102 上の全面に亘って絶縁膜を形成した後、異方性ドライエッチングを用いて当該絶縁膜をエッチバックすることにより、ゲート電極 105 の側面上に絶縁性サイドウォールスペーサ 106 を形成する。その後、ゲート電極 105 及び絶縁性サイドウォールスペーサ 106 をマスクとして、半導体領域 103b に不純物をイオン注入して、ソース・ドレイン領域 117 を形成する。

[0010] 以上の工程により、フィン型半導体領域 103b 上にゲート絶縁膜 104b を介して形成されたゲート電極 105 を有するフィン型 MISFET (Metal Insulator Semiconductor Field Effect Transistor) を得ることができる。

[0011] 図 14 (a) は、特許文献 1 におけるフィン型 FET のエクステンション領域を形成する工程を示した断面図であり、図 14 (b) は、非特許文献 1 におけるフィン型 FET のエクステンション領域を形成する工程を示した断面図である。尚、図 14 (a) 及び (b) は、図 12 (a) における B-B 線の断面構成（絶縁性サイドウォールスペーサ 106 の形成前）と対応している。また、図 14 (a) 及び (b) において、図 12 (a) ~ (d) に示す構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。

[0012] 図 14 (a) に示すように、特許文献 1 に開示された方法においては、フィン型半導体領域 103a ~ 103d の上面のみならず側面にも不純物を導入するために、イオン注入によってイオン 108a 及び 108b をそれぞれ、鉛直方向に対して互いに異なる側に傾いた注入角度でフィン型半導体領域

103a～103dに注入することによって、エクステンション領域107を形成する。この場合、フィン型半導体領域103a～103dの上部には、イオン108a及びイオン108bの両方が注入されてなる第1の不純物領域107aが形成される。しかしながら、フィン型半導体領域103a～103dの各側部には、イオン108a又はイオン108bのいずれか一方のみが注入されてなる第2の不純物領域107bが形成される。すなわち、イオン108aのドーズ量とイオン108bのドーズ量とが同じである場合、第1の不純物領域107aの注入ドーズ量は、第2の不純物領域107bの注入ドーズ量の2倍の大きさになる。

[0013] また、図14(b)に示すように、非特許文献1に開示された方法においては、プラズマドーピング法を用いてフィン型半導体領域103a～103dにエクステンション領域107を形成する。プラズマドーピング法を用いて不純物導入を行った場合、導入イオン109aと、吸着種（ガス分子やラジカル等の中性種）109bと、スパッタリングによってフィン型半導体領域103a～103dを離脱する不純物109cとのバランスによって決まる導入ドーズ量を持つ第1の不純物領域107aがフィン型半導体領域103a～103dの上部に形成される。しかしながら、フィン型半導体領域103a～103dの各側部の導入ドーズ量については、導入イオン109aやスパッタリングによる離脱不純物109cの影響は小さく、主として吸着種109bによって決まる導入ドーズ量を持つ第2の不純物領域107bがフィン型半導体領域103a～103dの側部に形成される。その結果、第1の不純物領域107aの導入ドーズ量は、第2の不純物領域107bの導入ドーズ量と比べて例えば25%程度高くなる。

[0014] 以上のように、従来のフィン型FETのエクステンション領域の形成方法によると、フィン型半導体領域103a～103dの上部に形成される第1の不純物領域107aの導入ドーズ量が、フィン型半導体領域103a～103dの側部に形成される第2の不純物領域107bの導入ドーズ量と比べて高くなる。また、第2の不純物領域107bの接合深さは、第1の不純物

領域 107a の接合深さと比べて浅くなる。これにより、第 1 の不純物領域 107a のシート抵抗、比抵抗又は拡がり抵抗は、第 2 の不純物領域 107b のシート抵抗、比抵抗又は拡がり抵抗と比べて低くなる。尚、対象物のシート抵抗を R_s 、抵抗率（比抵抗）を ρ 、厚さ（接合深さ）を t 、拡がり抵抗を ρ_w とすると、 $R_s = \rho / t$ である。また、拡がり抵抗測定において広く知られている関係式 $\rho_w = CF \times k \times \rho / (2\pi r)$ に表されているように、抵抗率（比抵抗） ρ と拡がり抵抗 ρ_w とは基本的には 1 対 1 の関係にあるので、 $R_s \propto \rho_w / t$ と表せる。前記関係式において、 CF は拡がり抵抗 ρ_w の体積効果を考慮した補正項（補正無しの場合には $CF = 1$ ）であり、 k は探針と試料との間のショットキー障壁における極性依存性を考慮した補正項（例えば試料が p 型シリコンの場合には $k = 1$ 、試料が n 型シリコンの場合には $k = 1 \sim 3$ ）であり、 r は探針先端の曲率半径である。

[0015] このようなエクステンション構造を有するフィン型 FET を動作させた場合、エクステンション領域 107 を流れる電流は、第 2 の不純物領域 107b と比べて導入ドーズ量が高い（つまりシート抵抗が低い）第 1 の不純物領域 107a に集中するため、所望のトランジスタ特性が得られないという問題が生じる。

[0016] また、従来のフィン型 FET では、ソース・ドレイン領域もエクステンション領域と同様のイオン注入法やプラズマドーピング法を用いて形成される。そのため、ソース・ドレイン領域 117 においても、フィン型半導体領域 103a ~ 103d の上部に形成される第 3 の不純物領域 117a の導入ドーズ量が、フィン型半導体領域 103a ~ 103d の側部に形成される第 4 の不純物領域 117b の導入ドーズ量と比べて高くなる。また、第 4 の不純物領域 117b の接合深さは、第 3 の不純物領域 117a の接合深さと比べて浅くなる。このようなソース・ドレイン構造を有するフィン型 FET を動作させた場合、ソース・ドレイン領域 117 を流れる電流は、第 4 の不純物領域 117b と比べて導入ドーズ量が高い（つまりシート抵抗が低い）第 3 の不純物領域 117a に集中するため、所望のトランジスタ特性が得られな

いという問題が生じる。

先行技術文献

特許文献

[0017] 特許文献1：特開2006-196821号公報

特許文献2：国際公開第2008/090771号公報

非特許文献

[0018] 非特許文献1：D. Lenoble他、Enhanced performance of PMOS MUGFET via integration of conformal plasma-doped source/drain extensions、2006 Symposium on VLSI Technology Digest of Technical Papers、p. 212

発明の概要

発明が解決しようとする課題

[0019] 前述の問題を解決するために、例えば特許文献2に、フィン型半導体領域の側部に、フィン型半導体領域の上部と比べて同等以上の導入ドーズ量を有する不純物領域を備えた半導体装置及びその製造方法が提案されている。特許文献2に開示されている方法によれば、フィン型半導体領域に不純物をプラズマドーピング法によって導入し、それにより、フィン型半導体領域の上部に第1の不純物領域を形成すると共にフィン型半導体領域の側部に第2の不純物領域を形成する工程において、導入ドーズ量が第1のドーズ量となる第1の条件でプラズマドーピング法を実施した後、導入ドーズ量が第1のドーズ量よりも小さい第2のドーズ量となる第2の条件でプラズマドーピング法を実施する。これにより、フィン型半導体領域の上部と比べて同等以上の導入ドーズ量を有する不純物領域を備えた半導体装置、つまり所望のトランジスタ特性を持つ半導体装置を得ることが可能となる。

[0020] しかしながら、特許文献2に開示されている方法によると、ある程度不純

物の導入が進展した後にプラズマドーピング処理条件を変化させ、その後、導入ドーズ量が第2のドーズ量に十分漸近するまでプラズマドーピング処理を行う必要があるので、処理時間が増大してしまう場合がある。

[0021] 前記に鑑み、本発明は、フィン型半導体領域を有する半導体装置においてプラズマドーピング法を用いて所望の特性が得られるようにすると共に当該所望の特性が得られるまでの処理時間を低減することを目的としている。

課題を解決するための手段

[0022] 前記の目的を達成するために、本発明に係る第1の半導体装置の製造方法は、基板上にフィン型半導体領域を形成する工程（a）と、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物をプラズマドーピング法によって前記フィン型半導体領域の上部及び側部に導入する工程（b）と、第2の不純物として酸素又は窒素を前記フィン型半導体領域の上部及び側部に導入する工程（c）とを備えている。

[0023] 本発明に係る第1の半導体装置の製造方法によると、フィン型半導体領域の上部及び側部に、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物を導入すると共に、フィン型半導体領域の上部及び側部に、第2の不純物として酸素又は窒素、つまり半導体を絶縁物化する不純物をさらに導入する。このとき、フィン型半導体領域の側部と比較してフィン型半導体領域の上部に第2の不純物がより多く導入されるようにすれば、フィン型半導体領域の側部の抵抗（比抵抗、シート抵抗又は拡がり抵抗：以下同じ）を、フィン型半導体領域の上部の抵抗と比べて同等以下に設定することができる。また、半導体を絶縁物化する第2の不純物の導入により、フィン型半導体領域の上部の抵抗を高くするのに必要な処理時間（工程（c）に要する時間）は短くて済む。従って、良好な特性をもつFET等の3次元デバイスをスループット良く実現することができる。

[0024] 尚、工程（b）を工程（c）の前に実施してもよいし、工程（b）を工程（c）の後に実施してもよい。

[0025] また、フィン型半導体領域の側部における第2の不純物の導入量は、エク

ステンション領域やソース・ドレイン領域の特性に影響が生じない程度の導入量である。

[0026] また、半導体を絶縁物化する第2の不純物としては、例えば半導体がSiであれば、Siに導入されて絶縁物(SiO₂やSiN_x)を形成する酸素又は窒素を用いることが好ましいが、これに限定されないことは言うまでもない。

[0027] 本発明に係る第1の半導体装置の製造方法において、前記工程(c)では、プラズマドーピング法を用いてもよいし、又は、イオン注入法を用いてもよい。

[0028] 本発明に係る第1の半導体装置の製造方法において、前記工程(b)及び前記工程(c)の両工程が終了した後に、前記フィン型半導体領域の上部を除去する工程(d)をさらに備えていてもよい。このようにすると、フィン型半導体領域の上部に第2の不純物が導入されることにより形成された絶縁物領域を除去することができるので、フィン型半導体領域の上部及び両側部がチャネルとして機能するトリプルゲート型FETを構成することができる。この場合、前記工程(d)でウェットエッチング法を用いると、半導体を絶縁物化する第2の不純物の導入量の多い部分のみを、エッチング時間とは無関係に正確に除去することができる。また、前記工程(d)でドライエッチング法を用いると、ゲート絶縁膜に対する横方向のエッチング(ゲート絶縁膜の側面からのエッチング)が進行する事態を回避することができる。

[0029] 本発明に係る第1の半導体装置の製造方法において、前記工程(b)及び前記工程(c)の両工程が終了した時点で、前記フィン型半導体領域の側部の抵抗は、前記フィン型半導体領域の上部の抵抗と比べて同等以下であってもよい。このようにすると、より良好な特性をもつFET等の3次元デバイスを実現することができる。

[0030] 本発明に係る第1の半導体装置の製造方法において、前記工程(a)の後で且つ前記工程(b)及び前記工程(c)の両工程の前に、前記半導体領域の所定の部分における少なくとも側面上にゲート絶縁膜を形成する工程(e

）と、前記ゲート絶縁膜上にゲート電極を形成する工程（f）とをさらに備え、前記工程（b）及び前記工程（c）では、前記第1の不純物及び前記第2の不純物を、前記ゲート電極の外側に位置する前記フィン型半導体領域に導入してもよい。このようにすると、より良好な特性をもつFET等の3次元デバイスを実現することができる。

[0031] 本発明に係る第1の半導体装置の製造方法において、前記第1の不純物はボロン、リン又は砒素であってもよい。このようにすると、前述の本発明の効果を確実に得ることができる。

[0032] 尚、本発明に係る第1の半導体装置の製造方法において、前記第2の不純物が酸素又は窒素であると、前記第2の不純物の導入を、安価且つ安全な酸素ガスや窒素ガスを用いて行うことができるので、コスト面及びプロセス面で有利である。

[0033] 本発明に係る第2の半導体装置の製造方法は、基板上にフィン型半導体領域を形成する工程（a）と、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物をプラズマドーピング法によって前記フィン型半導体領域の上部及び側部に導入する工程（b）と、前記工程（b）よりも後に、前記フィン型半導体領域の上部を除去する工程（c）とを備えている。

[0034] 本発明に係る第2の半導体装置の製造方法によると、フィン型半導体領域の上部及び側部に、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物を導入した後、フィン型半導体領域の上部を除去する。このため、フィン型半導体領域の上部における第1の不純物の高濃度導入層を除去して、第1の不純物の低濃度導入層を残存させることができる。このため、フィン型半導体領域の側部の抵抗を、フィン型半導体領域の上部の抵抗と比べて同等以下に設定することができる。また、フィン型半導体領域の上部を除去するのに必要な処理時間（工程（c）に要する時間）は短くて済む。従って、良好な特性をもつFET等の3次元デバイスをスループット良く実現することができる。

[0035] 本発明に係る第2の半導体装置の製造方法において、前記工程（c）では

ドライエッチング法を用いてもよい。このようにすると、ゲート絶縁膜に対する横方向のエッチング（ゲート絶縁膜の側面からのエッチング）が進行する事態を回避することができる。

[0036] 本発明に係る第2の半導体装置の製造方法において、前記工程（c）が終了した時点で、前記フィン型半導体領域の側部の抵抗は、前記フィン型半導体領域の上部の抵抗と比べて同等以下であってもよい。このようにすると、より良好な特性をもつFET等の3次元デバイスを実現することができる。

[0037] 本発明に係る第2の半導体装置の製造方法において、前記工程（a）の後で且つ前記工程（b）の前に、前記半導体領域の所定の部分における少なくとも側面上にゲート絶縁膜を形成する工程（d）と、前記ゲート絶縁膜上にゲート電極を形成する工程（e）とをさらに備え、前記工程（b）では、前記第1の不純物を、前記ゲート電極の外側に位置する前記フィン型半導体領域に導入してもよい。このようにすると、より良好な特性をもつFET等の3次元デバイスを実現することができる。

[0038] 本発明に係る第2の半導体装置の製造方法において、前記第1の不純物はボロン、リン又は砒素であってもよい。このようにすると、前述の本発明の効果を確実に得ることができる。

[0039] 本発明に係る第1又は第2の半導体装置の製造方法において、前記フィン型半導体領域は、前記基板上に形成された絶縁層上に形成されていてもよい。このようにすると、より良好な特性をもつFET等の3次元デバイスを実現することができる。

[0040] 本発明に係る第1又は第2の半導体装置の製造方法において、前記フィン型半導体領域はシリコンから構成されていてもよい。このようにすると、より良好な特性をもつFET等の3次元デバイスを実現することができる。

[0041] 本発明に係る第1の半導体装置は、基板上に形成されたフィン型半導体領域を備えた半導体装置であって、前記フィン型半導体領域の上部及び側部に、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物が導入されていると共に、前記フィン型半導体領域の上部及び側部に、第2の不純物

として酸素又は窒素がさらに導入されている。

[0042] 本発明に係る第1の半導体装置によると、フィン型半導体領域の上部及び側部に、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物が導入されていると共に、フィン型半導体領域の上部及び側部に、第2の不純物として酸素又は窒素、つまり半導体を絶縁物化する不純物がさらに導入されている。このとき、フィン型半導体領域の側部と比較してフィン型半導体領域の上部に第2の不純物がより多く導入されていれば、フィン型半導体領域の側部の抵抗を、フィン型半導体領域の上部の抵抗と比べて同等以下に設定することができる。また、半導体を絶縁物化する第2の不純物の導入により、フィン型半導体領域の上部の抵抗を高くするのに必要な処理時間は短くて済む。従って、良好な特性をもつFET等の3次元デバイスをスループット良く実現することができる。

[0043] 尚、フィン型半導体領域の側部における第2の不純物の導入量は、エクステンション領域やソース・ドレイン領域の特性に影響が生じない程度の導入量である。

[0044] また、半導体を絶縁物化する第2の不純物としては、例えば半導体がSiであれば、Siに導入されて絶縁物(SiO₂やSiN_x)を形成する酸素又は窒素を用いることが好ましいが、これに限定されないことは言うまでもない。

[0045] 本発明に係る第1の半導体装置において、前記フィン型半導体領域の側部の抵抗は、前記フィン型半導体領域の上部の抵抗と比べて同等以下であってもよい。このようにすると、より良好な特性をもつFET等の3次元デバイスを実現することができる。

[0046] 本発明に係る第1の半導体装置において、前記フィン型半導体領域の上部には、前記第2の不純物が導入されることにより絶縁物領域が形成されていてもよい。この場合、フィン型半導体領域の両側部のみがチャンネルとして機能するダブルゲート型FETが構成される。但し、第2の不純物が導入されてなる絶縁物領域を除去してフィン型半導体領域の上部をチャンネルとして機

能させることにより、トリプルゲート型FETを構成してもよい。すなわち、絶縁物領域の除去により、フィン型半導体領域の上部における第1の不純物の高濃度導入層も除去されるが、絶縁物領域の下側に第1の不純物の低濃度導入層が残存していれば、トリプルゲート型FETを構成することができる。ここで、フィン型半導体領域の上部に残存する第1の不純物の低濃度導入層の抵抗と比べて、フィン型半導体領域の側部における第1の不純物の導入層の抵抗が同等以下であることが好ましい。また、フィン型半導体領域の上部に残存する第1の不純物の低濃度導入層に、エクステンション領域やソース・ドレイン領域の特性に影響が生じない程度の第2の不純物が含まれていてもよい。

[0047] 本発明に係る第1の半導体装置において、前記フィン型半導体領域は、前記基板上に形成された絶縁層上に形成されていてもよい。このようにすると、より良好な特性をもつFET等の3次元デバイスを実現することができる。

[0048] 本発明に係る第1の半導体装置において、前記フィン型半導体領域の所定の部分における少なくとも側面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とをさらに備え、前記第1の不純物及び前記第2の不純物は、前記ゲート電極の外側に位置する前記フィン型半導体領域に導入されていてもよい。このようにすると、より良好な特性をもつFET等の3次元デバイスを実現することができる。この場合、前記ゲート電極の外側に位置する前記フィン型半導体領域の側部には、前記第1の不純物が導入されることによりエクステンション領域が形成されていると特に有効である。また、前記ゲート電極の側面上に形成された絶縁性サイドウォールスペーサをさらに備え、前記エクステンション領域は、前記フィン型半導体領域における前記絶縁性サイドウォールスペーサにより覆われている部分に形成されており、前記絶縁性サイドウォールスペーサの外側に位置する前記フィン型半導体領域の側部には、前記第1の不純物が導入されることによりソース・ドレイン領域が形成されていることがより好適である。

- [0049] 本発明に係る第1の半導体装置において、前記フィン型半導体領域はシリコンから構成されていてもよい。また、前記第1の不純物はボロン、リン又は砒素であってもよい。このようにすると、前述の本発明の効果を確実に得ることができる。
- [0050] 尚、本発明に係る第1の半導体装置において、前記第2の不純物が酸素又は窒素であると、前記第2の不純物の導入を、安価且つ安全な酸素ガスや窒素ガスを用いて行うことができるので、コスト面及びプロセス面で有利である。
- [0051] 本発明に係る第1のプラズマドーピングシステムは、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物をプラズマドーピング法によって被処理体に導入する第1のプラズマドーピング装置と、第2の不純物として酸素又は窒素をプラズマドーピング法によって前記被処理体に導入する第2のプラズマドーピング装置とを備えている。
- [0052] 本発明に係る第1のプラズマドーピングシステムによると、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物をプラズマドーピング法によって被処理体に導入できると共に、第2の不純物として酸素又は窒素、つまり半導体を絶縁物化する不純物をプラズマドーピング法によって被処理体に導入することができる。従って、本発明に係る第1の半導体装置の製造方法を実施することができる。
- [0053] 本発明に係る第2のプラズマドーピングシステムは、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物をプラズマドーピング法によって被処理体に導入するプラズマドーピング装置と、第2の不純物として酸素又は窒素をイオン注入法によって前記被処理体に導入するイオン注入装置とを備えている。
- [0054] 本発明に係る第2のプラズマドーピングシステムによると、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物をプラズマドーピング法によって被処理体に導入できると共に、第2の不純物として酸素又は窒素、つまり半導体を絶縁物化する不純物をイオン注入法によって被処

理体に導入することができる。従って、本発明に係る第 1 の半導体装置の製造方法を実施することができる。

[0055] 本発明に係る第 1 又は第 2 のプラズマドーピングシステムにおいて、前記被処理体に対してドライエッチングを行うドライエッチング装置をさらに備えていてもよい。このようにすると、本発明に係る第 1 の半導体装置の製造方法を実施する際に、第 1 及び第 2 の不純物の導入後にフィン型半導体領域の上部を除去することができる。

[0056] 本発明に係る第 3 のプラズマドーピングシステムは、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物をプラズマドーピング法によって被処理体に導入するプラズマドーピング装置と、前記被処理体に対してドライエッチングを行うドライエッチング装置とを備えている。

[0057] 本発明に係る第 3 のプラズマドーピングシステムによると、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物をプラズマドーピング法によって被処理体に導入できると共に、被処理体に対してドライエッチングを行うことができる。従って、本発明に係る第 2 の半導体装置の製造方法を実施することができる。

[0058] 本発明に係る第 3 の半導体装置の製造方法は、基板上にフィン型半導体領域を形成する工程（a）と、半導体にドナー準位又はアクセプタ準位を生成する不純物、及び酸素をプラズマドーピング法によって前記フィン型半導体領域の上部及び側部に導入する工程（b）とを備えている。

[0059] 本発明に係る第 3 の半導体装置の製造方法によると、本発明に係る第 1 の半導体装置の製造方法と同様の効果を得ることができる。

[0060] 本発明に係る第 2 の半導体装置は、基板上に形成されたフィン型半導体領域を備えた半導体装置であって、前記フィン型半導体領域の上部及び側部に、半導体にドナー準位又はアクセプタ準位を生成する不純物、及び酸素が導入されている。

[0061] 本発明に係る第 2 の半導体装置によると、本発明に係る第 1 の半導体装置と同様の効果を得ることができる。

[0062] 本発明に係る第4のプラズマドーピングシステムは、半導体にドナー準位又はアクセプタ準位を生成する不純物、及び酸素をプラズマドーピング法によって被処理体に導入するプラズマドーピングシステムである。

[0063] 本発明に係る第4のプラズマドーピングシステムによると、本発明に係る第1のプラズマドーピングシステムと同様の効果を得ることができる。

発明の効果

[0064] 本発明によれば、プラズマドーピング法を用いてフィン型半導体領域の側部に低抵抗の不純物領域を形成して所望の特性を得ることができると共に、当該所望の特性が得られるまでの処理時間を低減することができる。

図面の簡単な説明

[0065] [図1]図1(a)～(e)は、本発明の第1の実施形態に係る半導体装置、具体的には、フィン型FETを有する半導体装置の構造を示す図であり、図1(a)は平面図であり、図1(b)は図1(a)におけるA-A線の断面図であり、図1(c)は図1(a)におけるB-B線の断面図であり、図1(d)は図1(a)におけるC-C線の断面図であり、図1(e)は図1(a)におけるD-D線の断面図である。

[図2]図2(a)～(e)は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図3]図3は、本発明の第1及び第2の実施形態に係る半導体装置の製造方法で用いたプラズマドーピング装置又はドライエッチング装置の構成を示す断面図である。

[図4]図4(a)～(c)は、本発明の第2の実施形態に係る半導体装置、具体的には、フィン型FETを有する半導体装置の構造を示す図であり、図4(a)は図1(a)におけるB-B線の断面図であり、図4(b)は図1(a)におけるC-C線の断面図であり、図4(c)は図1(a)におけるD-D線の断面図である。

[図5]図5(a)～(g)は、本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図6] 図6は、本発明の第2の実施形態に係る半導体装置の製造方法においてAs（砒素）とO（酸素）とをそれぞれプラズマドーピングにより導入したシリコン基板におけるAs濃度プロファイル（一点鎖線）と、O（酸素）の導入により形成された絶縁物領域を除去した後のシリコン基板におけるAs濃度プロファイル（実線）とを示す図である。

[図7] 図7は、本発明の第1及び第2の実施形態に係る半導体装置の製造方法において用いるプラズマドーピングシステムの構成例を示す平面図である。

[図8] 図8は、本発明の第2の実施形態に係る半導体装置の製造方法において用いるプラズマドーピングシステムの構成例を示す平面図である。

[図9] 図9は、本発明の第2の実施形態の変形例に係る半導体装置の製造方法において用いるプラズマドーピングシステムの構成例を示す平面図である。

[図10] 図10は、本発明の第1の実施形態の一変形例に係る半導体装置の平面図である。

[図11] 図11（a）～（d）は、本発明の第1の実施形態の他の変形例に係る半導体装置の構造を示す図であり、図11（a）は図1（a）におけるA－A線の断面図であり、図11（b）は図1（a）におけるB－B線の断面図であり、図11（c）は図1（a）におけるC－C線の断面図であり、図11（d）は図1（a）におけるD－D線の断面図である。

[図12] 図12（a）～（d）は、従来のフィン型FETの構造を示す図であり、図12（a）は平面図であり、図12（b）は図12（a）におけるA－A線の断面図であり、図12（c）は図12（a）におけるB－B線の断面図であり、図12（d）は図12（a）におけるC－C線の断面図である。

[図13] 図13（a）～（d）は、従来の半導体装置の製造方法を工程順に示す断面図である。

[図14] 図14（a）は、特許文献1におけるフィン型FETのエクステンション領域を形成する工程を示した断面図であり、図14（b）は、非特許文献1におけるフィン型FETのエクステンション領域を形成する工程を示し

た断面図である。

発明を実施するための形態

[0066] (第1の実施形態)

以下、本発明の第1の実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

[0067] 図1(a)～(e)は、本実施形態に係る半導体装置、具体的には、フィン型FETを有する半導体装置の構造を示す図であり、図1(a)は平面図であり、図1(b)は図1(a)におけるA-A線の断面図であり、図1(c)は図1(a)におけるB-B線の断面図であり、図1(d)は図1(a)におけるC-C線の断面図であり、図1(e)は図1(a)におけるD-D線の断面図である。

[0068] 本実施形態のフィン型FETは、図1(a)～(e)に示すように、例えばシリコンからなる支持基板11と、支持基板11上に形成された例えば酸化シリコンからなる絶縁層12と、絶縁層12上に形成され且つ例えばシリコンからなるフィン型半導体領域13a～13dと、フィン型半導体領域13a～13d上に例えばシリコン酸窒化膜からなるゲート絶縁膜14a～14dを介して形成されたゲート電極15と、ゲート電極15の側面上に形成された絶縁性サイドウォールスペーサ16と、フィン型半導体領域13a～13dにおけるゲート電極15を挟む両側方領域に形成されたエクステンション領域17と、フィン型半導体領域13a～13dにおけるゲート電極15及び絶縁性サイドウォールスペーサ16を挟む両側方領域に形成されたソース・ドレイン領域27とを有している。各フィン型半導体領域13a～13dは、ゲート幅方向の幅aが例えば30nm程度であり、ゲート長方向の幅bが例えば200nm程度であり、高さ(厚さ)cが例えば50nm程度であり、絶縁層12上においてゲート幅方向にピッチd(例えば60nm程度)で並ぶように配置されている。

[0069] 尚、フィン型半導体領域13a～13dの上面と側面とは互いに垂直であってもよいし、垂直でなくてもよい。ゲート電極15は、ゲート幅方向にフ

イン型半導体領域 13a～13d を跨ぐように形成されている。エクステンション領域 17 は、絶縁性サイドウォールスペーサ 16 により覆われているフィン型半導体領域 13a～13d の側部に形成されている。また、ソース・ドレイン領域 27 は、絶縁性サイドウォールスペーサ 16 の外側のフィン型半導体領域 13a～13d の側部に形成されている。尚、ポケット領域の説明及び図示については省略する。

[0070] 本実施の形態の特徴は次の通りである。すなわち、フィン型半導体領域 13a～13d の上部及び側部に、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物（例えばボロン）が導入されていると共に、フィン型半導体領域 13a～13d の上部には、半導体を絶縁物化する第 2 の不純物（例えば酸素）がさらに導入されている。これにより、フィン型半導体領域 13a～13d の側部のシート抵抗は、フィン型半導体領域 13a～13d の上部のシート抵抗と比べて同等以下に設定されている。

[0071] 具体的には、図 1（c）及び（d）に示すように、絶縁性サイドウォールスペーサ 16 により覆われているフィン型半導体領域 13a～13d の上部には、第 2 の不純物が導入されることにより絶縁物領域 37 が形成されていると共に、絶縁性サイドウォールスペーサ 16 の外側のフィン型半導体領域 13a～13d の上部には、第 2 の不純物が導入されることにより絶縁物領域 47 が形成されている。

[0072] また、図 1（c）及び（d）に示すように、絶縁性サイドウォールスペーサ 16 により覆われているフィン型半導体領域 13a～13d の側部には、第 1 の不純物が導入されることによりエクステンション領域 17 となる不純物領域が形成されていると共に、絶縁性サイドウォールスペーサ 16 の外側のフィン型半導体領域 13a～13d の側部には、第 1 の不純物が導入されることによりソース・ドレイン領域 27 となる不純物領域が形成されている。

[0073] 以上のように、本実施形態では、フィン型半導体領域 13a～13d の両側部のみがチャネルとして機能するダブルゲート型 FET が構成される。す

なわち、フィン型半導体領域 13 a ~ 13 d の幅（図 1（a）のゲート幅方向の幅 a）に対する高さ（図 1（a）の高さ（厚さ）c）の比率が大きくなるに従って、ゲート幅方向においてエクステンション領域 17 やソース・ドレイン領域 27 の幅を十分に確保することができるので、所望のトランジスタ特性を得ることができる。

[0074] 尚、エクステンション領域 17 やソース・ドレイン領域 27 の特性に影響が生じない程度の第 2 の不純物がフィン型半導体領域 13 a ~ 13 d の側部に導入されていても良い。

[0075] また、以上の説明においては、フィン型半導体領域 13 a ~ 13 d の側部（エクステンション領域 17 やソース・ドレイン領域 27）のシート抵抗を、フィン型半導体領域 13 a ~ 13 d の上部（絶縁物領域 37 及び 47）のシート抵抗と比べて同等以下に設定した。しかし、これに代えて、フィン型半導体領域 13 a ~ 13 d の側部（エクステンション領域 17 やソース・ドレイン領域 27）の比抵抗又は拡がり抵抗を、フィン型半導体領域 13 a ~ 13 d の上部（絶縁物領域 37 及び 47）の比抵抗又は拡がり抵抗と比べて同等以下に設定しても、同様の効果が得られる。ここで、対象物のシート抵抗を R_s 、抵抗率（比抵抗）を ρ 、厚さ（接合深さ）を t 、拡がり抵抗を ρ_w とすると、 $R_s = \rho / t$ である。また、抵抗率（比抵抗） ρ と拡がり抵抗 ρ_w とは基本的には 1 対 1 の関係にあるので、 $R_s \propto \rho_w / t$ と表せる。以下の説明においては、主として「シート抵抗」を用いて説明を行うが、抵抗の大小関係については「シート抵抗」を「比抵抗」又は「拡がり抵抗」と読み替えてもよい。

[0076] 以下、本発明の第 1 の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。

[0077] 図 2（a）～（e）は、本実施形態に係る半導体装置の製造方法を工程順に示す断面図である。尚、図 2（a）～（e）は、図 1（a）における D-D 線の断面構成と対応している。

[0078] まず、図 2（a）に示すように、例えばシリコンからなる厚さ $800 \mu m$

の支持基板 1 1 上に例えば酸化シリコンからなる厚さ 1 5 0 n m の絶縁層 1 2 を介して例えばシリコンからなる厚さ 5 0 n m の半導体層が設けられた S O I 基板を準備する。その後、当該半導体層をパターニングして、活性領域となる n 型のフィン型半導体領域 1 3 b を形成する。ここで、フィン型半導体領域 1 3 b は、ゲート幅方向の幅 a が例えば 3 0 n m 程度であり、ゲート長方向の幅 b が例えば 2 0 0 n m 程度であり、高さ（厚さ）c が例えば 5 0 n m 程度であり、隣接する他のフィン型半導体領域とピッチ d （例えば 6 0 n m 程度）で並ぶように配置される。

[0079] 次に、図 2（b）に示すように、フィン型半導体領域 1 3 b の表面に例えばシリコン酸窒化膜からなる厚さ 3 n m のゲート絶縁膜 1 4 を形成した後、支持基板 1 2 上の全面に亘って例えば厚さ 6 0 n m のポリシリコン膜 1 5 A を形成する。

[0080] 次に、図 2（c）に示すように、ポリシリコン膜 1 5 A 及びゲート絶縁膜 1 4 を順次エッチングして、フィン型半導体領域 1 3 b 上にゲート絶縁膜 1 4 b を介して例えばゲート長方向の幅が 6 0 n m のゲート電極 1 5 を形成する。

[0081] その後、ゲート電極 1 5 をマスクとして、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物（例えばボロン）をプラズマドーピング法によってフィン型半導体領域 1 3 b の上部及び側部に導入する。これにより、フィン型半導体領域 1 3 b の上部に p 型の第 1 の不純物領域 7 a が形成されると共にフィン型半導体領域 1 3 b の側部に p 型の第 2 の不純物領域 7 b が形成される。

[0082] このとき、第 1 の不純物領域 7 a は、第 2 の不純物領域 7 b と比べて導入ドーズ量が大きくなるように形成される。この理由は以下の通りである（従来例を示す図 1 4（b）参照）。プラズマドーピング法を用いて不純物導入を行った場合、導入イオン 1 0 9 a と、吸着種（ガス分子やラジカル等の中性種） 1 0 9 b と、スパッタリングによってフィン型半導体領域 1 0 3 a ~ 1 0 3 d を離脱する不純物 1 0 9 c とのバランスによって決まる導入ドーズ

量を持つ第1の不純物領域107aがフィン型半導体領域103a~103dの上部に形成される。一方、フィン型半導体領域103a~103dの各側部の導入ドーズ量については、導入イオン109aやスパッタリングによる離脱不純物109cの影響は小さく、主として吸着種109bによって決まる導入ドーズ量を持つ第2の不純物領域107bがフィン型半導体領域103a~103dの側部に形成される。その結果、第1の不純物領域107aの導入ドーズ量は、第2の不純物領域107bの導入ドーズ量と比べて例えば25%程度高くなる。

[0083] また、第1及び第2の不純物領域7a及び7bを形成するためのプラズマドーピング処理は、例えば図3に示すプラズマドーピング装置を用いて行うことができる。図3に示すプラズマドーピング装置においては、真空容器51内に、ガス供給装置52から所定のガスを導入しつつ、排気装置としてのターボ分子ポンプ53により排気を行い、調圧弁54により真空容器51内を所定の圧力に保つことができる。また、高周波電源55により例えば13.56MHzの高周波電力を、試料電極56に対向した誘電体窓57の近傍に設けられたコイル58に供給することにより、真空容器51内に誘導結合型プラズマを発生させることができる。試料としての基板59は試料電極56上に載置される。また、試料電極56に高周波電力を供給するための高周波電源60が設けられており、高周波電源50は、試料としての基板59がプラズマに対して負の電位をもつように、試料電極56の電位を制御する電圧源として機能する。このようにして、プラズマ中のイオンを試料（基板59）の表面に向かって加速し衝突させて試料の表面を非晶質化したり、不純物を導入したりすることができる。

[0084] 尚、ガス供給装置52から供給されたガスは、排気口61からターボ分子ポンプ53へ排気される。ターボ分子ポンプ53及び排気口61は、試料電極56の直下に配置されており、また、調圧弁54は、試料電極56の直下で且つターボ分子ポンプ53の直上に位置する昇降弁である。試料電極56は、4本の支柱62（うち2本の支柱62が図示されている）により、真空

容器 5 1 に固定されている。

[0085] また、第 1 及び第 2 の不純物領域 7 a 及び 7 b を形成するためのプラズマドーピング条件は、例えば、原料ガスが H e (ヘリウム) で希釈した B₂ H₆ (ジボラン) であり、原料ガス中でのジボラン濃度が 0. 0 5 質量% であり、原料ガスの総流量が 4 2 0 c c / m i n (標準状態) であり、チャンバ内圧力が 0. 9 P a であり、コイルに供給する高周波電力が 2 0 0 0 W であり、試料電極に供給する高周波電力が 1 3 5 W であり、基板温度が 2 0 °C である。

[0086] 次に、ゲート電極 1 5 をマスクとして、半導体を絶縁物化する第 2 の不純物 (例えば酸素) をプラズマドーピング法によってフィン型半導体領域 1 3 b の上部に導入する。これにより、図 2 (d) に示すように、フィン型半導体領域 1 3 b の上部に絶縁物領域 3 7 が形成される。このとき、エクステンション領域やソース・ドレイン領域の特性を劣化させない程度の第 2 の不純物がフィン型半導体領域 1 3 b の側部に導入されてもよい。その場合、図 2 (c) に示す工程でフィン型半導体領域 1 3 b の側部に形成された p 型の第 2 の不純物領域 7 b が改質され、p 型の第 2 の不純物領域 1 7 b となる。この p 型の第 2 の不純物領域 1 7 b は、絶縁性サイドウォールスペーサ 1 6 (図 2 (e) 参照) により覆われるフィン型半導体領域 1 3 b の側部においてエクステンション領域 1 7 となる (図 1 (c) 参照)。

[0087] 本実施形態では、エクステンション領域 1 7 を構成する第 2 の不純物領域 1 7 b のシート抵抗を、フィン型半導体領域 1 3 b 上部の絶縁物領域 3 7 のシート抵抗よりも小さくすることができる。すなわち、絶縁物領域 3 7 のシート抵抗、比抵抗又は拡がり抵抗と比べて、第 2 の不純物領域 1 7 b のシート抵抗、比抵抗又は拡がり抵抗をより小さくすることができる。従って、フィン型半導体領域 1 3 b の幅 (図 1 (a) のゲート幅方向の幅 a) に対する高さ (図 1 (a) の高さ (厚さ) c) の比率が大きくなるに従って、ゲート幅方向においてエクステンション領域 1 7 の幅を十分に確保することができるので、所望のトランジスタ特性を得ることができる。

- [0088] ここで、半導体を絶縁物化する第2の不純物である酸素のプラズマドーピングには、例えば前述の図3に示すプラズマドーピング装置を用いることができる。また、その際のプラズマドーピング条件は、例えば、原料ガスが O_2 （酸素）であり、原料ガスの流量が 50 c c / m i n （標準状態）であり、チャンバ内圧力が 0.5 P a であり、コイルに供給する高周波電力が 2000 W であり、試料電極に供給する高周波電力が 800 W であり、基板温度が 20°C である。このように、試料電極に比較的高い高周波電力を供給して酸素のドーピングを行う場合、異方性のドーピングが生じ、基板主面に垂直な方向に対して選択的にドーピングが進行する。従って、フィン型半導体領域13bの側部の第2の不純物領域17bにはほとんど酸素がドーピングされない。
- [0089] 尚、酸素のドーズ量については、絶縁物領域37の形成範囲（基板上面から深さ数 nm 程度まで）において酸素の原子密度がシリコンの原子密度（約 $5.0 \times 10^{22} / \text{c m}^3$ ）の1～2倍程度になるように設定する。
- [0090] また、酸素を反応種とする代表的なプラズマ処理としてアッシング処理がよく知られているが、アッシング処理の場合には等方的に酸化（灰化）反応が生じるのに対し、本実施形態の高バイアスプラズマドーピングにおいては、異方性のドーピングを生じさせることができる。
- [0091] また、本実施形態において、原料ガスを $A r$ （アルゴン）と O_2 との混合ガスとして有磁場マイクロ波プラズマ源（例えば特開平11-219950号公報参照）を用いることにより、第2の不純物である酸素のプラズマドーピングを行ってもよい。
- [0092] 次に、図示は省略しているが、ゲート電極15をマスクとして、フィン型半導体領域13bに不純物をイオン注入して、 n 型のポケット領域を形成する。
- [0093] 次に、図2（e）に示すように、支持基板11上の全面に亘って例えば厚さ 60 nm の絶縁膜を形成した後、異方性ドライエッチングを用いて当該絶縁膜をエッチバックすることにより、ゲート電極15の側面上に絶縁性サイ

ドウオールスペーサ 16 を形成する。

[0094] その後、第 1 及び第 2 の不純物領域 7 a 及び 7 b を形成するためのプラズマドーピング処理と同様にして、ゲート電極 15 及び絶縁性サイドウォールスペーサ 16 をマスクとして、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物（例えばボロン）をプラズマドーピング法によってフィン型半導体領域 13 b の上部及び側部に導入する。続いて、絶縁物領域 37 を形成するためのプラズマドーピング処理と同様にして、ゲート電極 15 及び絶縁性サイドウォールスペーサ 16 をマスクとして、半導体を絶縁物化する第 2 の不純物（例えば酸素）をプラズマドーピング法によってフィン型半導体領域 13 b の上部に導入する。これにより、図 2（d）に示すように、絶縁性サイドウォールスペーサ 16 の外側のフィン型半導体領域 13 b の上部に絶縁物領域 47 が形成されると共に、絶縁性サイドウォールスペーサ 16 の外側のフィン型半導体領域 13 b の側部に、ソース・ドレイン領域 27 となる p 型の不純物領域が形成される。

[0095] 本実施形態では、ソース・ドレイン領域 27 のシート抵抗を、フィン型半導体領域 13 b 上部の絶縁物領域 47 のシート抵抗よりも小さくすることができる。すなわち、絶縁物領域 47 のシート抵抗、比抵抗又は拡がり抵抗と比べて、ソース・ドレイン領域 27 のシート抵抗、比抵抗又は拡がり抵抗をより小さくすることができる。従って、フィン型半導体領域 13 b の幅（図 1（a）のゲート幅方向の幅 a）に対する高さ（図 1（a）の高さ（厚さ）c）の比率が大きくなるに従って、ゲート幅方向においてソース・ドレイン領域 27 の幅を十分に確保することができるので、所望のトランジスタ特性を得ることができる。

[0096] 本実施形態の特徴は次の通りである。すなわち、フィン型 FET のエクステンション領域 17 をプラズマドーピング法を用いて形成するに際して、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物（例えばボロン）をプラズマドーピング法によってフィン型半導体領域 13 b の上部及び側部に導入し、次いで、半導体を絶縁物化する第 2 の不純物（例えば酸素）

をプラズマドーピング法によってフィン型半導体領域 13b の上部に導入する。これにより、フィン型半導体領域 13b 上部の絶縁物領域 37 よりも小さいシート抵抗、比抵抗又は拡がり抵抗を持つ第 2 の不純物領域 17b (エクステンション領域 17) をフィン型半導体領域 13b 側部に備えたフィン型 MISFET を得ることができる。従って、フィン型半導体領域 13b の幅 (図 1 (a) のゲート幅方向の幅 a) に対する高さ (図 1 (a) の高さ (厚さ) c) の比率が大きくなるに従って、ゲート幅方向においてエクステンション領域 17 の幅を十分に確保することができるので、所望のトランジスタ特性を得ることができる。

[0097] また、エクステンション領域 17 の形成に際して第 1 の不純物及び第 2 の不純物のそれぞれを導入する工程において通常のプラズマドーピング法を用いることができるので、各不純物の導入をごく短時間 (例えば 10 ~ 120 秒程度) で終わることができ、その結果、トータルの処理時間を従来と比較して格段に短縮することができる。

[0098] また、エクステンション領域 17 の場合と同様に、フィン型 FET のソース・ドレイン領域 27 をプラズマドーピング法を用いて形成するに際して、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物 (例えばボロン) をプラズマドーピング法によってフィン型半導体領域 13b の上部及び側部に導入し、次いで、半導体を絶縁物化する第 2 の不純物 (例えば酸素) をプラズマドーピング法によってフィン型半導体領域 13b の上部に導入する。これにより、フィン型半導体領域 13b 上部の絶縁物領域 47 よりも小さいシート抵抗、比抵抗又は拡がり抵抗を持つソース・ドレイン領域 27 をフィン型半導体領域 13b 側部に備えたフィン型 MISFET を得ることができる。従って、フィン型半導体領域 13b の幅 (図 1 (a) のゲート幅方向の幅 a) に対する高さ (図 1 (a) の高さ (厚さ) c) の比率が大きくなるに従って、ゲート幅方向においてソース・ドレイン領域 27 の幅を十分に確保することができるので、所望のトランジスタ特性を得ることができる。

[0099] また、ソース・ドレイン領域 27 の形成に際して第 1 の不純物及び第 2 の不純物のそれぞれを導入する工程において通常のプラズマドーピング法を用いることができるので、各不純物の導入をごく短時間（例えば 10 ～ 120 秒程度）で終わることができ、その結果、トータルの処理時間を従来と比較して格段に短縮することができる。

[0100] 尚、本実施形態において、n 型のフィン型半導体領域 13 b に p 型不純物をプラズマドーピングして p 型のエクステンション領域 17 及び p 型のソース・ドレイン領域 27、つまり p 型の M I S F E T を形成する場合を例示した。しかし、これに代えて、p 型のフィン型半導体領域に n 型不純物をドーピングして n 型のエクステンション領域及び n 型のソース・ドレイン領域、つまり n 型の M I S F E T を形成してもよい。

[0101] また、本実施形態において、エクステンション領域 17 及びソース・ドレイン領域 27 のそれぞれの形成に際して、第 1 の不純物のプラズマドーピングを行った後、第 2 の不純物のプラズマドーピングを行ったが、これに代えて、第 2 の不純物のプラズマドーピングを行った後、第 1 の不純物のプラズマドーピングを行ってもよい。

[0102] また、本実施形態において、ソース・ドレイン領域 27 の形成に際しては、第 2 の不純物のプラズマドーピングを省略しても良い。この場合、エクステンション領域 17 を形成する際の第 2 の不純物のプラズマドーピングにおいてフィン型半導体領域 13 b 上部に予め十分なドーズ量で第 2 の不純物を導入しておいてもよい。

[0103] （第 2 の実施形態）

以下、本発明の第 2 の実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

[0104] 本実施形態に係る半導体装置、具体的には、フィン型 F E T を有する半導体装置は、図 1（a）に示す第 1 の実施形態の半導体装置の平面構成と同じ平面構成を有している。図 4（a）～（c）は、本実施形態に係る半導体装置、具体的には、フィン型 F E T を有する半導体装置の構造を示す図であり

、図４（ａ）は図１（ａ）におけるＢ－Ｂ線の断面図であり、図４（ｂ）は図１（ａ）におけるＣ－Ｃ線の断面図であり、図４（ｃ）は図１（ａ）におけるＤ－Ｄ線の断面図である。尚、本実施形態において、図１（ａ）におけるＡ－Ａ線の断面構成は、図１（ｂ）に示す第１の実施形態の半導体装置の断面構成と同じである。

[0105] 本実施形態のフィン型ＦＥＴは、図１（ａ）、（ｂ）及び図４（ａ）～（ｃ）に示すように、例えばシリコンからなる支持基板１１と、支持基板１１上に形成された例えば酸化シリコンからなる絶縁層１２と、絶縁層１２上に形成されたフィン型半導体領域１３ａ～１３ｄと、フィン型半導体領域１３ａ～１３ｄ上に例えばシリコン酸窒化膜からなるゲート絶縁膜１４ａ～１４ｄを介して形成されたゲート電極１５と、ゲート電極１５の側面上に形成された絶縁性サイドウォールスペーサ１６と、フィン型半導体領域１３ａ～１３ｄにおけるゲート電極１５を挟む両側方領域に形成されたエクステンション領域１７と、フィン型半導体領域１３ａ～１３ｄにおけるゲート電極１５及び絶縁性サイドウォールスペーサ１６を挟む両側方領域に形成されたソース・ドレイン領域２７とを有している。各フィン型半導体領域１３ａ～１３ｄは、ゲート幅方向の幅ａが例えば３０ｎｍ程度であり、ゲート長方向の幅ｂが例えば２００ｎｍ程度であり、高さ（厚さ）ｃが例えば５０ｎｍ程度であり、絶縁層１２上においてゲート幅方向にピッチｄ（例えば６０ｎｍ程度）で並ぶように配置されている。

[0106] 尚、フィン型半導体領域１３ａ～１３ｄの上面と側面とは互いに垂直であってもよいし、垂直でなくてもよい。ゲート電極１５は、ゲート幅方向にフィン型半導体領域１３ａ～１３ｄを跨ぐように形成されている。エクステンション領域１７は、フィン型半導体領域１３ａ～１３ｄのそれぞれの上部に形成された第１の不純物領域１７ａと、フィン型半導体領域１３ａ～１３ｄのそれぞれの側部に形成された第２の不純物領域１７ｂとから構成されている。また、ソース・ドレイン領域２７は、フィン型半導体領域１３ａ～１３ｄのそれぞれの上部に形成された第３の不純物領域２７ａと、フィン型半導

体領域 13 a ~ 13 d のそれぞれの側部に形成された第 4 の不純物領域 27 b とから構成されている。尚、ポケット領域の説明及び図示については省略する。

[0107] 本実施形態においては、フィン型半導体領域 13 a ~ 13 d の上部及び両側部がチャネルとして機能するトリプルゲート型 FET が構成される。本実施形態の特徴は次の通りである。すなわち、フィン型半導体領域側部に形成された第 2 の不純物領域 17 b の注入ドーズ量が、フィン型半導体領域上部に形成された第 1 の不純物領域 17 a の注入ドーズ量と比べて同等以上に設定されている。これにより、エクステンション領域 17 を構成する第 2 の不純物領域 17 b のシート抵抗を、第 1 の不純物領域 17 a のシート抵抗以下に設定することができるので、エクステンション領域 17 のゲート幅方向の幅においてフィン型半導体領域側部に形成された第 2 の不純物領域 17 b の幅が占める割合が大きくなっても、所望のトランジスタ特性を得ることができる。同様に、フィン型半導体領域側部に形成された第 4 の不純物領域 27 b の注入ドーズ量が、フィン型半導体領域上部に形成された第 3 の不純物領域 27 a の注入ドーズ量と比べて同等以上に設定されている。これにより、ソース・ドレイン領域 27 を構成する第 4 の不純物領域 27 b のシート抵抗を、第 3 の不純物領域 27 a のシート抵抗以下に設定することができるので、ソース・ドレイン領域 27 のゲート幅方向の幅においてフィン型半導体領域側部に形成された第 4 の不純物領域 27 b の幅が占める割合が大きくなっても、所望のトランジスタ特性を得ることができる。

[0108] 以上の説明においては、第 2 の不純物領域 17 b (第 4 の不純物領域 27 b) のシート抵抗を第 1 の不純物領域 17 a (第 3 の不純物領域 27 a) のシート抵抗と比べて同等以下に設定したが、第 2 の不純物領域 17 b (第 4 の不純物領域 27 b) の比抵抗又は拡がり抵抗を第 1 の不純物領域 17 a (第 3 の不純物領域 27 a) の比抵抗又は拡がり抵抗と比べて同等以下に設定しても、同様の効果が得られる。ここで、対象物のシート抵抗を R_s 、抵抗率 (比抵抗) を ρ 、厚さ (接合深さ) を t 、拡がり抵抗を ρ_w とすると、 R

$s = \rho / t$ である。また、抵抗率（比抵抗） ρ と拡がり抵抗 ρ_w とは基本的には 1 対 1 の関係にあるので、 $R_s \propto \rho_w / t$ と表せる。以下の説明においては、主として「シート抵抗」を用いて説明を行うが、抵抗の大小関係については「シート抵抗」を「比抵抗」又は「拡がり抵抗」と読み替えてもよい。

[0109] 尚、本実施形態において、フィン型半導体領域側部に形成された第 2 の不純物領域 17b の注入ドーズ量が、フィン型半導体領域上部に形成された第 1 の不純物領域 17a の注入ドーズ量の 80%（より好ましくは 90%）程度以上であれば、従来技術と比べてトランジスタ特性を顕著に改善することができる。同様に、フィン型半導体領域側部に形成された第 4 の不純物領域 27b の注入ドーズ量が、フィン型半導体領域上部に形成された第 3 の不純物領域 27a の注入ドーズ量の 80%（より好ましくは 90%）程度以上であれば、従来技術と比べてトランジスタ特性を顕著に改善することができる。

[0110] また、本実施形態において、「フィン型半導体領域の側面の高さ」／「フィン型半導体領域の上面のゲート幅方向の幅」（以下、アスペクト比と称する）が小さければ、第 2 の不純物領域 17b の注入ドーズ量が第 1 の不純物領域 17a の注入ドーズ量と比べてある程度小さくても、つまり、第 2 の不純物領域 17b のシート抵抗、比抵抗又は拡がり抵抗が第 1 の不純物領域 17a のシート抵抗、比抵抗又は拡がり抵抗と比べてある程度（例えば 10% 程度以下）大きくても、トランジスタ特性の劣化は少ない。一方、このアスペクト比が大きくなるに従って、第 2 の不純物領域 17b の注入ドーズ量を第 1 の不純物領域 17a の注入ドーズ量と比べて同等以上にする必要性、つまり、第 2 の不純物領域 17b のシート抵抗、比抵抗又は拡がり抵抗を第 1 の不純物領域 17a のシート抵抗、比抵抗又は拡がり抵抗と比べて同等以下にする必要性が増す。同様に、アスペクト比が小さければ、第 4 の不純物領域 27b の注入ドーズ量が第 3 の不純物領域 27a の注入ドーズ量と比べてある程度小さくても、つまり、第 4 の不純物領域 27b のシート抵抗、比

抵抗又は拡がり抵抗が第3の不純物領域27aのシート抵抗、比抵抗又は拡がり抵抗と比べてある程度（例えば10%程度以下）大きくても、トランジスタ特性の劣化は少ない。一方、このアスペクト比が大きくなるに従って、第4の不純物領域27bの注入ドーズ量を第3の不純物領域27aの注入ドーズ量と比べて同等以上にする必要性、つまり第4の不純物領域27bのシート抵抗、比抵抗又は拡がり抵抗を第3の不純物領域27aのシート抵抗、比抵抗又は拡がり抵抗と比べて同等以下にする必要性が増す。

[0111] 以下、本発明の第2の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

[0112] 図5(a)～(g)は、本実施形態に係る半導体装置の製造方法を工程順に示す断面図である。尚、図5(a)～(g)は、図1(a)におけるD-D線の断面構成と対応している。

[0113] まず、図5(a)に示すように、例えばシリコンからなる厚さ800 μ mの支持基板11上に例えば酸化シリコンからなる厚さ150nmの絶縁層12を介して例えばシリコンからなる厚さ50nmの半導体層が設けられたSOI基板を準備する。その後、当該半導体層をパターニングして、活性領域となるp型のフィン型半導体領域13bを形成する。ここで、フィン型半導体領域13bは、ゲート幅方向の幅aが例えば30nm程度であり、ゲート長方向の幅bが例えば200nm程度であり、高さ（厚さ）cが例えば50nm程度であり、隣接する他のフィン型半導体領域とピッチd（例えば60nm程度）で並ぶように配置される。

[0114] 次に、図5(b)に示すように、フィン型半導体領域13bの表面に例えばシリコン酸窒化膜からなる厚さ3nmのゲート絶縁膜14を形成した後、支持基板12上の全面に亘って例えば厚さ60nmのポリシリコン膜15Aを形成する。

[0115] 次に、図5(c)に示すように、ポリシリコン膜15A及びゲート絶縁膜14を順次エッチングして、フィン型半導体領域13b上にゲート絶縁膜14bを介して例えばゲート長方向の幅が60nmのゲート電極15を形成す

る。

[0116] その後、ゲート電極 15 をマスクとして、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物（例えば砒素）をプラズマドーピング法によってフィン型半導体領域 13 b の上部及び側部に導入する。これにより、フィン型半導体領域 13 b の上部に n 型の第 1 の不純物領域 7 a が形成されると共にフィン型半導体領域 13 b の側部に n 型の第 2 の不純物領域 7 b が形成される。

[0117] このとき、第 1 の不純物領域 7 a は、第 2 の不純物領域 7 b と比べて導入ドーズ量が大きくなるように形成される。この理由は以下の通りである（従来例を示す図 14（b）参照）。プラズマドーピング法を用いて不純物導入を行った場合、導入イオン 109 a と、吸着種（ガス分子やラジカル等の中性種） 109 b と、スパッタリングによってフィン型半導体領域 103 a ～ 103 d を離脱する不純物 109 c とのバランスによって決まる導入ドーズ量を持つ第 1 の不純物領域 107 a がフィン型半導体領域 103 a ～ 103 d の上部に形成される。一方、フィン型半導体領域 103 a ～ 103 d の各側部の導入ドーズ量については、導入イオン 109 a やスパッタリングによる離脱不純物 109 c の影響は小さく、主として吸着種 109 b によって決まる導入ドーズ量を持つ第 2 の不純物領域 107 b がフィン型半導体領域 103 a ～ 103 d の側部に形成される。その結果、第 1 の不純物領域 107 a の導入ドーズ量は、第 2 の不純物領域 107 b の導入ドーズ量と比べて例えば 25% 程度高くなる。

[0118] また、第 1 及び第 2 の不純物領域 7 a 及び 7 b を形成するためのプラズマドーピング処理は、例えば図 3 に示すプラズマドーピング装置を用いて行うことができる。このとき、プラズマドーピング条件は、例えば、原料ガスが He（ヘリウム）で希釈した AsH₄（アルシン）であり、原料ガス中でのアルシン濃度が 0.3 質量%であり、原料ガスの総流量が 300 cc/min（標準状態）であり、チャンバ内圧力が 0.9 Pa であり、コイルに供給する高周波電力が 2000 W であり、試料電極に供給する高周波電力が 200

Wであり、基板温度が20℃である。

[0119] 次に、ゲート電極15をマスクとして、半導体を絶縁物化する第2の不純物（例えば酸素）をプラズマドーピング法によってフィン型半導体領域13bの上部に導入する。これにより、図5（d）に示すように、フィン型半導体領域13bの上部に形成されている第1の不純物領域7aの表面部に絶縁物領域37が形成されると共に絶縁物領域37の下側にn型の第1の不純物領域17a（第1の不純物領域7aの残り）が残存する。このとき、エクステンション領域やソース・ドレイン領域の特性を劣化させない程度の第2の不純物が第1の不純物領域17aに含まれていてもよい。また、エクステンション領域やソース・ドレイン領域の特性を劣化させない程度の第2の不純物がフィン型半導体領域13bの側部に導入されてもよい。その場合、図5（c）に示す工程でフィン型半導体領域13bの側部に形成されたn型の第2の不純物領域7bが改質され、n型の第2の不純物領域17bとなる。これらの第1の不純物領域17aと第2の不純物領域17bとは、絶縁性サイドウォールスペーサ16（図5（f）参照）により覆われるフィン型半導体領域13bにおいてエクステンション領域17となる（図4（a）参照）。

[0120] 本実施形態では、第1の不純物領域7aにおける第1の不純物の高濃度導入部分が絶縁物領域37となり、残りの第1の不純物領域7aが第1の不純物領域17aとなるので、フィン型半導体領域13b側部の第2の不純物領域17bのシート抵抗を、フィン型半導体領域13b上部の第1の不純物領域17aのシート抵抗よりも小さくすることができる。すなわち、第1の不純物領域17aのシート抵抗、比抵抗又は拡がり抵抗と比べて、第2の不純物領域17bのシート抵抗、比抵抗又は拡がり抵抗をより小さくすることができる。従って、フィン型半導体領域13bの幅（図1（a）のゲート幅方向の幅a）に対する高さ（図1（a）の高さ（厚さ）c）の比率が大きくなるに従って、ゲート幅方向においてエクステンション領域17の幅を十分に確保することができるので、所望のトランジスタ特性を得ることができる。

[0121] ここで、半導体を絶縁物化する第2の不純物である酸素のプラズマドーピ

ングには、例えば前述の図3に示すプラズマドーピング装置を用いることができる。また、その際のプラズマドーピング条件は、例えば、原料ガスが O_2 （酸素）であり、原料ガスの流量が 50 c c / m i n （標準状態）であり、チャンバ内圧力が 0.5 P a であり、コイルに供給する高周波電力が 2000 W であり、試料電極に供給する高周波電力が 800 W であり、基板温度が 20°C である。このように、試料電極に比較的高い高周波電力を供給して酸素のドーピングを行う場合、異方性のドーピングが生じ、基板主面に垂直な方向に対して選択的にドーピングが進行する。従って、フィン型半導体領域13bの側部の第2の不純物領域17bにはほとんど酸素がドーピングされない。

[0122] 尚、酸素のドーズ量については、絶縁物領域37の形成範囲（基板上面から深さ数 nm 程度まで）において酸素の原子密度がシリコンの原子密度（約 $5.0 \times 10^{22} / \text{c m}^3$ ）の1～2倍程度になるように設定する。

[0123] また、酸素を反応種とする代表的なプラズマ処理としてアッシング処理がよく知られているが、アッシング処理の場合には等方的に酸化（灰化）反応が生じるのに対し、本実施形態の高バイアスプラズマドーピングにおいては、異方性のドーピングを生じさせることができる。

[0124] また、本実施形態において、原料ガスを $A r$ （アルゴン）と O_2 との混合ガスとして有磁場マイクロ波プラズマ源（例えば特開平11-219950号公報参照）を用いることにより、第2の不純物である酸素のプラズマドーピングを行ってもよい。

[0125] 次に、図5（e）に示すように、フィン型半導体領域13bの上部に形成された絶縁物領域37を除去する。絶縁物領域37の除去方法としては、例えば、 $A r$ と $C F_4$ との混合ガスからなるプラズマによるドライエッチングを用いることができる。このとき、酸化シリコンからなる絶縁層12の露出表面もごく僅かではあるがエッチングされる。

[0126] ここで、絶縁物領域37のドライエッチング処理には、例えば図3に示すプラズマドーピング装置と同様の構成を有するドライエッチング装置を用い

ることができる。その場合のドライエッチング条件は、例えば、原料ガスが Ar （アルゴン）で希釈した CF_4 （四フッ化メタン）であり、原料ガス中の四フッ化メタン濃度が5質量%であり、原料ガスの総流量が 200 cc/min （標準状態）であり、チャンバ内圧力が 1.3 Pa であり、コイルに供給する高周波電力が 1500 W であり、試料電極に供給する高周波電力が 100 W であり、基板温度が 20°C である。このように、試料電極に高周波電力を供給してドライエッチングを行う場合、異方性のエッチングが生じ、基板主面に対して垂直な方向にのみ選択的にエッチングが進行する。従って、フィン型半導体領域 13b 側部の第2の不純物領域 17b はほとんどエッチングされない。

[0127] 次に、図示は省略しているが、ゲート電極 15 をマスクとして、フィン型半導体領域 13b に不純物をイオン注入して、n 型のポケット領域を形成する。

[0128] 以上に説明したように、本実施形態においては、フィン型半導体領域 13b の上部に形成された n 型の第1の不純物領域 17a と、フィン型半導体領域 13b の側部に形成された n 型の第2の不純物領域 17b とから n 型のエクステンション領域 17 が構成される。具体的には、図5（c）に示す工程で形成された第1の不純物領域 17a は、図5（d）に示す工程で上層の絶縁物領域 37 と下層の第1の不純物領域 17a とに改質され、図5（e）に示す工程で絶縁物領域 37 が除去される。このとき、図5（c）に示す工程で形成された第1の不純物領域 17a のうち As が高濃度でドーピングされた領域が選択的に除去されるため、図5（e）に示す工程で残存する第1の不純物領域 17a 中の As 濃度は小さくなる。このため、エクステンション領域 17 を構成する第2の不純物領域 17b のシート抵抗を、第1の不純物領域 17a のシート抵抗と比べて同等以下に設定することができる。すなわち、第2の不純物領域 17b のシート抵抗、比抵抗又は拡がり抵抗を、第1の不純物領域 17a のシート抵抗、比抵抗又は拡がり抵抗と比べて同等以下に設定することができる。従って、エクステンション領域 17 のゲート幅方向の幅に

においてフィン型半導体領域 1 3 b 側部に形成された第 2 の不純物領域 1 7 b の幅が占める割合が大きくなっても、所望のトランジスタ特性を得ることができる。

[0129] 次に、図 5 (f) に示すように、支持基板 1 2 上の全面に亘って例えば厚さ 6 0 n m の絶縁膜を形成した後、異方性ドライエッチングを用いて当該絶縁膜をエッチバックすることにより、ゲート電極 1 5 の側面上に絶縁性サイドウォールスペーサ 1 6 を形成する。

[0130] その後、第 1 及び第 2 の不純物領域 7 a 及び 7 b を形成するためのプラズマドーピング処理と同様にして、ゲート電極 1 5 及び絶縁性サイドウォールスペーサ 1 6 をマスクとして、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物（例えば砒素）をプラズマドーピング法によってフィン型半導体領域 1 3 b の上部及び側部に導入する。続いて、絶縁物領域 3 7 を形成するためのプラズマドーピング処理と同様にして、ゲート電極 1 5 及び絶縁性サイドウォールスペーサ 1 6 をマスクとして、半導体を絶縁物化する第 2 の不純物（例えば酸素）をプラズマドーピング法によってフィン型半導体領域 1 3 b の上部に導入する。これにより、図 5 (f) に示すように、絶縁性サイドウォールスペーサ 1 6 の外側のフィン型半導体領域 1 3 b の上部に n 型の第 3 の不純物領域 2 7 a が形成されると共にその表面部が絶縁物領域 4 7 に改質される。また、絶縁性サイドウォールスペーサ 1 6 の外側のフィン型半導体領域 1 3 b の側部に、n 型の第 4 の不純物領域 2 7 b が形成される。これらの第 3 の不純物領域 2 7 a と第 4 の不純物領域 2 7 b とはソース・ドレイン領域 2 7 を構成する。尚、ソース・ドレイン領域 2 7 の特性を劣化させない程度の第 2 の不純物が第 3 及び第 4 の不純物領域 2 7 a 及び 2 7 b に含まれていてもよい。

[0131] 次に、図 5 (g) に示すように、フィン型半導体領域 1 3 b の上部に形成された絶縁物領域 4 7 を除去する。絶縁物領域 4 7 の除去方法としては、例えば、 Ar と CF_4 との混合ガスからなるプラズマによるドライエッチングを用いることができる。このとき、酸化シリコンからなる絶縁層 1 2 の露出表

面もごく僅かではあるがエッチングされる。

[0132] 以上に説明したように、本実施形態においては、フィン型半導体領域 1 3 b の上部に形成された n 型の第 3 の不純物領域 2 7 a と、フィン型半導体領域 1 3 b の側部に形成された n 型の第 4 の不純物領域 2 7 b とから n 型のソース・ドレイン領域 2 7 が構成される。具体的には、図 5 (f) に示す工程で第 3 の不純物領域 2 7 a を形成すると共にその表面部が絶縁物領域 4 7 に改質され、図 5 (g) に示す工程で絶縁物領域 4 7 が除去される。このとき、図 5 (f) に示す工程で形成された第 3 の不純物領域 2 7 a のうち A_s が高濃度でドーピングされた領域が選択的に除去されるため、図 5 (g) に示す工程で残存する第 3 の不純物領域 2 7 a 中の A_s 濃度は小さくなる。このため、ソース・ドレイン領域 2 7 を構成する第 4 の不純物領域 2 7 b のシート抵抗を、第 3 の不純物領域 2 7 a のシート抵抗と比べて同等以下に設定することができる。すなわち、第 4 の不純物領域 2 7 b のシート抵抗、比抵抗又は拡がり抵抗を、第 3 の不純物領域 2 7 a のシート抵抗、比抵抗又は拡がり抵抗と比べて同等以下に設定することができる。従って、ソース・ドレイン領域 2 7 のゲート幅方向の幅においてフィン型半導体領域 1 3 b 側部に形成された第 4 の不純物領域 2 7 b の幅が占める割合が大きくなったとしても、所望のトランジスタ特性を得ることができる。

[0133] 本実施形態の特徴は次の通りである。すなわち、フィン型 FET のエクステンション領域 1 7 をプラズマドーピング法を用いて形成するに際して、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物（例えば砒素）をプラズマドーピング法によってフィン型半導体領域 1 3 b の上部及び側部に導入し、次いで、半導体を絶縁物化する第 2 の不純物（例えば酸素）をプラズマドーピング法によってフィン型半導体領域 1 3 b の上部に導入する。これにより、フィン型半導体領域 1 3 b の上部に形成された第 1 の不純物領域 1 7 a の表面部を絶縁物領域 3 7 に改質した後、絶縁物領域 3 7 を除去する。その結果、フィン型半導体領域 1 3 b 上部に残存する第 1 の不純物領域 1 7 a と、第 1 の不純物領域 1 7 a と比べて同等以下のシート抵抗、比抵抗

抗又は拡がり抵抗を持つ第2の不純物領域17bとからなるエクステンション領域17を備えたフィン型MISFET（フィン型半導体領域13bの上部及び両側部がチャネルとして機能するトリプルゲート型FET）を得ることができる。従って、フィン型半導体領域13bの幅（図1（a）のゲート幅方向の幅a）に対する高さ（図1（a）の高さ（厚さ）c）の比率が大きくなるに従って、ゲート幅方向においてエクステンション領域17の幅を十分に確保することができるので、所望のトランジスタ特性を得ることができる。

[0134] また、エクステンション領域17の形成に際して第1の不純物及び第2の不純物のそれぞれを導入する工程において通常のプラズマドーピング法を用いることができるので、各不純物の導入をごく短時間（例えば10～120秒程度）で終わることができる。また、絶縁物領域37を除去する工程は通常のエッチング工程であるから、ごく短時間（例えば5～30秒程度）で終わることができる。従って、トータルの処理時間を従来と比較して格段に短縮することができる。

[0135] また、エクステンション領域17の場合と同様に、フィン型FETのソース・ドレイン領域27をプラズマドーピング法を用いて形成するに際して、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物（例えば砒素）をプラズマドーピング法によってフィン型半導体領域13bの上部及び側部に導入し、次いで、半導体を絶縁物化する第2の不純物（例えば酸素）をプラズマドーピング法によってフィン型半導体領域13bの上部に導入する。これにより、フィン型半導体領域13bの上部に形成された第3の不純物領域27aの表面部を絶縁物領域47に改質した後、絶縁物領域47を除去する。その結果、フィン型半導体領域13b上部に残存する第3の不純物領域37aと、第3の不純物領域37aと比べて同等以下のシート抵抗、比抵抗又は拡がり抵抗を持つ第4の不純物領域27bとからなるソース・ドレイン領域27を備えたフィン型MISFET（フィン型半導体領域13bの上部及び両側部がチャネルとして機能するトリプルゲート型FET）を得る

ことができる。従って、フィン型半導体領域 1 3 b の幅（図 1（a）のゲート幅方向の幅 a）に対する高さ（図 1（a）の高さ（厚さ）c）の比率が大きくなるに従って、ゲート幅方向においてソース・ドレイン領域 2 7 の幅を十分に確保することができるので、所望のトランジスタ特性を得ることができる。

[0136] また、ソース・ドレイン領域 2 7 の形成に際して第 1 の不純物及び第 2 の不純物のそれぞれを導入する工程において通常のプラズマドーピング法を用いることができるので、各不純物の導入をごく短時間（例えば 10～120 秒程度）で終わることができる。また、絶縁物領域 4 7 を除去する工程は通常のエッチング工程であるから、ごく短時間（例えば 5～30 秒程度）で終わることができる。従って、トータルの処理時間を従来と比較して格段に短縮することができる。

[0137] 尚、本実施形態において、p 型のフィン型半導体領域 1 3 b に n 型不純物をプラズマドーピングして n 型のエクステンション領域 1 7 及び n 型のソース・ドレイン領域 2 7、つまり n 型の M I S F E T を形成する場合を例示した。しかし、これに代えて、n 型のフィン型半導体領域に p 型不純物をドーピングして p 型のエクステンション領域及び p 型のソース・ドレイン領域、つまり p 型の M I S F E T を形成してもよい。

[0138] また、本実施形態において、エクステンション領域 1 7 及びソース・ドレイン領域 2 7 のそれぞれの形成に際して、第 1 の不純物のプラズマドーピングを行った後、第 2 の不純物のプラズマドーピングを行ったが、これに代えて、第 2 の不純物のプラズマドーピングを行った後、第 1 の不純物のプラズマドーピングを行ってもよい。

[0139] また、本実施形態において、ソース・ドレイン領域 2 7 の形成に際しては、第 2 の不純物のプラズマドーピング（つまり絶縁物領域 4 7 の形成）を省略しても良い。この場合、絶縁物領域 4 7 の除去工程も不要であることは言うまでもない。

[0140] また、本実施形態において、フィン型半導体領域 1 3 b の上部に形成され

た絶縁物領域 37 及び 47 を除去する方法として、 A_r と CF_4 との混合ガスからなるプラズマによるドライエッチングを用いる場合を例示したが、これに代えて、 A_r などの希ガスからなるプラズマによるドライエッチング（スパッタエッチング）を用いた異方性エッチングを行ってもよい。或いは、例えばフッ酸溶液に支持基板 11 を浸漬することにより、絶縁物領域 37 及び 47 をウェットエッチングにより除去してもよい。この場合、エッチング反応自体は等方性を有するが、第 2 及び第 4 の不純物領域 17b 及び 27b には、半導体を絶縁物化する第 2 の不純物（酸素）が導入されていないために、第 2 及び第 4 の不純物領域 17b 及び 27b に対するエッチングは進行しない。

[0141] 図 6 は、 A_s （砒素）と O （酸素）とをそれぞれプラズマドーピングにより導入したシリコン基板における A_s 濃度プロファイル（一点鎖線）と、 O （酸素）の導入により形成された絶縁物領域を除去した後のシリコン基板における A_s 濃度プロファイル（実線）とを示している。ここで、横軸の深さ 0 nm は、絶縁物領域を除去した後のシリコン基板の表面に対応している。すなわち、図 6 は、厚さ 6 nm の絶縁物領域が形成される場合を示しているが、これが例示に過ぎないことは言うまでもない。尚、絶縁物領域の除去はウェットエッチングにより行っており、 A_s 濃度の測定は $SIMS$ （Secondary Ion Mass Spectrometry）により行っている。図 6 に示すように、ウェットエッチング前においてはシリコン基板の最表面（横軸の深さ -6 nm に相当）から深さ約 6 nm までの部分に高濃度で A_s が導入されているが、この部分がウェットエッチングによって除去される結果、ウェットエッチング後のシリコン基板表面部においては A_s の導入ドーズ量が大きく低減されている。

[0142] すなわち、絶縁物領域 37 及び 47 の除去にドライエッチングを用いる場合には、ゲート絶縁膜に対する横方向のエッチング（ゲート絶縁膜の側面からのエッチング）が進行する事態を回避することができるという利点を得られるのに対して、ウェットエッチングを用いる場合には次のような利点を得

られる。すなわち、絶縁物領域 37 及び 47 を構成するシリコン酸化物（又はシリコン窒化物）と、フィン型半導体領域 13b を構成するシリコンとのエッチング選択比がドライエッチングの場合と比べて格段に大きくなるため、半導体を絶縁物化する第 2 の不純物の導入量の多い部分のみを、エッチング時間とは無関係に正確に除去することができる。

[0143] また、第 1 及び第 2 の実施形態において、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物のプラズマドーピングにおける原料ガスとして、He で希釈した B_2H_6 、又は He で希釈した AsH_3 を用いる場合を例示したが、これに限られず、該当不純物を含む原料ガス（以下、不純物原料ガスという）を希ガスで希釈した混合ガスを用いることができる。具体的には、不純物原料ガスとして、 B_xH_y 、 As_xH_y 又は P_xH_y （ x 、 y は自然数）などを用いることができる。これらのガスには、B、As、P の他に、不純物として基板に混入しても影響が少ない H を含むだけであるという利点がある。しかし、他の B を含むガス、例えば、 BF_3 、 BCl_3 、 BBr_3 などを用いることも可能であるし、他の P を含むガス、例えば、 PF_3 、 PF_5 、 PCl_3 、 PCl_5 、 $POCl_3$ など利用可能である。また、希釈要の希ガスとしては、He、Ne、Ar、Kr、Xe などを用いることができるが、He が最も適している。その主たる理由は、スパッタ性が低いためである。He の次に好ましい希ガスは Ne である。Ne は He よりも若干スパッタレートが高いという難点があるものの、低圧で放電しやすいという利点がある。

[0144] 尚、第 1 の実施形態のように、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物のプラズマドーピングにおける原料ガスとして、He で希釈した B_2H_6 を用いる場合、原料ガス中の B_2H_6 の質量濃度は 0.01 % 以上で且つ 1 % 以下であることが好ましい。このようにすると、フィン型半導体領域中にボロンを容易に導入することができる。逆に、 B_2H_6 ガス濃度が 0.01 % 未満である場合には十分な量のボロンを導入することが困難になり、 B_2H_6 ガス濃度が 1 % よりも大きい場合には基板表面にボロンを含む堆積物が付着しやすくなる。また、不純物原料ガスを用いずに、固体の不

純物源を用いてプラズマドーピングを行ってもよいことは言うまでもない。

[0145] また、第 1 及び第 2 の実施形態において、半導体を絶縁物化する第 2 の不純物をプラズマドーピング法によってフィン型半導体領域の上部に導入する方法を例示したが、これに代えて、第 2 の不純物をイオン注入法によってフィン型半導体領域の上部に導入してもよい。イオン注入法を用いた場合、プラズマドーピング法よりも強い異方性を持つ処理が可能となるため、フィン型半導体領域の側部を全く絶縁物化せずに、フィン型半導体領域の上部のみを絶縁物化することが可能となる。

[0146] また、第 1 及び第 2 の実施形態において、半導体を絶縁物化する第 2 の不純物として酸素を用いる場合を例示したが、これに代えて、窒素を用いてもよい。シリコンに窒素を導入することによって得られるシリコン窒化物は、シリコン酸化物と同様に絶縁物であり、異方性ドライエッチングによって選択的に除去可能であると共に、例えばフッ酸溶液によるウェットエッチングにおいてシリコン酸化物と同様にシリコンに対する高いエッチング選択比を持つ。尚、第 2 の不純物が酸素や窒素に限定されないことは言うまでもないが、第 2 の不純物が酸素又は窒素であると、第 2 の不純物の導入を、安価且つ安全な酸素ガスや窒素ガスを用いて行うことができるので、コスト面及びプロセス面で有利である。

[0147] また、第 2 の実施形態において、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物をフィン型半導体領域の上部及び側部に導入した後、半導体を絶縁物化する第 2 の不純物をフィン型半導体領域の上部に導入して絶縁物領域を形成し、その後、当該絶縁物領域を除去する方法を例示した。しかし、これに代えて、第 1 の不純物をフィン型半導体領域の上部及び側部に導入した後、第 2 の不純物の導入を行うことなく、第 1 の不純物が導入されているフィン型半導体領域の上部を、ドライエッチングなどの異方性の除去反応を用いて除去しても良い。このようにすると、フィン型半導体領域の上部において第 1 の不純物の高濃度導入層を除去し、その後に、第 1 の不純物の低濃度導入層を残存させることができる。従って、フィン型半導体領

域側部に形成された不純物領域のシート抵抗、比抵抗又は拡がり抵抗が、フィン型半導体領域上部（除去工程後）に形成された不純物領域のシート抵抗、比抵抗又は拡がり抵抗と比べて同等以下であるエクステンション領域やソース・ドレイン領域を備えたフィン型FETを実現することができる。

[0148] また、第1及び第2の実施形態において、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物のプラズマドーピングに用いたプラズマドーピング装置（第1のプラズマドーピング装置）と、半導体を絶縁物化する第2の不純物のプラズマドーピングに用いたプラズマドーピング装置（第2のプラズマドーピング装置）とは、例えば図3に示すプラズマドーピング装置と同様の構成を有していてもよいが、第1のプラズマドーピング装置及び第2のプラズマドーピング装置のそれぞれの実体としての真空チャンバ（真空容器）は異なっていた方がよい。その理由は、酸素プラズマによって基板上の有機物（レジストなど）がエッチングされた際に生じる反応生成物が真空容器内に残留し、好ましくないコンタミネーションを生じるおそれを回避できるためである。このような構成は、例えば図7に示すプラズマドーピングシステムによって実現可能となる。図7に示すように、ロードロック室71の真空容器71aに投入された基板は、トランスファアーム72aによってトランスファ室72に移され、次いで、第1のプラズマドーピング装置73の真空容器73aに移され、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物が基板に導入される。その後、基板は再びトランスファアーム72aによってトランスファ室72に移され、次いで、第2のプラズマドーピング装置74の真空容器74aに移され、半導体を絶縁物化する第2の不純物が基板に導入される。その後、基板は再びトランスファアーム72aによってトランスファ室72に移され、次いで、ロードロック室71の真空容器71aに移され、取り出される。

[0149] 同様に、第2の実施形態において、ドライエッチング装置の実体としての真空チャンバ（真空容器）も、第1及び第2のプラズマドーピング装置の実体としての真空容器とは異なっていた方がよい。その理由は、エッチング用

のプラズマによって基板上の有機物（レジストなど）がエッチングされた際に生じる反応生成物や、フッ素などのハロゲン元素が真空容器内に残留し、好ましくないコンタミネーションを生じるおそれを回避できるためである。このような構成は、例えば図 8 に示すプラズマドーピングシステムによって実現可能となる。図 8 に示すように、ロードロック室 7 1 の真空容器 7 1 a に投入された基板は、トランスファアーム 7 2 a によってトランスファ室 7 2 に移され、次いで、第 1 のプラズマドーピング装置 7 3 の真空容器 7 3 a に移され、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物が基板に導入される。その後、基板は再びトランスファアーム 7 2 a によってトランスファ室 7 2 に移され、次いで、第 2 のプラズマドーピング装置 7 4 の真空容器 7 4 a に移され、半導体を絶縁物化する第 2 の不純物が基板に導入される。その後、基板は再びトランスファアーム 7 2 a によってトランスファ室 7 2 に移され、次いで、ドライエッチング装置 7 5 の真空容器 7 5 a に移され、フィン型半導体領域の上部に形成された絶縁物領域がドライエッチング処理により除去される。その後、基板は再びトランスファアーム 7 2 a によってトランスファ室 7 2 に移され、次いで、ロードロック室 7 1 の真空容器 7 1 a に移され、取り出される。

[0150] 尚、図 7 及び図 8 に示すプラズマドーピングシステムにおいて、半導体を絶縁物化する第 2 の不純物の導入に用いる第 2 のプラズマドーピング装置 7 4 に代えて、半導体を絶縁物化する第 2 の不純物の導入に用いるイオン注入装置を備えていてもよいことは言うまでもない。

[0151] また、第 2 の実施形態において、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物をフィン型半導体領域の上部及び側部に導入した後、半導体を絶縁物化する第 2 の不純物をフィン型半導体領域の上部に導入することなく、第 1 の不純物が導入されているフィン型半導体領域の上部を、ドライエッチングなどの異方性の除去反応を用いて除去する場合には、例えば図 9 に示すプラズマドーピングシステムの使用が好適である。図 9 に示すように、ロードロック室 7 1 の真空容器 7 1 a に投入された基板は、トラン

スファアーム 72 a によってトランスファ室 72 に移され、次いで、第 1 のプラズマドーピング装置 73 の真空容器 73 a に移され、半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物が基板に導入される。その後、基板は再びトランスファアーム 72 a によってトランスファ室 72 に移され、次いで、ドライエッチング装置 75 の真空容器 75 a に移され、フィン型半導体領域の上部に形成された絶縁物領域がドライエッチング処理により除去される。その後、基板は再びトランスファアーム 72 a によってトランスファ室 72 に移され、次いで、ロードロック室 71 の真空容器 71 a に移され、取り出される。

[0152] その他、第 1 及び第 2 の実施形態について種々の変形を行うことが可能である。

[0153] 図 10 は、本発明の第 1 の実施形態の一変形例に係る半導体装置、具体的には、フィン型 FET を有する半導体装置の平面図である。尚、図 10 において、図 1 (a) ~ (e) に示す第 1 の実施形態の構造と同一の構成要素には同一の符号を付し、重複する説明を省略する。図 10 に示すように、本変形例が図 1 (a) ~ (e) に示す第 1 の実施形態と異なっている点は、フィン型半導体領域 13 a ~ 13 d のそれぞれにおけるゲート長方向の両端部が他のフィン型半導体領域 13 e 及び 13 f によって接続されていることである。本変形例によると、第 1 の実施形態と同様の効果が得られると共に、フィン型半導体領域 13 a ~ 13 f によって 1 つのフィン型 FET を構成することができる。同様の変形が第 2 の実施形態について可能であることは言うまでもない。

[0154] 図 11 (a) ~ (d) は、本発明の第 1 の実施形態の他の変形例に係る半導体装置、具体的には、フィン型 FET を有する半導体装置の構造を示す図である。尚、本変形例の平面構造は、図 1 (a) に示す第 1 の実施形態の平面構造と同じである。図 11 (a) は図 1 (a) における A-A 線の断面図であり、図 11 (b) は図 1 (a) における B-B 線の断面図であり、図 11 (c) は図 1 (a) における C-C 線の断面図であり、図 11 (d) は図

1 (a) におけるD-D線の断面図である。図11(a)～(d)に示すように、本変形例が図1(a)～(e)に示す第1の実施形態と異なっている点は次の通りである。すなわち、第1の実施形態においては、フィン型半導体領域13a～13dの上面及び側面の上に例えばシリコン酸窒化膜からなる厚さ3nmのゲート絶縁膜14a～14dが形成されていた。それに対して、本変形例においては、ゲート絶縁膜14a～14dはフィン型半導体領域13a～13dの側面上のみに形成されており、フィン型半導体領域13a～13dの上面上には例えばシリコン酸化膜からなる厚さ20nmの絶縁膜24a～24dが形成されている。すなわち、本変形例においては、フィン型半導体領域13a～13dの両側部のみをチャネル領域として使用することにより、ダブルゲート型FETが構成される。このような構成であっても、アスペクト比(「フィン型半導体領域の側面の高さ」/「フィン型半導体領域の上面のゲート幅方向の幅」)が大きければ第1の実施形態と同様の効果が得られる。

産業上の利用可能性

[0155] 本発明は、半導体装置、その製造方法及びプラズマドーピングシステムに関し、特に、基板上にフィン型半導体領域を有する3次元構造の半導体装置において所望の特性を得る上で有用である。

符号の説明

- [0156] 7a 第1の不純物領域
7b 第2の不純物領域
11 支持基板
12 絶縁層
13a～13f フィン型半導体領域
14 (14a～14d) ゲート絶縁膜
15 ゲート電極
15A ポリシリコン膜
16 絶縁性サイドウォールスペーサ

- 1 7 エクステンション領域
- 1 7 a 第 1 の不純物領域
- 1 7 b 第 2 の不純物領域
- 2 4 (2 4 a ~ 2 4 d) 絶縁膜
- 2 7 ソース・ドレイン領域
- 2 7 a 第 3 の不純物領域
- 2 7 b 第 4 の不純物領域
- 3 7 絶縁物領域
- 4 7 絶縁物領域
- 5 1 真空容器
- 5 2 ガス供給装置
- 5 3 ターボ分子ポンプ
- 5 4 調圧弁
- 5 5 高周波電源
- 5 6 試料電極
- 5 7 誘電体窓
- 5 8 コイル
- 5 9 基板
- 6 0 高周波電源
- 6 1 排気口
- 6 2 支柱
- 7 1 ロードロック室
- 7 1 a 真空容器
- 7 2 トランスファ室
- 7 2 a トランスファアーム
- 7 3 第 1 のプラズマドーピング装置
- 7 3 a 真空容器
- 7 4 第 2 のプラズマドーピング装置

7 4 a 真空容器

7 5 ドライエッチング装置

7 5 a 真空容器

請求の範囲

- [請求項1] 基板上にフィン型半導体領域を形成する工程（a）と、
 半導体にドナー準位又はアクセプタ準位を生成する第1の不純物を
 プラズマドーピング法によって前記フィン型半導体領域の上部及び側
 部に導入する工程（b）と、
 第2の不純物として酸素又は窒素を前記フィン型半導体領域の上部
 及び側部に導入する工程（c）とを備えていることを特徴とする半導
 体装置の製造方法。
- [請求項2] 請求項1に記載の半導体装置の製造方法において、
 前記工程（c）でプラズマドーピング法を用いることを特徴とする
 半導体装置の製造方法。
- [請求項3] 請求項1に記載の半導体装置の製造方法において、
 前記工程（c）でイオン注入法を用いることを特徴とする半導体装
 置の製造方法。
- [請求項4] 請求項1に記載の半導体装置の製造方法において、
 前記工程（b）及び前記工程（c）の両工程が終了した後に、
 前記フィン型半導体領域の上部を除去する工程（d）をさらに備え
 ていることを特徴とする半導体装置の製造方法。
- [請求項5] 請求項4に記載の半導体装置の製造方法において、
 前記工程（d）でウェットエッチング法を用いることを特徴とする
 半導体装置の製造方法。
- [請求項6] 請求項4に記載の半導体装置の製造方法において、
 前記工程（d）でドライエッチング法を用いることを特徴とする半
 導体装置の製造方法。
- [請求項7] 請求項1に記載の半導体装置の製造方法において、
 前記工程（b）及び前記工程（c）の両工程が終了した時点で、前
 記フィン型半導体領域の側部の抵抗は、前記フィン型半導体領域の上
 部の抵抗と比べて同等以下であることを特徴とする半導体装置の製造

方法。

[請求項8]

請求項1に記載の半導体装置の製造方法において、

前記工程（a）の後で且つ前記工程（b）及び前記工程（c）の両工程の前に、

前記半導体領域の所定の部分における少なくとも側面上にゲート絶縁膜を形成する工程（e）と、

前記ゲート絶縁膜上にゲート電極を形成する工程（f）とをさらに備え、

前記工程（b）及び前記工程（c）では、前記第1の不純物及び前記第2の不純物を、前記ゲート電極の外側に位置する前記フィン型半導体領域に導入することを特徴とする半導体装置の製造方法。

[請求項9]

請求項1に記載の半導体装置の製造方法において、

前記第1の不純物はボロン、リン又は砒素であることを特徴とする半導体装置の製造方法。

[請求項10]

基板上にフィン型半導体領域を形成する工程（a）と、

半導体にドナー準位又はアクセプタ準位を生成する第1の不純物をプラズマドーピング法によって前記フィン型半導体領域の上部及び側部に導入する工程（b）と、

前記工程（b）よりも後に、前記フィン型半導体領域の上部を除去する工程（c）とを備えていることを特徴とする半導体装置の製造方法。

[請求項11]

請求項10に記載の半導体装置の製造方法において、

前記工程（c）でドライエッチング法を用いることを特徴とする半導体装置の製造方法。

[請求項12]

請求項10に記載の半導体装置の製造方法において、

前記工程（c）が終了した時点で、前記フィン型半導体領域の側部の抵抗は、前記フィン型半導体領域の上部の抵抗と比べて同等以下であることを特徴とする半導体装置の製造方法。

- [請求項13] 請求項10に記載の半導体装置の製造方法において、
前記工程（a）の後で且つ前記工程（b）の前に、
前記半導体領域の所定の部分における少なくとも側面上にゲート絶縁膜を形成する工程（d）と、
前記ゲート絶縁膜上にゲート電極を形成する工程（e）とをさらに備え、
前記工程（b）では、前記第1の不純物を、前記ゲート電極の外側に位置する前記フィン型半導体領域に導入することを特徴とする半導体装置の製造方法。
- [請求項14] 請求項10に記載の半導体装置の製造方法において、
前記第1の不純物はボロン、リン又は砒素であることを特徴とする半導体装置の製造方法。
- [請求項15] 請求項1～14のいずれか1項に記載の半導体装置の製造方法において、
前記フィン型半導体領域は、前記基板上に形成された絶縁層上に形成されていることを特徴とする半導体装置の製造方法。
- [請求項16] 請求項1～14のいずれか1項に記載の半導体装置の製造方法において、
前記フィン型半導体領域はシリコンからなることを特徴とする半導体装置の製造方法。
- [請求項17] 基板上に形成されたフィン型半導体領域を備えた半導体装置であって、
前記フィン型半導体領域の上部及び側部に、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物が導入されていると共に、
前記フィン型半導体領域の上部及び側部に、第2の不純物として酸素又は窒素がさらに導入されていることを特徴とする半導体装置。
- [請求項18] 請求項17に記載の半導体装置において、
前記フィン型半導体領域の側部の抵抗は、前記フィン型半導体領域

の上部の抵抗と比べて同等以下であることを特徴とする半導体装置。

[請求項19]

請求項 17 に記載の半導体装置において、

前記フィン型半導体領域の上部には、前記第2の不純物が導入されることにより絶縁物領域が形成されていることを特徴とする半導体装置。

[請求項20]

請求項 17 に記載の半導体装置において、

前記フィン型半導体領域は、前記基板上に形成された絶縁層上に形成されていることを特徴とする半導体装置。

[請求項21]

請求項 17 に記載の半導体装置において、

前記フィン型半導体領域の所定の部分における少なくとも側面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とをさらに備え、

前記第1の不純物及び前記第2の不純物は、前記ゲート電極の外側に位置する前記フィン型半導体領域に導入されていることを特徴とする半導体装置。

[請求項22]

請求項 21 に記載の半導体装置において、

前記ゲート電極の外側に位置する前記フィン型半導体領域の側部には、前記第1の不純物が導入されることによりエクステンション領域が形成されていることを特徴とする半導体装置。

[請求項23]

請求項 22 に記載の半導体装置において、

前記ゲート電極の側面上に形成された絶縁性サイドウォールスペーサをさらに備え、

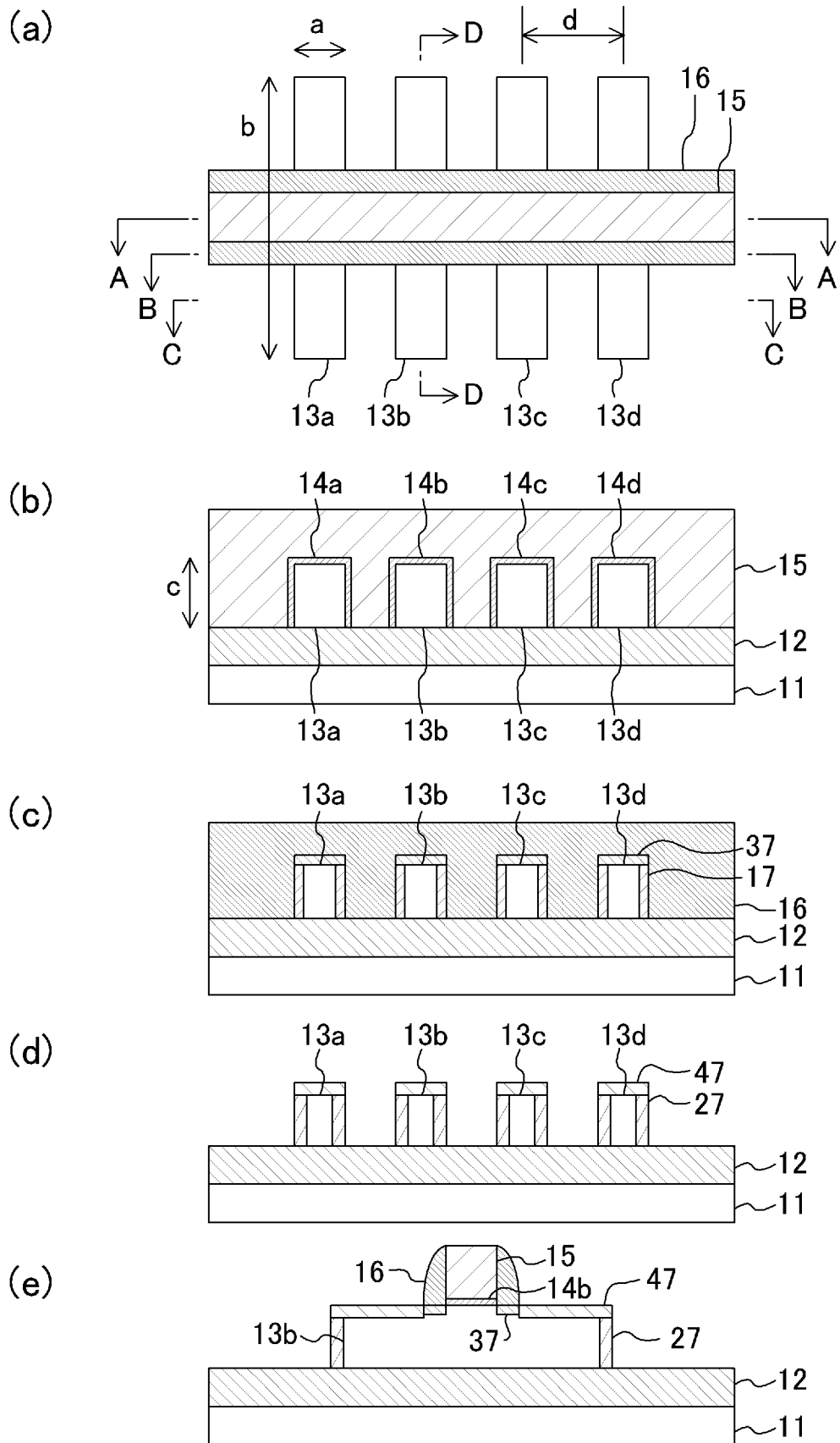
前記エクステンション領域は、前記フィン型半導体領域における前記絶縁性サイドウォールスペーサにより覆われている部分に形成されており、

前記絶縁性サイドウォールスペーサの外側に位置する前記フィン型半導体領域の側部には、前記第1の不純物が導入されることによりソース・ドレイン領域が形成されていることを特徴とする半導体装置。

- [請求項24] 請求項 1 7 に記載の半導体装置において、
前記フィン型半導体領域はシリコンからなることを特徴とする半導体装置。
- [請求項25] 請求項 1 7 ～ 2 4 のいずれか 1 項に記載の半導体装置において、
前記第 1 の不純物はボロン、リン又は砒素であることを特徴とする半導体装置。
- [請求項26] 半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物を
プラズマドーピング法によって被処理体に導入する第 1 のプラズマドーピング装置と、
第 2 の不純物として酸素又は窒素をプラズマドーピング法によって前記被処理体に導入する第 2 のプラズマドーピング装置とを備えていることを特徴とするプラズマドーピングシステム。
- [請求項27] 半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物を
プラズマドーピング法によって被処理体に導入するプラズマドーピング装置と、
第 2 の不純物として酸素又は窒素をイオン注入法によって前記被処理体に導入するイオン注入装置とを備えていることを特徴とするプラズマドーピングシステム。
- [請求項28] 請求項 2 6 又は 2 7 に記載のプラズマドーピングシステムにおいて、
前記被処理体に対してドライエッチングを行うドライエッチング装置をさらに備えていることを特徴とするプラズマドーピングシステム。
- [請求項29] 半導体にドナー準位又はアクセプタ準位を生成する第 1 の不純物を
プラズマドーピング法によって被処理体に導入するプラズマドーピング装置と、
前記被処理体に対してドライエッチングを行うドライエッチング装置とを備えていることを特徴とするプラズマドーピングシステム。

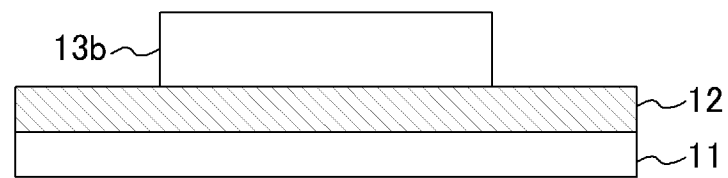
- [請求項30] 基板上にフィン型半導体領域を形成する工程（a）と、
半導体にドナー準位又はアクセプタ準位を生成する不純物、及び酸素をプラズマドーピング法によって前記フィン型半導体領域の上部及び側部に導入する工程（b）とを備えていることを特徴とする半導体装置の製造方法。
- [請求項31] 基板上に形成されたフィン型半導体領域を備えた半導体装置であって、
前記フィン型半導体領域の上部及び側部に、半導体にドナー準位又はアクセプタ準位を生成する不純物、及び酸素が導入されていることを特徴とする半導体装置。
- [請求項32] 半導体にドナー準位又はアクセプタ準位を生成する不純物、及び酸素をプラズマドーピング法によって被処理体に導入することを特徴とするプラズマドーピングシステム。

[図1]

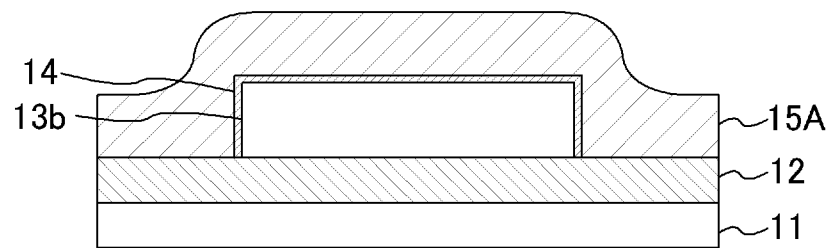


[図2]

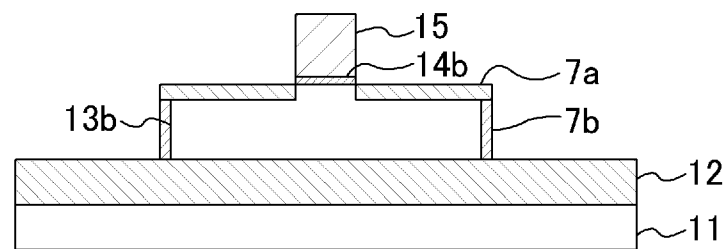
(a)



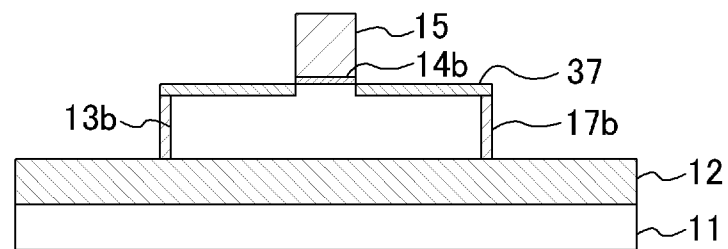
(b)



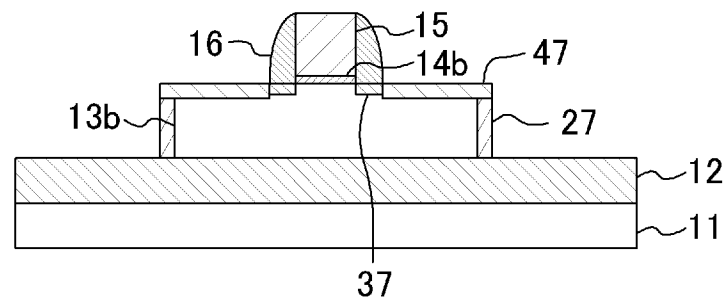
(c)



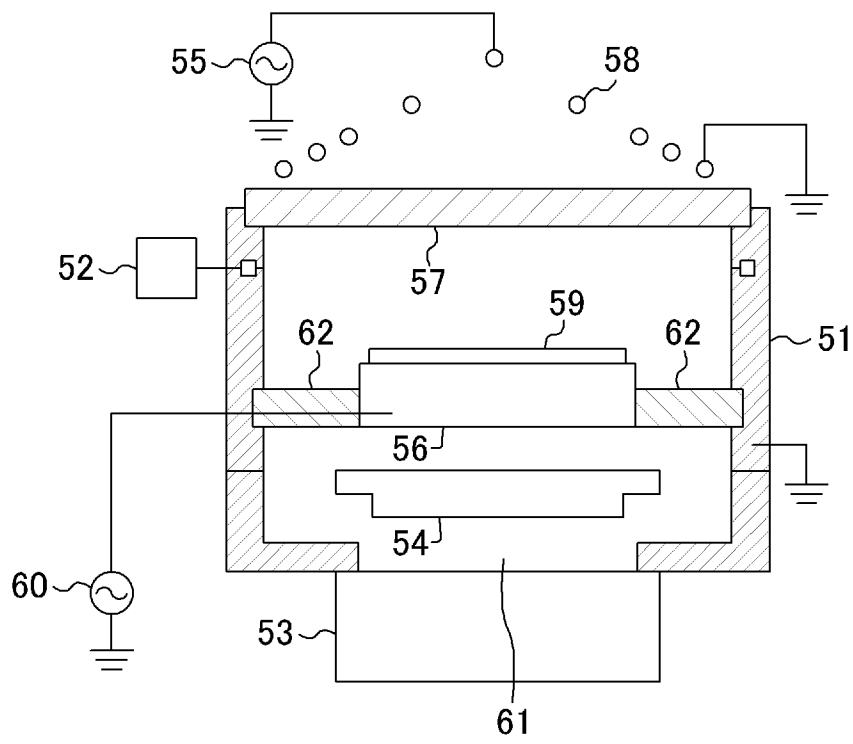
(d)



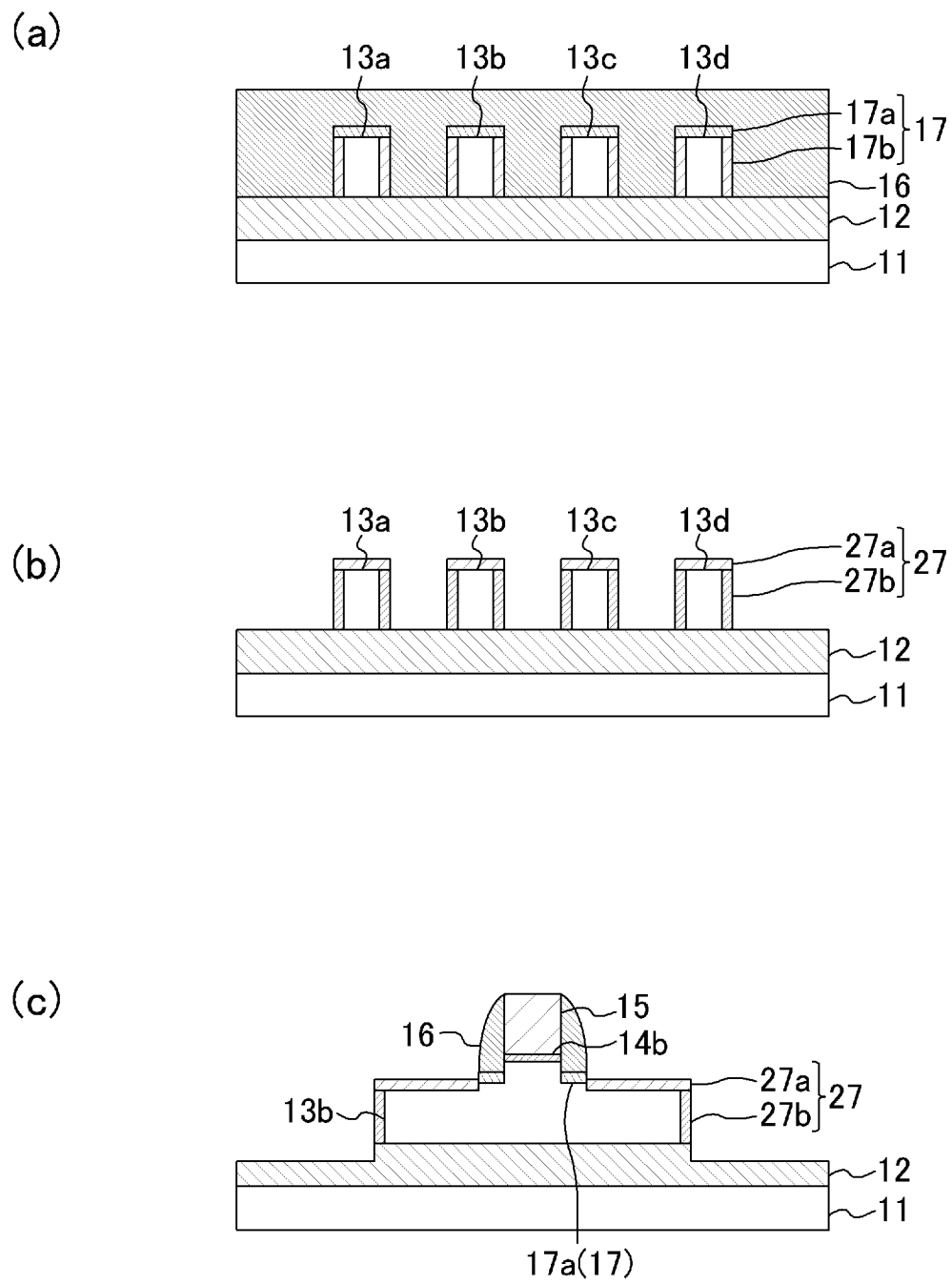
(e)



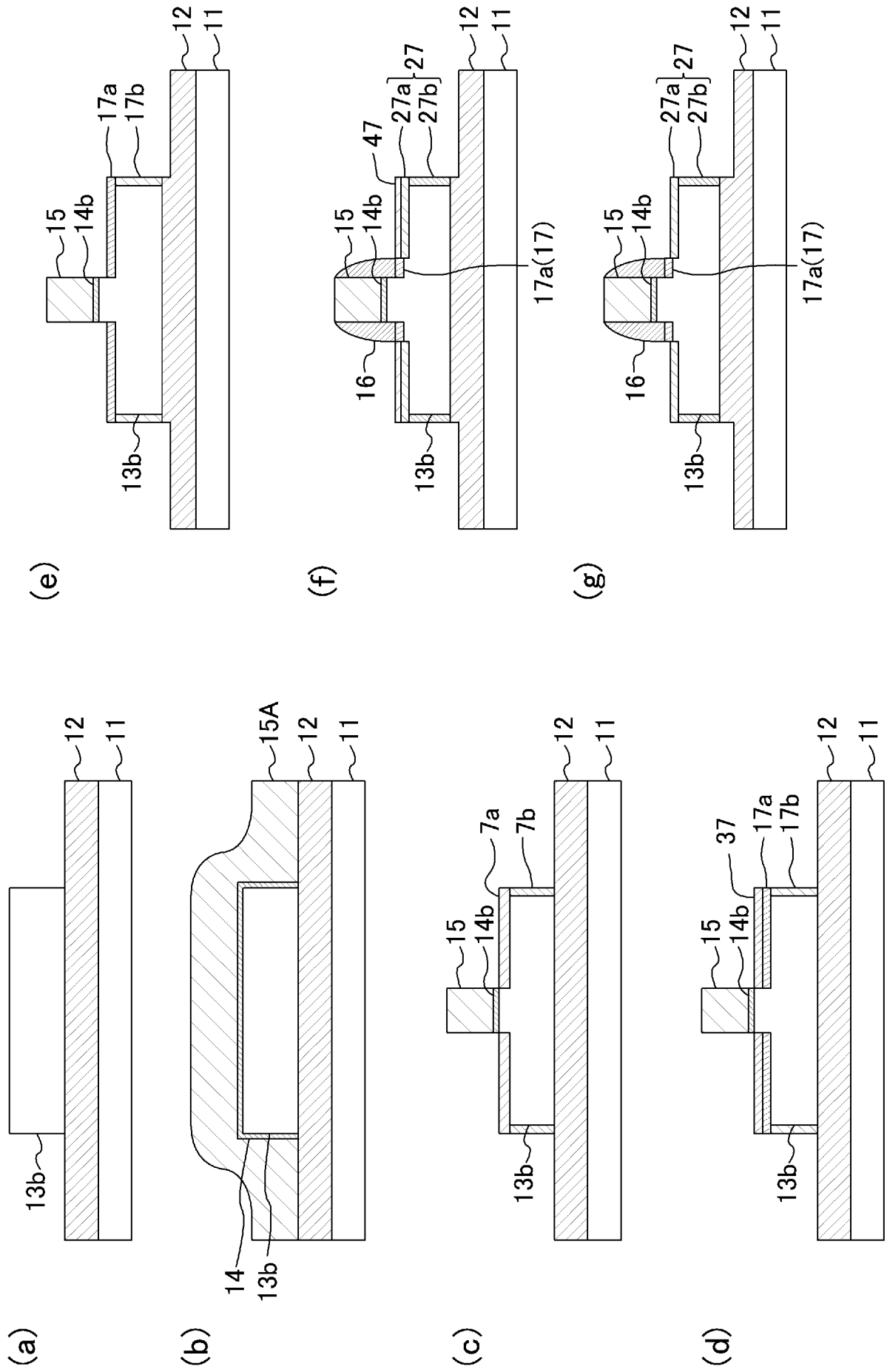
[図3]



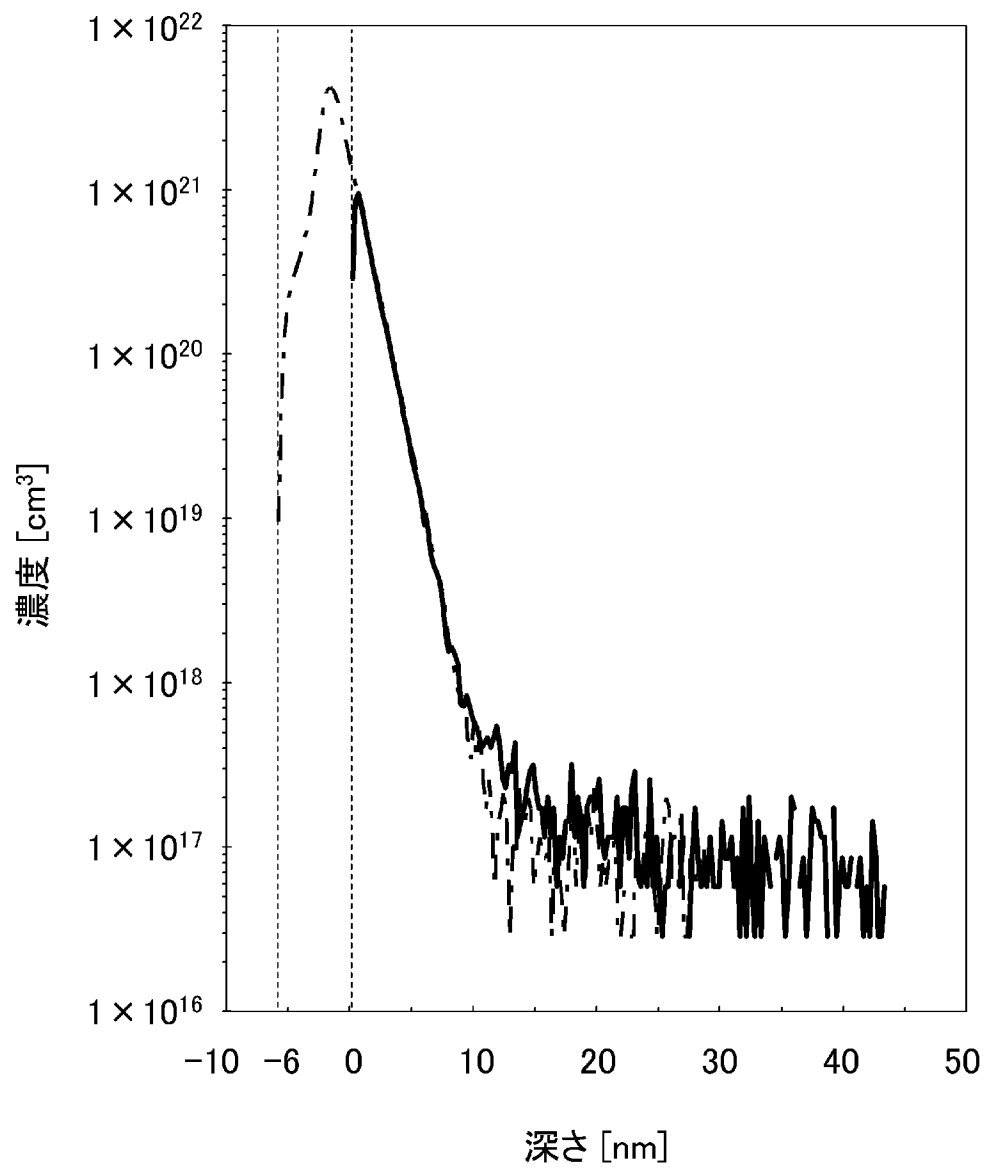
[図4]



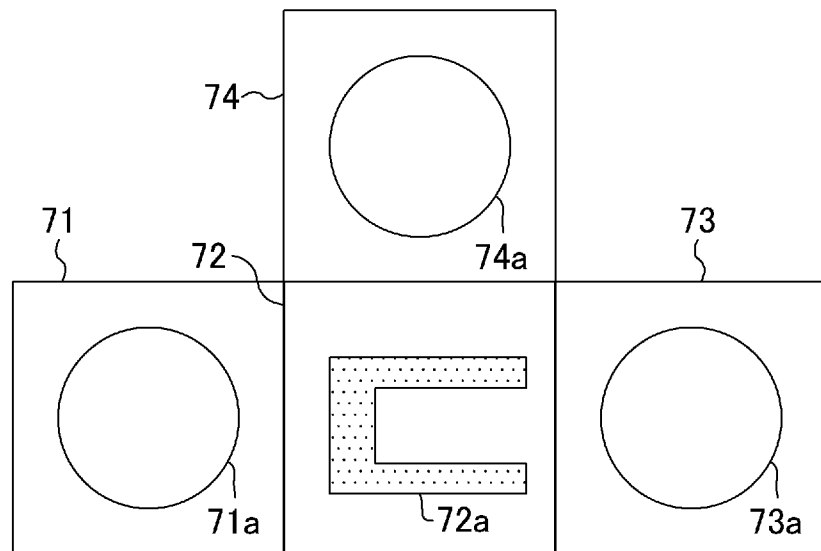
[図5]



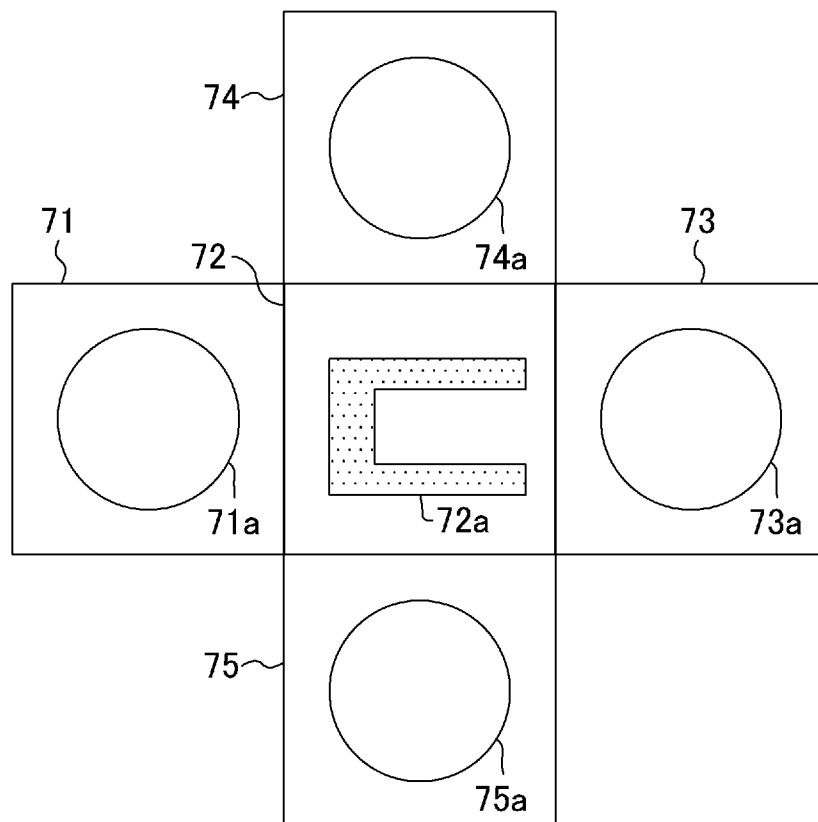
[図6]



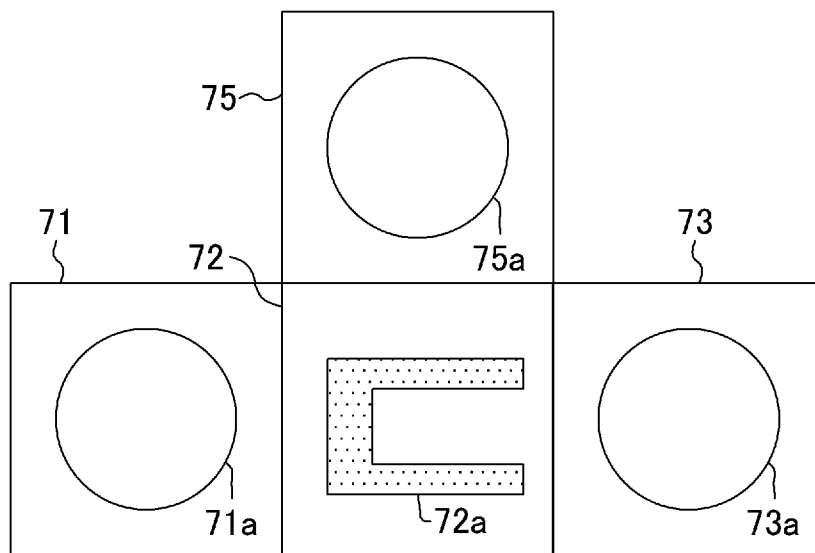
[図7]



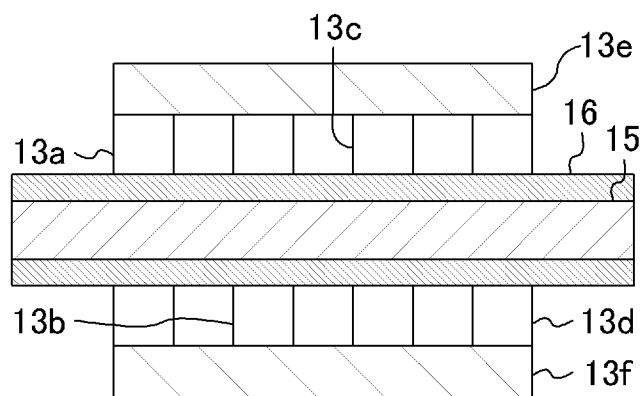
[図8]



[図9]

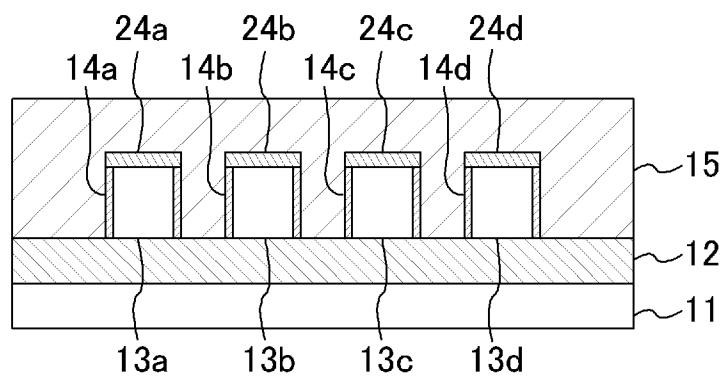


[図10]

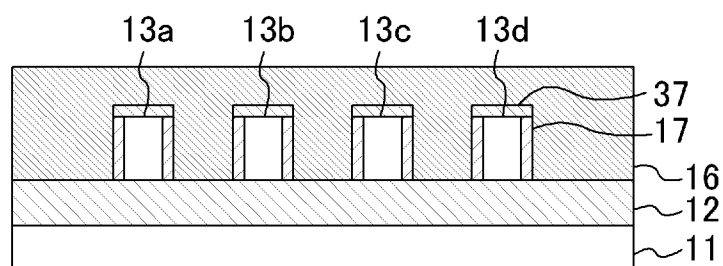


[図11]

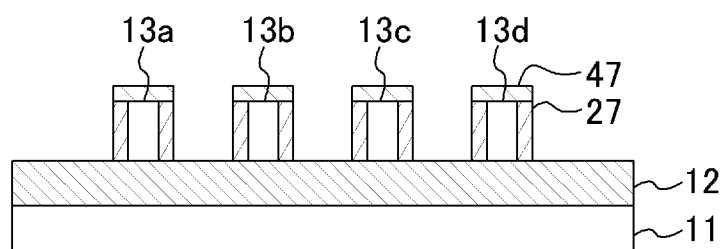
(a)



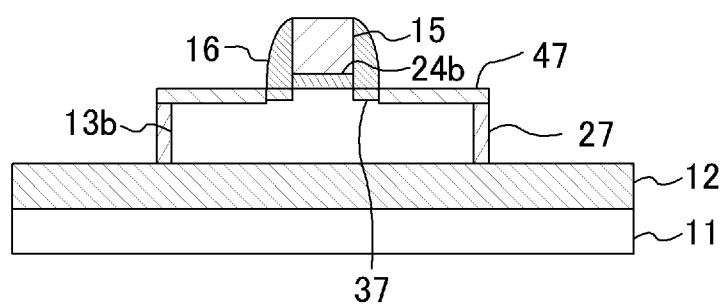
(b)



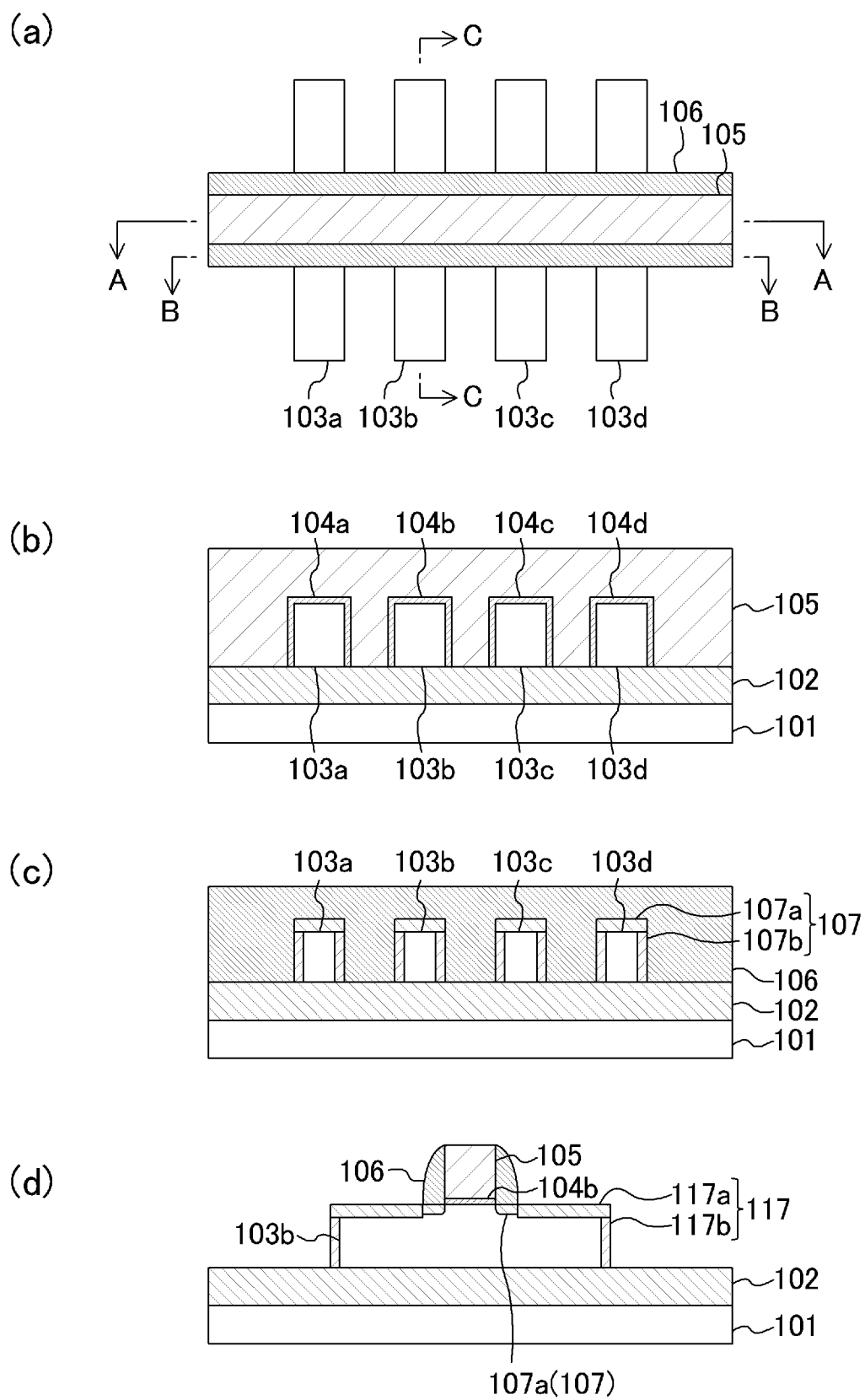
(c)



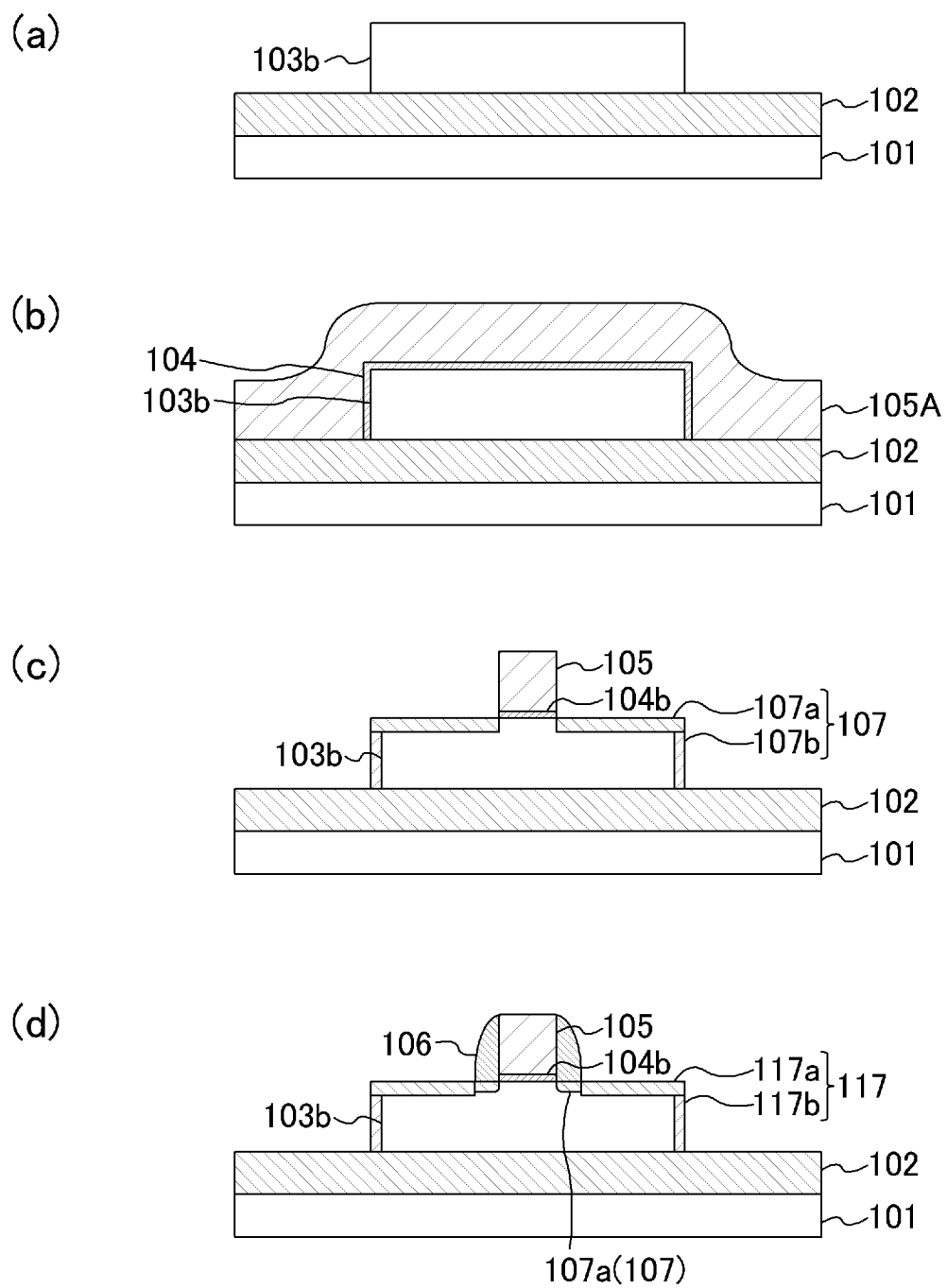
(d)



[図12]

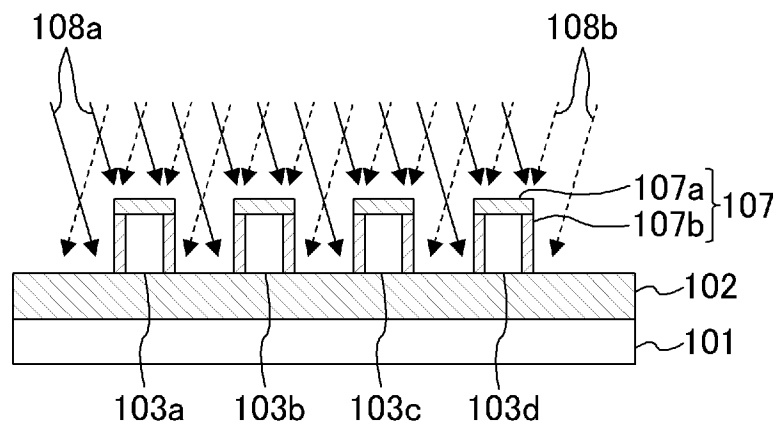


[図13]

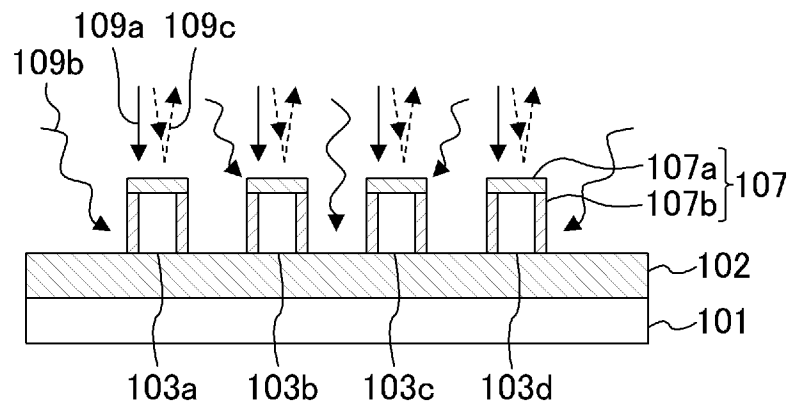


[図14]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000285

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, H01L21/265(2006.01) i, H01L21/3065(2006.01) i,
H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/265, H01L21/3065, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 6-260436 A (Semiconductor Energy Laboratory Co., Ltd.), 16 September 1994 (16.09.1994), paragraphs [0021] to [0039]; fig. 3 to 5 & US 5804471 A & KR 10-0230485 B & CN 1104371 A	26-29, 32
A	JP 2008-053725 A (Interuniversitair Microelektronica Centrum (IMEC) vzw), 06 March 2008 (06.03.2008), entire text; all drawings & US 2008/0050897 A1 & EP 1892765 A1	1-32

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 February, 2010 (04.02.10)

Date of mailing of the international search report
16 February, 2010 (16.02.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. The constitution of the FET is not described in the inventions in claims 1-7, 9-12, 14-20, 24, 25, 30 and 31. What is disclosed, however, in the meaning of PCT Article 5 is only the FIN-type FET in the description, and the inventions are not sufficiently supported in the meaning of PCT Article 6.

B. The inventions in claims 1-9 are described only as "oxygen or nitrogen is introduced as a second impurity into an upper section and a side section of the FIN-type semiconductor region", and in the inventions in claims 17-25, the feature is described only as "oxygen or nitrogen is further introduced as the second impurity into the upper section and the side section of the FIN-type semiconductor region". For instance, a feature wherein the second impurity is introduced into the upper section and the lower section of the FIN-type semiconductor region so that the resistance of the upper section of the FIN-type semiconductor region is lower than that of the side section, and a feature wherein the resistance of the side section of the FIN-type semiconductor region is equivalent to or lower than that of the upper section, irrespective of the introduction of the second impurity, can be included. What is disclosed, however, in the meaning of PCT Article 5 is only the feature in the description, wherein the resistance of the side section of the FIN-type semiconductor region is made equivalent to or lower than that of the upper section by introducing the second impurity composed of oxygen or nitrogen into the upper section of the FIN-type semiconductor region, thus, the inventions are not sufficiently supported in the meaning of PCT Article 6.

C. The invention in claim 4 is described only as "the upper section of the FIN-type semiconductor region is removed". For instance, a feature of entirely removing the first impurity region can be included. What is disclosed, however, in the meaning of PCT Article 5 is only the feature in description, wherein an insulating material region is formed on a surface section of a first impurity region formed on the upper section of the FIN-type semiconductor region, the first impurity region below the insulating material region is left, and then only the insulating material region is removed. Thus, the invention is not sufficiently supported in the meaning of PCT Article 6.

D. The inventions in claims 10-16 are described only as "a step (c) of removing the upper section of the FIN-type semiconductor region is provided prior to the step (b)". For instance, a feature wherein the resistance of the upper section of the FIN-type semiconductor region is lower than that of the side section even when the upper section of the FIN-type semiconductor region is removed, and a feature wherein the resistance of the side section of the FIN-type semiconductor region is equivalent to or lower than that of the upper section irrespective of the removal of the upper section of the FIN-type semiconductor region can be included. What is disclosed, however, in the meaning of PCT Article 5 is only the feature in the description, wherein a first impurity which generates a donor level or an acceptor level in a semiconductor is introduced into the upper section and the side section of the FIN-type semiconductor region by a plasma doping method, and the resistance of the side section of the FIN-type semiconductor region is made equivalent to or lower than the resistance of the upper section by removing the upper section of the FIN-type semiconductor region. Thus, the inventions are not sufficiently supported in the meaning of PCT Article 6. (Continued to next sheet)

E. The invention in claim 30 is described only as "a step of introducing an impurity which generates a donor level or an acceptor level in a semiconductor and oxygen into the upper section and the side section of the FIN-type semiconductor region by a plasma doping method", and the invention in claim 31 is described only as "an impurity which generates a donor level or an acceptor level in the semiconductor and oxygen is introduced into the upper section and the side section of the FIN-type semiconductor region". For instance, a feature wherein an impurity which generates a donor level or an acceptor level in the semiconductor and oxygen is introduced into the upper section and the side section of the FIN-type semiconductor region at the same time by a plasma doping method, and a feature wherein oxygen is introduced into the upper section and the side section of the FIN-type semiconductor region by a plasma doping method so that the resistance of the upper section of the FIN-type semiconductor region is lower than that of the side section can be included. What is disclosed, however, in the meaning of PCT Article 5 is only the feature in the description, wherein the resistance on the side section of the FIN-type semiconductor region is made equivalent to or lower than that of the upper section by introducing the impurity which generates a donor level or an acceptor level in the semiconductor into the upper section and the side section of the FIN-type semiconductor region by a plasma doping method and by introducing oxygen into the upper section of the FIN-type semiconductor region by a plasma doping method, and the inventions are not sufficiently supported in the meaning of PCT Article 6.

F. The invention in claim 32 is described only as "a plasma doping system characterized in introducing an impurity which generates a donor level or an acceptor level in a semiconductor and oxygen by a plasma doping method into a subject to be processed". For instance, a plasma doping system wherein an impurity which generates a donor level or an acceptor level in a semiconductor and oxygen are introduced at the same time by a plasma doping method into a subject to be treated can be included. What is disclosed, however, in the description in the meaning of PCT Article 5 is only a plasma doping system provided with a first plasma doping apparatus which introduces an impurity which generates a donor level or an acceptor level in a semiconductor by a plasma doping method into a subject to be processed, and a second plasma doping apparatus which introduces oxygen by a plasma doping method into the subject to be treated, and the invention is not sufficiently supported in the meaning of PCT Article 6.

Therefore, the international search on the invention in claims 1-25 and 30-32 was conducted within a scope supported and disclosed by the description.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786 (2006.01) i, H01L21/265 (2006.01) i, H01L21/3065 (2006.01) i, H01L21/336 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, H01L21/265, H01L21/3065, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 6-260436 A (株式会社半導体エネルギー研究所) 1994.09.16, 段落【0021】-【0039】、図3-図5 & US 5804471 A & KR 10-0230485 B & CN 1104371 A	26-29, 32
A	JP 2008-053725 A (アンテルユニヴェルシテール・マイクロエレクトロニカ・サントリュム・ヴェー・ゼッド・ドゥブルヴェ) 2008.03.06, 全文、全図 & US 2008/0050897 A1 & EP 1892765 A1	1-32

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 2 . 2 0 1 0

国際調査報告の発送日

1 6 . 0 2 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河本 充雄

4 M

9 0 5 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

A. 請求項1～7、9～12、14～20、24、25、30、31に係る発明は、FETの構成が記載されていないが、PCT第5条の意味において開示されているのは、明細書に記載されたFIN型FETのみであり、PCT第6条の意味での裏付けを欠いている。

B. 請求項1～9に係る発明は、「第2の不純物として酸素又は窒素を前記フィン型半導体領域の上部及び側部に導入する」としか記載されておらず、また、請求項17～25には、「前記フィン型半導体領域の上部及び側部に、第2の不純物として酸素又は窒素がさらに導入されている」としか記載されておらず、例えば、フィン型半導体領域の上部の抵抗が、側部の抵抗よりも低くなるように、第2の不純物をフィン型半導体領域の上部及び下部に導入するものや、第2の不純物の導入とは関係なく、フィン型半導体領域の側部の抵抗を、上部の抵抗と比べて同等以下にするものを包含しうるものであるが、PCT第5条の意味において開示されているのは、明細書に記載された、フィン型半導体領域の上部に、酸素又は窒素からなる第2の不純物を導入することによって、フィン型半導体領域の側部の抵抗を、上部の抵抗と比べて同等以下にするのみであり、PCT第6条の意味での裏付けを欠いている。

C. 請求項4には、「前記フィン型半導体領域の上部を除去する」としか記載されておらず、例えば、第1不純物領域を全て除去するものを包含しうるものであるが、PCT第5条の意味において開示されているのは、明細書に記載された、フィン型半導体領域の上部に形成されている第1不純物領域の表面部に絶縁物領域を形成すると共に絶縁物領域の下に第1不純物領域を残存させ、その後、絶縁物領域のみを除去することのみであり、PCT第6条の意味での裏付けを欠いている。

D. 請求項10～16に係る発明は、「前記工程(b)よりも後に、前記フィン型半導体領域の上部を除去する工程(c)とを備えている」としか記載されておらず、例えば、フィン型半導体領域の上部を除去しても、フィン型半導体領域の上部の抵抗が、側部の抵抗よりも低いものや、フィン型半導体領域の上部を除去することに関係なく、フィン型半導体領域の側部の抵抗を、上部の抵抗と比べて同等以下にするものを包含しうるものであるが、PCT第5条の意味において開示されているのは、明細書に記載された、半導体にドナー準位又はアクセプタ準位を生成する第1の不純物をプラズマドーピング法によってフィン型半導体領域の上部及び側部に導入した後、フィン型半導体領域の上部を除去することによって、フィン型半導体領域の側部の抵抗を、上部の抵抗と比べて同等以下にするのみであり、PCT第6条の意味での裏付けを欠いている。

E. 請求項30に係る発明は、「半導体にドナー準位又はアクセプタ準位を生成する不純物、及び酸素をプラズマドーピング法によって前記フィン型半導体領域の上部及び側部に導入する工程」としか記載されておらず、また、請求項31に係る発明は、「前記フィン型半導体領域の上部及び側部に、半導体にドナー準位又はアクセプタ準位を生成する不純物、及び酸素が導入されている」としか記載されておらず、例えば、半導体にドナー準位又はアクセプタ準位を生成する不純物、及び酸素をプラズマドーピング法によって同時にフィン型半導体領域の上部及び側部に導入するものや、フィン型半導体領域の上部の抵抗が、側部の抵抗よりも低くなるように、フィン型半導体領域の上部及び側部に酸素をプラズマドーピング法によって導入するものを包含しうるものであるが、PCT第5条の意味において開示されているのは、明細書に記載された、半導体にドナー準位又はアクセプタ準位を生成する不純物をプラズマドーピング法によってフィン型半導体領域の上部及び側部に導入し、酸素をプラズマドーピング法によってフィン型半導体領域の上部に導入することによって、フィン型半導体領域の側部の抵抗
(特別ページに続く)

を、上部の抵抗と比べて同等以下にすることのみであり、PCT第6条の意味での裏付けを欠いている。

F. 請求項32に係る発明は、「半導体にドナー準位又はアクセプタ準位を生成する不純物、及び酸素をプラズマドーピング法によって被処理体に導入することを特徴とするプラズマドーピングシステム」としか記載されおらず、例えば、半導体にドナー準位又はアクセプタ準位を生成する不純物、及び酸素を同時にプラズマドーピング法によって被処理体に導入するプラズマドーピングシステムを包含しうるものであるが、PCT第5条の意味において開示されているのは、明細書に記載された、半導体にドナー準位又はアクセプタ準位を生成する不純物をプラズマドーピング法によって被処理体に導入する第1のプラズマドーピング装置と、酸素をプラズマドーピング法によって被処理体に導入する第2のプラズマドーピング装置とを備えるプラズマドーピングシステムのみであり、PCT第6条の意味での裏付けを欠いている。

よって、請求項1-25、30-32に係る発明の調査は、明細書に裏付けられ、開示されている範囲について行った。