

公告本

申請日期	89.3.3
案號	89103801
類別	H01L 21/58

A4
C4

(以上各欄由本局填註)

發明專利說明書 479280

一、發明名稱	中文	製造半導體裝置之方法
	英文	"A METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE"
二、發明人	姓名	1.安德利斯 修柏特斯 蒙特利 2.朱利安 史契米茲 3.皮爾 赫曼斯 沃爾利
	國籍	1.2.3. 均荷蘭
三、申請人	住、居所	1.2.3.均荷蘭愛因和文市荷斯特蘭街6號
	姓名 (名稱)	荷蘭商皇家飛利浦電子股份有限公司
	國籍	荷蘭
	住、居所 (事務所)	荷蘭愛因和文市格羅尼渥街1號
	代表人姓名	J. L. 凡德渥

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區)	申請專利，申請日期：	案號：	， ☐ 有 ☐ 無主張優先權
歐洲專利機構	1999年3月17日	99200812.8	☐ 有 ☒ 無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1 ）

本發明係關於一種製造一半導體裝置之方法，半導體裝置包含一半導體主體，係在其一表面處備有一電晶體，電晶體具有一閘極且藉由一閘介電質以在半導體主體之表面處絕緣於一通道區，閘極具有一區域，係藉由該方法使得鄰接於表面之一第一導電型式活性區定義於半導體主體內，及一圖型層係施加以定義出於後續製程中提供之計畫閘極區，隨後施加一介電質層，介電質層藉由去除圖型層而在計畫閘極區處備有一凹穴，隨後利用介電質層做為一遮罩而以自行對準方式將雜質經過凹穴以引入半導體主體之通道區內，及施加一絕緣層以製成電晶體之閘介電質，絕緣層上施加一導電層，藉以填充凹穴，該導電層佈型為電晶體之閘極。

前開段落中所述製造半導體裝置之方法係習知於US-A-5,773,348號申請案中，在習知方法中，一疊片式氧化物/氮化物層係製成於半導體主體之一表面上，在疊片式氧化物/氮化物層上施加一佈型之光致抗蝕層，以製成閘極計畫區，文後則稱其為計畫閘極區。一氧化物層係選擇性沈積於疊片式氧化物/氮化物層上，隨後去除佈型之光致抗蝕層。在後續之植入製程中，雜質以氧化物層做為一離子植入遮罩而經過計畫閘極區以引入半導體主體內，藉此提供半導體主體以一抗貫穿之雜質區。隨後氮化物間隔件製成於氧化物層側壁處之計畫閘極區內，且疊片式氧化物/氮化物層在同一區內去除。一閘氧化物層隨即施加於計畫閘極區內，接著沈積一非晶矽層以填充計畫閘極區，非晶矽

五、發明說明（ 2 ）

層佈型為電晶體之閘極。最後，氧化物層及下方之疊片式氧化物/氮化物層去除，及實施一包括二階段式退火處理之水楊酸製程，該處理溫度高達750至900°C，以利製成自行對準式接觸以及淺結合之源極與汲極區。

無論雜質係利用自半導體主體表面處之一化學源擴散或利用離子植入以引入半導體主體內，二者皆需以高達900°C之溫度實施高溫退火處理。

習知方法之一缺點在於閘極之製成及雜質經由計畫閘極區引入半導體主體皆係在源極區及汲極區製成前發生，因此亦即在高溫之二階段式退火處理之前，由於閘極承受此退火處理之高溫，因此有一連串之拘束存在於閘極之製程相容材料選擇上。再者，高溫退火處理亦不利於重新配置已於當地引入半導體主體內供抑制貫穿之雜質。

本發明之一目的在於提供一種製成前開段落所述半導體裝置之方法，其增加習知CMOS製造流程中之閘極所用製程相容材料實施之彈性，且其容許雜質經由計畫閘極區以在當地引入半導體主體內，而無引入雜質在後續製程中之不利重新配置。

依據本發明，此目的之達成係在於施加由耐火材料組成之圖型層，該圖型層在半導體主體內之一第二導電型式之一源極區及一汲極區製成期間做為一遮罩，隨後該介電質層係施加於一厚度，而足以覆蓋圖型層，該介電質層利用一材料去除處理以去除其部分厚度，直到圖型層曝露出為止，隨即去除該圖型層。

五、發明說明 (3)

本發明之上述方法可使經由計畫閘極區處之凹穴以在當地引入半導體主體內之閘極及雜質，免於曝露在相關於電晶體源極區及汲極區製造之高溫退火處理。依此，相關於閘極所用製程相容材料之使用彈性大致上增加，而當地引入雜質之重新配置則中和之。

計畫閘極區係藉由沈積一圖型層而定義，其由耐火材料組成以承受相關於電晶體源極區及汲極區後續製造之高溫退火處理。在圖型層去除之前，一較厚之介電質層係施加於一厚度，而足以覆蓋圖型層，該介電質層利用例如化學機械式拋光以去除其部分厚度，直到圖型層曝露出為止，隨即利用選擇性蝕刻以去除該圖型層，藉此使介電質層備有一凹穴於計畫閘極區處。圖型層去除後，一浸蝕可實施以去除一例如由氧化矽組成之表面層，其有益於施加至半導體主體表面，以防止半導體主體受到污染。雜質隨後利用介電質層14做為一遮罩而以自行對準方式經過凹穴15以引入半導體主體1之通道區13內，引入雜質之前或之後，一絕緣層施加以製成電晶體之閘介電質，隨後施加一導電層以填充凹穴及佈型為電晶體之閘極。

雜質可藉由一擴散方法以引入半導體主體之通道區，其大體上包括二步驟。第一，雜質藉由一氣體沉積步驟以放置於或接近於半導體主體表面，或者藉由以一含有所需雜質之層物塗覆於表面，隨後進行一退火處理以利用擴散進一步驅送雜質至半導體主體內。另一變換之擴散方法為離子植入，所需之雜質係先離子化，隨後由一電場或磁場加

五、發明說明（ 4 ）

速至一高能階，通常為1至500 keV，加速之高能量離子束撞擊半導體主體表面且貫穿其曝露之表面，貫穿通常在表面以下小於1微米處，且在植入期間對晶格產生可觀之破壞，因此需要一退火處理以修復受損之晶格，以及激勵植入之離子。

由於其精確控制引入半導體主體內之雜質量，因此離子植入方式較佳為擴散，再者，離子植入容許雜質比以擴散更少之側向配置引入半導體主體內，因此容許裝置以較小尺寸特性製造。

以通道長度小於大約2微米之MOS電晶體而言，短通道效應在相關於裝置性能上開始扮演重要角色，關於此方面，特別是短通道效應如習知之貫穿者及短通道閾電壓變動即為主要事項。

貫穿係一種相關於源極區及汲極區之耗盡區併合現象，亦即當通道變短時，耗盡區邊緣之間之空間即變小，且假設通道區之摻雜係隨著通道長度減小而保持不變。當通道長度逐漸等於源極區及汲極區之耗盡區寬度總和時，貫穿即建立。

由實驗可知，當通道長度減小至2微米以下時，閾電壓變移至長通道值以下，此效果稱為短通道閾電壓變移。由源極區及汲極區造成之閘極下方通道區內之耗盡電荷小數係不足以用於長通道式電晶體，但是可以同於短通道式電晶體，其通道長度接近於源極區及汲極區之耗盡區寬度總和。因此，只需較少電荷即可造成反向，且閾電壓亦降低。

五、發明說明 (5)

依據上述背景，其有利於提供一短通道式電晶體之通道區以一雜質區，做為閾電壓校正及/或貫穿抑制。為了達到這些效應，閘極下方通道區內之半導體主體之摻雜通常需增加，用於閾電壓校正及/或貫穿抑制之雜質可在垂直於半導體主體表面方向植入通道區。惟，為了中和沿著結晶方向及平面之雜質穿渠，較佳為最好在植入前藉由傾斜半導體主體以對於半導體主體表面之法線呈一大約7度之小角度植入，應注意的是，用於貫穿抑制之植入通常導致閾電壓增高。

以往用於閾電壓校正及/或貫穿抑制之雜質係在鄰接於半導體主體表面之活性區定義後及覆蓋整個半導體主體表面之一閘氧化物層施加後植入，依此，引入之雜質在側向分佈於整個活性區，且需逆摻雜於鄰接半導體主體表面之區域中之源極區與汲極區之後續製造，源極區與汲極區製造上所需之逆摻雜係利用本發明方法中和，其經凹穴以在當地植入上述雜質至僅有電晶體之通道區。

若用於閾電壓校正及/或貫穿抑制之雜質係經凹穴植入，即大致垂直於表面或對於半導體主體表面之法線方向呈一小角度，則通道區實際上會植入於其全長，藉此增大閾電壓於整個通道長度範圍。因此，當一用於含有長通道與短通道電晶體之半導體裝置之製程依此改善而使短通道電晶體可以一標稱之閾電壓操作。為了提供通道區僅有局部之雜質，亦即在其邊緣處，因此抑制長通道電晶體之閾電壓增大，其優點在對於半導體主體表面之法線方向呈一銳

五、發明說明 (6)

角植入雜質，顯然，雜質植入通道區之最大角度係取決於介電質層中之凹穴之長寬比。

定義出計畫閘極區且由耐火材料組成之圖型層可例如包含氮化矽或氧化鋁，惟，為了使製程配合於習知 CMOS 處理，有利地施加之圖型層係包含矽，就此而言，多晶矽、非晶矽或 $\text{Ge}_x\text{Si}_{(1-x)}$ 亦可採用， x 代表 0 與 1 之間範圍內之諸小數。

依據實驗可知，若圖型層係由矽組成，則終止介電質層之化學機械式拋光 (CMP) 之瞬間較為重要。若 CMP 製程過早終止則氧化物殘餘物會留在圖型層上，有礙後續之圖型層去除，而若 CMP 製程實施過長，計畫閘極區之高度定義會有不利影響。為了改善製程之高度定義，較佳為施加圖型層做為一雙層，包括一第一子層，係包含矽，及位於其頂部上之一第二子層，係由一材料組成且該材料具有一較大於矽者之抗材料去除處理性及可相關於介電質層做選擇性蝕刻。第二子層在介電質層去除期間將做為一蝕刻終止層，關於此點，其較佳為施加氮化矽做為第二子層，而氧化矽做為介電質層，另者，氧化鋁可代替氮化矽及 / 或 BPSG (硼磷矽酸玻璃) 代替氧化矽。第二子層係選擇性地自第一子層去除，隨後去除第一子層。雜質經凹穴引入半導體主體之通道區內及絕緣層製成閘介電質後，施加導電層以填充凹穴。為了取得一精巧之電晶體閘結構，導電層較佳為利用無遮罩式去除導電層直到絕緣層或介電質層任一者曝露為止，以佈型閘極，依此，閘極即凹入介電質層

五、發明說明(7)

。上述無遮罩式去除導電層較佳為利用化學機械式拋光(CMP)，後續之無遮罩式去除絕緣層則不需要，但是若絕緣層包含一高介電常數材料時則有必要。

電晶體之閘極及其製成之導電層可以有利地包含一金屬，而代替習知之多晶矽，相反於多晶矽的是，金屬本身具有一較低電阻值且可免於不利之耗盡效應。關於此點，可採用一低電阻值金屬，例如鋁、鎢、銅或鉬，若採用金屬則導電層較佳為施加做為一雙層，包括一含有金屬之層位於一做為一黏接層及/或障壁層之層頂部上。關於此點，鈦可做為黏接層而氮化鈦(TiN)或鎢化鈦(TiW)可做為障壁層。應注意的是在先前技藝方法中施加一金屬閘極將在一鋁閘極例子中造成熔解，或者當曝露於相關於電晶體源極區與汲極區製造之高溫退火處理時造成金屬閘極與閘介電質之間不利之相互作用。在本發明之方法中，所製成之閘極並未在後續之製造流程中曝露於高溫。

為了改善電晶體性能，其可有利地施加一介電質材料，且其介電常數大於閘介電質以及其所製成之絕緣層之氧化矽者($\epsilon \sim 4$)，關於此點，氧化鉭(Ta_2O_5 ; $\epsilon \sim 20-25$)、氧化鋁(Al_2O_3 ; $\epsilon \sim 10$)或氮化矽(Si_3N_4 ; $\epsilon \sim 7$)亦可有利地採用，因為這些材料係利用化學氣體沉積(CVD)而以貼服及可複製方式沈積。應注意的是，先前技藝方法中之一高介電常數材料會在曝露於相關於電晶體源極區與汲極區製造之高溫退火處理時造成材料之介電性退化。在本發明之方法中，所製成之閘介電質並未在後續之製造流程中曝露於高溫。

90年10月6日 修正 補充

五、發明說明 (8)

本發明之上述及其他內容可由參考文後之實施例及圖式中得知，圖式中：

圖 1 至 9 係以截面示意圖揭示利用本發明方法第一實施例之一包含一電晶體之半導體裝置製造中之連續階段。

圖 10 及 11 係以截面示意圖揭示利用本發明方法第二實施例之一包含一電晶體之半導體裝置製造中之二階段。

元件符號說明

- | | | | |
|----|---------|----|------|
| 1 | 半導體主體 | 13 | 通道區 |
| 2 | 表面 | 14 | 介電質層 |
| 3 | 氧絕緣區 | 15 | 凹穴 |
| 4 | 活性區 | 16 | 雜質區 |
| 5 | 層 | 17 | 箭頭 |
| 6 | 第一子層 | 18 | 絕緣層 |
| 7 | 第二子層 | 19 | 閘介電層 |
| 8 | 圖型層 | 20 | 導電層 |
| 9 | 源極／汲極延伸 | 21 | 閘極 |
| 10 | 側壁間隔件 | 22 | 箭頭 |
| 11 | 源區 | 23 | 雜質區 |
| 12 | 汲區 | | |

雖然本發明在文後係以一電晶體為基礎，但是習於此技者將明瞭本發明有利於使用在 CMOS 及 BICMOS 積體電路之製造中。

裝
訂
線

五、發明說明 (8a)

圖 1 至 9 係以截面示意圖揭示一包含一電晶體之半導體製造中之連續階段，其利用本發明方法之一第一實施例。

參閱圖 1，一第一導電型式類型之半導體主體 1，在本範例中例如為 p 型導電型式之矽主體，其在一表面 2 上提供較厚之氧化物場絕緣區 3，係至少局部凹入半導體主體 1 內且定義一活性區 4，其內可製造本範例中之 NMOS 型電晶體，較厚之氧化物絕緣區 3 通常利用 LOCOS (當地矽氧化) 或 STI (淺圳隔離) 製成。接著，半導體主體 1 之表面 2 備有一層 5，例如由氧化矽組成，其覆以一圖型層 8，圖型層係定義出欲在後續製程階段中提供之一計畫閘極區，且此區在文後稱為計畫閘極區。在本範例中，圖型層 8 可藉由沈積一雙層而取得，該雙層包括例如多晶矽之一第一子層 6 且摻雜以一摻雜劑，如磷或可能為硼，及其上方之一第二子層 7，例如由氮化矽組成，及藉由使用一般光石版印刷方式製成圖型於該雙層。除了氮化矽，其他任意適當材料皆可使

五、發明說明 (9)

用，例如氧化鋁或其組合物。除了多晶矽外，非晶矽或 $\text{Ge}_x\text{Si}_{1-x}$ 亦可採用， x 代表 0 與 1 之間範圍內之錯小數，應注意的是，圖型層亦可為單一層，且由多晶矽、非晶矽或 $\text{Ge}_x\text{Si}_{1-x}$ 或任意其他適當之耐火材料如氮化矽或氧化鋁所組成，再者，原本有利於保護半導體主體免於污染之層 5 即不需要。在施加圖型層 8 後，本 n 型範例中一第二相反導電型式之源極/汲極延伸段 9 係利用例如較輕劑量之磷或砷自行對準植入，及利用圖型層 8 與氧化物場絕緣區 3 做為一遮罩而製成於圖型層 8 之相對立側上。

隨後，圖型層 8 藉由例如習知一氧化矽層(如圖 2)之沈積及各向異性回蝕，以備有側壁間隔件 10。側壁間隔件 10 製成後，本 n 型範例中之第二導電型式之高度摻雜源區 11 及汲區 12 係利用例如較重劑量之磷或砷自行對準植入，及利用氧化物場絕緣區 3 與圖型層 8 及側壁間隔件 10 做為一遮罩而製成於側壁間隔件 10 之相對立側上。應注意的是，一通道區 13 係由延伸之源區 11, 9 及延伸之汲區 12, 9 圍繞。

請參閱圖 3，本範例中由氧化矽組成之一較厚介電質層 14 係施加於一厚度，而足以覆蓋圖型層 8，顯然，其他適當之電絕緣材料如 PSG(磷矽酸玻璃)或 BPSG(硼磷矽酸玻璃)亦可採用。

此後，介電質層 14 除去其部分厚度，直到圖型層 8 曝露為止(如圖 4)，此例如可使用化學機械式拋光(CMP)，及例如採用一般市面可得漿液。在材料去除處理期間，本範例中由氮化矽組成之第二子層 7 將作為一終止層。

五、發明說明 (10)

在下一步驟中(如圖5)，本範例中由氮化矽組成之第二子層7係相對於介電質層14及側壁間隔件10做選擇性去除且後二者在本範例中皆由氧化矽組成，例如利用熱磷酸及磺酸之混合物做濕性蝕刻去除，依此方式，介電質層14即備有一凹穴15。

參閱圖6，第一子層6及層5係在二分離之蝕刻步驟中去除，本範例中由多晶矽組成之第一子層6例如可用熱KOH溶液做濕性蝕刻選擇性去除，或用HBr/Cl₂混合物做電漿蝕刻。本範例中由氧化矽組成之層5可利用HF做濕性蝕刻去除。在下一步驟中，半導體主體1之通道區13備有一第一導電型式之雜質區16其在本範例中為p型，係引入p型雜質如硼(B)經過凹穴15至通道區13內，且以介電質層14做為一遮罩而用自行對準方式。雜質區16例如可應用為一淺區，以校正NMOS電晶體之閾電壓，及/或應用為一較深區，以抑制NMOS電晶體之延伸源區11,9及延伸汲區12,9之間貫穿。將p型雜質引入半導體主體1係藉由自半導體主體1表面2處之一化學物源擴散而達成，惟，基於前述理由，p型雜質較佳為利用箭頭17所示之離子植入法引入，就此而言，硼可用大約20至60 keV範圍內之能量及大約 $2 \cdot 10^{13}$ 原子/厘米²之劑量植入。習於此技者可知磷(P)離子或砷(As)離子可因相似原因而植入一PMOS電晶體內，例如磷可用大約100至130 keV範圍內之能量及大約 $2 \cdot 10^{13}$ 原子/厘米²之劑量植入，而砷可用大約180至240 keV範圍內之能量及大約 $2 \cdot 10^{13}$ 原子/厘米²之劑量植入。實施植入上係大致垂直於半

五、發明說明 (11)

導體主體 1 之表面 2，惟爲了防止雜質沿著結晶方向及平面穿渠，最好在植入前藉由傾斜半導體主體 1 以對於半導體主體 1 表面 2 之法線呈一大約 7 度之小角度植入。應注意的是供做閾電壓校正之淺區及供做貫穿抑制之較深區可在二植入步驟中以不同能量實施，或在一植入步驟中以相同能量同時實施。

如圖 7 所示，一絕緣層 18 提供於所有曝露之表面上，以形成電晶體之一閾介電質 19，絕緣層 18 可由氧化矽組成，惟，介電常數大於氧化矽者之一介電材料如氧化鈮、氧化鋁或氮化矽則更爲有利。若氧化矽施用於閾介電質 19，則其例如可藉由矽之化學氣體沉積或矽之熱氧化取得，高介電常數材料氧化鈮、氧化鋁及氮化矽例如可利用化學氣體沉積 (CVD) 施加。

應注意的是，上述用於貫穿抑制及 / 或閾電壓校正之離子植入可以在絕緣層 18 施加後實施，吾人可知例如以氧化矽組成且提供於半導體主體表面處之一薄層可改善離子植入之特徵，惟，若絕緣層 18 係由高介電常數之介電質材料組成，則相關於離子植入且高達大約 900°C 溫度之高溫退火會破壞所用材料之介電性。

參閱圖 8，一導電層 20 以一常用方式施加於絕緣層 18 上，藉此在計畫閾極區填充凹穴 15，雖然可使用多晶矽或非晶矽或 $\text{Ge}_x\text{Si}_{1-x}$ ，但是導電層 20 較佳爲包含一金屬如鋁、鎢、銅或鉬或金屬組合物。應注意的是，導電層 20 亦可做爲一雙層，其由包含金屬如鋁、鎢、銅或鉬或金屬組合物之

五、發明說明 (12)

一層位於做為一黏接層及/或障壁層之一層上，就此而言，鈦可做為黏接層而氮化鈦(TiN)或鎢化鈦(TiW)可做為障壁層。

在下一步驟中(如圖9)，導電層20形成電晶體之一閘極21，此可例如採用一過大尺寸之遮罩進行蝕刻而達成，在此例子中，閘極21之導電材料伸展過塗覆有絕緣層18之介電質層14，且伸至圖7所示之凹穴15外。惟，其較佳為在一無遮罩之製程中去除導電層20，直到曝露出絕緣層18為止，藉以製成一凹入介電質層14內之閘極21。結果如圖9所示之絕緣層18另一無遮罩式去除即不需要，但是其在絕緣層18包含一高介電常數材料之例子中則有其助益。導電層20或者導電層20與絕緣層18二者之無遮罩式去除係例如以化學機械式拋光(CMP)達成，且使用一般市面可得之漿液。

最後，半導體裝置可由用於氧化物沉積、接觸定義及以一或多金屬層金屬化之習知CMOS製程流程步驟(圖中未示)完成。

圖10、11係以截面示意圖揭示一包含一電晶體之半導體製造中之二階段，其利用本發明方法之一第二實施例。

圖10揭示相同於圖6之狀態，所不同的是箭頭22所示之離子植入係在對於半導體主體1表面2法線方向呈一銳角 θ 處進行。半導體主體1之通道區13利用植入p型雜質如硼(B)離子以提供在本範例中為p型之第一導電型式雜質區23，且其係以介電質層14做為一遮罩而以一大約15至75度之

五、發明說明 (13)

θ 角，將之經過凹穴 15 而植入通道區 13。顯然，雜質可藉以植入通道區 13 之最大角 θ 係取決於介電質層 14 中之凹穴 15 長寬比。離子植入係以二步驟實施，半導體主體 1 則在二步驟之間旋轉 180 度，當然，具有閘極方位呈直角於其他閘極者之電路配置需要四次植入，且相隔 90 度。雜質區 23 例如可應用為淺區，以校正 NMOS 電晶體之閾電壓，及/或應用為較深區，以抑制 NMOS 電晶體之延伸源區 11,9 及延伸汲區 12,9 之間貫穿。就此而言，硼可用大約 10 至 60 keV 範圍內之能量及大約 6.10^{12} 至 4.10^{13} 原子/厘米² 之劑量植入，習於此技者可知磷 (P) 離子或砷 (As) 離子可因相似原因而植入一 PMOS 電晶體內，例如磷可用大約 60 至 90 keV 範圍內之能量及大約 6.10^{12} 至 4.10^{13} 原子/厘米² 之劑量植入，而砷可用大約 80 至 140 keV 範圍內之能量及大約 6.10^{12} 至 4.10^{13} 原子/厘米² 之劑量植入。應注意的是，只有延伸之汲區 12,9 或延伸之源區 11,9 可備有參考編號 23 所示型式之雜質區。

雜質區 23 植入後，隨即執行相似於圖 7 至 9 所示之步驟，其結果如圖 11 所示。

最後，半導體裝置可由用於氧化物沉積、接觸定義及以一或多金屬層金屬化之習知 CMOS 製程流程步驟 (圖中未示) 完成。

可以瞭解的是本發明並不限於上述實施例，習於此技者可知在本發明範疇內仍有多種變化，例如電晶體之源極區及汲極區可做選擇性植入而無延伸，顯然，本發明方法亦可用於提供電晶體之通道區有相互擴散之雜質區，其藉由

五、發明說明 (14)

實施複數次植入達成，且相關於不同型式雜質及對於半導體主體表面之法線方向呈不同角度 θ 。再者，爲了減低源極區及汲極區之渦流電阻，源極區及汲極區可利用鈦或鈷進行一水楊酸製程，藉此分別在源極區及汲極區上製成自行對準之 $\text{Ti}(\text{TiSi}_2)$ 或 $\text{Co}(\text{CoSi}_2)$ 矽酸。上述實施例中，活性區係由原半導體主體之一表面區域提供，另者，活性區可代表一習知之p或n井，其通常在鄰接於其表面之一區域中當地摻雜原半導體主體而取得，且所用之摻雜濃度適可提供一n通道或p通道之電晶體。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要 (發明之名稱：製造半導體裝置之方法)

一種製造一半導體裝置之方法，半導體裝置包含一電晶體，電晶體具有一閘極且藉由一閘介電質以與一半導體主體之一表面處之一通道區絕緣，一第一導電型式之一活性區4定義於半導體主體1之表面2處，及一圖型層係由耐火材料組成，圖型層定義出於後續製程中提供之計畫閘極區，且在半導體主體1內之一第二導電型式之一源極區11及一汲極區12製成期間做為一遮罩。在次一步驟中，一厚度大得足以覆蓋圖型層之介電質層14被提供，該介電質層14利用一材料去除處理以去除其部分厚度，直到圖型層曝露出為止，隨即去除該圖型層，介電質層14藉由去除圖型層而在計畫閘極區處備有一凹穴15，隨後利用介電質層14做

英文發明摘要 (發明之名稱：“A METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE”)

In a method of manufacturing a semiconductor device comprising a transistor having a gate insulated from a channel region at a surface of a semiconductor body by a gate dielectric, an active region 4 of a first conductivity type is defined at the surface 2 of the semiconductor body 1, and a patterned layer is applied consisting of refractory material, which patterned layer defines the area of the planned gate to be provided at a later stage of the process and acts as a mask during the formation of a source zone 11 and a drain zone 12 of a second conductivity type in the semiconductor body 1. In a next step, a dielectric layer 14 is provided in a thickness which is sufficiently large to cover the patterned layer, which dielectric layer 14 is removed over part of its thickness by means of a material removing treatment until the patterned layer is exposed, which patterned layer is removed, thereby forming a recess 15 in the dielectric layer 14 at the area of the planned gate. Then, impurities are introduced via the

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要 (發明之名稱：)

為一遮罩而以自行對準方式將雜質經過凹穴15以引入半導體主體1之通道區13內，及施加一絕緣層以製成閘介電質，絕緣層上施加一導電層，藉以填充凹穴，該導電層佈型為電晶體之閘極。

英文發明摘要 (發明之名稱：)

recess 15 into the channel region 13 of the semiconductor body 1 in a self-registered way by using the dielectric layer 14, as a mask and an insulating layer is applied, forming the gate dielectric, on which insulating layer a conductive layer is applied thereby filling the recess, which conductive layer is shaped into the gate of the transistor.

Fig. 6

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種製造一半導體裝置之方法，半導體裝置包含一半導體主體，係在其一表面處備有一電晶體，電晶體具有一閘極且藉由一閘介電質以與在半導體主體之表面處之一通道區絕緣，閘極具有一區域，係藉由該方法使得鄰接於表面之一第一導電型式活性區定義於半導體主體內，及一圖型層係施加以定義出於後續製程中所提供之計畫閘極區，隨後施加一介電質層，介電質層藉由去除圖型層而在計畫閘極區處備有一凹穴，隨後利用介電質層做為一遮罩而以自行對準方式將雜質經過凹穴以引入半導體主體之通道區內，及施加一絕緣層以製成電晶體之閘介電質，在絕緣層上施加一導電層，藉以填充凹穴，該導電層佈型為電晶體之閘極，其特徵在施加由耐火材料組成之圖型層，該圖型層在半導體主體內之一第二導電型式之一源極區及一汲極區製成期間做為一遮罩，隨後施加一厚度足以覆蓋圖型層之該介電質層，該介電質層利用一材料去除處理以去除其部分厚度，直到圖型層曝露出為止，隨即去除該圖型層。
2. 如申請專利範圍第1項之方法，其特徵在雜質係利用離子植入以引入半導體主體之通道區內。
3. 如申請專利範圍第2項之方法，其特徵在雜質係以一對於半導體主體表面法線方向呈一銳角而植入通道區內。

六、申請專利範圍

4. 如前述申請專利範圍第1項之方法，其特徵在通道區係備有一雜質區，用於達成一選自貫穿抑制、閾電壓校正、及貫穿抑制與閾電壓校正中之一效果。
5. 如申請專利範圍第1項之方法，其特徵在圖型層係藉由沈積及佈型一含矽層而施加。
6. 如申請專利範圍第5項之方法，其特徵在含有矽之層係施加做為一雙層，包括一第一子層，係包含矽，及位於其頂部上之一第二子層，係由一材料組成且該材料具有一較大於矽者之抗材料去除處理性及可相關於介電質層做選擇性蝕刻。
7. 如申請專利範圍第6項之方法，其特徵在氧化矽係施加做為介電質層，及第二子層係藉由沈積一包含氮化矽之層而施加。
8. 如申請專利範圍第1項之方法，其特徵在施加導電層以填充凹穴後，導電層利用無遮罩式去除導電層直到絕緣層或介電質層任一者曝露為止，以佈型閘極。
9. 如申請專利範圍第8項之方法，其特徵在導電層係利用化學機械式拋光去除。
10. 如申請專利範圍第1項之方法，其特徵在提供閘極之導電層係藉由沈積一包含一金屬之層而施加。
11. 如申請專利範圍第10項之方法，其特徵在導電層係施加做為另一雙層，包括一含有金屬之層位於一做為一

六、申請專利範圍

黏接層及/或障壁層之層頂部上。

12. 如申請專利範圍第10項之方法，其特徵在於施加之金屬係選自由鋁、鎢、銅及鉬所組成之族群中之一元素。

89103801

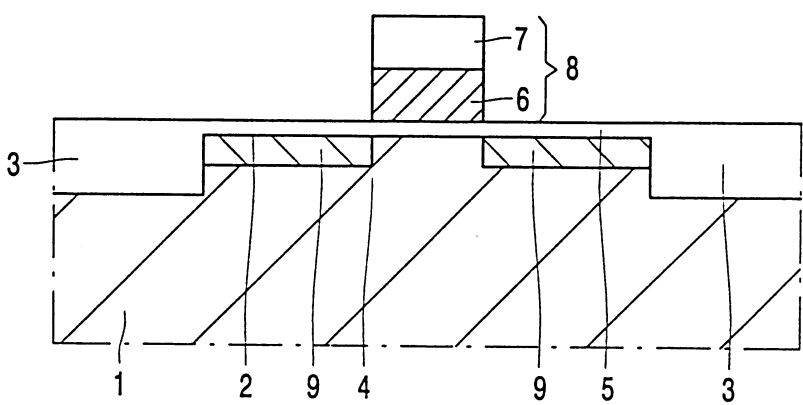


圖 1

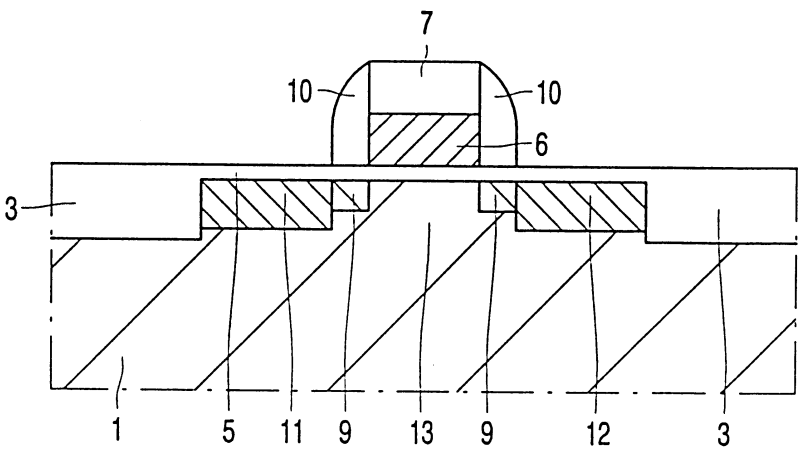


圖 2

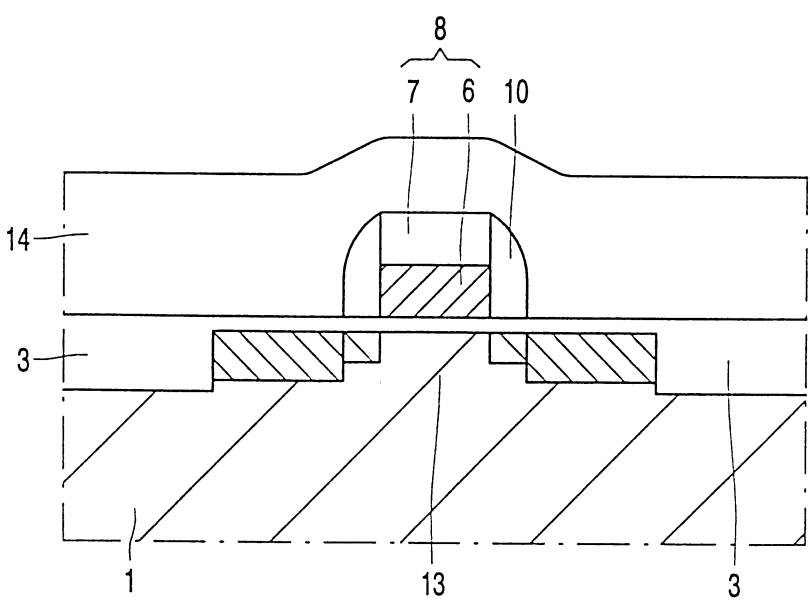


圖 3

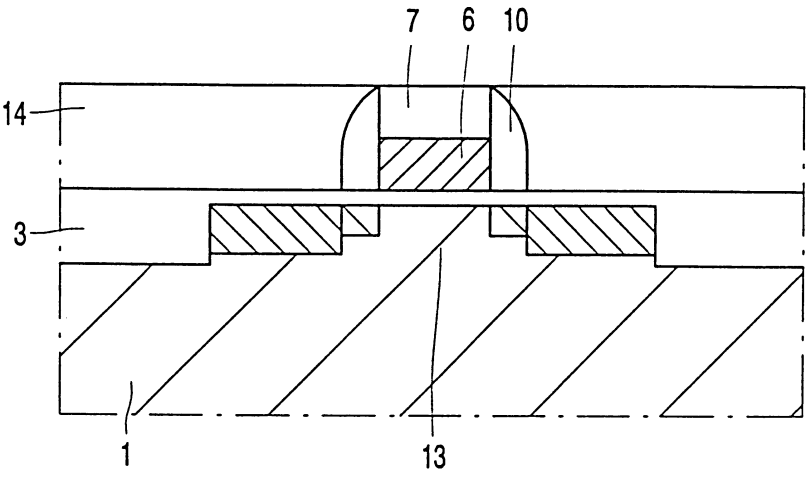


圖 4

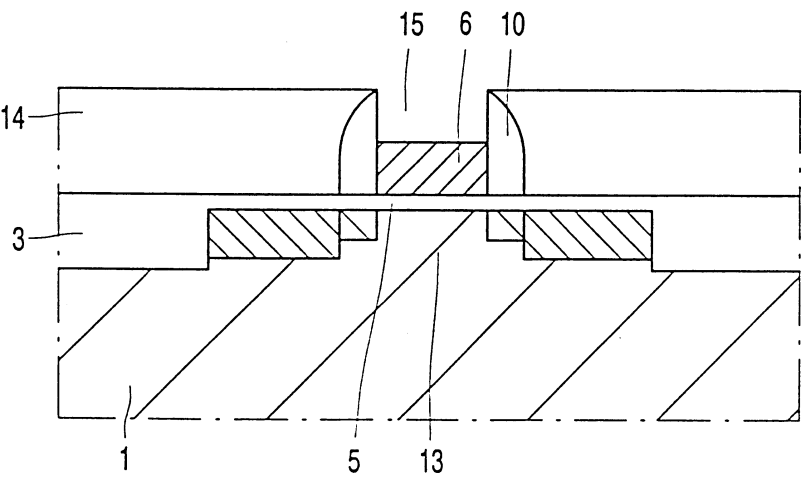


圖 5

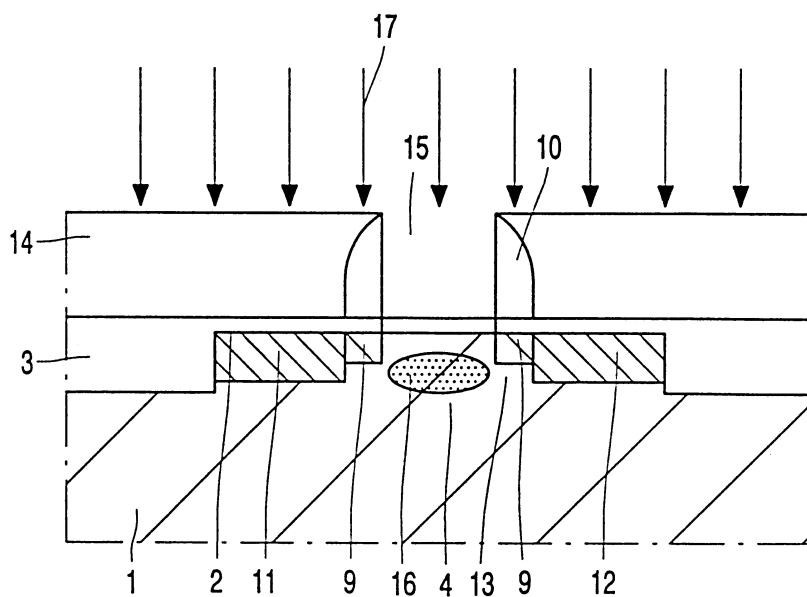


圖 6

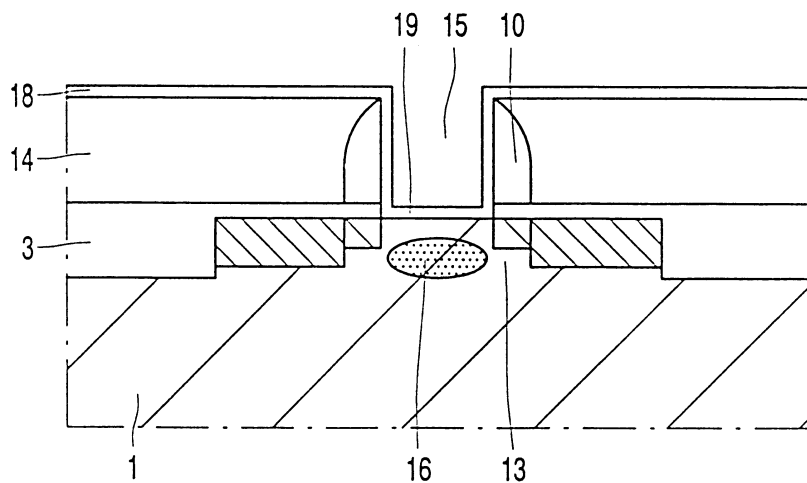


圖 7

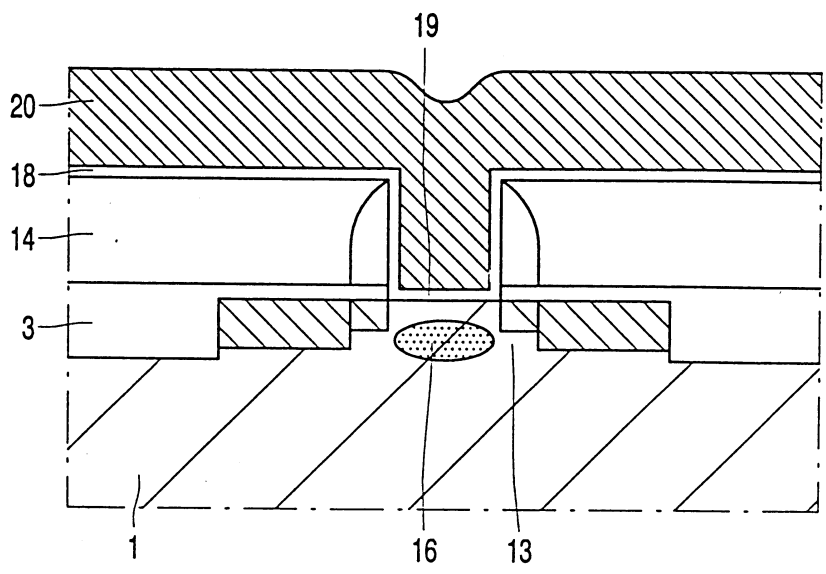


圖 8

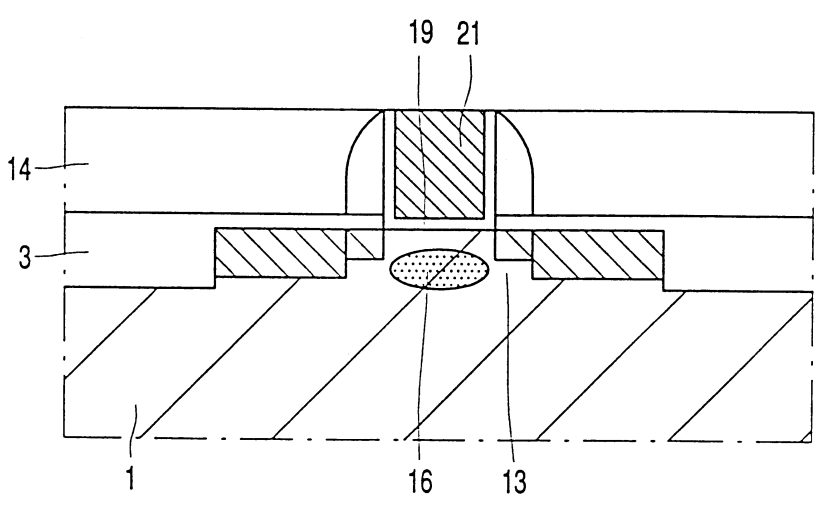


圖 9

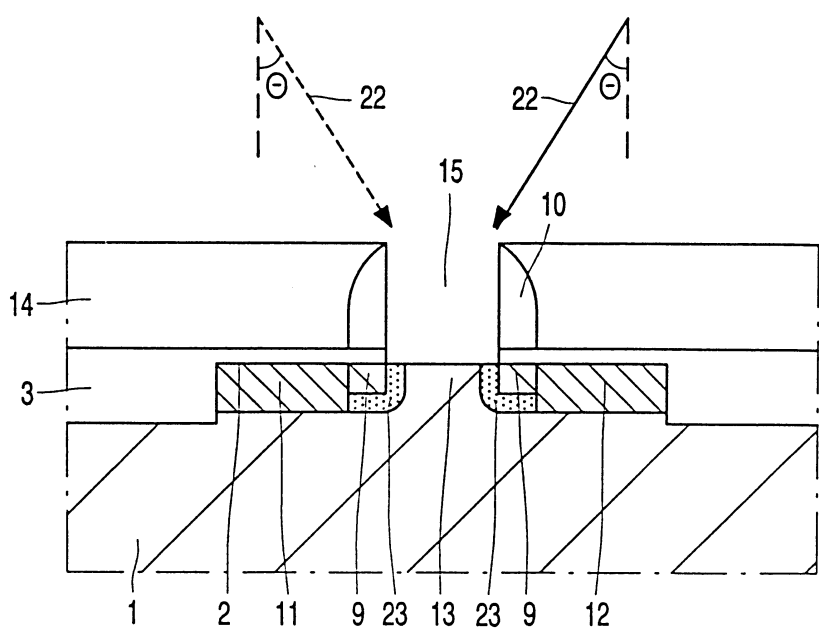


圖 10

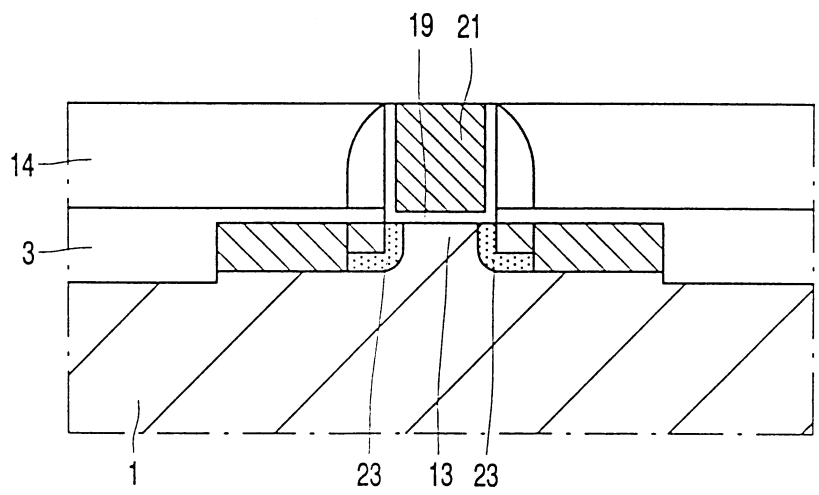


圖 11