

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6107933号
(P6107933)

(45) 発行日 平成29年4月5日 (2017.4.5)

(24) 登録日 平成29年3月17日 (2017.3.17)

(51) Int.Cl.

F I

G O 6 F 3/00 (2006.01)

G O 6 F 13/42 (2006.01)

G O 6 F 3/00 A

G O 6 F 3/00 X

G O 6 F 13/42 3 5 O C

請求項の数 10 (全 25 頁)

(21) 出願番号	特願2015-507905 (P2015-507905)	(73) 特許権者	000005223
(86) (22) 出願日	平成25年3月29日 (2013.3.29)		富士通株式会社
(86) 国際出願番号	PCT/JP2013/059700		神奈川県川崎市中原区上小田中4丁目1番1号
(87) 国際公開番号	W02014/155721	(74) 代理人	100092978
(87) 国際公開日	平成26年10月2日 (2014.10.2)		弁理士 真田 有
審査請求日	平成27年9月2日 (2015.9.2)	(74) 代理人	100112678
			弁理士 山本 雅久
		(72) 発明者	植栗 博幹
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	田上 隆一

最終頁に続く

(54) 【発明の名称】 接続制御装置、情報処理装置、及び接続制御方法

(57) 【特許請求の範囲】

【請求項 1】

バスに対するデバイスの接続制御を行なう接続制御装置であって、
前記バスに含まれる複数の信号線の各々から入力される信号の電圧レベルの組み合わせに基づき前記バスのバスサイクルの開始タイミングを検出した場合、前記複数の信号線の各々から入力される信号の電圧レベルがそれぞれ所定の閾値未満であることを検出する検出部と、
前記バスと前記デバイスとの間に介装され前記複数の信号線の各々と前記デバイスとの間の接続の切り替えを行なう切替部に対して、前記検出部により前記信号の電圧レベルが前記所定の閾値未満であることが検出された信号線を前記デバイスに接続させるように切替制御を行なう切替制御部と、
をそなえたことを特徴とする、接続制御装置。

【請求項 2】

前記検出部は、前記各信号の電圧レベルに基づいて、前記バスに接続された他のデバイスにより前記バスが使用されていない状態を検出した場合に、前記信号線ごとに前記信号の電圧レベルが所定の閾値未満であることの検出を行なうことを特徴とする、請求項 1 記載の接続制御装置。

【請求項 3】

所定期間の計時を行なうタイマー部をさらにそなえ、
前記検出部は、前記複数の信号線の各々から入力される信号の電圧レベルが、前記タイ

マ一部による前記所定期間の計時の間、いずれも前記所定の閾値以上である場合に、前記他のデバイスにより前記バスが使用されていない状態であると判定することを特徴とする、請求項 2 記載の接続制御装置。

【請求項 4】

前記バスは、2 線式シリアルバスであり、

前記検出部は、前記他のデバイスにより前記バスが使用されていない状態を検出した後、前記他のデバイスによる前記バスの使用開始のタイミングに応じて、前記複数の信号線のうちのデータ信号線及びクロック信号線の順で、各信号線から入力される信号の電圧レベルが前記所定の閾値未満であることの検出を行なうことを特徴とする、請求項 2 又は請求項 3 記載の接続制御装置。

10

【請求項 5】

バスに含まれる複数の信号線の各々から入力される信号の電圧レベルの組み合わせに基づき前記バスのバスサイクルの開始タイミングを検出した場合、前記複数の信号線の各々から入力される信号の電圧レベルがそれぞれ所定の閾値未満であることを検出する検出部と、

前記バスと前記バスに接続するデバイスとの間に介装され前記複数の信号線の各々と前記デバイスとの間の接続の切り替えを行なう切替部と、

前記切替部に対して、前記信号の電圧レベルが前記所定の閾値未満であることが検出された信号線を前記デバイスに接続させるように切替制御を行なう切替制御部と、をそなえることを特徴とする、情報処理装置。

20

【請求項 6】

前記バスは、2 線式シリアルバスであり、

前記検出部は、

前記各信号の電圧レベルに基づいて、前記バスに接続された他のデバイスにより前記バスが使用されていない状態を検出した場合に、前記信号線ごとに前記信号の電圧レベルが所定の閾値未満であることの検出を行ない、

前記他のデバイスにより前記バスが使用されていない状態を検出した後、前記他のデバイスによる前記バスの使用開始のタイミングに応じて、前記複数の信号線のうちのデータ信号線及びクロック信号線の順で、各信号線から入力される信号の電圧レベルが前記所定の閾値未満であることの検出を行なうことを特徴とする、請求項 5 記載の情報処理装置。

30

【請求項 7】

バスに対するデバイスの接続制御を行なう接続制御装置における接続制御方法であって、

前記バスに含まれる複数の信号線の各々から入力される信号の電圧レベルの組み合わせに基づき前記バスのバスサイクルの開始タイミングを検出した場合、前記複数の信号線の各々から入力される信号の電圧レベルがそれぞれ所定の閾値未満であることを検出し、

前記バスと前記デバイスとの間に介装され前記複数の信号線の各々と前記デバイスとの間の接続の切り替えを行なう切替部に対して、前記信号の電圧レベルが前記所定の閾値未満であることが検出された信号線を前記デバイスに接続させるように切替制御を行なう、ことを特徴とする、接続制御方法。

40

【請求項 8】

前記バスは、2 線式シリアルバスであり、

前記検出する処理において、

前記各信号の電圧レベルに基づいて、前記バスに接続された他のデバイスにより前記バスが使用されていない状態を検出した場合に、前記信号線ごとに前記信号の電圧レベルが所定の閾値未満であることの検出を行ない、

前記他のデバイスにより前記バスが使用されていない状態を検出した後、前記他のデバイスによる前記バスの使用開始のタイミングに応じて、前記複数の信号線のうちのデータ信号線及びクロック信号線の順で、各信号線から入力される信号の電圧レベルが前記所定の閾値未満であることの検出を行なうことを特徴とする、請求項 7 記載の接続制御方法。

50

【請求項 9】

バスに対するデバイスの接続制御を行なう接続制御装置であって、

前記バスに含まれる複数の信号線の各々から入力される信号の電圧レベルが所定の閾値未満であるか否かを判定する判定部と、

前記バスと前記デバイスとの間に介装され前記複数の信号線の各々と前記デバイスとの間の接続の切り替えを行なう切替部に対して、前記判定部により前記信号の電圧レベルが前記所定の閾値未満であると判定された信号線を前記デバイスに接続させるように切替制御を行なう切替制御部と、
をそなえ、

前記判定部は、前記各信号の電圧レベルに基づいて、前記バスに接続された他のデバイスにより前記バスが使用されていない状態を検出した場合に、前記信号線ごとに前記信号の電圧レベルが所定の閾値未満であるか否かの判定を行ない、

所定期間の計時を行なうタイマー部をさらにそなえ、

前記判定部は、前記複数の信号線の各々から入力される信号の電圧レベルが、前記タイマー部による前記所定期間の計時の間、いずれも前記所定の閾値以上である場合に、前記他のデバイスにより前記バスが使用されていない状態であると判定することを特徴とする、接続制御装置。

10

【請求項 10】

バスに含まれる複数の信号線の各々から入力される信号の電圧レベルが所定の閾値未満であるか否かを判定する判定部と、

前記バスと前記バスに接続するデバイスとの間に介装され前記複数の信号線の各々と前記デバイスとの間の接続の切り替えを行なう切替部と、

前記切替部に対して、前記信号の電圧レベルが前記所定の閾値未満であると判定された信号線を前記デバイスに接続させるように切替制御を行なう切替制御部と、
をそなえ、

前記判定部は、前記各信号の電圧レベルに基づいて、前記バスに接続された他のデバイスにより前記バスが使用されていない状態を検出した場合に、前記信号線ごとに前記信号の電圧レベルが所定の閾値未満であるか否かの判定を行ない、

所定期間の計時を行なうタイマー部をさらにそなえ、

前記判定部は、前記複数の信号線の各々から入力される信号の電圧レベルが、前記タイマー部による前記所定期間の計時の間、いずれも前記所定の閾値以上である場合に、前記他のデバイスにより前記バスが使用されていない状態であると判定することを特徴とする、情報処理装置。

20

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、接続制御装置、情報処理装置、及び接続制御方法に関する。

【背景技術】

【0002】

サーバやパーソナルコンピュータ等の情報処理装置では、I2C（登録商標）バスに類する2線式シリアルバスが用いられることがある。2線式シリアルバスは、例えば比較的低速な周辺機器等のデバイスを接続するために用いられる。

2線式シリアルバスへデバイスを有するユニットを活線挿入する場合、ユニット内部の信号線のコンデンサ成分（浮遊容量）により、ごく短い時間（例えば数ns）ではあるが、バス線からユニットの端子側に電流が流れるという現象が発生することがある。

40

【0003】

図14は、バス線へユニットを活線挿入したときのユニット内部の浮遊容量によるバス線への影響を説明する図である。図14に示すように、ユニットは、内部回路に依存した浮遊容量を有する。バス線は、プルアップ抵抗により所定の電圧レベルに維持されるが、バス線にユニットが活線挿入されると、バス線からユニットの浮遊容量に対するチャージ

50

電流 i が流れる。このとき、バス線からユニットへの電流 i の流出により瞬間的にバス線の電圧レベルが低下するため、２線式シリアルバスに接続された他のデバイスが誤動作する可能性がある。

【 0 0 0 4 】

２線式シリアルバスへのユニットの追加による他のデバイスの誤動作を防ぐため、例えば以下の手法が知られている。

図 1 5 及び図 1 6 は、Ｉ 2 Ｃバスを有する情報処理装置 1 0 0 及び 1 0 0 の構成例を示す図である。

はじめに、図 1 5 に示す例を説明する。図 1 5 に示すように、情報処理装置 1 0 0 は、MPU (Micro Processing Unit) 1 2 0、Ｉ 2 Ｃバスコントローラ 1 3 0、Ｉ O _ P O R T 入力 1 1 0、Ｉ O _ P O R T 出力 1 1 1、並びに、バススイッチ 1 4 0 a 及び 1 4 0 b を備える。また、情報処理装置 1 0 0 は、プルアップ抵抗 1 5 0 及び 1 6 0、コネクタ 1 7 0、電源供給部 1 8 0、並びに、Ｉ 2 Ｃデバイス 2 1 0 - 2 及び 2 1 0 - 3 を備える。さらに、追加ユニット 2 0 0 は、Ｉ 2 Ｃデバイス 2 1 0 - 1、電源部 2 2 0、及び、コネクタ 2 3 0 を備える。

【 0 0 0 5 】

MPU 1 2 0 は、Ｉ 2 Ｃデバイス 2 1 0 - 1 ~ 2 1 0 - 3 (以下、Ｉ 2 Ｃデバイス 2 1 0 - 1 ~ 2 1 0 - 3 を区別しない場合には、単にＩ 2 Ｃデバイス 2 1 0 という) の監視及び制御を行なうプロセッサである。MPU 1 2 0 は、ローカルバス 3 1 0 を介して Ｉ O _ P O R T 入力 1 1 0、Ｉ O _ P O R T 出力 1 1 1、及び、Ｉ 2 Ｃバスコントローラ 1 3 0 に接続される。

【 0 0 0 6 】

Ｉ O _ P O R T 入力 1 1 0 は、情報処理装置 1 0 0 に追加ユニット 2 0 0 が実装されたことを検出する。ここで、Ｉ O _ P O R T 入力 1 1 0 は、プルアップ抵抗 1 6 0 により所定の電圧レベルに維持された実装信号線 3 4 0 を介して、コネクタ 1 7 0 に接続される。また、追加ユニット 2 0 0 のコネクタ 2 3 0 には、GND 接続 (接地) された実装信号線 4 2 0 が接続される。コネクタ 1 7 0 がコネクタ 2 3 0 に接続されると、実装信号線 3 4 0 が実装信号線 4 2 0 を介して GND 接続する。このため、Ｉ O _ P O R T 入力 1 1 0 は、実装信号線 3 4 0 の電圧が低下した場合に、情報処理装置 1 0 0 に追加ユニット 2 0 0 が実装されたことを検出する。

【 0 0 0 7 】

Ｉ 2 Ｃバスコントローラ 1 3 0 は、プルアップ抵抗 1 5 0 により所定の電圧レベルに維持されたシリアルバス (Ｉ 2 Ｃバス) 3 2 0 を介して Ｉ 2 Ｃデバイス 2 1 0 と接続され、Ｉ 2 Ｃデバイス 2 1 0 との間でデータ信号及びクロック信号の通信制御を行なう。

BUS - SW (バススイッチ) 1 4 0 a 及び 1 4 0 b は、それぞれ、シリアルバス 3 2 0 に含まれるデータ信号線 (S D A) 3 2 0 a 及びクロック信号線 (S C L) 3 2 0 b とコネクタ 1 7 0 との間に介装されるスイッチである。バススイッチ 1 4 0 a 及び 1 4 0 b は、対応する信号線とコネクタ 1 7 0 及び 2 3 0 を介して接続された追加ユニット 2 0 0 の Ｉ 2 Ｃデバイス 2 1 0 - 1 との間の接続を切り替える。なお、バススイッチ 1 4 0 a 及び 1 4 0 b は、コネクタ 1 7 0 に追加ユニット 2 0 0 が接続されるときにはいずれもディセーブル状態になり、シリアルバス 3 2 0 と Ｉ 2 Ｃデバイス 2 1 0 - 1 との間の接続を開放、つまり切り離された状態にする。

【 0 0 0 8 】

Ｉ O _ P O R T 出力 1 1 1 は、MPU 1 2 0 からの制御に応じて、制御線 3 3 0 a 及び 3 3 0 b を介してバススイッチ 1 4 0 a 及び 1 4 0 b における接続の切り替えを行なう。

なお、電源供給部 1 8 0 は、コネクタ 1 7 0 に追加ユニット 2 0 0 のコネクタ 2 3 0 が接続されると、電源部 2 2 0 に対して電力を供給する。

上述の如く構成された情報処理装置 1 0 0 では、追加ユニット 2 0 0 が実装されると、Ｉ O _ P O R T 1 1 0 は、実装信号線 3 4 0 の実装信号が H i g h から L o w に変化したことを通じて追加ユニット 2 0 0 の接続を検知する (図 1 5 の矢印 (1) 参照)。

【 0 0 0 9 】

M P U 1 2 0 は、I O _ P O R T 入力 1 1 0 を参照して追加ユニット 2 0 0 が接続されたことを認識すると、I 2 C バスコントローラ 1 3 0 に対して、シリアルバス 3 2 0 のバスアクセスの動作を一旦停止させる（図 1 5 の矢印（ 2 ）参照）。

また、M P U 1 2 0 は、シリアルバス 3 2 0 が停止している間に、I O _ P O R T 出力 1 1 1 を制御してバススイッチ 1 4 0 a 及び 1 4 0 b をイネーブルに切り替える（図 1 5 の矢印（ 3 ）参照）。これにより、バススイッチ 1 4 0 a 及び 1 4 0 b が閉じて、S D A 3 2 0 a と追加ユニット 2 0 0 の S D A 4 1 0 a とが導通するとともに、S C L 3 2 0 b と追加ユニット 2 0 0 の S C L 4 1 0 b とが導通する。

【 0 0 1 0 】

バススイッチ 1 4 0 a 及び 1 4 0 b がイネーブルに切り替えられると、I 2 C バスコントローラ 1 3 0 は、バスアクセスの動作を再開し、追加ユニット 2 0 0 の I 2 C デバイス 2 1 0 - 1 へのバスアクセスを実施する（図 1 5 の矢印（ 4 ）参照）。

以上の動作により、M P U 1 2 0 は、シリアルバス 3 2 0 のバスアクセスを一旦停止させて、シリアルバス 3 2 0 へ追加ユニット 2 0 0 を接続させる。これにより、追加ユニット 2 0 0 の信号線のコンデンサ成分（浮遊容量）による、バス線への追加ユニット 2 0 0 の接触時のノイズ（電圧低下）の影響を抑えることができる。つまり、追加ユニット 2 0 0 をコネクタ 1 7 0 に接続した際に発生する電圧低下のノイズは、ディセーブル状態のバススイッチ 1 4 0 a 及び 1 4 0 b により分離されるため、シリアルバス 3 2 0 には影響を及ぼさない。

【 0 0 1 1 】

次に、図 1 6 に示す例を説明する。図 1 6 に示すように、情報処理装置 1 0 0 は、図 1 5 に示す情報処理装置 1 0 0 と同様の構成を備えるが、I O _ P O R T 出力 1 1 1、並びに、バススイッチ 1 4 0 a 及び 1 4 0 b の代わりに、I 2 C バスマルチプレクサ 1 1 2 を備える点が異なる。

I 2 C バスマルチプレクサ 1 1 2 は、シリアルバス 3 2 0 と I 2 C デバイス 2 1 0 及びコネクタ 1 7 0 との間に介装される I 2 C デバイスである。なお、I 2 C バスマルチプレクサ 1 1 2 としては、N X P 製 P C A 9 5 4 2 等が挙げられる。

【 0 0 1 2 】

I 2 C バスマルチプレクサ 1 1 2 は、情報処理装置 1 0 0 内部の I 2 C デバイス 2 1 0 - 2 及び 2 1 0 - 3 用のチャンネル 1 と、追加ユニット 2 0 0 の I 2 C デバイス 2 1 0 - 1 用のチャンネル 2 との間で、シリアルバス 3 2 0 のチャンネル切替を行なう。具体的には、I 2 C バスマルチプレクサ 1 1 2 は、バスがビジー状態でないタイミングでチャンネル切替を行なう。なお、I 2 C バスマルチプレクサ 1 1 2 は、内部にレジスタを備え、I 2 C コントローラ 1 3 0 を介して M P U 1 2 0 によりチャンネル切替を示す値がレジスタに書き込まれると、バスがビジー状態でないタイミングの検出を開始する。

【 0 0 1 3 】

上述の如く構成された情報処理装置 1 0 0 では、追加ユニット 2 0 0 が実装されると、I O _ P O R T 1 1 0 は、情報処理装置 1 0 0 と同様に追加ユニット 2 0 0 の接続を検知する（図 1 6 の矢印（ 1 ）参照）。

M P U 1 2 0 は、追加ユニット 2 0 0 の接続の検出後、追加ユニット 2 0 0 へのアクセスに先立ち、シリアルバス 3 2 0 を介して、I 2 C バスマルチプレクサ 1 1 2 の内部レジスタに対してチャンネル切替制御を行なう（図 1 6 の矢印（ 2 ）参照）。

【 0 0 1 4 】

I 2 C バスマルチプレクサ 1 1 2 は、内部レジスタの値に基づき、バスがビジー状態でないタイミングでチャンネル 1 からチャンネル 2 への切り替えを行なう（図 1 6 の矢印（ 3 ）参照）。

I 2 C バスマルチプレクサ 1 1 2 によりチャンネルが切り替えられると、I 2 C バスコントローラ 1 3 0 は、追加ユニット 2 0 0 の I 2 C デバイス 2 1 0 - 1 へのバスアクセスを実施する（図 1 6 の矢印（ 4 ）参照）。

10

20

30

40

50

【 0 0 1 5 】

以上の動作により、I 2 C バスマルチプレクサ 1 1 2 は、バスがビジー状態でないときに、チャンネルを切り替えてシリアルバス 3 2 0 へ追加ユニット 2 0 0 を接続させる。これにより、図 1 5 に示す例と同様に、追加ユニット 2 0 0 の信号線のコンデンサ成分（浮遊容量）による、バス線への追加ユニット 2 0 0 の接触時のノイズ（電圧低下）の影響を抑えることができる。つまり、追加ユニット 2 0 0 をコネクタ 1 7 0 に接続した際に発生する電圧低下のノイズは、I 2 C バスマルチプレクサ 1 1 2 により分離されるため、シリアルバス 3 2 0 には影響を及ぼさない。

【 0 0 1 6 】

なお、関連する技術として、システムのオンライン稼働中でのモジュールの交換手法が知られている（例えば、特許文献 1 参照）。この技術では、モジュールの挿入 / 抜去のときに発生するノイズをバスに接続された他のモジュールが受信しても誤動作しないタイミングで、バススイッチがモジュールの接続 / 切り離しを行なう。

ここで、ノイズを他のモジュールが受信しても誤動作しないタイミングとしては、図 1 7 に示す例が挙げられる。図 1 7 は、バスへのモジュールの接続又は切り離しのタイミングを説明する図である。例えばパラレルバスでは、他のモジュールは、バスクロックの立ち上がりのタイミングでデータを受け取る。換言すれば、他のモジュールは、追加モジュールをバスへ接続した際にノイズが発生したとしても、バスクロックに同期してデータを受け取るときにこのノイズが消滅していれば、ノイズの影響を受けずにデータ（図 1 7 のデータ “ B ”）を受け取ることができる。

【 0 0 1 7 】

また、関連する他の技術として、バスとユニットとの間に介装されたスイッチにより、バス又はユニットの状態に応じて、バス及びユニットの接続状態を切り替える技術が知られている（例えば、特許文献 2 及び 3 参照）。

さらに、コンピュータ本体のバスの電位レベルを制御し、拡張ユニット側のバスと等しい電位レベルにすることで、バスサイクルが実行状態のときに、拡張ユニットとのバス接続を可能とする技術が知られている（例えば、特許文献 4 参照）。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 8 】

【 特許文献 1 】 特開平 9 - 4 4 2 8 0 号公報

【 特許文献 2 】 特開 2 0 0 8 - 1 9 7 7 5 2 号公報

【 特許文献 3 】 特表 2 0 0 4 - 5 2 8 6 2 7 号公報

【 特許文献 4 】 特開平 9 - 2 3 7 1 4 0 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 9 】

図 1 5 に示す情報処理装置 1 0 0 では、M P U 1 2 0 は、I 2 C バスコントローラ 1 3 0 に対するソフトウェアによる制御により、I 2 C バス 3 2 0 の動作を停止させる。本来、I 2 C バス 3 2 0 のような共有バスは、常にデバイスへアクセスできる状態であることが望ましいが、情報処理装置 1 0 0 においては、共有バスへの追加ユニット 2 0 0 の接続の際に、他のデバイス 2 1 0 に対して継続アクセスができなくなる。

【 0 0 2 0 】

また、図 1 6 に示す情報処理装置 1 0 0 では、I 2 C バスマルチプレクサ 1 1 2 が備えられることで I 2 C バス 3 2 0 が分岐しバス構成が複雑になる。M P U 1 2 0 は、複雑なバス構成へ追加ユニット 2 0 0 を追加するために、I 2 C バスマルチプレクサ 1 1 2 に対してソフトウェアによるチャンネル切替制御を行なう。従って、情報処理装置 1 0 0 では、図 1 5 に示す情報処理装置 1 0 0 と同様の問題に加え、M P U 1 2 0 によるチャンネル切替制御において処理の遅延が発生するという問題もある。

【 0 0 2 1 】

さらに、図 17 を参照して説明した技術は、パラレルバスに適用されるものである。仮に、当該技術を I 2 C (シリアル) バスに適用したとしても、追加するモジュールの接続に伴いクロック信号にノイズが発生した場合には、他のモジュールは誤ってデータを取りこんでしまう可能性がある。

なお、上述した、バス又はユニットの状態に応じてスイッチによりバス及びユニットの接続状態を切り替える技術では、ユニットを接続する際に発生するノイズの影響を抑えることについては考慮されていない。

【 0 0 2 2 】

また、コンピュータ本体のバスの電位レベルを制御し、拡張ユニット側のバスと等しい電位レベルにする技術では、ソフトウェアによる複雑な制御が行なわれるため、拡張ユニットの接続処理の遅延が発生するという問題がある。

10

以上のように、上述した技術では、デバイスの接続の際にバスは種々の影響を受ける。

1 つの側面では、本発明は、デバイスの接続の際にバスが受ける影響を低減させることを目的とする。

【 0 0 2 3 】

なお、前記目的に限らず、後述する発明を実施するための形態に示す各構成により導かれる作用効果であって、従来の技術によっては得られない作用効果を奏することも本発明の他の目的の 1 つとして位置付けることができる。

【課題を解決するための手段】

【 0 0 2 4 】

20

本件の接続制御装置は、バスに対するデバイスの接続制御を行なう接続制御装置であって、前記バスに含まれる複数の信号線の各々から入力される信号の電圧レベルの組み合わせに基づき前記バスのバスサイクルの開始タイミングを検出した場合、前記複数の信号線の各々から入力される信号の電圧レベルがそれぞれ所定の閾値未満であることを検出する検出部と、前記バスと前記デバイスとの間に介装され前記複数の信号線の各々と前記デバイスとの間の接続の切り替えを行なう切替部に対して、前記検出部により前記信号の電圧レベルが前記所定の閾値未満であることが検出された信号線を前記デバイスに接続させるように切替制御を行なう切替制御部と、をそなえる。

【発明の効果】

【 0 0 2 5 】

30

第 1 又は第 2 実施形態によれば、デバイスの接続の際にバスが受ける影響を低減させることができる。

【図面の簡単な説明】

【 0 0 2 6 】

【図 1】第 1 実施形態に係る情報処理装置の構成例を示す図である。

【図 2】図 1 に示す I 2 C コントローラの構成例を示す図である。

【図 3】図 2 に示す B U S - S W 制御部の構成例を示す図である。

【図 4】図 2 に示すシリアルバスへ追加ユニットを活線挿入したときのシリアルバスの電圧レベルを説明する図である。

【図 5】図 2 に示すシリアルバスへ追加ユニットを活線挿入したときのシリアルバスの電圧レベルを説明する図である。

40

【図 6】図 2 に示すシリアルバスの通信状態の遷移を説明する図である。

【図 7】図 2 に示す B U S - S W 制御部の詳細な構成例を示す図である。

【図 8】図 7 に示す B U S - S W 制御部における各部の状態の一例を示すタイムチャートである。

【図 9】図 1 に示す I 2 C コントローラの動作例を説明するフローチャートである。

【図 10】図 1 に示す I 2 C コントローラの動作例を説明する図である。

【図 11】図 2 に示すシリアルバス、実装信号線、及び B U S - S W E N A B L E の状態の一例を示すタイムチャートである。

【図 12】第 2 実施形態に係る情報処理装置の構成例を示す図である。

50

【図 1 3】図 1 2 に示す I 2 C コントローラの構成例を示す図である。

【図 1 4】バス線へユニットを活線挿入したときのユニット内部の浮遊容量によるバス線への影響を説明する図である。

【図 1 5】I 2 C バスを有する情報処理装置の構成例を示す図である。

【図 1 6】I 2 C バスを有する情報処理装置の構成例を示す図である。

【図 1 7】バスへのモジュールの接続又は切り離しのタイミングを説明する図である。

【発明を実施するための形態】

【0027】

以下、図面を参照して実施の形態を説明する。

〔1〕第 1 実施形態

10

〔1-1〕情報処理装置の説明

図 1 は、第 1 実施形態に係る情報処理装置 1 の構成例を示す図である。図 1 に示すように、情報処理装置 1 は、I 2 C コントローラ 50、Central Processing Unit (CPU) 51、メモリ 52、並びに、I 2 C デバイス 21-2 及び 21-3 を備える。

【0028】

CPU (プロセッサ) 51 は、種々の制御や演算を行なう処理装置である。CPU 51 は、メモリ 52 又は図示しない Read Only Memory (ROM) 等に格納されたプログラムを実行することにより、種々の機能を実現する。なお、CPU 51 は、メモリ 52 及び I 2 C コントローラ 50 とそれぞれシステムバスを介して接続される。

メモリ 52 は、種々のデータやプログラムを一時的に格納する記憶装置であって、CPU 51 がプログラムを実行する際に、データやプログラムを一時的に格納・展開して用いる。なお、メモリ 52 としては、例えば Random Access Memory (RAM) 等の揮発性メモリが挙げられる。

20

【0029】

I 2 C コントローラ 50 は、2 線式のシリアルバスの一例である I 2 C バスを介して、I 2 C デバイス 21-2 及び 21-3 に対する各種制御を行なう装置である。また、第 1 実施形態に係る I 2 C コントローラ 50 は、I 2 C デバイス 21-1 を備える追加ユニット (I 2 C ユニット) 20 を I 2 C バスに接続させるために、後述する各種制御を行なう。例えば、I 2 C コントローラ 50 は、I 2 C デバイス 21 を含む情報処理装置 1 の監視を行なう監視装置であってもよい。

30

【0030】

I 2 C デバイス 21-1 ~ 21-3 (I 2 C デバイス 21-1 ~ 21-3 を区別しない場合には、単に I 2 C デバイス 21 という) は、情報処理装置 1 に対して活線接続が可能なデバイスである。例えば、I 2 C デバイス 21 としては、Hard Disk Drive (HDD) 又は Solid State Drive (SSD) 等の記憶装置のほか、ファン、センサ、電源等の制御装置、又は、監視装置等、I 2 C に準拠した種々のデバイスが挙げられる。

【0031】

〔1-2〕I 2 C コントローラの説明

次に、図 2 を参照して I 2 C コントローラ 50 の構成を説明する。

図 2 は、図 1 に示す I 2 C コントローラ 50 の構成例を示す図である。

40

図 2 に示すように、I 2 C コントローラ 50 は、BUS-SW (バススイッチ) 制御部 10、MPU 2、I 2 C バスコントローラ 3、バススイッチ 4a 及び 4b、プルアップ抵抗 5 及び 6、コネクタ 7、電源供給部 8、並びに、クロック発振器 9 を備える。

【0032】

また、追加ユニット 20 は、図 1 5 又は図 1 6 に示す追加ユニット 200 と同様の構成であり、I 2 C デバイス 21-1、電源部 22、及び、コネクタ 23 を備える。

MPU 2 は、図示しない ROM 等に格納されたファームウェアを実行することにより種々の制御を実行するプロセッサである。例えば、MPU 2 は、ローカルバス 31 を介して I 2 C バスコントローラ 3 に接続され、I 2 C デバイス 21-1 ~ 21-3 の監視及び制御を行なう。

50

【 0 0 3 3 】

I 2 C バスコントローラ 3 は、プルアップ抵抗 5 により所定の電圧レベルに維持されたシリアルバス（バス）3 2 を介して I 2 C デバイス 2 1 と接続され、M P U 2 からの制御を受けて I 2 C デバイス 2 1 との間でデータ信号及びクロック信号の通信制御を行なう。

つまり、図 2 に示すように、シリアルバス 3 2 に含まれるデータ信号線（S D A）3 2 a 及びクロック信号線（S C L）3 2 b は、それぞれプルアップ抵抗 5 に接続され、プルアップ抵抗 5 により各信号線の電圧が調整される。例えば、S D A 3 2 a 及び S C L 3 2 b の各々は、I 2 C バスコントローラ 3 により印加された電圧レベルが V h i g h（H i g h）又は V l o w（L o w）で示す所定のレベルを維持するように、プルアップ抵抗 5 によって調整される（図 4 及び図 5 参照）。

10

【 0 0 3 4 】

なお、図 2 において図示を省略しているが、M P U 2 及び I 2 C バスコントローラ 3 の少なくとも一方は、システムバスを介して図 1 に示す C P U 5 1 に接続され、C P U 5 1 からの要求に応じて、上記制御を行なうのである。

B U S - S W（バススイッチ，スイッチ）4 a 及び 4 b は、それぞれ、S D A 3 2 a 及び S C L 3 2 b とコネクタ 7 との間に介装されるスイッチである。バススイッチ 1 4 a 及び 1 4 b は、対応する信号線について個別に、コネクタ 7 及び 2 3 を介して接続された追加ユニット 2 0（I 2 C デバイス 2 1 - 1）との間の接続及び切り離しの切り替えを行なう。なお、バススイッチ 4 a 及び 4 b は、コネクタ 7 に追加ユニット 2 0 が接続されるときにはいずれもディセーブル状態になり、シリアルバス 3 2 と I 2 C デバイス 2 1 - 1 と

20

【 0 0 3 5 】

従って、バススイッチ 4 a 及び 4 b は、シリアルバス 3 2 と I 2 C デバイス 2 1 - 1 との間に介装され複数の信号線（S D A 3 2 a 及び S C L 3 2 b）の各々と I 2 C デバイス 2 1 との間の接続の切り替えを行なう切替部 4 の一例である。なお、ここでは、切替部 4 がバススイッチ 4 a 及び 4 b である例を説明したが、これに限定されるものではなく、複数の信号線と I 2 C デバイス 2 1 との間の接続の切り替えを個別に行なうことができれば、切替部 4 が一のスイッチ素子により実現されてもよい。

【 0 0 3 6 】

コネクタ 7 は、追加ユニット 2 0 のコネクタ 2 3 と嵌合等によって接触することにより、I 2 C コントローラ 5 0 と追加ユニット 2 0 とを接続する。具体的には、コネクタ 7 は、I 2 C コントローラ 5 0 側の S D A 3 2 a、S C L 3 2 b、実装信号線 3 4、電源供給部 8 と、追加ユニット 2 0 側の S D A 4 1 a、S C L 4 1 b、実装信号線 4 2、電源部 2 2 と、をそれぞれ接触（導通）させる。

30

【 0 0 3 7 】

実装信号線 3 4 は、バススイッチ制御部 1 0 とコネクタ 7 とを接続する信号線であり、プルアップ抵抗 6 により所定の電圧レベルに維持される。一方、追加ユニット 2 0 のコネクタ 2 3 には、G N D 接続（接地）された実装信号線 4 2 が接続されている。

電源供給部 8 は、コネクタ 7 に追加ユニット 2 0 のコネクタ 2 3 が接続されると、電源部 2 2 に対して電力を供給する。

40

【 0 0 3 8 】

クロック発振器 9 は、バススイッチ制御部 1 0 においてサンプリングを行なうために用いられるクロック信号を生成するものである。なお、クロック発振器 9 が生成するクロック信号は、S D A 3 2 a におけるクロック信号よりも十分に早い（例えば十倍程度の）周波数である。なお、クロック発振器 9 としては、L C 回路を用いた発振器や水晶発振器等が挙げられる。

【 0 0 3 9 】

バススイッチ制御部（接続制御装置）1 0 は、シリアルバス 3 2 に対する I 2 C デバイス 2 1 の接続制御を行なう装置である。バススイッチ制御部 1 0 は、図 2 に示すように、シリアルバス 3 2 から分岐した S D A 3 2 a 及び S C L 3 2 b、実装信号線 3 4、並びに

50

、クロック発振器 9 からのクロック信号線 3 5 が接続され、各信号線からの信号を入力信号とする。また、バススイッチ制御部 1 0 は、図 2 に示すように、バススイッチ 4 a 及び 4 b の各々と B U S - S W E N A B L E (バススイッチイネーブル; 以下、制御線という) 3 3 a 及び 3 3 b を介して接続され、バススイッチ 4 a 及び 4 b を制御する。

【 0 0 4 0 】

以下、図 3 ~ 図 6 を参照してバススイッチ制御部 1 0 の構成を説明する。図 3 は、図 2 に示すバススイッチ制御部 1 0 の構成例を示す図であり、図 4 及び図 5 は、それぞれ、図 2 に示すシリアルバス 3 2 へ追加ユニット 2 0 を活線挿入したときのシリアルバス 3 2 の電圧レベルを説明する図である。図 6 は、図 2 に示すシリアルバス 3 2 の通信状態の遷移を説明する図である。

10

【 0 0 4 1 】

図 3 に示すように、バススイッチ制御部 1 0 は、実装信号検知部 1 1、タイマー部 1 2、クロック信号 / データ信号レベル判定部 1 3、B U S - S W E N A B L E (バススイッチイネーブル) 設定部 1 4 を備える。

実装信号検知部 (検知部) 1 1 は、実装信号線 3 4 からの実装信号を入力され、I 2 C ユニット 2 0 (I 2 C デバイス 2 1) がコネクタ 7 (バススイッチ 4 a 及び 4 b) に接続されたことを検知する。例えば、コネクタ 7 がコネクタ 2 3 に接続されると、実装信号線 3 4 は、実装信号線 4 2 を介して G N D 接続する。実装信号検知部 1 1 は、実装信号線 4 2 の電圧が低下したことを検知すると、I 2 C デバイス 2 1 がバススイッチ 4 a 及び 4 b に接続されたことを検知する。

20

【 0 0 4 2 】

タイマー部 1 2 は、所定期間の計時を行なうものである。タイマー部 1 2 としては、例えばカウンタ回路のほか、計時が可能な種々の回路を用いることができる。

バススイッチイネーブル設定部 (切替制御部) 1 4 は、切替部 4 に対して、後述する信号レベル判定部 1 3 により信号の強度 (電圧レベル) が所定の閾値未満であると判定された信号線を I 2 C デバイス 2 1 に接続させるように切替制御を行なう。具体的には、バススイッチイネーブル設定部 1 4 は、信号レベル判定部 1 3 により検出された S D A 3 2 a 又は S C L 3 2 b に対応するバススイッチ 4 a 又は 4 b に対して、切り離し状態から接続状態に切り替えさせる制御を行なう。

【 0 0 4 3 】

30

例えば、バススイッチイネーブル設定部 1 4 は、追加ユニット 2 0 が I 2 C コントローラ 5 0 に接続されたときは、制御線 3 3 a 及び 3 3 b の電圧レベルを L o w (ディセーブル) にすることで、バススイッチ 4 a 及び 4 b を開放し、切り離し状態にする。一方、バススイッチイネーブル設定部 1 4 は、信号レベル判定部 1 3 からの指示に応じて、制御線 3 3 a 又は 3 3 b の電圧レベルを H i g h (イネーブル) にすることで、バススイッチ 4 a 又は 4 b を閉じ、接続状態にする。

【 0 0 4 4 】

クロック信号 / データ信号レベル判定部 (信号レベル判定部, 判定部) 1 3 は、追加ユニット 2 0 をシリアルバス 3 2 へ接触させる際に発生する、追加ユニット 2 0 内の信号線のコンデンサ成分によるノイズの大きさが最小限となるタイミングを検出する。

40

具体的には、信号レベル判定部 1 3 は、実装信号検知部 1 1 により I 2 C デバイス 2 1 がバススイッチ 4 a 及び 4 b に接続されたことが検知されると、S D A 3 2 a 及び S C L 3 2 b の各々から入力される信号の電圧レベルを監視する。そして、信号レベル判定部 1 3 は、S D A 3 2 a 及び S C L 3 2 b の各々から入力される信号の電圧レベルが所定の閾値 (V t h r e s h o l d) 未満であるか否かを判定する。より具体的に、信号レベル判定部 1 3 は、クロック発振器 9 から入力されるクロック信号を用いて、S D A 3 2 a 及び S C L 3 2 b から入力される信号をそれぞれサンプリングする。そして、信号レベル判定部 1 3 は、サンプリング結果から、各信号の電圧レベルが H i g h 及び L o w のいずれの状態であるかを判別する。

【 0 0 4 5 】

50

以下、図 4 及び図 5 を参照して、シリアルバス 3 2 へ追加ユニット 2 0 を活線挿入するタイミングと、シリアルバス 3 2 の電圧レベルとの関係を説明する。

図 4 に示すように、シリアルバス 3 2 のうちの S D A 3 2 a 又は S C L 3 2 b の信号の電圧レベルが V h i g h である場合、図 4 中 “ 接触 ” のタイミングでシリアルバス 3 2 に追加ユニット 2 0 が接続されると、浮遊容量による電圧低下の振れが大きい。図 4 に示す例では、S D A 3 2 a 又は S C L 3 2 b の電圧レベルは、閾値 (V t h r e s h o l d) の近傍にまで降下しているため、システムバス 3 2 に接続された他の I 2 C デバイス 2 1 が誤動作する可能性がある。

【 0 0 4 6 】

これに対し、図 5 に示すように、S D A 3 2 a 又は S C L 3 2 b の信号の電圧レベルが V l o w である場合、もともと電圧レベルが L o w の状態であるため、浮遊容量に起因する電圧低下が発生しても他の I 2 C デバイス 2 1 で誤動作は生じない。つまり、バス線の電圧レベルが L o w の状態のときに、システムバス 3 2 に追加ユニット 2 0 を接続することで、追加ユニット 2 0 のコンデンサ成分によるノイズの影響を抑えることができる。

【 0 0 4 7 】

そこで、信号レベル判定部 1 3 は、上述のようにバス線の電圧レベルが L o w になったタイミングを判定し、L o w になったバス線 (S D A 3 2 a 又は S C L 3 2 b) について、バススイッチイネーブル設定部 1 4 に切替制御を指示する。

ここで、シリアルバス 3 2 の一例としての I 2 C バスは、図 6 に示すように、通信の過程で、バスアクセスとバスアクセスとの合間であるバスフリータイム (Bus free time between STOP and START conditions ; 以下、T b u f という) の状態に遷移する。T b u f は、S T O P コンディションと S T A R T コンディションとの間の時間であり、この間、シリアルバス 3 2 に接続された I 2 C デバイス 2 1 - 2 及び 2 1 - 3 は、シリアルバス 3 2 を使用しない。

【 0 0 4 8 】

I 2 C バスの S T A R T コンディションは、図 6 に示すように、S C L 3 2 b が H i g h の状態のときに、S D A 3 2 a が H i g h の状態から L o w に落ちるときの状態であり、I 2 C バスにおけるバスアクセスの開始を表す。一方、I 2 C バスの S T O P コンディションは、図 6 に示すように、S C L 3 2 b が H i g h の状態のときに、S D A 3 2 a が L o w の状態から H i g h に上がるときの状態であり、I 2 C バスにおけるバスアクセスの終了を表す。

【 0 0 4 9 】

図 6 に示すように、S D A 3 2 a 及び S C L 3 2 b は、S T A R T コンディションにおいて、順に H i g h の状態から L o w に落ちる。

そこで、信号レベル判定部 1 3 は、T b u f を検出し、その後の S T A R T コンディションを検出することで、S D A 3 2 a 及び S C L 3 2 b の電圧レベルについて、H i g h から L o w への切り替わりを、順に検出することができる。そして、信号レベル判定部 1 3 は、L o w への切り替わりを検出した S D A 3 2 a 及び S C L 3 2 b について、個別にバススイッチ 4 a 及び 4 b (バススイッチイネーブル設定部 1 4) に対して切替制御を行なうことができる。

【 0 0 5 0 】

すなわち、信号レベル判定部 1 3 は、S D A 3 2 a 及び S C L 3 2 b の各々から入力される信号の電圧レベルが、タイマー部 1 2 による所定期間の計時の間、いずれも所定の閾値 (V t h r e s h o l d) 以上である場合に、T b u f の期間であると判定する。ここで、T b u f は、I 2 C バス固有の期間であり、S C L 3 2 b のクロック信号における H i g h の期間よりも長い。従って、タイマー部 1 2 には、計時する期間として、予め T b u f と同一或いは略同一、又は T b u f 以上の期間が設定されることが好ましい。

【 0 0 5 1 】

〔 1 - 3 〕 バススイッチ制御部の詳細な構成例

次に、図 7 及び図 8 を参照して、バススイッチ制御部 1 0 の詳細な構成例を説明する。

図 7 は、図 2 に示すバススイッチ制御部 10 の詳細な構成例を示す図であり、図 8 は、図 7 に示すバススイッチ制御部 10 における各部の状態の一例を示すタイムチャートである。図 7 に示すように、バススイッチ制御部 10 は、例えば複数の回路素子を用いて、ハードウェアにより実現される。

【0052】

実装信号検知部 11 は、実装信号線 34 に接続される抵抗 11a、増幅器 11b、及びコンデンサ 11c を備える。

タイマー部 12 は、カウンタ回路 12a 及び OR 回路 10c を備える。

信号レベル判定部 13 は、プルアップ抵抗 10a、10e、及び 10k、AND 回路 10b、10f、及び 10l、OR 回路 10i、NAND 回路 10j、並びに Delay - Flip Flop (ディレイフリップフロップ; D - FF) 13a ~ 13f を備える。

10

【0053】

バススイッチイネーブル設定部 14 は、プルアップ抵抗 10h 及び 10n、OR 回路 10g 及び 10m、並びに D - FF 14a 及び 14b を備える。

なお、図 7 において、“RESET” は、例えば MPU 2 から送信されるリセット信号線 36 であり、実装信号線 34 が Low に落ちると、High に維持される。

以下、クロック発振器 9 からのクロック信号線 35、実装信号検知部 11 からの実装信号線 34、リセット信号線 36、SCL 32b、SDA 32a、図 7 に示す (1) ~ (11) の各部、並びに制御線 33a 及び 33b の状態の一例を、図 8 を参照して説明する。なお、図 8 においては、制御線 33a を “BUS - SW1 __ ENABLE” と表記し、制御線 33b を “BUS - SW2 __ ENABLE” と表記する。

20

【0054】

なお、クロック発振器 9 からのクロック信号線 35 は、サンプリング用のクロック信号を出力し、バススイッチ制御部 10 内の各回路素子は、クロック信号に同期して動作を行う。

タイミング t1 において、実装信号線 34 が Low、つまり追加ユニット 20 がシステムバス 32 に接続されると、リセット信号線 36 が High に維持される (タイミング t2)。また、タイミング t3 において、D - FF 13e の出力 (9) が High から Low に遷移するとともに、D - FF 13f の出力 (10) が Low から High に遷移する。

30

【0055】

タイミング t4 において、SDA 32a の電圧レベルが Low から High に遷移すると、D - FF 13a の出力 (2) が High になるとともに、D - FF 13c 及び 13e の出力 (6) 及び (10) がそれぞれ Low になる (タイミング t5)。なお、D - FF 13a、13c、及び 13e は、それぞれ SDA 32a の電圧レベルを監視する D - FF である。

【0056】

次いで、タイミング t6 において、SCL 32b の電圧レベルが Low から High に遷移すると、D - FF 13b の出力 (1) が High になる (タイミング t7)。また、タイミング t7 において、D - FF 13a 及び 13b の出力の AND をとる AND 回路 10b の出力 (3) が High になる (タイミング t7)。なお、D - FF 13b、13d、及び 13f は、それぞれ SCL 32b の電圧レベルを監視する D - FF である。

40

【0057】

なお、タイミング t6 において、SDA 32a の電圧レベルが High の状態で、SCL 32b の電圧レベルが High に遷移したため (STOP コンディション)、システムバス 32 はバスフリータイムの状態になっている。

カウンタ回路 12a では、AND 回路 10b の出力 (3) が High になったことで、“*LOAD” 端子に High が入力される。そして、カウンタ回路 12a は、タイミング t7 において、Tbuf の期間のカウントを開始する。

【0058】

50

カウンタ回路 12 a による所定期間の計時が終了し、AND 回路 10 b の出力 (3) が High である時間が T b u f 以上であった場合には、カウンタ回路 12 a の出力 (4) が High に遷移する (タイミング t 8)。また、出力 (4) が High になったことにより、カウンタ回路 12 a の後段の D - F F 13 d の出力 (5) が High に遷移する (タイミング t 9)。

【0059】

ここで、タイミング t 10 において、S D A 3 2 a の電圧レベルが High から Low に遷移すると、つまり S T A R T コンディションになると、D - F F 13 a 及び AND 回路 10 b の出力 (2) 及び (3) が Low になる (タイミング t 11)。また、タイミング t 11 において、D - F F 13 c 及び 13 e の出力 (6) 及び (10) が High になるとともに、D - F F 13 c 及び 13 d の AND をとる AND 回路 10 f の出力 (7) が High になる。

10

【0060】

また、AND 回路 10 f の出力 (7) が High になったことで、D - F F 14 a の出力 (8) が High になり、制御線 33 a の電圧レベルが High になる (タイミング t 12)。すなわち、バススイッチイネーブル設定部 14 によりバススイッチ 4 a が接続状態に切替制御され、I 2 C デバイス 21 - 1 の S D A 4 2 a がシリアルバス 32 の S D A 3 2 a に接続される。

【0061】

次いで、タイミング t 13 において、S C L 3 2 b の電圧レベルが High から Low に遷移すると、D - F F 13 b 及び 13 d の出力 (1) 及び (5) が Low に遷移する (タイミング t 14)。また、タイミング t 14 において、D - F F 13 c 及び 13 d の AND をとる AND 回路 10 f の出力 (7) が Low になる。さらに、タイミング t 14 において、D - F F 13 f の出力 (9) が High に遷移するとともに、D - F F 13 e 及び 13 f の AND をとる AND 回路 10 l の出力 (11) が High になる。

20

【0062】

また、AND 回路 10 l の出力 (11) が High になったことで、D - F F 14 b の出力が High になり、制御線 33 b の電圧レベルが High になる (タイミング t 14)。すなわち、バススイッチイネーブル設定部 14 によりバススイッチ 4 b が接続状態に切替制御され、I 2 C デバイス 21 - 1 の S C L 4 1 b がシリアルバス 32 の S C L 3 2 b に接続される。

30

【0063】

以上のように、第 1 実施形態に係るバススイッチ制御部 10 によれば、信号レベル判定部 13 及びバススイッチイネーブル設定部 14 が論理回路により実現される。従って、I 2 C バスの動作の中で、追加ユニット 20 をシリアルバス 32 に接続する機会をハードウェアによって高速に検出し接続を行なうため、図 15 を参照して説明したソフトウェアによる制御と比べ、I 2 C バスコントローラ 3 の動作を停止しなくてよい。さらに、図 16 を参照して説明した I 2 C バスマルチプレクサ 112 のように、バス分岐がなくなるため、バス構成が複雑になることを抑止できる。また、ハードウェアによる制御は、M P U 2 の性能や負荷に依存するソフトウェアによる制御と比べて、安定した動作を実現することができる。

40

【0064】

なお、図 17 を参照して説明したパラレルバスに関する技術を I 2 C バスに適用した場合、I 2 C バスにはバス制御信号がないため、I 2 C デバイス 21 は、発生したノイズが原因で S T A R T コンディション又は S T O P コンディションと誤認識する可能性がある。これに対し、第 1 実施形態に係るバススイッチ制御部 10 によれば、バス線の電圧レベルが Low の状態のときに、システムバス 32 に追加ユニット 20 を接続するため、I 2 C デバイス 21 は、発生するノイズが原因でシリアルバス 32 の状態を誤認識することがない。

【0065】

50

なお、図 7 では、信号レベル判定部 13 及びバススイッチイネーブル設定部 14 の双方が論理回路により実現される例を示したが、これに限定されるものではない。例えば、信号レベル判定部 13 及びバススイッチイネーブル設定部 14 のうちの少なくとも一方が論理回路をそなえる構成としてもよい。この場合でも、信号レベル判定部 13 及びバススイッチイネーブル設定部 14 の双方がソフトウェアによる制御により実現される場合と比べて、安定した動作を実現することができる。

【0066】

〔1-4〕第1実施形態の動作例

次に、上述の如く構成された第1実施形態に係るI2Cコントローラ50における、シリアルバス32への追加ユニット20(I2Cデバイス21-1)の接続制御の動作例を、図9～図11を参照して説明する。図9は、図1に示すI2Cコントローラ50の動作例を説明するフローチャートであり、図10は、図1に示すI2Cコントローラ50の動作例を説明する図である。図11は、図2に示すシリアルバス32、実装信号線34、及び制御線33の状態の一例を示すタイムチャートである。なお、図9においては、制御線33aを“BUS-SW1_ENABLE”と表記し、制御線33bを“BUS-SW2_ENABLE”と表記する。

【0067】

はじめに、図9に示すように、バススイッチ制御部10により、追加ユニット20がコネクタ7に接続されたことに起因する実装信号が検出されたか否かが判定される(ステップS1)。実装信号が検出されなかったと判定された場合(ステップS1のNoルート)、実装信号が検出されるまでステップS1の判定が行なわれる。

一方、実装信号が検出されたと判定された場合(ステップS1のYesルート; 図10の矢印(1)及び図11のタイミングT1参照)、バススイッチ制御部10により、バスフリータイム(Tbuf)が検出されたか否かが判定される(ステップS2)。つまり、バススイッチ制御部10は、シリアルバス32のSDA32a及びSCL32bの電圧レベルを監視し、両方とも一定時間(Tbuf)High状態であるバスフリータイム(バスアクセスとバスアクセスとの合間)の検出が行なわれる。バススイッチ制御部10により、Tbufが検出されなかったと判定された場合(ステップS2のNoルート)、Tbufが検出されるまでステップS2の判定が行なわれる。

【0068】

一方、Tbufが検出されたと判定された場合(ステップS2のYesルート; 図10の(2)及び図11のタイミングT1～T2参照)、バススイッチ制御部10により、SDA32aの電圧レベルがHighからLowに遷移したことが検出されたか否かが判定される(ステップS3)。つまり、バススイッチ制御部10は、バスフリータイムを検出すると、I2CバスのSTARTコンディションの発生を検出する。バススイッチ制御部10により、SDA32aの電圧レベルがHighからLowに遷移したことが検出されなかったと判定された場合(ステップS3のNoルート)、遷移したことが検出されるまでステップS3の判定が行なわれる。

【0069】

これに対し、ステップS3において、SDA32aの電圧レベルがHighからLowに遷移したことが検出されたと判定された場合(ステップS3のYesルート; 図10の矢印(3)及び図11のタイミングT2参照)、ステップS4に移行する。

ステップS4では、バススイッチ制御部10により、制御線33aがイネーブルにされ、バススイッチ4aが閉じられることで、SDA32aとSDA41aとが接続される(図10の矢印(4)及び(5)並びに図11のタイミングT3参照)。つまり、バススイッチ制御部10は、SDA32aがLowに維持されている状態でI2Cデバイス21-1のSDA41aをシリアルバス32に接続する。I2Cデバイス21-1は、SDA32aがLowに落ちた状態でシリアルバス32に接続されるため、追加ユニット20の端子のコンデンサ成分(浮遊容量)によるノイズの影響を抑えて接続することができる。また、これにより、I2Cバスのバスサイクルの途中ではなく、バスサイクルの先頭からI

２Ｃデバイス２１－１をシリアルバス３２に接続することができる。

【００７０】

次いで、バススイッチ制御部１０により、ＳＣＬ３２ｂの電圧レベルがＨｉｇｈからＬｏｗに遷移したことが検出されたか否かが判定される（ステップＳ５）。遷移したことが検出されなかったと判定された場合（ステップＳ５のＮｏルート）、遷移したことが検出されるまでステップＳ５の判定が行なわれる。

これに対し、ステップＳ５において、ＳＣＬ３２ｂの電圧レベルがＨｉｇｈからＬｏｗに遷移したことが検出されたと判定された場合（ステップＳ５のＹｅｓルート；図１０の矢印（６）及び図１１のタイミングＴ４参照）、ステップＳ６に移行する。

【００７１】

ステップＳ６では、バススイッチ制御部１０により、制御線３３ｂがイネーブルにされ、バススイッチ４ｂが閉じられることで、ＳＣＬ３２ｂとＳＣＬ４１ｂとが接続される（図１０の矢印（７）及び（８）並びに図１１のタイミングＴ５参照）。つまり、バススイッチ制御部１０は、ＳＴＡＲＴコンディションが発生した後、ＳＣＬ３２ｂがＬｏｗに維持されている状態でＩ２Ｃデバイス２１－１のＳＣＬ４１ｂをシリアルバス３２に接続する。

【００７２】

以上の処理により、Ｉ２Ｃコントローラ５０における、シリアルバス３２への追加ユニット２０（Ｉ２Ｃデバイス２１－１）の接続制御が完了する。

〔１－５〕まとめ

このように、第１実施形態に係るＩ２Ｃコントローラ５０によれば、バススイッチイネーブル設定部１４により、切替部４に対して、信号レベル判定部１３により信号の強度（電圧レベル）が所定の閾値未満であると判定された信号線をＩ２Ｃデバイス２１－１に接続させるように切替制御が行なわれる。従って、バススイッチ制御部１０は、例えばＬｏｗに落ちた信号線ごとに個別に、Ｉ２Ｃデバイス２１－１の対応するＳＤＡ４１ａ及びＳＣＬ４１ｂと接続することができる。これにより、Ｉ２Ｃコントローラ５０は、システムバス３２を停止させることなく、追加ユニット２０の端子のコンデンサ成分によるノイズの影響を抑えることができる。つまり、Ｉ２Ｃデバイス２１－１の各信号線を、ノイズの大きさが最小限となるタイミングでシリアルバス３２に接続することができ、Ｉ２Ｃデバイス２１の接続の際にシリアルバス３２が受ける影響を低減させることができる。

【００７３】

また、上記判定は、各信号の強度（電圧レベル）に基づいて、シリアルバス３２に接続された他のＩ２Ｃデバイス２１によりシリアルバス３２が使用されていない状態が検出された場合に行なわれる。従って、バススイッチ制御部１０は、Ｉ２ＣバスがＳＴＡＲＴコンディションになったときに、ＳＤＡ３２ａ及びＳＣＬ３２ｂの電圧レベルがそれぞれＬｏｗに落ちたことを検出することができる。これにより、Ｉ２Ｃコントローラ５０は、Ｉ２Ｃバスのバスサイクルの途中ではなく先頭から、Ｉ２Ｃデバイス２１をシステムバス３２に接続することができ、バスサイクルの途中から接続されるよりもＩ２Ｃデバイス２１－１の誤作動の発生確率を低減させることができる。

【００７４】

さらに、バススイッチ制御部１０により、ＳＤＡ３２ａ及びＳＣＬ３２ｂの各々から入力される信号の強度（電圧レベル）が、タイマー部１２による所定期間の計時の間、いずれも所定の閾値以上である場合に、他のＩ２Ｃデバイス２１によりシリアルバス３２が使用されていない状態であると判定される。従って、バススイッチ制御部１０は、バスフリータイムを確実に検出することができる。

【００７５】

また、ＳＴＡＲＴコンディションのあと、ＳＤＡ３２ａ、ＳＣＬ３２ｂの順序で電圧レベルがＬｏｗに落ちるため、バススイッチ制御部１０は、毎回決まった手順で安定してＩ２Ｃデバイス２１をＩ２Ｃバスへ接続することができる。

さらに、実装信号検知部１１により、Ｉ２Ｃデバイス２１－１が切替部４に接続された

10

20

30

40

50

ことが検知された場合に、バススイッチ制御部 10 によって他の I 2 C デバイス 21 によりシリアルバス 32 が使用されていない状態の検出が開始される。従って、I 2 C コントローラ 50 は、コネクタ 7 への追加ユニット 20 の接続に応じて、自律でシリアルバス 32 への I 2 C デバイス 21 - 1 の接続を行なうことができ、利便性が高い。

【0076】

また、切替部 4 は、S D A 3 2 a 及び S C L 3 2 b について個別に S D A 4 1 a 及び S C L 4 1 b との切替制御を行なうバススイッチ 4 a 及び 4 b を備える。従って、電圧レベルが L o w に落ちた信号線から順に、I 2 C デバイス 21 - 1 をシリアルバス 32 へ効率的に接続することができる。

〔2〕第2実施形態

第1実施形態においては、情報処理装置 1 が二つの I 2 C デバイス 21 - 2 及び 21 - 3 をそなえ、情報処理装置 1 に一つの追加ユニット 20 が接続されるものとして説明したが、これに限定されるものではない。例えば、図 12 に示すように、情報処理装置 1 に複数（例えば三つ）の追加ユニット 20 - 1 ~ 20 - 3 が接続されるものとしてもよい。

【0077】

以下、図 12 及び図 13 を参照して、情報処理装置 1 の構成例を説明する。

図 12 は、第2実施形態に係る情報処理装置 1 の構成例を示す図であり、図 13 は、図 12 に示す I 2 C コントローラ 50 の構成例を示す図である。なお、図 12 及び図 13 において、図 1 及び図 2 に示す符号と同一の符号は、図 1 及び図 2 に示す構成と同一又は略同一のため、重複した説明は省略する。

【0078】

図 12 に示すように、第2実施形態に係る情報処理装置 1 は、図 1 に示す I 2 C コントローラ 50 に代えて、I 2 C コントローラ 50 を備える。なお、情報処理装置 1 は、I 2 C デバイス 21 を備えてもよい。

I 2 C コントローラ 50 は、I 2 C デバイス 21 - 1 ~ 21 - 3 を備える追加ユニット（I 2 C ユニット）20 - 1 ~ 20 - 3 を I 2 C バスに接続させるために、I 2 C コントローラ 50 と同様の各種制御を行なう。

【0079】

図 13 に示すように、第2実施形態に係る I 2 C コントローラ 50 は、追加ユニット 20 - 1 ~ 20 - 3 を接続するコネクタ 7 の数と同数のバススイッチ制御部 10、プルアップ抵抗 6、切替部 4、及び電源供給部 8 を備える。一方、I 2 C コントローラ 50 は、複数のコネクタ 7 に対して共通の M P U 2、I 2 C バスコントローラ 3、及びクロック発振器 9 を備える。

【0080】

第2実施形態に係る I 2 C コントローラ 50 は、接続される複数の追加ユニット 20 - 1 ~ 20 - 3 の各々について、個別に、第1実施形態において説明した各種制御を行なうのである。

これにより、第2実施形態に係る情報処理装置 1（I 2 C コントローラ 50）によっても、第1実施形態と同様の効果を奏することができる。

【0081】

〔3〕その他

以上、本発明の好ましい実施形態について詳述したが、本発明は、係る特定の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内において、種々の変形、変更して実施することができる。

例えば、上述した第1及び第2実施形態では、実装信号検知部 11 は、実装信号線 34 が G N D 接続したことを検出すると、追加ユニット 20 が実装されたことを検知するものとして説明したが、これに限定されるものではない。実装信号検知部 11 による追加ユニット 20 が実装されたことの検知は、既知の種々の手法により行なうことが可能であり、その詳細な説明は省略する。

【0082】

また、上述した第 1 及び第 2 実施形態では、シリアルバス 3 2 は、I 2 C バスであるものとして説明したが、これに限定されるものではない。シリアルバス 3 2 として、他の 2 線式シリアルバスが用いられてもよく、また、2 線式以外の複数の信号線を含むシリアルバスが用いられてもよい。シリアルバス 3 2 がいずれの場合であっても、バススイッチ制御部 1 0 は、信号の強度（電圧レベル）が所定の閾値以下になった信号線について、個別に切替部 4 に対して切替制御を行なわせればよい。なお、バススイッチ制御部 1 0 は、バスフリースタットの検出手法については、他の 2 線式シリアルバス、又は複数の信号線を含むシリアルバスの規格に従って、適宜修正を加えればよい。

【0083】

さらに、上述した第 1 及び第 2 実施形態では、信号レベル判定部 1 3 は、T b u f を検出した後に各信号の電圧レベルが L o w に切り替わることを検出するものとして説明したが、これに限定されるものではない。例えば、信号レベル判定部 1 3 は、バスサイクルの途中でも、電圧レベルが L o w になったことを検出した場合には、L o w になった S D A 3 2 a 又は S C L 3 2 b について、バススイッチ 4 a 又は 4 b の接続制御を行なってもよい。これにより、I 2 C コントローラ 5 0 は、T b u f の検出を待つよりも、早いタイミングで追加ユニット 2 0（I 2 C デバイス 2 1）をシリアルバス 3 2 に接続することができる。

【0084】

また、上述した第 1 及び第 2 実施形態では、一つ又は三つの追加ユニット 2 0 が情報処理装置 1 又は 1 に接続されるものとして説明したが、追加ユニット 2 0 の数はこれらに限定されるものではなく、種々増減することができる。

なお、図 9 に示すステップ S 1 ~ S 6 の処理は、シリアルバス 3 2 に接続された他の I 2 C デバイス 2 1 が存在する場合に行なわれればよく、他の I 2 C デバイス 2 1 が存在しない場合には、少なくともステップ S 4 及び S 6 の処理（順不同）が行なわれればよい。

〔4〕付記

以上の第 1 及び第 2 実施形態に関し、更に以下の付記を開示する。

（付記 1）

バスに対するデバイスの接続制御を行なう接続制御装置であって、

前記バスに含まれる複数の信号線の各々から入力される信号の電圧レベルが所定の閾値未満であるか否かを判定する判定部と、

前記バスと前記デバイスとの間に介装され前記複数の信号線の各々と前記デバイスとの間の接続の切り替えを行なう切替部に対して、前記判定部により前記信号の電圧レベルが前記所定の閾値未満であると判定された信号線を前記デバイスに接続させるように切替制御を行なう切替制御部と、

をそなえたことを特徴とする、接続制御装置。

（付記 2）

前記判定部は、前記各信号の電圧レベルに基づいて、前記バスに接続された他のデバイスにより前記バスが使用されていない状態を検出した場合に、前記信号線ごとに前記信号の電圧レベルが所定の閾値未満であるか否かの判定を行なうことを特徴とする、付記 1 記載の接続制御装置。

（付記 3）

所定期間の計時を行なうタイマー部をさらにそなえ、

前記判定部は、前記複数の信号線の各々から入力される信号の電圧レベルが、前記タイマー部による前記所定期間の計時の間、いずれも前記所定の閾値以上である場合に、前記他のデバイスにより前記バスが使用されていない状態であると判定することを特徴とする、付記 2 記載の接続制御装置。

（付記 4）

前記バスは、2 線式シリアルバスであり、

前記判定部は、前記他のデバイスにより前記バスが使用されていない状態を検出した後、前記他のデバイスによる前記バスの使用開始のタイミングに応じて、前記複数の信号線

10

20

30

40

50

のうちのデータ信号線及びクロック信号線の順で、各信号線から入力される信号の電圧レベルが前記所定の閾値未満であるか否かの判定を行なうことを特徴とする、付記 2 又は付記 3 記載の接続制御装置。

(付記 5)

前記デバイスが前記切替部に接続されたことを検知する検知部をさらにそなえ、

前記判定部は、前記検知部により前記デバイスが前記切替部に接続されたことが検知された場合に、前記他のデバイスにより前記バスが使用されていない状態の検出を開始することを特徴とする、付記 2 ~ 4 のいずれか 1 項記載の接続制御装置。

(付記 6)

前記切替部は、前記複数の信号線について個別に前記デバイスとの間の接続の切り替えを行なう複数のスイッチをそなえ、

前記切替制御部は、前記判定部により検出された信号線に対応するスイッチに対して、前記切替制御を行なうことを特徴とする、付記 1 ~ 5 のいずれか 1 項記載の接続制御装置。

(付記 7)

前記判定部及び前記切替制御部のうちの少なくとも一方は、一以上の論理回路をそなえることを特徴とする、付記 1 ~ 6 のいずれか 1 項記載の接続制御装置。

(付記 8)

バスに含まれる複数の信号線の各々から入力される信号の電圧レベルが所定の閾値未満であるか否かを判定する判定部と、

前記バスと前記バスに接続するデバイスとの間に介装され前記複数の信号線の各々と前記デバイスとの間の接続の切り替えを行なう切替部と、

前記切替部に対して、前記信号の電圧レベルが前記所定の閾値未満であると判定された信号線を前記デバイスに接続させるように切替制御を行なう切替制御部と、
をそなえることを特徴とする、情報処理装置。

(付記 9)

前記判定部は、前記各信号の電圧レベルに基づいて、前記バスに接続された他のデバイスにより前記バスが使用されていない状態を検出した場合に、前記信号線ごとに前記信号の電圧レベルが所定の閾値未満であるか否かの判定を行なうことを特徴とする、付記 8 記載の情報処理装置。

(付記 10)

所定期間の計時を行なうタイマー部をさらにそなえ、

前記判定部は、前記複数の信号線の各々から入力される信号の電圧レベルが、前記タイマー部による前記所定期間の計時の間、いずれも前記所定の閾値以上である場合に、前記他のデバイスにより前記バスが使用されていない状態であると判定することを特徴とする、付記 9 記載の情報処理装置。

(付記 11)

前記バスは、2 線式シリアルバスであり、

前記判定部は、前記他のデバイスにより前記バスが使用されていない状態を検出した後、前記他のデバイスによる前記バスの使用開始のタイミングに応じて、前記複数の信号線のうちのデータ信号線及びクロック信号線の順で、各信号線から入力される信号の電圧レベルが前記所定の閾値未満であるか否かの判定を行なうことを特徴とする、付記 9 又は付記 10 記載の情報処理装置。

(付記 12)

前記デバイスが前記切替部に接続されたことを検知する検知部をさらにそなえ、

前記判定部は、前記検知部により前記デバイスが前記切替部に接続されたことが検知された場合に、前記他のデバイスにより前記バスが使用されていない状態の検出を開始することを特徴とする、付記 9 ~ 11 のいずれか 1 項記載の情報処理装置。

(付記 13)

前記切替部は、前記複数の信号線について個別に前記デバイスとの間の接続の切り替え

10

20

30

40

50

を行なう複数のスイッチをそなえ、

前記切替制御部は、前記判定部により検出された信号線に対応するスイッチに対して、前記切替制御を行なうことを特徴とする、付記 8 ～ 12 のいずれか 1 項記載の情報処理装置。

(付記 14)

前記判定部及び前記切替制御部のうちの少なくとも一方は、一以上の論理回路をそなえることを特徴とする、付記 8 ～ 13 のいずれか 1 項記載の情報処理装置。

(付記 15)

バスに対するデバイスの接続制御を行なう接続制御装置における接続制御方法であって、

前記バスに含まれる複数の信号線の各々から入力される信号の電圧レベルが所定の閾値未満であるか否かを判定し、

前記バスと前記デバイスとの間に介装され前記複数の信号線の各々と前記デバイスとの間の接続の切り替えを行なう切替部に対して、前記信号の電圧レベルが前記所定の閾値未満であると判定された信号線を前記デバイスに接続させるように切替制御を行なう、ことを特徴とする、接続制御方法。

(付記 16)

前記判定する処理において、前記各信号の電圧レベルに基づいて、前記バスに接続された他のデバイスにより前記バスが使用されていない状態を検出した場合に、前記信号線ごとに前記信号の電圧レベルが所定の閾値未満であるか否かの判定を行なうことを特徴とする、付記 15 記載の接続制御方法。

(付記 17)

前記判定する処理において、前記複数の信号線の各々から入力される信号の電圧レベルが、所定期間の計時の間、いずれも前記所定の閾値以上である場合に、前記他のデバイスにより前記バスが使用されていない状態であると判定することを特徴とする、付記 16 記載の接続制御方法。

(付記 18)

前記バスは、2 線式シリアルバスであり、
前記判定する処理において、前記他のデバイスにより前記バスが使用されていない状態を検出した後、前記他のデバイスによる前記バスの使用開始のタイミングに応じて、前記複数の信号線のうちのデータ信号線及びクロック信号線の順で、各信号線から入力される信号の電圧レベルが前記所定の閾値未満であるか否かの判定を行なうことを特徴とする、付記 16 又は付記 17 記載の接続制御方法。

(付記 19)

前記デバイスが前記切替部に接続されたことを検知し、
前記判定する処理において、前記デバイスが前記切替部に接続されたことが検知された場合に、前記他のデバイスにより前記バスが使用されていない状態の検出を開始すること
を特徴とする、付記 16 ～ 18 のいずれか 1 項記載の接続制御方法。

(付記 20)

前記切替部は、前記複数の信号線について個別に前記デバイスとの間の接続の切り替えを行なう複数のスイッチをそなえ、

前記切替制御を行なう処理において、前記判定する処理により検出された信号線に対応するスイッチに対して、前記切替制御を行なうことを特徴とする、付記 15 ～ 19 のいずれか 1 項記載の接続制御方法。

【符号の説明】

【0085】

1, 1, 100, 100 情報処理装置

2 MPU

3 I2C バスコントローラ (バス制御部)

4 切替部

10

20

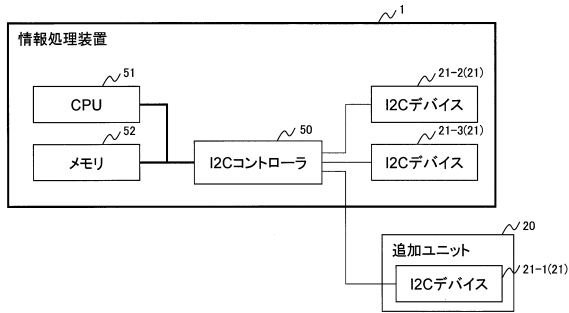
30

40

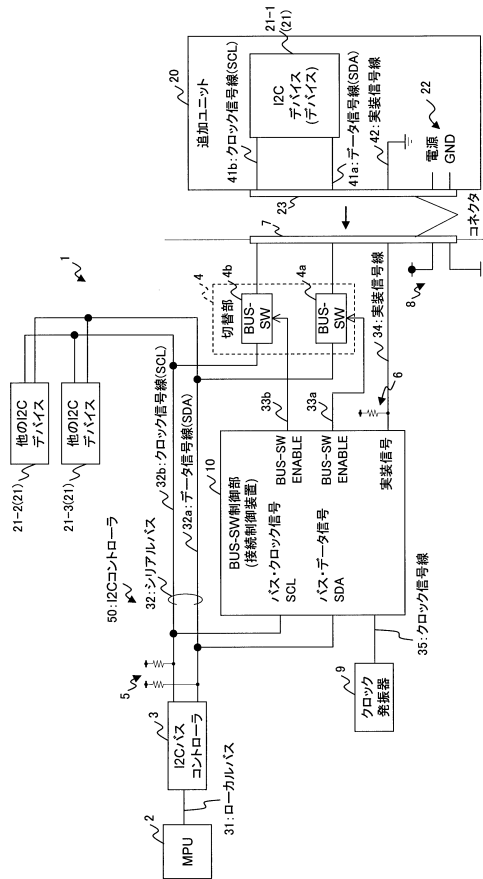
50

4 a , 4 c , 4 e	B U S - S W 1 (バススイッチ , スイッチ)	
4 b , 4 d , 4 f	B U S - S W 2 (バススイッチ , スイッチ)	
5 , 6 , 1 5 0 , 1 6 0	プルアップ抵抗	
7 , 2 3 , 1 7 0 , 2 3 0	コネクタ	
8 , 1 8 0	電源供給部	
9	クロック発振器	
1 0	B U S - S W 制御部 (接続制御回路)	
1 0 a , 1 0 e , 1 0 h , 1 0 k , 1 0 n	プルアップ抵抗	
1 0 b , 1 0 d , 1 0 f , 1 0 j , 1 0 l	A N D 回路	
1 0 c , 1 0 g , 1 0 i , 1 0 m	O R 回路	10
1 0 j	N A N D 回路	
1 1	実装信号検知部 (検知部)	
1 1 a	抵抗	
1 1 b	増幅器	
1 1 c	コンデンサ	
1 2	タイマー部	
1 2 a	カウンタ回路	
1 3	クロック信号 / データ信号レベル判定部 (信号レベル判定部 , 判定部)	
1 3 a ~ 1 3 f , 1 4 a , 1 4 b	D - F F	
1 4	B U S - S W E N A B L E 設定部 (バススイッチイネーブル設定部 , 切替制御部)	20
2 0 , 2 0 - 1 ~ 2 0 - 3 , 2 0 0	追加ユニット	
2 1 , 2 1 - 1 ~ 2 1 - 3	I 2 C デバイス (デバイス)	
2 2 , 2 2 0	電源部	
3 1 , 3 1 0	ローカルバス	
3 2 , 3 2 0	シリアルバス	
3 2 a , 4 1 a , 4 1 c , 4 1 e , 3 2 0 a , 4 1 0 a	データ信号線 (S D A)	
3 2 b , 4 1 b , 4 1 d , 4 1 f , 3 2 0 b , 4 1 0 b	クロック信号線 (S C L)	
3 3 a , 3 3 c , 3 3 e , 3 3 0 a	B U S - S W 1 E N A B L E (制御線)	
3 3 b , 3 3 d , 3 3 f , 3 3 0 b	B U S - S W 2 E N A B L E (制御線)	30
3 4 , 4 2 , 3 4 0 , 4 2 0	実装信号線	
3 5	クロック信号線	
3 6	リセット信号線	
5 0 , 5 0	I 2 C コントローラ	
5 1	C P U	
5 2	メモリ	
1 1 0	I O _ P O R T 入力	
1 1 1	I O _ P O R T 出力	
1 1 2	I 2 C バスマルチプレクサ	
1 2 0	M P U	40
1 3 0	I 2 C バスコントローラ	
1 4 0 a	B U S - S W 1 (バススイッチ)	
1 4 0 b	B U S - S W 2 (バススイッチ)	
2 1 0 , 2 1 0 - 1 ~ 2 1 0 - 3	I 2 C デバイス	
3 2 , 3 2 0	シリアルバス	

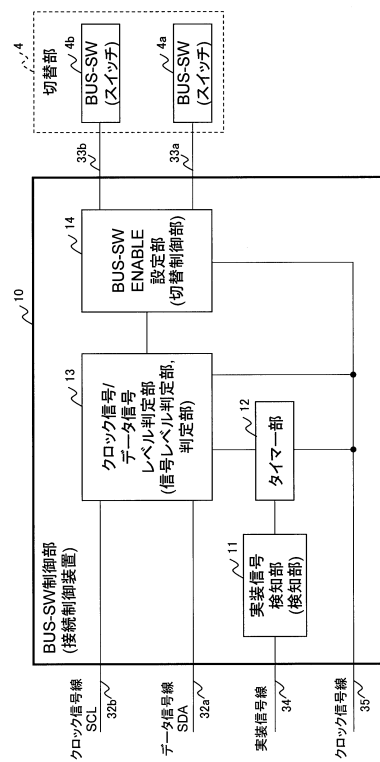
【図 1】



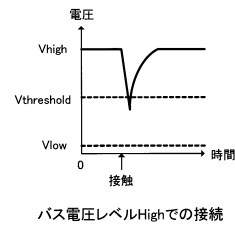
【図 2】



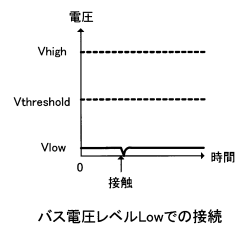
【図 3】



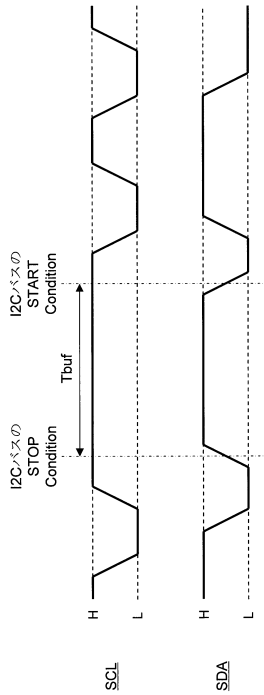
【図 4】



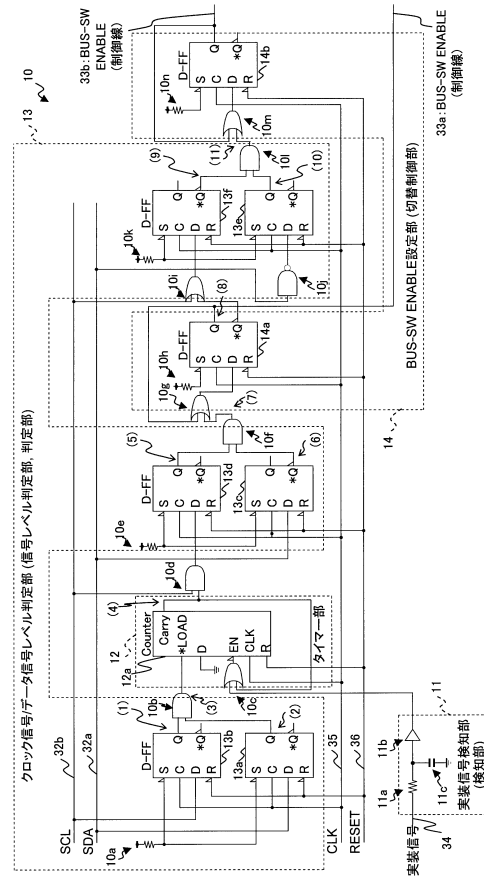
【図 5】



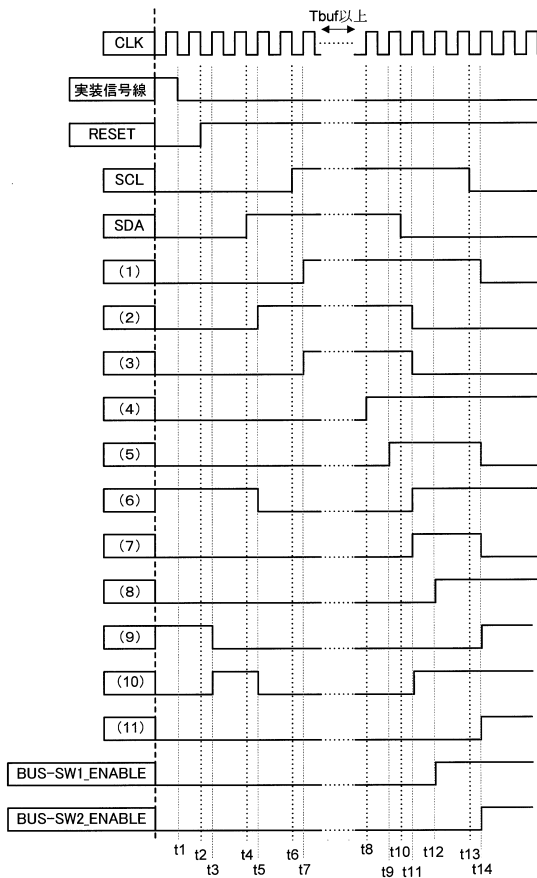
【図 6】



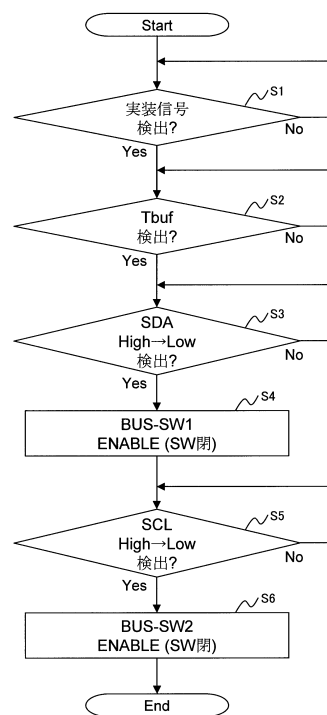
【図 7】



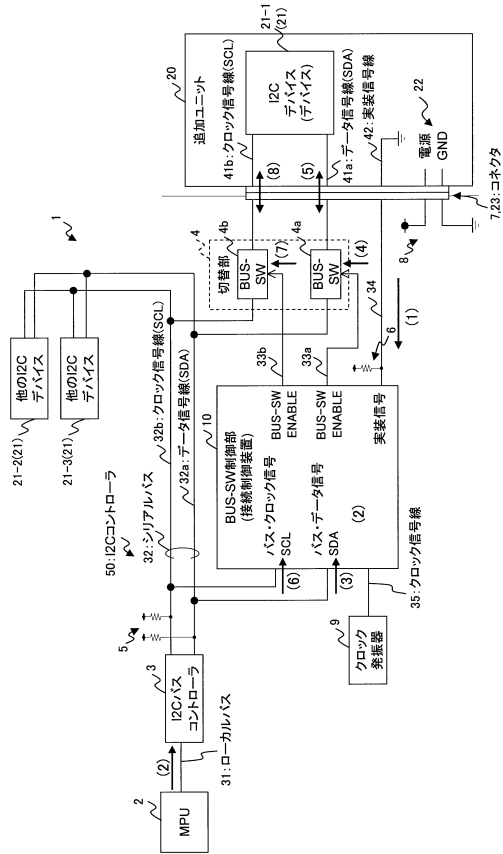
【図 8】



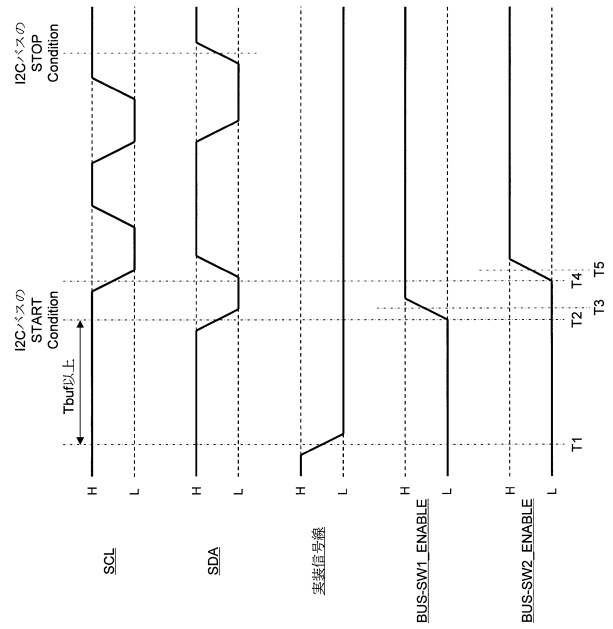
【図 9】



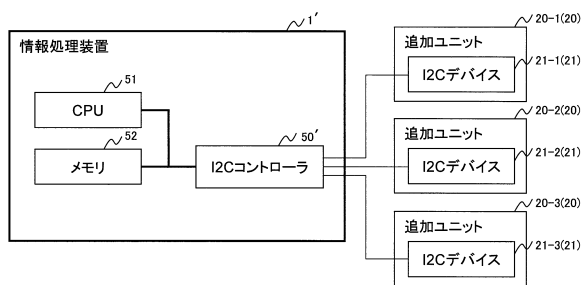
【 図 1 0 】



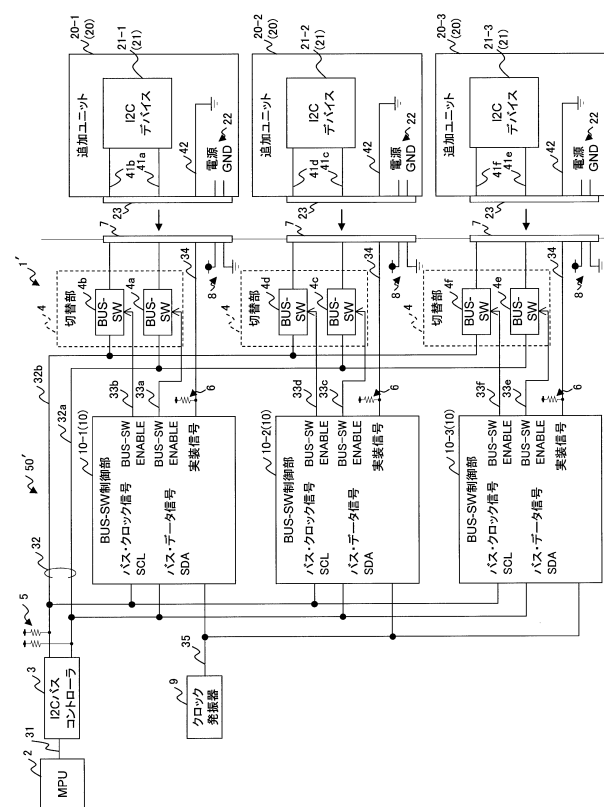
【 図 1 1 】



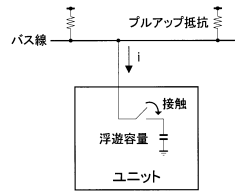
【 図 1 2 】



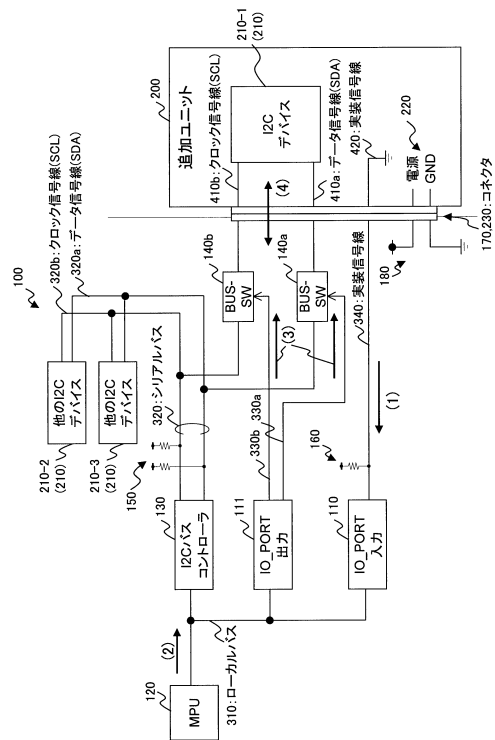
【 図 1 3 】



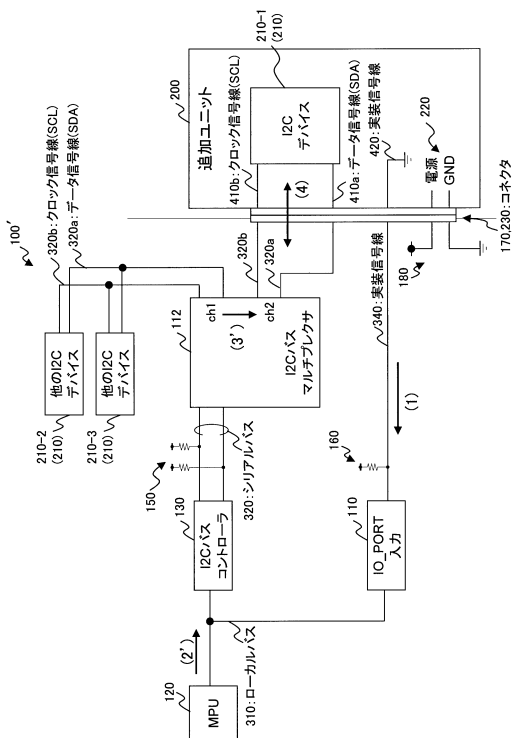
【 図 1 4 】



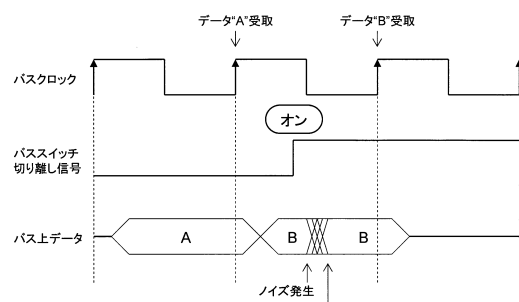
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(56)参考文献 特開2007-052543(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/00

G06F 13/42