

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-193221

(P2004-193221A)

(43) 公開日 平成16年7月8日(2004.7.8)

(51) Int.Cl.⁷

H01L 25/04

G02B 6/12

H01L 25/18

F I

H01L 25/04

G02B 6/12

テーマコード (参考)

2H047

審査請求 未請求 請求項の数 15 O L (全 22 頁)

(21) 出願番号 特願2002-357069 (P2002-357069)

(22) 出願日 平成14年12月9日 (2002.12.9)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100067736

弁理士 小池 晃

(74) 代理人 100086335

弁理士 田村 榮一

(74) 代理人 100096677

弁理士 伊賀 誠司

(72) 発明者 小川 剛

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

Fターム(参考) 2H047 KA02 MA07 PA28 QA05 TA11

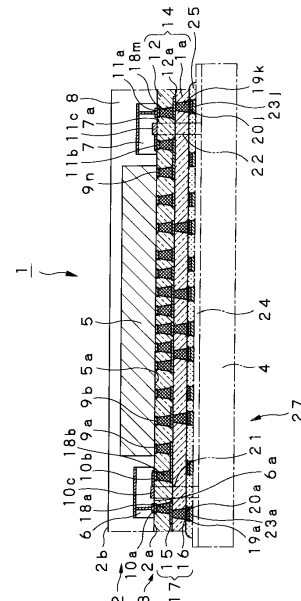
(54) 【発明の名称】 半導体回路素子・光学素子混載ハイブリットモジュール及びその製造方法

(57) 【要約】

【課題】電気配線を短縮化して寄生容量を低減し、信号伝送の高速化や高容量化を図る。

【解決手段】半導体回路素子5と光学素子6、7とをそれぞれの入出力部の形成面を同一面となるように絶縁樹脂層8によって封止して一体化した素子封止ブロック体2と、半導体回路素子5と光学素子6、7とを電氣的に接続する電気配線層17と光学素子6、7間を光学的に接続する導光部材24とを有する電気配線ブロック体3とからなる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体回路素子と光学素子とが、それぞれの入出力部の形成面を第 1 の主面に対して同一平面を構成するように露出されて絶縁樹脂材によって封止されてなる素子封止ブロック体と、

絶縁樹脂層内に少なくとも上記半導体回路素子と上記光学素子とを電気的に接続する素子間配線パターンを有する 1 層若しくは多層の電気配線パターンと、第 1 の主面に形成された上記電気配線パターンと接続される端子パターンと、上記光学素子の光学信号入出力部と対向して形成された導光部とを有する電気配線ブロック体とからなり、

上記素子封止ブロック体の第 1 の主面上に、上記電気配線ブロック体が上記第 1 の主面を積層面として上記半導体回路素子及び上記光学素子の入出力電極に上記端子パターンを接続されて積層形成されたことを特徴とする半導体回路素子・光学素子混載ハイブリットモジュール。 10

【請求項 2】

上記電気配線ブロック体には、上記第 1 の主面と対向する第 2 の主面に上記電気配線パターンと接続された基板実装用端子パターンが形成されていることを特徴とする請求項 1 に記載の半導体回路素子・光学素子混載ハイブリットモジュール。

【請求項 3】

上記電気配線ブロック体の絶縁樹脂層が、光透過特性を有する絶縁樹脂材によって形成され、上記光学素子の光学信号入出力部から出射される光学信号或いは入射される光学信号を導光することを特徴とする請求項 1 に記載の半導体回路素子・光学素子混載ハイブリットモジュール。 20

【請求項 4】

上記電気配線ブロック体には、上記第 1 の主面或いは内層に、端部が上記光学素子の光学信号入出力部と対向されて入出力部を構成して、上記光学素子から出射される光学信号或いは上記光学素子に入射される光学信号を導光する光学信号伝送路が形成されていることを特徴とする請求項 1 に記載の半導体回路素子・光学素子混載ハイブリットモジュール。

【請求項 5】

上記光学信号伝送路が、導光性樹脂材やこの導光性樹脂材にフッ素を添加した素材、或いはこれらの混合物からなる高分子材料によって形成されることを特徴とする請求項 4 に記載の半導体回路素子・光学素子混載ハイブリットモジュール。 30

【請求項 6】

上記素子封止ブロック体が、上記第 1 の主面と対向する第 2 の主面に研磨処理を施して薄型化されることを特徴する請求項 5 に記載の半導体回路素子・光学素子混載ハイブリットモジュール。

【請求項 7】

シリコン基板やガラス基板を用いるダミー基板の平坦な主面上に全面に亘って剥離層を形成するダミー基板製作工程と、

上記ダミー基板の剥離層上に、半導体回路素子と光学素子とをそれぞれの入出力部の形成面を搭載面として位置決めして搭載する素子搭載工程と、 40

上記ダミー基板の剥離層上に、絶縁樹脂材からなる封止層によって上記半導体回路素子と上記光学素子とを封止する素子封止工程と、

上記剥離層を介して上記ダミー基板から剥離することによって、第 1 の主面となる剥離面において上記半導体回路素子と上記光学素子とがそれぞれの入出力部の形成面を上記封止層の主面と同一平面を構成するように露出されてなる素子封止ブロック体を製作する素子封止ブロック体製作工程と、

上記素子封止ブロック体の第 1 の主面上に、上記半導体回路素子及び上記光学素子の入出力部にそれぞれ設けられた入出力電極を露出させるビアホールを有する絶縁樹脂層を形成する絶縁層形成工程と、

上記ビアホール内に導電処理を施しかつ上記絶縁樹脂層に電気配線パターンを形成すると 50

ともに上記光学素子の光学信号入出力部と対向して導光部を形成する電気配線ブロック体製作工程とを有し、

上記素子封止ブロック体の第1の主面上に、上記半導体回路素子と上記光学素子とを電氣的に接続する素子間配線パターンを有する上記電気配線ブロック体を積層形成することを特徴とする半導体回路素子・光学素子混載ハイブリットモジュールの製造方法。

【請求項8】

上記剥離層が粘着性を有する絶縁樹脂材によって形成され、上記素子搭載工程において搭載される上記半導体回路素子及び上記光学素子を仮保持することを特徴とする請求項7に記載の半導体回路素子・光学端子混載ハイブリットモジュールの製造方法。

【請求項9】

複数個分の上記素子封止ブロック体を構成する所定個数の上記半導体回路素子及び所定個数の上記光学素子をそれぞれ上記ダミー基板上に搭載する上記素子搭載工程と、

上記半導体回路素子群及び上記光学素子群を上記絶縁樹脂材によって一括して封止する上記素子封止工程と、

上記剥離層を介して上記ダミー基板から剥離することによって、第1の主面となる剥離面において上記半導体回路素子群と上記光学素子群とがそれぞれの入出力部の形成面を上記封止層の主面と同一平面を構成するように露出されてなる素子封止ブロック集合体を製作する素子封止ブロック集合体製作工程と、

上記素子封止ブロック集合体から上記素子封止ブロック体を1個分毎に切り分ける素子封止ブロック切分け工程とが施され、

複数個の素子封止ブロック体を一括して製作することを特徴とする請求項7に記載の半導体回路素子・光学素子混載ハイブリットモジュールの製造方法。

【請求項10】

複数個分の上記素子封止ブロック体を構成する所定個数の上記半導体回路素子及び所定個数の上記光学素子をそれぞれ上記ダミー基板上に搭載する上記素子搭載工程と、

上記半導体回路素子群及び上記光学素子群を上記絶縁樹脂材によって一括して封止する上記素子封止工程と、

上記ダミー基板上において上記封止層を切断して上記素子封止ブロック体を1個分毎に切り分ける素子封止ブロック体切分け工程とを有し、

上記各素子封止ブロック体が上記ダミー基板から剥離されることによって複数個の素子封止ブロック体を一括して製作することを特徴とする請求項7に記載の半導体回路素子・光学素子混載ハイブリットモジュールの製造方法。

【請求項11】

上記ダミー基板から剥離して製作された上記素子封止ブロック体に対して、上記第1の主面と対向する第2の主面に研磨処理を施して薄型化する研磨工程を有することを特徴する請求項7に記載の半導体回路素子・光学素子混載ハイブリットモジュールの製造方法。

【請求項12】

上記電気配線ブロック体形成工程が、下層側の配線層に形成されたランドを露出させるビアホールを有する絶縁樹脂層を形成する工程と、上記ビアホールに導電処理を施す工程と、上記絶縁樹脂層上に電気配線パターンを形成する工程とを繰り返して所定層数の配線層を形成する工程であることを特徴とする請求項7に記載の半導体回路素子・光学端子混載ハイブリットモジュールの製造方法。

【請求項13】

上記電気配線ブロック体形成工程において、上記素子封止ブロック体との積層面となる第1の主面と対向する第2の主面に、上記電気配線パターンと接続された基板実装用端子パターンが形成され、

上記第2の主面を実装面として、上記基板実装用端子パターンが相対する端子パターンとそれぞれ接合されることによって基板実装が行われることを特徴とする請求項7に記載の半導体回路素子・光学素子混載ハイブリットモジュールの製造方法。

【請求項14】

上記電気配線ブロック体形成工程において、絶縁樹脂層を形成する絶縁樹脂材に光透過特性を有する絶縁樹脂材を用い、上記光学素子から出射される光学信号或いは上記光学素子に入射される光学信号を導光する機能を有する上記電気配線ブロック体を形成することを特徴とする請求項7に記載の半導体回路素子・光学素子混載ハイブリットモジュールの製造方法。

【請求項15】

上記素子封止ブロック体の第1の主面或いは光透過特性を有する絶縁樹脂材によって形成された上記電気配線ブロック体の絶縁樹脂層上に、クラッド材によってコア材を封装してなり、このコア材の端部が上記光学素子の光信号入出力部と対向されて光信号入出力部を構成して上記光学素子から出射される光学信号或いは上記光学素子に入射される光学信号を導光する光学信号伝送路を形成する光学信号伝送路形成工程を有することを特徴とする請求項7に記載の半導体回路素子・光学素子混載ハイブリットモジュールの製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体回路素子と光学素子とを混載して電気信号と光学信号との伝送を可能として情報信号等の高速、大容量伝送化を図る半導体回路素子・光学素子混載ハイブリットモジュール及びその製造方法に関する。

【0002】

【従来の技術】

20

例えば、パーソナルコンピュータ、携帯電話機、ビデオ機器、オーディオ機器等の各種デジタル電子機器には、各種のIC(Integrated Circuit)素子やLSI(Large Scale Integration)素子、メモリ素子等の複数の半導体回路素子を配線基板上に搭載したマルチチップモジュールが備えられている。マルチチップモジュールにおいては、配線パターンの微細化、ICパッケージの小型化や集積規模の飛躍的向上、多ピン化或いはCSP(chip size package)等の実装方法の改善によって高機能化、複合化が図られるとともに、小型軽量化或いは薄型化が図られている。また、マルチチップモジュールにおいては、半導体回路素子の動作速度の大幅な向上、大容量化等に伴って高性能化、高機能化、多機能化、高速処理化等が図られている。

30

【0003】

従来のマルチチップモジュールにおいては、一般にボード内に搭載された半導体回路素子間等のように比較的短い距離の信号伝送が、電気配線による電気信号によって行われていた。マルチチップモジュールは、情報信号の高速伝送化や信号パターンの高密度化等によってさらなる性能の向上が図られているが、電気配線による対応ではその限界があるために実現が困難であった。マルチチップモジュールにおいては、配線パターン内において発生するCR(Capacitance-Resistance)時定数による信号伝送の遅延、EMI(Electromagnetic Interference)ノイズやEMC(Electromagnetic Compatibility)或いは各配線パターン間のクロストーク等の問題に対する対応が必要となる。

40

【0004】

マルチチップモジュールにおいては、上述した電気配線による電気信号の伝送方式の問題を解決するために、光学配線や光学インターコネクション等によって構成される光学配線技術の採用が注目されている。光学配線技術は、機器間や機器に搭載されたボード間或いはボード内の各半導体回路素子間に伝送される情報信号等を高速で伝送することを可能とする。光学配線技術は、特に半導体回路素子間のように短距離の信号伝送を行う場合に、半導体回路素子を実装した配線基板上に光学信号伝送路を形成することによって、この光学信号伝送路を伝送路として光学信号を高速かつ大容量を以って伝送し、情報伝送システムを好適に構築する。

【0005】

50

【発明が解決しようとする課題】

ところで、マルチチップモジュールにおいては、高速、高容量化されたLSI等の半導体回路素子間の信号伝送を上述した光学配線技術を用いた光学バスによって行うようにしたハイブリット型で構成する場合に、各半導体回路素子からの電気的入出力信号が光学素子によって光学的入出力信号に変換される。ハイブリットモジュールには、出力側の光学素子として半導体レーザや発光ダイオード等の発光素子が用いられ、入力側の光学素子としてフォトディテクタ等の受光素子が用いられる。

【0006】

すなわち、ハイブリットモジュールにおいては、送信側において半導体回路素子からの信号出力が印加されて駆動される発光素子から、信号出力を変換した光学信号が光学バスに送出される。ハイブリットモジュールにおいては、受信側において光学バスを伝送された光学信号を受光素子で受信し、この受光素子によって電気信号に変換して半導体回路素子に供給する。したがって、ハイブリットモジュールにおいては、光学バスとともに半導体回路素子と光学素子との電気的接続を行う電気配線パターンも形成される。

10

【0007】

ハイブリットモジュールにおいては、光学バスを介して信号伝送が高速化されるほど、電気配線パターンの上述したCR時定数による信号伝送の遅延、EMIノイズやEMC等を低減して低寄生容量化を図った構造が極めて重要となる。また、ハイブリットモジュールにおいては、従来回路基板に対して半導体回路素子と光学素子とが個別に実装されていたが、実装工程が複雑化するとともに歩留まりも悪いといった問題があった。ハイブリットモジュールにおいては、半導体回路素子と光学素子とを個別実装することにより、これらを電気的に接続する素子間電気配線パターンの接続容量によって低寄生容量化の実現が困難であった。

20

【0008】

したがって、本発明は、半導体回路素子と光学素子とを搭載して電気配線を短縮化して寄生容量を低減し、信号伝送の高速化或いは高容量化を図る半導体回路素子・光学素子混載ハイブリットモジュール及びその製造方法を提供することを目的に提案されたものである。

【0009】**【課題を解決するための手段】**

30

上述した目的を達成する本発明にかかる半導体回路素子・光学素子混載ハイブリットモジュールは、半導体回路素子と光学素子とが封止されてなる素子封止ブロック体と、少なくとも半導体回路素子と光学素子とを電気的に接続する素子間配線パターンと光学素子の光学信号入出力部と対向して形成された導光部とを有する電気配線ブロック体とからなる。半導体回路素子・光学素子混載ハイブリットモジュールは、素子封止ブロック体が、半導体回路素子と光学素子とをそれぞれの入出力部の形成面を、第1の主面に対して同一平面を構成するように露出させて絶縁樹脂材によって封止してなる。半導体回路素子・光学素子混載ハイブリットモジュールは、電気配線ブロック体が、絶縁樹脂層内に素子間配線パターンを含む1層若しくは多層の電気配線パターンと、第1の主面に形成されて電気配線パターンと接続される端子パターンと、光学素子の光学信号入出力部と対向して形成された導光部とを有してなる。半導体回路素子・光学素子混載ハイブリットモジュールは、素子封止ブロックの第1の主面上に、電気配線ブロックが第1の主面を積層面として半導体回路素子及び光学素子の入出力電極に端子パターンを接続されて積層形成されてなる。

40

【0010】

以上のように構成された本発明にかかる半導体回路素子・光学素子混載ハイブリットモジュールは、半導体回路素子と光学素子とを一体化した素子封止ブロック体に、電気配線パターンと導光部とを有する電気配線ブロック体が積層形成される。半導体回路素子・光学素子混載ハイブリットモジュールによれば、素子封止ブロック体の主面にそれぞれの入出力部が同一面を構成して露出された半導体回路素子と光学素子とが、電気配線ブロック体に形成した素子間配線パターンにより精密かつ最短で電気的に接続されるとともに光学素子

50

と導光部との光学的接続も行われる。半導体回路素子・光学素子混載ハイブリットモジュールによれば、半導体回路素子と光学素子とが低寄生容量化が図られて接続されるとともに光学素子を介しての光学信号の伝送が行われることから、信号伝送の高速化及び高容量化が図られる。

【 0 0 1 1 】

上述した目的を達成する本発明にかかる半導体回路素子・光学素子混載ハイブリットモジュールの製造方法は、ダミー基板製作工程と、素子搭載工程と、素子封止工程と、素子封止ブロック体製作工程と、絶縁層形成工程と、電気配線ブロック体製作工程とを有している。ダミー基板製作工程は、シリコン基板やガラス基板を用いるダミー基板の平坦な主面上に、全面に亘って剥離層を形成する。素子搭載工程は、ダミー基板の剥離層上に、半導体回路素子と光学素子とをそれぞれの入出力部の形成面を搭載面として位置決めして搭載する。素子封止工程は、ダミー基板の剥離層上に、絶縁樹脂材からなる封止層によって半導体回路素子と光学素子とを封止する。素子封止ブロック体製作工程は、剥離層を介して半導体回路素子と光学素子とを封止した封止層をダミー基板から剥離することによって、第1の主面となる剥離面において半導体回路素子と光学素子とがそれぞれの入出力部の形成面を封止層の主面と同一平面を構成するように露出されてなる素子封止ブロック体を製作する。絶縁層形成工程は、素子封止ブロック体の第1の主面上に、半導体回路素子及び光学素子の入出力部にそれぞれ設けられた入出力電極を露出させるビアホールを有する絶縁樹脂層を形成する。電気配線ブロック製作工程は、ビアホールに導電処理を施しかつ絶縁樹脂層に電気配線パターンを形成するとともに、光学素子の光学信号入出力部と対向して導光部を形成する。

【 0 0 1 2 】

以上の工程を有する本発明にかかる半導体回路素子・光学素子混載ハイブリットモジュールの製造方法によれば、素子封止ブロック体をダミー基板の平坦な主面上で製作することから、その主面上に精密な電気配線ブロック体を積層形成することが可能となる。半導体回路素子・光学素子混載ハイブリットモジュールの製造方法によれば、半導体回路素子と光学素子とが精密に同一平面を構成することから、半導体回路素子と光学素子とが電気配線ブロック体に形成された精密な素子間配線パターンによって最短で電氣的に接続されるとともに光学素子と導光部との光学的接続も精密に行われる半導体回路素子・光学素子混載ハイブリットモジュールを製造する。したがって、半導体回路素子・光学素子混載ハイブリットモジュールの製造方法によれば、半導体回路素子と光学素子とが低寄生容量化が図られて接続されるとともに光学素子を介しての光学信号の伝送が行われ、信号伝送の高速化及び高容量化が図られる半導体回路素子・光学素子混載ハイブリットモジュールを製造することが可能となる。

【 0 0 1 3 】

【 発明の実施の形態 】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。実施の形態として示した半導体回路素子・光学素子混載ハイブリットモジュール（以下、ハイブリットモジュールと略称する。）1は、詳細を後述するように電気配線と光配線とが混載され、伝送速度が低速でも比較的支障が無い制御信号や電源供給等の伝送を電気配線によって行うとともに、比較的短距離間で高速、大容量化による情報信号等の伝送を光配線によって行う。

【 0 0 1 4 】

ハイブリットモジュール1は、詳細を後述する製造工程を経て製作され、図1に示すように平坦化された第1の主面2aを有する素子封止ブロック体2と、第1の主面2a上に積層形成された電気配線ブロック体3とから構成される。ハイブリットモジュール1は、例えばインタポーザやマザー基板等の実装ボード4に電氣的かつ光学的な接続が行われて実装されてハイブリットモジュール基板27を構成する。

【 0 0 1 5 】

ハイブリットモジュール1は、素子封止ブロック体2に、詳細を省略するが高速化或いは

高容量化が図られた多ピンのLSI等の半導体回路素子5と、半導体レーザや発光ダイオード等の発光素子6と、フォトディテクタ等の受光素子7とを備え、これら各素子5～7を絶縁樹脂材によって成形した絶縁樹脂層8によって封止してなる。素子封止ブロック体2は、第1の主面2aに、半導体回路素子5と、発光素子6及び受光素子7とを、それぞれの信号入出力部形成面5a、6a、7aを絶縁樹脂層8の表面と互いに同一面を構成するようにしてこの絶縁樹脂層8によって封止している。

【0016】

なお、ハイブリットモジュール1は、上述したように素子5～7が各1個ずつ備えるようにしたが、多数個の素子5～7を備えるようにしてもよいことは勿論である。ハイブリットモジュール1は、半導体回路素子5に対してそれぞれ発光素子6と受光素子7とを対となるように組合せたり、1個の半導体回路素子5に対して複数個の発光素子6と受光素子7とを組み合わせたり、或いは複数個の半導体回路素子5に対して1組の発光素子6と受光素子7とを対となるように組合せたりしてもよい。

10

【0017】

絶縁樹脂層8は、チップ等を封装するために一般的に用いられている例えば液状のエポキシ系樹脂やポリイミド樹脂等の絶縁樹脂材を塗布してこれを硬化させて形成したり、セラミック材によって形成される。また、絶縁樹脂層8は、機械的強度を保持するために、例えばシリカ系のフィラー等を含有させた絶縁樹脂材によって形成するようにしてもよい。

【0018】

半導体回路素子5は、信号入出力部形成面5aに多数個の接続電極9a～9nが形成され、これら接続電極9a～9nが第1の主面2aから露出されて絶縁樹脂層8に封止されている。半導体回路素子5は、後述するように電気配線ブロック体3を介して発光素子6及び受光素子7と電氣的に接続されており、出力電極9aから発光素子6に電気信号を出力するとともに受光素子7から供給される電気信号を入力して所定の処理を行う。

20

【0019】

発光素子6は、信号入出力部形成面6aに、電源電極10aと、半導体回路素子5の出力電極9aと接続されて電氣的信号が入力されるための入力電極10bと、光学的信号を出力する出射部10cとが形成されており、これら電極10a、10bと出射部10cとが第1の主面2aから露出されて絶縁樹脂層8に封止されている。発光素子6は、電気配線ブロック体3を介して電源電極10aに駆動電源が供給されるとともに、半導体回路素子5からの電氣的信号出力を光学信号に変換して出射部10cから出射する。

30

【0020】

受光素子7は、信号入出力部形成面7aに、電源電極11aと、半導体回路素子5の入力電極9nと接続されて電氣的信号を供給するための出力電極11bと、光学的信号を入力する入射部11cとが形成されており、これら電極11a、11bと入射部11cとが第1の主面2aから露出されて絶縁樹脂層8に封止されている。受光素子7は、電気配線ブロック体3を介して電源電極11aに駆動電源が供給されるとともに、入射部11cから入射した光学的信号を電氣的信号に変換して出力電極11bを介して半導体回路素子5に供給する。

【0021】

ハイブリットモジュール1は、後述する工程を経て製作される電気配線ブロック体3が、絶縁樹脂材によって形成された第1の絶縁層12と第2の絶縁層13とからなる絶縁層14と、第1の電気配線層15と第2の電気配線層16とからなる電気配線層17とから構成される。電気配線ブロック体3は、電気配線層17が、上述したように多ピン化が図られた半導体回路素子5の接続電極9a～9n或いは発光素子6の電極10a、10bや受光素子7の電極11a、11bと直接接続が図られる。電気配線ブロック体3は、このために素子封止ブロック体2の平坦化された第1の主面2a上に後述する工程を経て精密に形成される。

40

【0022】

電気配線ブロック体3は、絶縁層14が例えばポリイミド樹脂、エポキシ系樹脂、アクリ

50

ル系樹脂、ポリオレフィン系樹脂或いはゴム系樹脂等の導光性を有する絶縁樹脂材によって成形され、素子封止ブロック体 2 に封装された発光素子 6 や受光素子 7 に入出力される光学信号の導光部を構成する。また、電気配線ブロック体 3 は、ハイブリットモジュール 1 を実装ボード 4 上に実装してハイブリットモジュール基板 27 を製作するための接続部位として作用する。なお、電気配線ブロック体 3 は、電気配線層 17 をさらに多層の配線層によって構成するようにしてもよく、また層内に例えば適宜の配線パターンや機能素子等を形成するようにしてもよい。

【0023】

電気配線ブロック体 3 は、素子封止ブロック体 2 の第 1 の主面 2 a 上に成膜形成された第 1 の絶縁層 12 に第 1 の電気配線層 15 が形成されるとともに、第 1 の絶縁層 12 上に成膜形成された第 2 の絶縁層 13 に第 2 の電気配線層 16 が形成されている。第 1 の絶縁層 12 には、半導体回路素子 5 の接続電極 9 a ~ 9 n、発光素子 6 の電極 10 a、10 b 或いは受光素子 7 の電極 11 a、11 b とそれぞれ接続される多数個のビア 18 a ~ 18 m が形成されている。 10

【0024】

第 1 の電気配線層 15 は、素子封止ブロック体 2 の第 1 の主面 2 a と対向する第 1 の絶縁層 12 の主面 12 a にそれぞれ開口された各ビア 18 a ~ 18 m 間を適宜接続するとともに接続電極を有する配線パターンからなる。第 1 の電気配線層 15 は、例えば第 1 の絶縁層 12 の主面 12 a にホトリソグラフィック処理やエッチング処理を施して適宜のパターン溝を形成するとともに、銅めっき処理等によってパターン溝内の銅層を形成してなる。 20
第 1 の電気配線層 15 は、配線パターンが高周波帯域において損失が小さい銅配線層によって形成される。

【0025】

第 1 の電気配線層 15 は、第 1 の絶縁層 12 が素子封止ブロック体 2 の平坦化された第 1 の主面 2 a に高精度の膜厚を以って形成されることから、高精度に形成することが可能である。第 1 の電気配線層 15 には、第 1 の絶縁層 12 の第 1 の主面 2 a に達して、例えば化学 - 機械研磨処理 (CMP: Chemical - Mechanical Polishing) が施されて平坦化が図られる。

【0026】

なお、第 1 の電気配線層 15 は、上述したパターン溝と銅めっき処理とによる形成方法に 30
限定されず種々の配線パターン形成方法により形成される。第 1 の電気配線層 15 は、例えば第 1 の絶縁層 12 にスパッタ法や蒸着法等によって金属薄膜層を形成し、この金属薄膜層にエッチング処理を施して配線パターンを形成する。また、第 1 の電気配線層 15 は、めっきレジスト層を塗布形成し、このめっきレジスト層のパターニングを行った後に電解めっき法や無電解めっき法により配線パターンを形成する。

【0027】

第 1 の電気配線層 15 には、第 1 の絶縁層 12 とともに平坦化された主面上に第 2 の絶縁層 13 が成膜形成され、この第 2 の絶縁層 13 を貫通して多数個のビア 19 a ~ 19 k が形成されている。各ビア 19 a ~ 19 k は、第 1 の電気配線層 15 にパターン形成された接続電極とそれぞれ接続され、第 2 の絶縁層 13 の主面 13 a において第 2 の電気配線層 40
16 を構成する。

【0028】

第 2 の電気配線層 16 は、各ビア 19 a ~ 19 k の開口部及び必要に応じて第 2 の絶縁層 13 の主面 13 a 上に形成された多数個の電極パッド 20 a ~ 20 j によって構成される。各電極パッド 20 a ~ 20 j は、銅パターンに対して金めっきや錫めっき或いは半田めっき等を施して、実装ボード 4 との実装法に適合した端子構造に形成されてなる。なお、各電極パッド 20 a ~ 20 j は、例えば所定位置に電解めっき法や無電解めっき法を施して銅バンプを形成し、この銅バンプにニッケル - 金めっきや半田めっきを施して形成してもよい。なお、第 2 の電気配線層 16 は、各電極パッド 20 a ~ 20 j を外方に露出させて全面を保護層によって被覆するようにしてもよい。 50

【0029】

電気配線ブロック体3は、上述したように導光性樹脂材によって成形された絶縁層14に電気配線層17が形成されてなる。電気配線ブロック体3は、図1において2点鎖線で示すように発光素子6から出射された光学信号が内部を透過して第2の絶縁層13の主面13aに導光することによって絶縁層14を導光部として構成するとともに、主面13aに光学信号の出射部21を構成する。

【0030】

電気配線ブロック体3は、第2の絶縁層13の主面13aに、詳細を後述する実装ボード4側から供給される光学信号を内部へと入射させる入射部22が構成されるとともに、絶縁層14を導光部として光学信号を素子封止ブロック体2の第1の主面2aに導光して受光素子7へと入射させる。なお、電気配線ブロック体3は、光学信号の出射部21や入射部22と対向する絶縁層14に、ビアや配線パターン或いは接続パッドが形成されないようにする。

10

【0031】

以上のように構成されたハイブリットモジュール1は、電気配線ブロック体3の第2の絶縁層13の主面13aを実装面として、実装ボード4の主面4a上に実装されてハイブリットモジュール基板27を製作する。実装ボード4は、例えば一般的なプリント配線プロセスによって比較的廉価に製作された多層配線基板からなり、詳細を省略するが絶縁基板の表裏主面上にそれぞれ1層或いは多層の配線層が形成されている。実装ボード4には、詳細を省略するが、主面4aに各電極パッド20a~20jに対応して多数個の電極パッド23a~23jが形成されている。実装ボード4には、詳細を省略するが、主面4a或いは内層に光学信号の出射部21や入射部22と光学的に接続される入出力部が形成された導光部材24が設けられている。

20

【0032】

ハイブリットモジュール1は、実装ボード4の主面4a上に位置決めされて載置されることにより、各電極パッド20a~20jが相対する各電極パッド23a~23jにそれぞれ対応位置されるとともに、出射部21や入射部22が導光部材24の入出力部と対向される。ハイブリットモジュール1は、実装ボード4に適宜の実装工程、例えばリフロー半田処理が施されることによって、相対する各電極パッド20a~20jが各電極パッド23a~23jに半田付けされて実装ボード4上に実装されてハイブリットモジュール基板27を完成する。実装工程には、例えば金パッドの溶着接続、フリップチップ実装等の適宜のフェースダウン実装方法が採用される。

30

【0033】

ハイブリットモジュール1は、実装ボード4との間にアンダーフィル25が充填されて各接続部位が固定される。アンダーフィル25は、この場合にハイブリットモジュール1と実装ボード4との間に光学信号を導光させる必要があることから、導光性を有する絶縁樹脂材が用いられる。

【0034】

ハイブリットモジュール1は、素子封止ブロック体2内に半導体回路素子5と発光素子6及び受光素子7とを一体化するとともに、各素子5~7を電氣的に接続する電気配線パターンが形成された電気配線ブロック体3を素子封止ブロック体2に一体に積層形成してなる。ハイブリットモジュール1は、素子封止ブロック体2の平坦化された第1の主面2a上に電気配線ブロック体3を積層形成することによって、微細で高精度の電気配線ブロック体3を形成することが可能である。ハイブリットモジュール1は、高速化或いは高容量化が図られた多ピンの半導体回路素子5や発光素子6或いは受光素子7を混載したモジュール化を可能とする。

40

【0035】

ハイブリットモジュール1は、半導体回路素子5と発光素子6或いは受光素子7との、電氣的或いは光学的な接続間隔を簡易化するとともに短距離化を図るようにする。ハイブリットモジュール1は、電氣的配線の簡易化と短距離化とにより寄生容量の低減を図り、ま

50

た光学的配線による情報信号の伝送により高速、高容量伝送化が図られるようにする。

【0036】

以上のように構成されたハイブリットモジュール1の製造工程について、図2乃至図11を参照して詳細に説明する。ハイブリットモジュール1は、ダミー基板30を用いて素子封止ブロック体2を製作するとともに、ダミー基板30から素子封止ブロック体2を剥離し、素子封止ブロック体2に電気配線ブロック体3を積層形成する。ハイブリットモジュール1の製造工程は、ダミー基板製作工程と、素子搭載工程と、素子封止工程と、剥離工程と、電気配線ブロック体形成工程とを有する。

【0037】

ハイブリットモジュール1の製造工程においては、図2に示したダミー基板30が製作されて供給される。ダミー基板30には、絶縁性、耐熱性或いは耐薬品性を有しかつ高精度の平坦面を形成可能なシリコン基板やガラス基板等のベース基板31が用いられ、このベース基板31の平坦化された主面31a上に剥離層32が形成される。ダミー基板30は、複数個のハイブリットモジュール1を同時に形成することが可能な大きさを有している。

【0038】

剥離層32は、ベース基板31の主面31a上に成膜形成され、後述する工程を経て製作された素子封止ブロック中間体2をダミー基板30から剥離する作用を奏する。剥離層32は、所定の温度以上の加熱処理或いは紫外線照射等によって剥離特性が生じる樹脂材や、酸性溶液或いはアルカリ溶液により溶解する金属膜等によって形成される。剥離層32は、詳細には図2に示すようにベース基板31の主面31a上に形成された金属薄膜層33と樹脂層34とからなる。金属薄膜層33は、例えばスパッタ法やCVD法等の薄膜形成法によって均一な厚みで成膜形成された銅やアルミニウムの金属薄膜からなる。樹脂層34は、金属薄膜層33の表面に、例えばスピンコート法によって均一な厚みで成膜形成されたポリイミド樹脂層からなる。

【0039】

ハイブリットモジュール1の製造工程においては、素子搭載工程によって図3に示すようにダミー基板30の主面を構成する剥離層32の樹脂層34上に半導体回路素子5と発光素子6及び受光素子7が搭載される。素子搭載工程においては、ダミー基板30に複数個の半導体回路素子5（図においては2個の半導体回路素子5A、5B）と複数個の発光素子6（図においては2個の発光素子6A、6B）及び複数個の受光素子7（図においては2個の受光素子7A、7B）が搭載される。なお、ハイブリットモジュール1の製造工程においては、詳細にはダミー基板30上に複数個の素子封止ブロック体2が連設された素子封止ブロック中間体を製作した後に、1個ずつに切り分けて素子封止ブロック体2を製作するが、説明の便宜上、この素子封止ブロック中間体を素子封止ブロック体2と表現する。

【0040】

素子搭載工程は、位置決めされたダミー基板30に対して、例えば適宜の実装機を用いて各素子5～7を樹脂層34上に位置決めして順次載置する。素子搭載工程は、上述したように複数個分のハイブリットモジュール1に対応した数の各素子5～7をダミー基板30に搭載する。各素子5～7は、樹脂層34に対してそれぞれの信号入出力部形成面5a、6a、7aを実装面とするいわゆるフェイスダウン方法により載置される。各素子5～7は、上述したように平坦化されたダミー基板30の主面上にそれぞれ載置されることで、各信号入出力部形成面5a、6a、7aが樹脂層34上において精密に同一面を構成する。

【0041】

ところで、ダミー基板30は、各素子5～7を搭載して次工程へと搬送されることから、搬送途中で衝撃や振動が加えられると各素子5～7に位置ズレを生じさせる虞がある。また、ダミー基板30は、後述する次工程の素子封止工程において各素子5～7の樹脂封止が行われる際に、各素子5～7に位置ズレを生じさせる虞がある。したがって、ダミー基

板 30 は、例えば粘着材を添加した樹脂材によって樹脂層 34 を成膜成形したり、半硬化状態で各素子 5 ~ 7 の搭載が行われるようにして樹脂層 34 に粘着性を付与することによって各素子 5 ~ 7 を仮保持するようにしてもよい。

【0042】

ハイブリットモジュール 1 の製造工程においては、素子封止工程によって、図 4 に示すようにダミー基板 30 上に載置された半導体回路素子 5 と発光素子 6 及び受光素子 7 が絶縁樹脂層 8 により封止されて素子封止ブロック体 2 が製作される。素子封止工程は、上述したように液状の絶縁樹脂材をダミー基板 30 上に全面に亘って塗布した後にこれを硬化させて絶縁樹脂層 8 を成膜形成する。絶縁樹脂層 8 は、各素子 5 ~ 7 を封止するとともに、
10
ダミー基板 30 の主面上においてそれぞれの信号入出力部形成面 5a、6a、7a と同一面となつて素子封止ブロック体 2 の高精度に平坦化された第 1 の主面 2a を構成する。

【0043】

素子封止工程においては、必要に応じて絶縁樹脂層 8 に研磨処理を施して素子封止ブロック体 2 を薄型化するようにしてもよい。絶縁樹脂層 8 は、第 1 の主面 2a と対向する第 2 の主面 2b 側がグラインダ等による機械研磨或いはエッチング研磨法等の適宜の研磨方法によって、図 4 鎖線で示すように所定の厚みを有する研磨領域 8A の研磨が行われる。研磨処理は、後述するように素子封止ブロック体 2 がダミー基板 30 から剥離されて電気配線ブロック体 3 の形成工程等が施されることから、搬送等のハンドリングに支障の無い機械的剛性を保持する範囲で研磨領域 8A を研磨する。

【0044】

なお、研磨処理は、絶縁樹脂層 8 とともに発光素子 6 や受光素子 7 よりも大型の半導体回路素子 5 についても機能を損なわない範囲で研磨処理を施して薄型化を図るようにしてもよい。研磨処理は、素子封止ブロック体 2 がダミー基板 30 上に保持されており、機械的剛性を有することで精密な研磨が行われるとともに各素子 5 ~ 7 の信号入出力部形成面 5a、6a、7a が封止された状態で行うことが好ましい。また、研磨処理は、必要に応じてダミー基板 30 から剥離した後に行うようにしてもよく、さらに電気配線ブロック体 3 の形成工程後において行うようにしてもよい。
20

【0045】

ハイブリットモジュール 1 の製造工程においては、剥離工程が施されて、図 5 に示すようにダミー基板 30 から素子封止ブロック体 2 が剥離される。剥離工程においては、例えば剥離層 32 の樹脂層 34 に剥離性が生じる温度以上の加熱処理や、酸性溶液或いはアルカリ溶液に浸漬する処理を施すことによって、剥離層 32 を介して素子封止ブロック体 2 がダミー基板 30 から剥離される。剥離工程は、例えば剥離層 32 が銅薄膜の金属薄膜層 33 と樹脂層 34 とを積層して形成した場合に、ダミー基板 30 を硝酸溶液に浸漬する。ダミー基板 30 は、硝酸溶液によって銅薄膜が溶解することにより、金属薄膜層 33 と樹脂層 34 との界面で剥離現象が進行し、剥離層 32 を介して素子封止ブロック体 2 を剥離させる。
30

【0046】

なお、素子封止ブロック体 2 は、剥離面となる第 1 の主面 2a に樹脂層 34 が添着した状態で剥離される。したがって、素子封止ブロック体 2 には、例えば酸素プラズマによるドライエッチング等が施されることによって、第 1 の主面 2a に添着した樹脂層 34 が除去される。素子封止ブロック体 2 には、ダミー基板 30 の主面が転写されることによって高精度に平坦化された第 1 の主面 2a に、半導体回路素子 5 と、発光素子 6 及び受光素子 7 とがそれぞれの信号入出力部形成面 5a、6a、7a が同一面を構成して露出される。
40

【0047】

ダミー基板 30 については、素子封止ブロック体 2 を剥離した後にベース基板 31 が回収され、必要に応じて主面 31a を研磨した後に剥離層 32 が再形成される。ダミー基板 30 は、比較的高価なシリコン基板等を用いる場合でも、再利用によりコスト低減が図られる。

【0048】

ハイブリットモジュール 1 の製造工程においては、素子封止ブロック体 2 に対して電気配線ブロック体 3 を形成する製作工程が施される。電気配線ブロック体 3 の製作工程においては、図 6 に示すように素子封止ブロック体 2 の第 1 の主面 2 a に、絶縁樹脂材を例えばスピンコート法やディップ法等によって塗布して第 1 の絶縁層 1 2 が形成される。第 1 の絶縁層 1 2 は、上述したように素子封止ブロック体 2 の第 1 の主面 2 a が高精度の平坦面として形成されていることによって、均一な厚みを以って形成される。

【 0 0 4 9 】

電気配線ブロック体 3 の製作工程においては、ビア 1 8 a ~ 1 8 m を形成するための多数個のビアホール孔 3 5 a ~ 3 5 m が第 1 の絶縁層 1 2 を貫通して素子封止ブロック体 2 の第 1 の主面 2 a に達するようにして形成される。第 1 の絶縁層 1 2 には、例えばフォトリソグラフィ法やレーザ照射が施されることにより、図 7 に示すように、素子封止ブロック体 2 側の第 1 の主面 2 a に配列された半導体回路素子 5 の接続電極 9 a ~ 9 n や、発光素子 6 の電極 1 0 a、1 0 b 或いは受光素子 7 の電極 1 1 a、1 1 b をそれぞれ臨ませるビアホール孔 3 5 a ~ 3 5 m が形成される。

10

【 0 0 5 0 】

電気配線ブロック体 3 の製作工程においては、各ビアホール孔 3 5 a ~ 3 5 m にデスミア処理を施すとともに例えば無電解銅めっき法等による孔内の導通処理や蓋形成処理とを行って、図 8 に示すようにビア 1 8 a ~ 1 8 m を形成する。ビア 1 8 a ~ 1 8 m は、相対する半導体回路素子 5 の接続電極 9 a ~ 9 n や、発光素子 6 の電極 1 0 a、1 0 b 或いは受光素子 7 の電極 1 1 a、1 1 b とそれぞれ電氣的に接続され、第 1 の絶縁層 1 2 の第 1 の主面 1 2 a に引き出しする。

20

【 0 0 5 1 】

電気配線ブロック体 3 の製作工程においては、上述したビア 1 8 a ~ 1 8 m の形成とともに、第 1 の主面 1 2 a 上に第 1 の配線層 1 5 が形成される。第 1 の配線層 1 5 の形成工程は、例えば各ビア 1 8 a ~ 1 8 m に蓋形成が行われた第 1 の絶縁層 1 2 の第 1 の主面 1 2 a 上にめっきレジストによるパターンニングを行った後に無電解銅めっき法等により銅配線パターンを形成し、さらに不要なめっきレジストを除去して形成する。なお、電気配線ブロック体 3 の製作工程においては、上述したビア 1 8 a ~ 1 8 m や第 1 の配線層 1 5 が上述した方法によって形成することに限定されるものではなく、一般的に行われている種々の形成方法によっても形成されることは勿論である。

30

【 0 0 5 2 】

電気配線ブロック体 3 の製作工程においては、第 1 の配線層 1 5 を形成した第 1 の絶縁層 1 2 の第 1 の主面 1 2 a 上に、第 2 の絶縁層 1 6 を形成する。第 2 の絶縁層 1 6 も、導光性を有する絶縁樹脂材をスピンコート法等によって平坦な第 1 の絶縁層 1 2 上に塗布することで、均一な厚みを以って形成される。

【 0 0 5 3 】

電気配線ブロック体 3 の製作工程においては、第 2 の絶縁層 1 6 に第 1 の配線層 1 5 の所定のパターンをそれぞれ臨ませるビアホール孔が形成される。電気配線ブロック体 3 の製作工程においては、各ビアホール孔にデスミア処理を施すとともに無電解銅めっき法等による孔内の導通処理や蓋形成処理を行って、図 9 に示すように多数個のビア 1 9 a ~ 1 9 k を形成する。各ビア 1 9 a ~ 1 9 k は、上述したようにビア 1 8 a ~ 1 8 m と第 1 の配線層 1 5 とを介して、半導体回路素子 5 の接続電極 9 a ~ 9 n や、発光素子 6 の電極 1 0 a、1 0 b 或いは受光素子 7 の電極 1 1 a、1 1 b と適宜接続され、第 2 の絶縁層 1 3 の主面 1 3 a において第 2 の電気配線層 1 6 を構成する。

40

【 0 0 5 4 】

電気配線ブロック体 3 の製作工程においては、第 2 の絶縁層 1 3 の主面 1 3 a 上にめっきレジストによるパターンニングを行った後に無電解銅めっき法等により銅配線パターンを形成し、さらに不要なめっきレジストを除去して第 2 の電気配線層 1 6 を形成する。電気配線ブロック体 3 の製作工程においては、第 2 の電気配線層 1 6 に形成された所定のパターンに金めっき等の電極形成処理を施すことによって、図 1 0 に示すように電極パッド 2

50

0 a ~ 2 0 j を形成する。

【 0 0 5 5 】

ハイブリットモジュール 1 の製造工程においては、上述した工程を経て製作した複数個を一体に連設したハイブリットモジュール 1 A、1 B をダイシング等の切分け装置に搬送して切り分けが行われる。ハイブリットモジュール 1 の製造工程においては、図 1 1 に示すようにカット 3 6 によってハイブリットモジュール 1 A、1 B をそれぞれ 1 個ずつに切り分けて完成する。

【 0 0 5 6 】

素子封止ブロック体 2 は、上述したように半導体回路素子 5 と発光素子 6 及び受光素子 7 を絶縁樹脂層 8 によって封止した構造であることから、ある程度の機械的剛性を有している。したがって、素子封止ブロック体 2 は、単独の状態でも次工程に搬送して所定の処理を施すことが可能である。上述した実施の形態においては、ハイブリットモジュール 1 の切分け工程を最終工程で行ったが、例えば図 1 2 及び図 1 3 に示すようにダミー基板 3 0 上で先行して素子封止ブロック体 2 の切り分けを行うようにしてもよい。

【 0 0 5 7 】

ダミー基板 3 0 は、複数個の素子封止ブロック体 2 A、2 B を連設して形成した後に、ダイシング等の切分け装置へとダミー基板 3 0 に搬送される。切分け工程は、図 1 2 に示すようにダミー基板 3 0 上においてカット 3 6 によって素子封止ブロック体 2 A、2 B をそれぞれ 1 個ずつに切り分ける。

【 0 0 5 8 】

ダミー基板 3 0 は、切り分けられた各素子封止ブロック体 2 を主面上に保持した状態のまま剥離処理が施されることによって、図 1 3 に示すように 1 個ずつ分離された素子封止ブロック体 2 A、2 B が製作される。なお、各素子封止ブロック体 2 には、上述した各工程を経て第 1 の主面 2 a 上に電気配線ブロック体 3 が積層形成される。

【 0 0 5 9 】

以上の工程を経て製作されたハイブリットモジュール 1 は、1 個或いは複数個数が図 1 4 に示すように光・電気配線混載基板 4 1 の主面上に、例えばフリップチップ実装等によって実装されることによってマルチハイブリットモジュール基板 4 0 を構成する。マルチハイブリットモジュール基板 4 0 は、後述するように光・電気配線混載基板 4 1 の内部に光配線部 4 2 と多層の電気配線部 4 3 とが形成されており、各ハイブリットモジュール 1 A、1 B に備えられた半導体回路素子 5 と発光素子 6 及び受光素子 7 との間を光学的かつ電氣的に接続する。

【 0 0 6 0 】

光・電気配線混載基板 4 1 は、図 1 5 に示すように電気配線部 4 3 に光配線部 4 2 が積層形成されてなる。電気配線部 4 3 は、詳細を省略するが従来一般的に行われている多層配線基板技術によって製作され、絶縁樹脂層内に、多層の電気配線パターン 4 4 a ~ 4 4 c が形成されるとともにビア 4 5 を介して各電気配線パターン 4 4 a ~ 4 4 c が適宜接続されている。電気配線部 4 3 には、第 2 の主面 4 3 b に電気配線パターン 4 4 d が形成されるとともに、マルチハイブリットモジュール基板 4 0 をさらに図示しない実装ボード等を実装するための電極パッド 4 6 が適宜形成されている。

【 0 0 6 1 】

光配線部 4 2 は、電気配線部 4 3 の第 1 の主面 4 3 a 上に、例えば導光性を有する絶縁樹脂材によって形成される。光配線部 4 2 には、第 1 の主面 4 2 a に各ハイブリットモジュール 1 A、1 B に形成された電極パッド 2 3 a ~ 2 3 j とそれぞれ相対向される多数個の電極パッド 4 7 a ~ 4 7 j が形成されている。光配線部 4 2 には、各電極パッド 4 7 a ~ 4 7 j と電気配線部 4 3 の電気配線パターン 4 4 a とを接続する多数個のビア 4 8 が形成されている。

【 0 0 6 2 】

光配線部 4 2 には、実装されたハイブリットモジュール 1 A、1 B 間を光学的に接続する光学信号伝送路 4 9 が層内に形成されている。光学信号伝送路 4 9 は、詳細を省略するが

10

20

30

40

50

コア材がクラッド材によって封装されて形成され、両端部に光学信号の入出力部 49 a、49 b が形成されている。光学信号伝送路 49 は、例えば図 14 に示すようにハイブリットモジュール 1 A 側の受光素子 7 の入射部 7 c に一方の入出力部 49 a が対向され、ハイブリットモジュール 1 B 側の発光素子 6 の出射部 6 c に他方の入出力部 49 b が対向される。

【0063】

以上のように構成されたマルチハイブリットモジュール基板 40 においては、ハイブリットモジュール 1 A、1 B に対して光・電気配線混載基板 41 側から電気配線を介して制御信号や電源の供給が行われる。マルチハイブリットモジュール基板 40 においては、例えばハイブリットモジュール 1 B が動作して半導体回路素子 5 から電気情報信号が発光素子 6 に供給されると、発光素子 6 においてこの電気情報信号を光学情報信号に変換して出射部 6 c から光・電気配線混載基板 41 側に出射する。マルチハイブリットモジュール基板 40 においては、光・電気配線混載基板 41 に入射された光学情報信号を、入出力部 49 b を介して光学信号伝送路 49 内に導光する。

10

【0064】

マルチハイブリットモジュール基板 40 においては、光学信号伝送路 49 内を導光された光学情報信号が、他端側の入出力部 49 a を介して出射されて光・電気配線混載基板 41 側からハイブリットモジュール 1 A に入射する。マルチハイブリットモジュール基板 40 においては、光学情報信号が入射部 7 c を介して受光素子 7 に入射され、受光素子 7 によりこの光学情報信号を電気情報信号に変換する。マルチハイブリットモジュール基板 40 においては、受光素子 7 を介して電気情報信号が半導体回路素子 5 に供給される。

20

【0065】

マルチハイブリットモジュール基板 40 においては、上述したように光学配線と電気配線とを混載した光・電気配線混載基板 41 にハイブリットモジュール 1 A、1 B を一般的な実装方法によって実装してなる。マルチハイブリットモジュール基板 40 においては、制御信号や電源供給を電気配線によって行うとともに例えばハイブリットモジュール 1 A、1 B にそれぞれ搭載された半導体回路素子 5、5 間の情報信号の伝送を光学配線によって行う。

【0066】

したがって、マルチハイブリットモジュール基板 40 においては情報信号を高速かつ大容量で伝送することを可能とする。また、マルチハイブリットモジュール基板 40 においては、ハイブリットモジュール 1 A、1 B 間の電気配線が短縮化されることによって寄生容量の低減が図られ、半導体回路素子 5、5 間の動作速度の大幅な向上、大容量化等に伴う高性能化、高機能化、多機能化、高速処理化等の対応が図られる。

30

【0067】

ハイブリットモジュール 1 は、上述したように電気配線ブロック体 3 の絶縁層 12、13 を導光性を有する絶縁樹脂材によって形成して導光部として作用させるようにしたがかかる構成に限定されるものではない。第 2 の実施の形態として図 16 に示したマルチハイブリットモジュール 50 は、素子封止ブロック体 51 と電気配線ブロック体 52 とを積層して一体化した基本的な構成を上述したハイブリットモジュール 1 と同様とするが、電気配線ブロック体 52 内に光学信号伝送路 53 を形成した構成に特徴を有している。

40

【0068】

マルチハイブリットモジュール 50 は、素子封止ブロック体 51 内に、第 1 の半導体回路素子 54 と第 2 の半導体回路素子 55 及びこれら半導体回路素子 54、55 の光学的入出力部を構成する第 1 の発光素子 56 と第 1 の受光素子 57 及び第 2 の発光素子 58 と第 2 の受光素子 59 とが絶縁樹脂層 60 によって封止されている。なお、各素子 54 ~ 59 は、上述した各素子 5 ~ 7 と同様の部材であり、説明を省略する。

【0069】

マルチハイブリットモジュール 50 は、素子封止ブロック体 51 内において各素子 54 ~ 59 が上述した素子封止ブロック体 2 と同等に、それぞれの信号入出力部が互いに同一面

50

を構成して絶縁樹脂層 60 によって封止されている。マルチハイブリットモジュール 50 は、各半導体回路素子 54、55 を挟んで第 1 の発光素子 56 と第 1 の受光素子 57 及び第 2 の発光素子 58 と第 2 の受光素子 59 とがそれぞれ対をなして配置されている。マルチハイブリットモジュール 50 は、第 1 の半導体回路素子 54 側の第 1 の受光素子 57 と第 2 の半導体回路素子 55 側の第 2 の発光素子 58 とが隣り合って配置されている。

【0070】

なお、マルチハイブリットモジュール 50 は、素子封止ブロック体 51 内にさらに多数個の半導体回路素子や発光素子及び受光素子を搭載するようにしてもよい。また、マルチハイブリットモジュール 50 は、各素子 54 ~ 59 を上述した配置例に限定されるものでも無い。マルチハイブリットモジュール 50 は、素子封止ブロック体 51 が上述した素子封止ブロック体 2 と同様に平坦化された主面を有するダミー基板を利用して製作されることで、各素子 54 ~ 59 の信号入出力部を露出させる主面 51a が高精度の平坦面として形成されている。

10

【0071】

マルチハイブリットモジュール 50 は、素子封止ブロック体 51 の主面 51a 上に電気配線ブロック体 52 が高精度に形成されている。電気配線ブロック体 52 は、導光性と絶縁性とを有する第 1 のクラッド層 61 と第 2 のクラッド層 62 にコア材を封装して光学信号伝送路 53 を構成するとともに、多数個のビア 63 が形成される。電気配線ブロック体 52 は、各ビア 63 が各素子 54 ~ 59 に形成された詳細を省略する電極パッドにそれぞれ相対して第 1 のクラッド層 61 と第 2 のクラッド層 62 を貫通して形成され、主面 52a において各ビア 63 の開口部に電極パッドが形成されている。なお、電気配線ブロック体 52 は、上述した電気配線ブロック体 3 と同様に多層化して構成してもよい。

20

【0072】

光学信号伝送路 53 は、例えば導光樹脂材によって形成されたコア材を屈折率を異にするクラッド材によって封装したいわゆる光閉込め型光学信号伝送路によって構成してなる。光学信号伝送路 53 は、例えばポリイミド樹脂、エポキシ系樹脂、アクリル系樹脂、ポリオレフィン系樹脂或いはゴム系樹脂等の導光性を有する樹脂材によって形成される。光学信号伝送路 53 は、これら樹脂の混合材或いはフッ素を添加した高分子材料によって形成される。

【0073】

光学信号伝送路 53 は、第 1 の半導体回路素子 54 と第 2 の半導体回路素子 55 とを光学的に接続する。光学信号伝送路 53 は、第 1 の半導体回路素子 54 側の第 1 の発光素子 56 と第 2 の半導体回路素子 55 側の第 2 の受光素子 59 とに跨って形成されている。光学信号伝送路 53 は、第 1 の発光素子 56 と対向する一端部が入力部 53a を構成するとともに、第 2 の受光素子 59 と対向する他端部が出力部 53b を構成する。光学信号伝送路 53 は、入力部 53a 及び出力部 53b を構成する両端部がそれぞれ 45° の傾斜面として形成されており、入射光や出射光の光路を 90° 変換するミラー面として作用する。

30

【0074】

電気配線ブロック体 52 の製作工程について、図 17 乃至図 20 を参照して説明する。製作工程は、図 17 に示すように素子封止ブロック体 51 の主面 51a 上に上述した樹脂材を全面に塗布して第 1 のクラッド層 61 を形成する。第 1 のクラッド層 61 は、平坦な素子封止ブロック体 51 の主面 51a 上に、例えばスピンコート法等によって樹脂材が均一に塗布されて形成される。

40

【0075】

製作工程においては、図 18 に示すように、第 1 のクラッド層 61 上に、クラッド材と屈折率を異にする導光樹脂材によってコア 64 がパターン形成される。コア 64 は、第 1 の半導体回路素子 54 側の第 1 の発光素子 56 と第 2 の半導体回路素子 55 側の第 2 の受光素子 59 とに跨るようにしてパターン形成されてなる。コア 64 は、この場合に第 1 のクラッド層 61 にパターンニングによって光学信号伝送路形成溝を形成し、この光学信号伝送路形成溝内にコア材を充填して 3 次元光閉込め型の光学信号伝送路 53 を形成する。

50

【 0 0 7 6 】

なお、コア 6 4 は、シート状の第 1 のクラッド層 6 1 に接合することによってスラブ型光閉込め型の光学信号伝送路 5 3 を形成する。なお、電気配線ブロック体 5 2 の製作工程においては、コア材やクラッド材として、液状状態から硬化させて形成したものやフィルム状のものが用いられる。

【 0 0 7 7 】

製作工程においては、図 1 9 に示すように、コア 6 4 を封止するようにして第 1 のクラッド層 6 1 上に第 2 のクラッド層 6 2 が形成される。製作工程においては、図 2 0 に示すように、第 2 のクラッド層 6 2 の主面側から各素子 5 4 ~ 5 9 の信号入出力部に形成された各電極をそれぞれ臨ませる多数個のビアホール 6 6 が形成される。製作工程においては、各ビアホール 6 6 の内部に導通処理を施してビア形成が行われる。ビア 6 3 は、一部が光学信号伝送路 5 3 を貫通して形成される。

10

【 0 0 7 8 】

以上の工程を経て製作されたマルチハイブリットモジュール 5 0 は、図 2 1 に示すように、実装ボード 4 にフェースダウン実装されてマルチハイブリットモジュール基板 7 0 を製作する。マルチハイブリットモジュール基板 7 0 は、マルチハイブリットモジュール 5 0 が、実装ボード 6 6 側の電極パッドとそれぞれ接続されたビア 6 3 を介して制御信号や電源の供給を受ける。マルチハイブリットモジュール基板 7 0 は、マルチハイブリットモジュール 5 0 内において、第 1 の半導体回路素子 5 4 と第 2 の半導体回路素子 5 5 との間の光学情報信号の伝送が電気配線ブロック体 5 2 に形成された光学信号伝送路 5 3 を介して行われる。したがって、マルチハイブリットモジュール基板 7 0 は、光損失の低減が図られて効率的な信号伝送が行われるとともに、電気配線の短縮化による寄生容量の低減が図られる。

20

【 0 0 7 9 】

【 発明の効果 】

以上詳細に説明したように本発明によれば、半導体回路素子と光学素子とを一体化した素子封止ブロック体に、電気配線パターンと導光部を有する電気配線ブロック体を積層形成したことから、素子封止ブロック体の主面にそれぞれの入出力部が同一面を構成して露出された半導体回路素子と光学素子とが、電気配線ブロック体に形成した素子間配線パターンにより精密かつ最短で電氣的に接続されるとともに光学素子と導光部との光学的接続も行われる。したがって、本発明によれば、半導体回路素子と光学素子とが低寄生容量化が図られて接続されるとともに光学素子を介しての光学信号の伝送が行われることから、信号伝送の高速化及び高容量化が図られる。

30

【 図面の簡単な説明 】

【 図 1 】 本発明の実施の形態として示すハイブリットモジュールの縦断面図である。

【 図 2 】 ハイブリットモジュールを製作するベース基板の縦断面図である。

【 図 3 】 ハイブリットモジュールの製作工程図を示し、素子搭載工程を説明する縦断面図である。

【 図 4 】 素子封止工程を説明する縦断面図である。

【 図 5 】 素子封止ブロック体の剥離工程を説明する縦断面図である。

40

【 図 6 】 素子封止ブロック体に絶縁層を形成する工程を説明する縦断面図である。

【 図 7 】 絶縁層にビアホールを形成する工程を説明する縦断面図である。

【 図 8 】 ビア形成工程を説明する縦断面図である。

【 図 9 】 第 2 の絶縁層を形成する工程を説明する縦断面図である。

【 図 1 0 】 電極パッドを形成する工程を説明する縦断面図である。

【 図 1 1 】 ハイブリットモジュールの切分け工程を説明する縦断面図である。

【 図 1 2 】 他の切分け工程を説明する縦断面図である。

【 図 1 3 】 素子封止ブロック体の剥離工程を説明する縦断面図である。

【 図 1 4 】 ハイブリットモジュールを搭載したマルチハイブリットモジュール基板の縦断面図である。

50

【図 15】光・電気配線混載基板の縦断面図である。

【図 16】本発明の第 2 の実施の形態として示すマルチハイブリットモジュールの縦断面図である。

【図 17】素子封止ブロック体に第 1 のクラッド層を形成する工程を説明する縦断面図である。

【図 18】光学信号伝送路を構成するコア材の形成工程を説明する縦断面図である。

【図 19】第 2 のクラッド層形成工程を説明する縦断面図である。

【図 20】ビアホール形成工程を説明する縦断面図である。

【図 21】マルチハイブリットモジュール基板の縦断面図である。

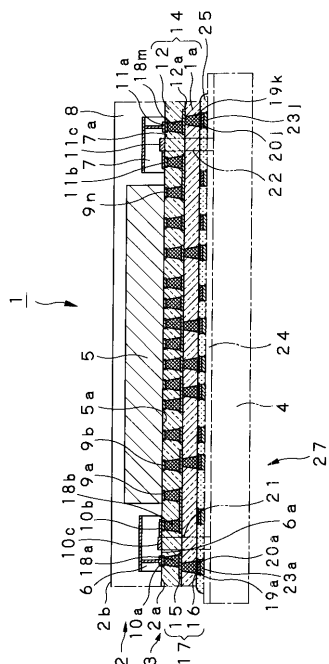
【符号の説明】

1 ハイブリットモジュール、2 素子封止ブロック体、3 電気配線ブロック体、4 実装ボード、5 半導体回路素子、6 発光素子、7 受光素子、8 絶縁樹脂層、14 絶縁層、17 電気配線層、18, 19 ビア、21 入射部、22 出射部、24 導光部材、27 ハイブリットモジュール基板、30 ダミー基板、31 ベース基板、32 剥離層、40 マルチハイブリットモジュール基板、41 光・電気配線混載基板、42 光配線部、43 電気配線部、49 光学信号伝送路、50 マルチハイブリットモジュール、51 素子封止ブロック体、52 電気配線ブロック体、53 光学信号伝送路、54, 55 半導体回路素子、56, 58 発光素子、57, 59 受光素子、60 絶縁樹脂層、61, 62 クラッド層、64 コア、70 マルチハイブリットモジュール基板

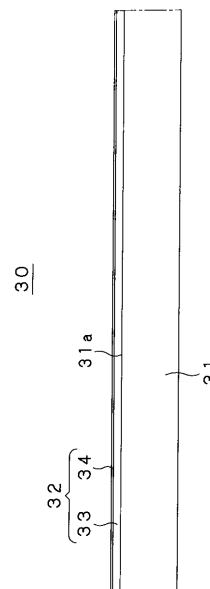
10

20

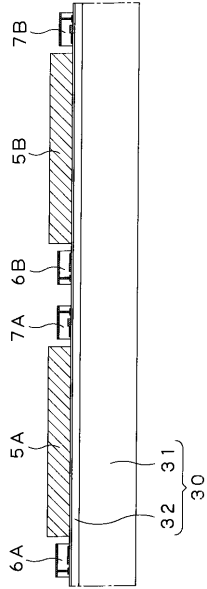
【図 1】



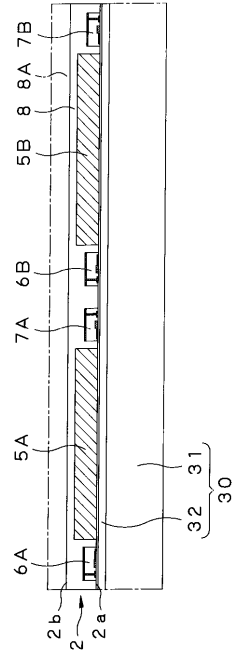
【図 2】



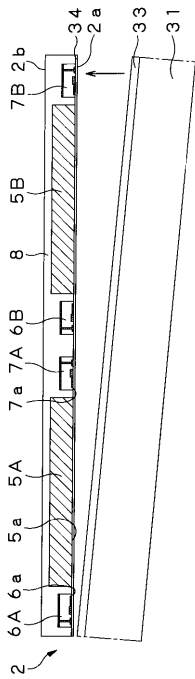
【図 3】



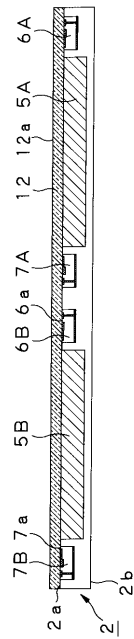
【図 4】



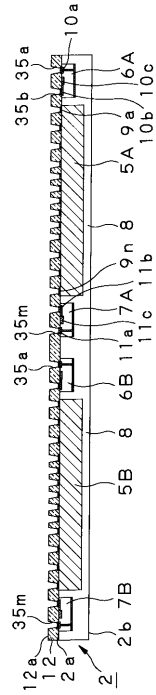
【図 5】



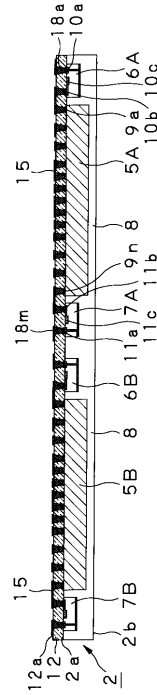
【図 6】



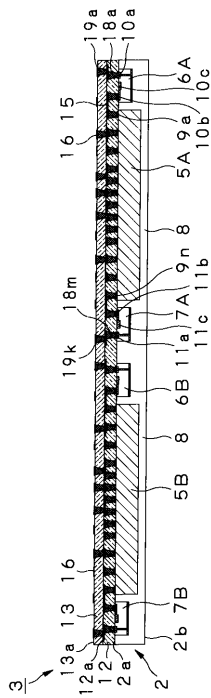
【図 7】



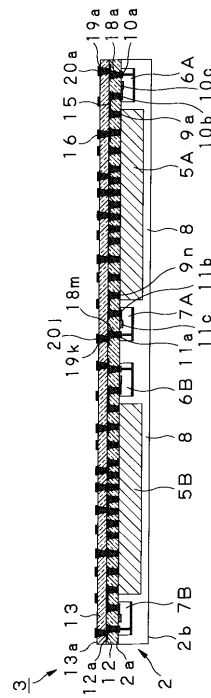
【図 8】



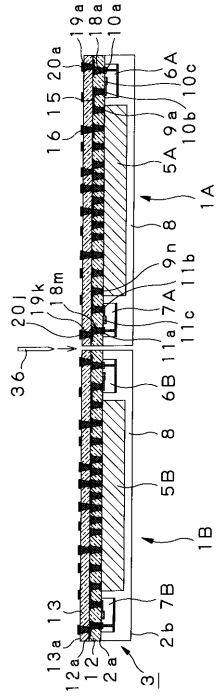
【図 9】



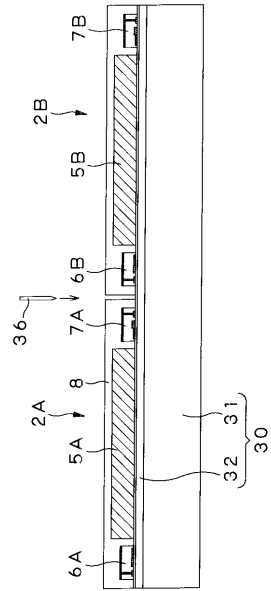
【図 10】



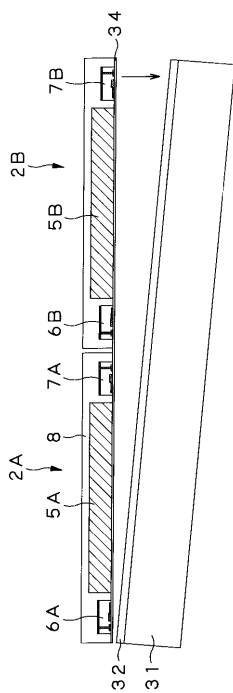
【図 1 1】



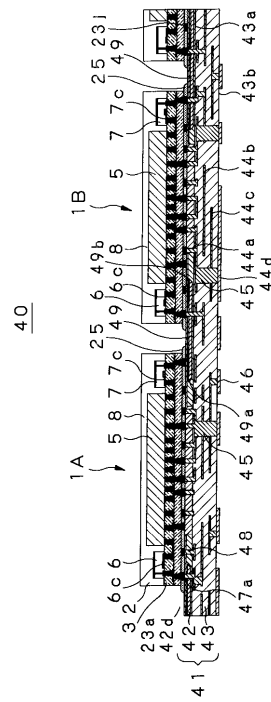
【図 1 2】



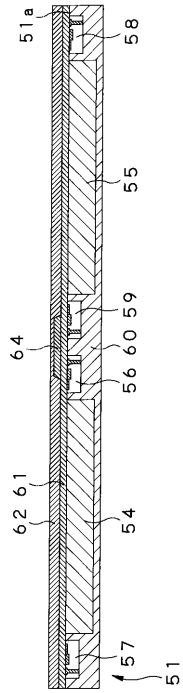
【図 1 3】



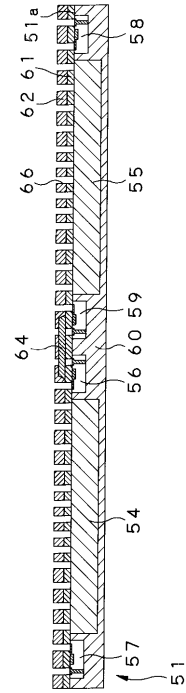
【図 1 4】



【図 19】



【図 20】



【図 21】

