

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2009年2月12日 (12.02.2009)

PCT

(10) 国際公開番号
WO 2009/019902 A1(51) 国際特許分類:
H03M 1/14 (2006.01)

(21) 国際出願番号: PCT/JP2008/053430

(22) 国際出願日: 2008年2月27日 (27.02.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
PCT/JP2007/065240
2007年8月3日 (03.08.2007) JP

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてののみ): 後藤 邦彦 (GO-TOH, Kunihiko) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 高山 武志 (TAKAYAMA, Takeshi) [JP/JP]; 〒

2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 國分 孝悦 (KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋1丁目17番8号 NBF 池袋シティビル5階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

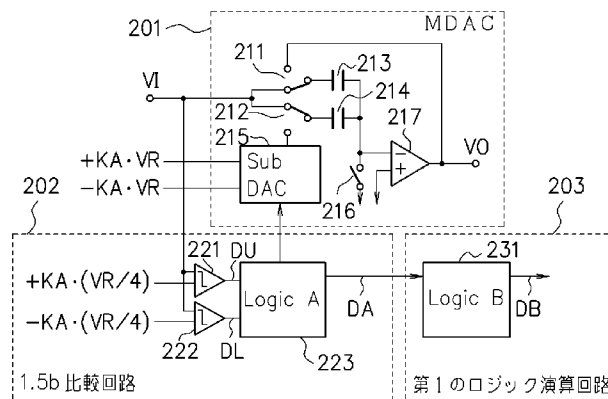
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

[続葉有]

(54) Title: ANALOG/DIGITAL CONVERSION CELL AND ANALOG/DIGITAL CONVERTER

(54) 発明の名称: アナログデジタル変換セル及びアナログデジタル変換器

[図2]



202 1.5b COMPARATOR CIRCUIT

203 FIRST LOGIC OPERATIONAL CIRCUIT

(57) Abstract: An analog/digital conversion cell which performs N-bit analog/digital conversion (N is a natural number) comprises a comparator circuit (202) which compares analog input signals VI based on a plurality of reference voltages to output a first digital code DA of a Q value being not less than 2^{N+1} and not more than $2^{N+1}-1$ depending on the levels of the analog input signals VI, a first logic operational circuit (203) which outputs a second digital code DB of a Q value represented by $DB=DA \times KA + DB0$ on the basis of the first digital code DA, where a constant KA is a decimal number satisfying a condition of $1 < KA < 2$ and DB0 is a constant, and an analog operational circuit (201) which outputs an analog output voltage VO represented by $VO=A \times (VI - DA \times KA \times (VR/A))$ on the basis of the first digital code DA and the analog input signals VI, where A and VR are constants.

[続葉有]

WO 2009/019902 A1



IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(57) 要約: N ビットアナログデジタル変換 (N は自然数) を行うアナログデジタル変換セルであって、複数の基準電圧を基にアナログ入力信号 V_I を比較し、前記アナログ入力信号 V_I の大きさに応じて $2^N + 1$ 以上かつ $2^{N+1} - 1$ 以下である Q 値の第 1 のデジタルコード DA を出力する比較回路 (202) と、定数 KA が $1 < KA < 2$ の条件を満たす小数であり、 $DB0$ が定数であり、前記第 1 のデジタルコード DA を基に $DB = DA \times KA + DB0$ で表される Q 値の第 2 のデジタルコード DB を出力する第 1 のロジック演算回路 (203) と、 A 及び VR が定数であり、前記第 1 のデジタルコード DA 及び前記アナログ入力信号 V_I を基に、 $VO = A \times (V_I - DA \times KA \times (VR / A))$ で表されるアナログ出力信号 VO を出力するアナログ演算回路 (201) とを有することを特徴とするアナログデジタル変換セルが提供される。

明 細 書

アナログデジタル変換セル及びアナログデジタル変換器

技術分野

[0001] 本発明は、アナログデジタル変換セル及びアナログデジタル変換器に関する。

背景技術

[0002] デジタル信号処理の高機能化が進み、高精度・高速のアナログデジタル変換器(以降“ADC”と称す。)が益々必要となってきた。特に、デジタルAVや携帯電話に代表される民生用途では、低価格化／小型化／低電力化が重要な為、プロセス微細化による1チップ化したSOC(system-on-a-chip)が積極的に進められている。SOCにおいてプロセス微細化に伴い、デジタル回路だけでなく、アナログ回路も低電圧化、低電力化が強く求められる。アナログ回路の中で重要な要素であるADCでも同様である。

[0003] 図20は、パイプライン型アナログデジタル変換器(以降“パイプライン型ADC”と称す)の構成例を示す図である。サンプルホールド回路101は、外部アナログ入力信号VINをサンプルホールドし、1.5ビットアナログデジタル変換セル(以降“ADCセル”と称す)103に出力する。複数の1.5ビットADCセル103は直列に接続される。ADCセル103は、アナログ入力信号を入力し、そのアナログ入力信号を3値(1.5ビット)のデジタルコードDB1又はDB2等に変換し、その量子化誤差のアナログ出力信号を後段のADCセル103に出力する。2ビットフラッシュ(並列型)ADC105は、最終段のADCセル103のアナログ出力信号を2ビットのデジタルコードDBnに変換する。第2のロジック演算回路106は、デジタルコードDB1～DBnを基にデジタル出力信号Doutを出力する。パイプライン型ADCは、高速かつ高精度なアナログデジタル変換が可能であり、近年利用範囲が急速に広がっている。

[0004] 図21は、循環型アナログデジタル変換器の構成例を示す図である。サンプルホールド回路101は、アナログ入力信号V_{ii}をサンプルホールドし、1.5ビットADCセル103に出力する。ここで、iはステージ番号を示す。ADCセル103は、上記と同様に、アナログ入力信号を3値(1.5ビット)のデジタルコードDB_iに変換し、その量子化誤

差のアナログ出力信号VO_iを出力する。スイッチ2101は、サンプルホールド回路101の入力端子をアナログ出力信号VO_iの端子及び外部アナログ入力信号VINのいずれかに接続する。最初、スイッチ2101は、外部アナログ入力信号VINの端子とサンプルホールド回路101の入力端子とを接続する。ADCセル103は、外部アナログ入力信号VINをアナログ入力信号V_iとして入力し、デジタルコードDB_i及びアナログ出力信号VO_iを出力する。ここで、*i*は1である。次に、スイッチ2101は、アナログ出力信号VO_iの端子とサンプルホールド回路101の入力端子とを接続する。ADCセル103は、アナログ出力信号VO₁をアナログ入力信号V₂として入力し、デジタルコードDB₂及びアナログ出力信号VO₂を出力する。以後、循環処理を行うことにより、デジタルコードDB₁, DB₂, ...が得られる。第2のロジック演算回路106は、デジタルコードDB₁, DB₂, ...を基にデジタル出力信号D_{out}を出力する。循環型アナログデジタル変換器は、逐次比較型アナログデジタル変換器の一種であり、速度は遅いが、回路規模が小さく、かつ、高分解能を容易に実現できる特徴を持つ。

[0005] 両方式とも1.5ビットADCセル103のアナログ出力信号を次段の1.5ビットADCセル103のアナログ入力信号として入力することを繰り返す点で、基本動作は同じである。ここでは、パイプライン型アナログデジタル変換器を例に動作を説明する。

[0006] 図22は、1.5ビットADCセル103の構成例を示す図である。ADCセル103は、MDAC (Multiplying Digital Analog Converter) 2201、1.5ビット比較回路2202及び第1のロジック演算回路2203を有する。MDAC 2201は、第1の容量2213と、第2の容量2214と、第1及び第2の容量2213, 2214の第1の端子の相互接続点の電圧を入力し、アナログ出力信号VOを出力するためのオペアンプ2217と、第1のデジタルコードDAを基に $A \times DA \times VR / 2$ で表される第1のアナログ信号を出力するデジタルアナログ変換器 (Sub DAC) 2215と、第1の容量2213の第2の端子をアナログ入力信号V_iの端子及びオペアンプ2217の出力端子のいずれかに接続するための第1のスイッチ2211と、第2の容量2214の第2の端子をアナログ入力信号V_iの端子及びデジタルアナログ変換器2215の出力端子のいずれかに接続するための第2のスイッチ2212と、第1及び第2の容量2213, 2214の第1の端子の相互接続点と基準電位とを接続するための第3のスイッチ2216とを有する。比較回路2202は

、比較器2221、2222及びロジック回路2223を有する。第1のロジック演算回路2203は、ロジック回路2231を有する。

[0007] 図23は、1. 5ビット比較回路2202、第1のロジック演算回路2203及びデジタルアナログ変換器(Sub DAC)2215の動作を説明するための図である。

[0008] 比較回路2202は、第1の基準電圧($+VR/4$)及び第2の基準電圧($-VR/4$)を基にアナログ入力信号VIを比較し、アナログ入力信号VIの大きさに応じて3値の第1のデジタルコードDAを出力する。比較器2221は、アナログ入力信号VIが第1の基準電圧($+VR/4$)より高ければ出力信号DUをハイレベルにし、第1の基準電圧($+VR/4$)より低ければ出力信号DUをローレベルにする。比較器2222は、アナログ入力信号VIが第2の基準電圧($-VR/4$)より高ければ出力信号DLをハイレベルにし、第2の基準電圧($-VR/4$)より低ければ出力信号DLをローレベルにする。ロジック回路2223は、信号DU及び信号DLがハイレベルであれば第1のデジタルコードDAとして「+1」を、信号DUがローレベルであり信号DLがハイレベルであれば第1のデジタルコードDAとして「0」を、信号DU及び信号DLがローレベルであれば第1のデジタルコードDAとして「-1」を出力する。第1のデジタルコードDAは、+1、0及び-1の3値で表現される。

[0009] 第1のロジック演算回路2203は、第1のデジタルコードDAを基に $DB = DA \times (01)$ で表される3値の第2のデジタルコードDBを出力するロジック回路2231を有する。第1のデジタルコードDAが+1、0及び-1のとき、第2のデジタルコードDBはそれぞれ+01、00、-01になる。

[0010] デジタルアナログ変換器(Sub DAC)2215は、 $+VR$ 及び $-VR$ の基準電圧及び第1のデジタルコードDAを入力し、 $A \times DA \times (VR/2)$ で表される第1のアナログ信号を出力する。Aが2の場合、第1のデジタルコードDAが+1、0及び-1のとき、第1のアナログ信号はそれぞれ $+VR$ 、0及び $-VR$ になる。以降はAが2の場合で説明する。

[0011] 次に、MDAC2201の動作を説明する。まず、スイッチ2211はアナログ入力信号VIの端子と第1の容量2213の第2の端子とを接続し、スイッチ2212はアナログ入力信号VIの端子と第2の容量2214の第2の端子とを接続し、スイッチ2216は容量2213

及び2214の第1の端子の相互接続点と基準電位とを接続する。容量2213及び2214は、アナログ入力信号VIにより充電される。次に、スイッチ2211はオペアンプ2217の出力端子と第1の容量2213の第2の端子とを接続し、スイッチ2212はデジタルアナログ変換器(Sub DAC)2215の出力端子と第2の容量2214の第2の端子とを接続し、スイッチ2216は容量2213及び2214の第1の端子の相互接続点と基準電位との間を切断する。これより、オペアンプ2217のアナログ出力信号VOは、次式のようになる。

$$VO = 2 \times VI - DA \times VR$$

- [0012] 以上のように、ADCセル103は、アナログ入力信号VIが基準電圧+VR及び−VRの範囲内で入力される信号レベルに対してアナログデジタル変換を行う。まず、2個の比較器2221及び2222を用いて3個の領域に分け、それによる第1のデジタルコードを $DA = (-1, 0, 1)$ とする。ここで、比較器2221及び2222の比較レベルは $+VR/4$ 及び $-VR/4$ に設定する。MDAC2201は、アナログ入力信号VIを2倍($=2 \times VI$)した結果に対し、 $DA_i \times VR$ を加減算して出力する。そのアナログ出力信号 VO_i は、下記の式となる。ここで、iはステージ番号を示す。第1のデジタルコードDAは、−1, 0, 1のいずれかである。

$$VO_i = 2 \times VI_i - DA_i \times VR \quad \dots (1)$$

- [0013] 各々の1.5ビットADCセル103のアナログ出力信号 VO_i は、次段の1.5ビットADC103のアナログ入力信号 VI_{i+1} として入力される。したがって、次式が成立する。

$$VI_1 = VIN \quad \dots (2)$$

$$VI_{i+1} = VO_i \quad \dots (3)$$

すると、式(1)の漸化式は下記のようになる。

- [0014] [数1]

$$VO_n = (2^n) \times \left((VIN - \sum_{i=1}^n (1/2^i) \times (DA_i \times VR)) \right) \quad \dots (4)$$

[0015] 上式(4)をデジタル化する為に、 (V_{IN}/V_R) で表現し直すと下記のようになる。

[0016] [数2]

$$(V_{IN}/V_R) = \sum_{i=1}^n (D A_i / 2^i) + (1/2^n) \times (V_{On}/V_R) \dots (5)$$

[0017] 上式(5)の右辺で第1項($\sum (1/2^n) \times D A_i$)は、ADCセル103の第2のデジタルコードDBを示す。また、第2項($(1/2^n) \times (V_{On}/V_R)$)は量子化誤差である。ここで、 V_{On} が $\pm V_R$ の範囲内ならば、即ち、 $|V_{On}/V_R| \leq 1$ ならば、量子化誤差は $(1/2^n)$ 以下であることが保証される。上述のように、アナログ出力信号 VO が $|VO/V_R| \leq 1$ を満足することが重要である。

[0018] 図24は、初段のADCセル103の入出力特性を示すグラフである。横軸は VI/V_R で表されるアナログ入力信号を示し、縦軸は VO/V_R で表されるアナログ出力信号を示す。特性2401は第2のデジタルコードDB1を示し、特性2402はアナログ出力信号 $VO1$ を示し、特性2403は $VO = 2 \times V_{IN}$ の特性線を示す。エリア2421ではデジタルコードDB1は-01、エリア2422ではデジタルコードDB1は00、エリア2423ではデジタルコードDB1は+01になる。ADCセル103では、冗長部2430があり、比較レベル $\pm V_R/4$ に対し $\pm V_R/4$ の許容範囲が存在する。

[0019] 図25は、2段目以降のADCセル103の入出力特性を示すグラフである。横軸は VI/V_R で表されるアナログ入力信号を示し、縦軸は VO/V_R で表されるアナログ出力信号を示す。特性2501は2段目のADCセル103のアナログ出力信号 $VO2$ を示し、特性2502は3段目のADCセル103のアナログ出力信号 $VO3$ を示し、特性2503はアナログ入力信号(VI/V_R)の特性線を示す。冗長部2510が存在する。各段のADCセル103のオペアンプ2217の出力範囲は、図24及び図25より $|VO/V_R| \leq 1$ を満足している。

[0020] 図26は、パイプライン型アナログデジタル変換器の動作例を説明するための図である。例えば、3個のADCセル103a、103b及び103cが直列に接続される。ADC

セル103a～103cは、それぞれ図22のADCセル103と同一の構成を有する。例えば、 $V_{IN}=0.55 \times V_R$ を入力した場合、ADCセル103a内の第1のロジック演算回路2203は、第2のデジタルコードDB1として3値の中から「01」を選択して出力する。ADCセル103b内の第1のロジック演算回路2203は、第2のデジタルコードDB2として3値の中から「00」を選択して出力する。ADCセル103c内の第1のロジック演算回路2203は、第2のデジタルコードDB3として3値の中から「00」を選択して出力する。第2のロジック演算回路106は、「01」のデジタルコードDB1、「00」のデジタルコードDB2及び「00」のデジタルコードDB3のうちのデジタルコードDB1及びDB2をビットシフトして加算し、「0100」のデジタル出力信号Doutを出力する。

[0021] 図27は、パイプライン型アナログデジタル変換器の他の動作例を説明するための図である。外部アナログ入力信号 V_{IN} が $0.55 \times V_R$ の場合を例に説明する。ADCセル103aは「01」のデジタルコードDB1を出力し、ADCセル103bは「00」のデジタルコードDB2を出力し、ADCセル103cは「00」のデジタルコードDB3を出力する。第2のロジック演算回路106は、デジタルコードDB1～DB3をそれぞれビットシフトして加算することにより、「0100」のデジタル出力信号Doutを出力する。

[0022] 各段のADCセルのデジタルコードDBは入力 $FS (=2V_R)$ の $1/4$ 単位である為、2ビット表現で表している。1段進む毎に1ビット分解能が上がる。即ち、第2のロジック演算回路106で各段のデジタルコードDBを加減算する場合、1ビット分シフトして加減算を行う。 $V_{IN}=0.55 \times V_R$ 時のデジタル出力信号Doutは、「+0100」が出力されている。ここでは、デジタル表記は、±表記をしているが、+表記のみにする場合はデジタルコードの演算で中心値コード(1000又は0111)を加算すれば良い。この加算は、各段のデジタルコードDBの加減算をする際に行えば良いが、一般的には「0111」の加算を適用し、かつ、各段の第1のロジック演算回路2203で「01」の加算をして出力する。図23を参照して説明する。 $DA=(-1, 0, +1)$ に対して±表記ではデジタルコードDBが、 $(-01, 00, +01)$ である。+表記では+01を全てのコードに対して加算した(00, 01, 10)をアサインする。これにより、各段のデジタルコードDBの加算のみでデジタル出力信号Doutを得る事が出来る。以降は説明を簡単にする為、±表記のみ行う。

- [0023] 図28は、アナログ入力信号に対しての各段のデジタルコードDBi、及びデジタル出力信号Doutを示すグラフである。横軸はVI/VRで表されるアナログ入力信号を示し、縦軸はVO/VRで表されるアナログ出力信号を示す。特性2801はデジタルコードDB1、特性2802はデジタルコードDB2、特性2803はデジタルコードDB3、特性2804はデジタル出力信号Dout、特性2805はアナログ入力信号(VI/VR)を示す。各デジタルコードDBiが1ビットずつ分解能が上がっていること、及びアナログ入力信号2805とデジタル出力信号2804が良く一致していることが分かる。
- [0024] プロセス微細化に伴い、アナログデジタル変換器自体も低電圧化、低電力化を如何に実現するかは、大きな課題である。特に、高精度アナログデジタル変換器では、低電圧化に伴い取り扱える信号振幅が減少する。高精度を維持しつつ低電圧動作をする為には、ノイズ自体の低減も図る必要がある。ノイズの原因は、大きく下記の3個に分類出来る。
- [0025] (課題1)容量素子の相対精度のミスマッチによる量子化ノイズ。
(課題2)オペアンプの線形性、ゲイン不足による精度の悪化。
(課題3)熱雑音等のトランジスタノイズ。
- [0026] 上記の(課題1)の容量素子の相対精度のミスマッチによる量子化ノイズは、近年デジタルキャリブレーション技術で補正可能となってきた。
- [0027] 図29は、オペアンプの入出力特性を示すグラフである。エリア2901は線形性良好エリア、エリア2902は線形性悪化エリアである。上記の(課題2)のオペアンプの線形性、ゲイン不足による精度の悪化は、出力が高電位側電圧VDD側、又は、低電位側電圧VSSの出力振幅が大きい方で生じる。この対策として、下記の特許文献1で示されているように、初段MDACのゲインを落とし、線形性の良いオペアンプの出力範囲で使うことが有効である。
- [0028] しかし、特許文献1のように信号振幅を小さくすると、上記の(課題3)の熱雑音も信号振幅に比例して小さくする必要があるが生じる。熱雑音自体を低減する為には、容量値を2乗で大きくする必要があり、容量値に比例する消費電力も2乗で大きくなる。即ち、信号振幅の減少は、容量値と消費電流が2乗で大きくなることは大きな課題である。

- [0029] ここで、熱雑音と信号振幅を考える為にダイナミックレンジを考えてみる。ゲインが2倍の場合、アナログ出力信号VOは、加減算する前で考えると、 $\pm VR$ の入力に対して、出力範囲は $\pm 2VR$ である。この加減算をする前の信号振幅をダイナミックレンジと定義する。熱雑音を考える場合の考慮すべき信号振幅はこのダイナミックレンジの方であり、これを如何に大きく出来るかが重要となる。これに対して、オペアンプの出力範囲は、加減算した結果であり、1.5ビットADCセル103では、 $\pm VR$ となる。加減算自体は、信号の増幅率を変えていない為、考慮すべき熱雑音レベルはダイナミックレンジと同じである。即ち、ダイナミックレンジと(オペアンプ出力範囲)の比をRとすると、ダイナミックレンジは $R \times (\text{オペアンプ出力範囲})$ であり、大きいRが望ましい。
- [0030] しかし、1.5ビットADCセル103では次のような課題がある。即ち、信号振幅を規定するダイナミックレンジとADCセル103のオペアンプの出力範囲の比Rを考えると、ADCセル103では、比Rが2倍しか取れないという課題がある。アナログデジタル変換器において、初段ADCセル103のオペアンプのダイナミックレンジと出力範囲を図24に、2段目以降のオペアンプの出力範囲を図25に示す。
- [0031] ここで、入力信号フルスケールVIFは、(VIの最大値) - (VIの最小値)で定義する。入力信号フルスケールVIFは $\pm VR$ の為、 $VIF = 2VR$ である。同様に、オペアンプのフルスケールVOFも(VOの最大値) - (VOの最小値)で定義する。オペアンプのフルスケールVOFはエリア2412及び2511に示すように $\pm VR$ の為、 $VOF = 2VR$ である。ダイナミックレンジのフルスケールDRFも同様に定義する。ダイナミックレンジのフルスケールDRFは、 $2 \times ((VIの最大値) - (VIの最小値)) = 4VR$ となる。即ち、初段出力信号の(DRF/VIF)は、エリア2411に示すように、入力信号を2倍する為、2である。同様に考えると、2段目では2倍を2度行う為4倍となり、(DRF/VIF)は ± 4 である。N段目では、(DRF/VIF)は $\pm 2^N$ となる。一方、オペアンプの出力範囲は、エリア2412に示すように、全て(VOF/VIF) = 1である。従って、ダイナミックレンジとオペアンプの出力範囲の比R(=DRF/VOF)は、初段は2倍、2段目は4倍、N段目は 2^N 倍となり、ノイズの観点から最も厳しいのは初段である事が分かる。
- [0032] ここで、オペアンプの出力範囲が拡大する原因を考察する。まず、拡大した出力範囲($|VO/VR| \geq 0.5$)は、(VO/VR)が(-1 ~ -0.5)と(+0.5 ~ +1)であり

、入力信号が $\pm VR$ の近傍である事が分かる。初段でも入力が $\pm (3/4)VR$ 以内では、 $(-0.5 \leq (VO/VR) \leq 0.5)$ と出力範囲は狭い。かつ、出力範囲が拡大する範囲は、後段になる程狭くなっている事が分かる。従って、この $\pm VR$ 近傍の信号処理をうまく行う事でダイナミックレンジとオペアンプの出力範囲の比 R を大きく出来ないかが、課題である。

[0033] これに対して、改善を試みたADCセルが、下記の特許文献1である。図30及び図31は、特許文献1のADCセルを初段にのみ使用した場合のアナログデジタル変換器の各段のオペアンプの出力範囲を示す。

[0034] 図30は、初段の特許文献1のADCセルのダイナミックレンジとオペアンプの出力範囲を示す図である。横軸は VI/VR で表されるアナログ入力信号を示し、縦軸は VO/VR で表されるアナログ出力信号を示す。特性3001は第2のデジタルコードDB1を示し、特性3002はアナログ出力信号 $VO1$ を示し、特性3003は $VO=VIN$ の特性線を示す。特性3001が示すデジタルコードDB1は、エリア3021、3022及び3023で異なる。

[0035] 図31は、2段目以降の図22のADCセル103のオペアンプの出力範囲を示す図である。横軸は VI/VR で表されるアナログ入力信号を示し、縦軸は VO/VR で表されるアナログ出力信号を示す。特性3101は2段目のADCセル103のアナログ出力信号 $VO2$ を示し、特性3102は3段目のADCセル103のアナログ出力信号 $VO3$ を示し、特性3103はアナログ入力信号(VI/VR)の特性線を示す。

[0036] 図30の初段のADCセルは、増幅率を1倍、比較レベルを $\pm VR/2$ 、加減算を $DA \times VR$ とする事で、エリア3012に示すように、 $(|VO/VR| \leq 0.5)$ を実現している。これにより、図31の2段目以降で使用しているADCセル103の出力範囲もエリア3111に示すように $(|VO/VR| \leq 0.5)$ となり、図24及び図25に比べて半減出来ている。しかし、初段のMDACに対し、ノイズの観点からダイナミックレンジを考えるとゲインを1倍にしている為、エリア3011に示すように $(DRF/VIF)=1$ となっており、オペアンプの出力範囲(VOF/VIF)が0.5に低減しても、比 R は、 $(DRF/VOF)=2$ であり、図22～図25と同じで改善していない。即ち、このアナログデジタル変換器は、上記の(課題2)には効果があるものの、上記の(課題3)で最も重要となる初段

ADCセルのRの拡大には効果が無い事が分かる。

[0037] 特許文献1:特開2004-343292号公報

発明の開示

[0038] 本発明の目的は、アナログ出力信号の出力範囲の低減又はダイナミックレンジの拡大を行うことができるアナログデジタル変換セル及びアナログデジタル変換器を提供することである。

[0039] 本発明の一観点によれば、Nビットアナログデジタル変換(Nは自然数)を行うアナログデジタル変換セルであって、複数の基準電圧を基にアナログ入力信号VIを比較し、前記アナログ入力信号VIの大きさに応じて $2^N + 1$ 以上かつ $2^{N+1} - 1$ 以下であるQ値の第1のデジタルコードDAを出力する比較回路と、定数KAが $1 < KA < 2$ の条件を満たす小数であり、DB0が定数であり、前記第1のデジタルコードDAを基に $DB = DA \times KA + DB0$ で表されるQ値の第2のデジタルコードDBを出力する第1のロジック演算回路と、A及びVRが定数であり、前記第1のデジタルコードDA及び前記アナログ入力信号VIを基に、 $VO = A \times (VI - DA \times KA \times (VR / A))$ で表されるアナログ出力信号VOを出力するアナログ演算回路とを有することを特徴とするアナログデジタル変換セルが提供される。

図面の簡単な説明

[0040] [図1]図1は、本発明の実施形態によるパイプライン型アナログデジタル変換器の構成例を示す図である。

[図2]図2は、第1の1.5ビットADCセルの構成例を示す図である。

[図3]図3は、1.5ビット比較回路、第1のロジック演算回路及びデジタルアナログ変換器(Sub DAC)の動作を説明するための図である。

[図4]図4は、初段の第1のADCセルの入出力特性を示すグラフである。

[図5]図5は、2段目以降の第2のADCセルの入出力特性を示すグラフである。

[図6]図6は、図1のパイプライン型アナログデジタル変換器の動作例を説明するための図である。

[図7]図7は、パイプライン型アナログデジタル変換器の他の動作例を説明するための図である。

[図8]図8は、アナログ入力信号に対しての各段のデジタルコード、及びデジタル出力信号を示すグラフである。

[図9]図9は、第2のロジック演算回路の構成例を示す図である。

[図10]図10は、係数KAに応じた第1のADCセルの特性図である。

[図11]図11は、係数KAが1であるときのADCセルのアナログ入力信号及びアナログ出力信号の関係を示すグラフである。

[図12]図12は、係数KAが $5/4$ であるときのADCセルのアナログ入力信号及びアナログ出力信号の関係を示すグラフである。

[図13]図13は、係数KAが $21/16$ であるときのADCセルのアナログ入力信号及びアナログ出力信号の関係を示すグラフである。

[図14]図14は、係数KAが $3/2$ であるときのADCセルのアナログ入力信号及びアナログ出力信号の関係を示すグラフである。

[図15]図15は、係数KAが2であるときのADCセルのアナログ入力信号及びアナログ出力信号の関係を示すグラフである。

[図16]図16は、図2の第1のADCセルの概略構成図である。

[図17]図17は、本発明の他の実施形態によるパイプライン型アナログデジタル変換器の構成例を示す図である。

[図18]図18は、本発明の他の実施形態による循環型アナログデジタル変換器の構成例を示す図である。

[図19]図19は、本発明の他の実施形態による循環型アナログデジタル変換器の構成例を示す図である。

[図20]図20は、従来のパイプライン型アナログデジタル変換器の構成例を示す図である。

[図21]図21は、従来の循環型アナログデジタル変換器の構成例を示す図である。

[図22]図22は、従来の1.5ビットADCセルの構成例を示す図である。

[図23]図23は、従来の1.5ビット比較回路、第1のロジック演算回路及びデジタルアナログ変換器(Sub DAC)の動作を説明するための図である。

[図24]図24は、初段における従来の1.5ビットADCセルの入出力特性を示すグラフ

である。

[図25]図25は、2段目以降における従来の1.5ビットADCセルの入出力特性を示すグラフである。

[図26]図26は、従来のパイプライン型アナログデジタル変換器の動作例を説明するための図である。

[図27]図27は、従来のパイプライン型アナログデジタル変換器の他の動作例を説明するための図である。

[図28]図28は、従来の1.5ビットADCセルのアナログ入力信号に対しての各段のデジタルコード、及びデジタル出力信号を示すグラフである。

[図29]図29は、オペアンプの入出力特性を示すグラフである。

[図30]図30は、初段の特許文献1のADCセルのダイナミックレンジとオペアンプの出力範囲を示す図である。

[図31]図31は、2段目以降の図22のADCセルの出力範囲を示す図である。

[図32]図32は、1.5ビット、2ビット及び3ビットADCセルのKAの値と入力信号フルスケールVIF及び出力信号フルスケールVOFの比との関係を示す図である。

[図33]図33は、KAが1のときの2ビットADCセル(比較回路が7領域で比較)の入出力特性を示す図である。

[図34]図34は、KAが1.25のときの2ビットADCセル(比較回路が7領域で比較)の入出力特性を示す図である。

[図35]図35は、KAが1.75のときの2ビットADCセル(比較回路が5領域で比較)の入出力特性を示す図である。

[図36]図36は、2ビット及び3ビットADCセル(比較回路が偶数領域で比較)のKAの値と入力信号フルスケールVIF及び出力信号フルスケールVOFの比との関係を示す図である。

[図37]図37は、KAが2のときの2ビットADCセル(比較回路が4領域で比較)の入出力特性を示す図である。

[図38]図38は、KAが1.5のときの2ビットADCセル(比較回路が6領域で比較)の入出力特性を示す図である。

[図39]図39は、図47のパイプライン型アナログデジタル変換器の特性を示す図である。

[図40]図40は、図47のパイプライン型アナログデジタル変換器の他の特性を示す図である。

[図41]図41は、2ビットADCセル(領域数が7)の構成例を示すブロック図である。

[図42]図42は、 $KA=1.25$ のときの図41の2ビットADCセル(領域数が7)の構成例を示すブロック図である。

[図43]図43は、図42の2ビットADCセルの構成例を示す図である。

[図44]図44は、第1のロジック演算回路及びデジタルアナログ変換器(Sub DAC)の動作を説明するための図である。

[図45]図45は、初段に図43の2ビットADCセル(領域数が7、 $KA=1.25$)を用い、2段目以降に1.5ビットADCセル(領域数が3、 $KA=1$)を用いたパイプライン型アナログデジタル変換器における2段目及び3段目のADCセルの入出力特性を示す図である。

[図46]図46は、初段に図43の2ビットADCセル(領域数が7、 $KA=1.25$)を用い、2段目以降に1.5ビットADCセル(領域数が3、 $KA=0.875$)を用いたパイプライン型アナログデジタル変換器における2段目及び3段目のADCセルの入出力特性を示す図である。

[図47]図47は、NビットADCセルを用いたパイプライン型アナログデジタル変換器の構成例を示す図である。

[図48]図48は、NビットADCセルを用いた循環型アナログデジタル変換器の構成例を示す図である。

[図49]図49は、図48の動作切り替え可能なADCセルの構成例を示す回路図である。

[図50]図50は、NビットADCセルの構成及び特性を示す図である。

[図51]図51は、アナログ入力信号に対しての初段と2段目のデジタルコード、及び2段目におけるAD変換結果を示すグラフである。

発明を実施するための最良の形態

[0041] 図1は、本発明の実施形態によるパイプライン型アナログデジタル変換器の構成例を示す図である。アナログデジタル変換器は、外部アナログ入力信号VIをアナログデジタル変換し、デジタル出力信号Doutを出力する。サンプルホールド回路101は、外部アナログ入力信号(電圧)VINをサンプルホールドし、1.5ビットADCセル102に出力する。最初段の第1の1.5ビットADCセル102、複数の第2の1.5ビットADCセル103、及び最終段の2ビットフラッシュ(並列型)ADC105は直列に接続される。第1のADCセル102は、アナログ入力信号を入力し、そのアナログ入力信号を3値(1.5ビット)のデジタルコードDB1に変換し、その量子化誤差のアナログ出力信号を後段のADCセル103に出力する。その詳細は、後に説明する。第2のADCセル103は、前段のADCセル102又は103から出力されるアナログ出力信号をアナログ入力信号として入力し、そのアナログ入力信号を3値(1.5ビット)のデジタルコードDB2等に変換し、その量子化誤差のアナログ出力信号を後段のADCセル103又はフラッシュADC105に出力する。ADCセル103は、上記の図22～図24の説明と同じである。2ビットフラッシュADC105は、前段のADCセル103のアナログ出力信号を2ビットのデジタルコードDBnに変換する。第2のロジック演算回路106は、デジタルコードDB1～DBnを基にデジタル出力信号Doutを出力する。パイプライン型アナログデジタル変換器は、高速かつ高精度なアナログデジタル変換が可能である。なお、本発明の実施形態は、上記構成に限定されず、2ビットフラッシュADC105を、3ビット以上のフラッシュADCとしてもよい。

[0042] 図2は、第1の1.5ビットADCセル102の構成例を示す図である。ADCセル102は、MDAC201、1.5ビット比較回路202及び第1のロジック演算回路203を有する。MDAC201は、第1の容量213と、第2の容量214と、第1及び第2の容量213、214の第1の端子の相互接続点の電圧を入力し、アナログ出力信号(電圧)VOを出力するためのオペアンプ217と、第1のデジタルコードDAを基に $A \times DA \times KA \times VR / 2$ で表される第1のアナログ信号を出力するデジタルアナログ変換器(Sub DAC)215と、第1の容量213の第2の端子をアナログ入力信号(電圧)VIの端子及びオペアンプ217の出力端子のいずれかに接続するための第1のスイッチ211と、第2の容量214の第2の端子をアナログ入力信号VIの端子及びデジタルアナログ変換器215

の出力端子のいずれかに接続するための第2のスイッチ212と、第1及び第2の容量213, 214の第1の端子の相互接続点と基準電位とを接続するための第3のスイッチ216とを有する。オペアンプ217は、－入力端子が容量213及び214の第1の端子の相互接続点に接続され、＋入力端子が基準電位に接続される。比較回路202は、比較器221, 222及びロジック回路223を有する。第1のロジック演算回路203は、ロジック回路231を有する。

[0043] 図3は、1. 5ビット比較回路202、第1のロジック演算回路203及びデジタルアナログ変換器(Sub DAC)215の動作を説明するための図である。

[0044] 比較回路202は、第1の基準電圧($+KA \times VR/4$)及び第2の基準電圧($-KA \times VR/4$)を基にアナログ入力信号VIを比較し、アナログ入力信号VIの大きさに応じて3値の第1のデジタルコードDAを出力する。図22の第2のADCセル103は定数KAが1であったが、第1のADCセル102の定数KAは例えば $5/4$ である。その場合、第1の基準電圧は $+KA \times VR/4 = +(5/16) \times VR$ であり、第2の基準電圧は $-KA \times VR/4 = -(5/16) \times VR$ である。比較器221は、アナログ入力信号VIが第1の基準電圧($+KA \times VR/4$)より高ければ出力信号DUをハイレベルにし、第1の基準電圧($+KA \times VR/4$)より低ければ出力信号DUをローレベルにする。比較器222は、アナログ入力信号VIが第2の基準電圧($-KA \times VR/4$)より高ければ出力信号DLをハイレベルにし、第2の基準電圧($-KA \times VR/4$)より低ければ出力信号DLをローレベルにする。ロジック回路223は、信号DU及び信号DLがハイレベルであれば第1のデジタルコードDAとして「+1」を、信号DUがローレベルであり信号DLがハイレベルであれば第1のデジタルコードDAとして「0」を、信号DU及び信号DLがローレベルであれば第1のデジタルコードDAとして「-1」を出力する。第1のデジタルコードDAは、+1, 0及び-1の3値で表現される。

[0045] 第1のロジック演算回路203は、第1のデジタルコードDAを基に $DB = DA \times KA = DA \times (01.01)$ で表される3値の第2のデジタルコードDBを出力するロジック回路2231を有する。例えば、定数KAは $5/4$ (2進数で「01.01」)である。第1のデジタルコードDAが「+1」、「0」及び「-1」のとき、第2のデジタルコードDBはそれぞれ「+01.01」、「00.00」、「-01.01」になる。

[0046] デジタルアナログ変換器(Sub DAC)215は、 $+KA \times VR$ 及び $-KA \times VR$ の基準電圧及び第1のデジタルコードDAを入力し、 $A \times DA \times KA \times (VR/2)$ で表される第1のアナログ信号を出力する。Aが2、KAが $5/4$ の場合、第1のデジタルコードDAが「+1」、「0」及び「-1」のとき、第1のアナログ信号はそれぞれ「 $+(5/4) \times VR$ 」、「0」及び「 $-(5/4) \times VR$ 」になる。

[0047] 次に、MDAC201の動作を説明する。まず、スイッチ211はアナログ入力信号VIの端子と第1の容量213の第2の端子とを接続し、スイッチ212はアナログ入力信号VIの端子と第2の容量214の第2の端子とを接続し、スイッチ216は容量213及び214の第1の端子の相互接続点と基準電位とを接続する。容量213及び214は、アナログ入力信号VIにより充電される。次に、スイッチ211はオペアンプ217の出力端子と第1の容量213の第2の端子とを接続し、スイッチ212はデジタルアナログ変換器(Sub DAC)215の出力端子と第2の容量214の第2の端子とを接続し、スイッチ216は容量213及び214の第1の端子の相互接続点と基準電位との間を切断する。これより、オペアンプ217のアナログ出力信号VOは、次式のようにになる。

$$VO = A \times (VI - DA \times KA \times (VR/2))$$

[0048] ここで、定数Aが2、定数KAが $5/4$ であるので、次式が成立する。

$$VO = 2 \times VI - DA \times (5/4) \times VR$$

[0049] ここで、定数Aは、2に限定されない。その場合、MDAC(アナログ演算回路)201は、アナログ入力信号VIをサンプリングするための2個以上の容量211、212等と1個のオペアンプ217とを有し、アナログ出力信号VOを出力する際は前記容量211、212等のうちの少なくとも1個以上の容量はオペアンプ217の出力に接続され、その他の容量は第1のデジタルコードDAに応じた電圧に接続される。

[0050] 図4は、初段の第1のADCセル102の入出力特性を示すグラフである。横軸は VI/VR で表されるアナログ入力信号を示し、縦軸は VO/VR で表されるアナログ出力信号を示す。特性401は第2のデジタルコードDB1を示し、特性402はアナログ出力信号VO1を示し、特性403は $VO = 2 \times VIN$ の特性線を示す。エリア421ではデジタルコードDB1は「-01.01」、エリア422ではデジタルコードDB1は「00.00」、エリア423ではデジタルコードDB1は「+01.01」になる。

- [0051] ADCセル102のオペアンプ217の出力範囲は、エリア412に示すように、 $|VO/VR| \leq 3/4$ を満足している。ここで、入力信号フルスケールVIFは $\pm VR$ の為、 $VIF = 2VR$ である。また、ダイナミックレンジのフルスケールDRFは、 $2 \times ((VIの最大値) - (VIの最小値)) = 4VR$ となる。また、オペアンプのフルスケールVOFは $(VOの最大値) - (VOの最小値) = 2 \times (3/4) \times VR$ である。ダイナミックレンジはエリア411に示すように $(DRF/VIF) = 2$ であるのに対して、オペアンプ217の出力範囲はエリア412に示すように $(VOF/VIF) = 3/4$ と狭くなっている事が分かる。
- [0052] 図5は、2段目以降の第2のADCセル103のオペアンプ217の入出力特性を示すグラフである。横軸は VI/VR で表されるアナログ入力信号を示し、縦軸は VO/VR で表されるアナログ出力信号を示す。特性501は2段目のADCセル103のアナログ出力信号VO2を示し、特性502は3段目のADCセル103のアナログ出力信号VO3を示し、特性503はアナログ入力信号(VI/VR)の特性線を示す。2段目以降のADCセル103のオペアンプ2217の出力範囲は、エリア511に示すように、 $|VO/VR| \leq 0.5$ を満足している。
- [0053] 図6は、図1のパイプライン型アナログデジタル変換器の動作例を説明するための図である。例えば、3個のADCセル102、103及び104が直列に接続される。第1のADCセル102は図2の構成($KA = 5/4$)を有し、第2のADCセル103及び第3のADCセル104は図22の構成($KA = 1$)を有する。例えば、 $VIN = 0.55 \times VR$ を入力した場合、第1のADCセル102内の第1のロジック演算回路203は、第2のデジタルコードDB1として3値の中から「+01.01」を選択して出力する。第2のADCセル103内の第1のロジック演算回路2203は、第2のデジタルコードDB2として3値の中から「00」を選択して出力する。第3のADCセル104内の第1のロジック演算回路2203は、第2のデジタルコードDB3として3値の中から「-01」を選択して出力する。第2のロジック演算回路106は、「+01.01」のデジタルコードDB1、「00」のデジタルコードDB2及び「-01」のデジタルコードDB3のうちのデジタルコードDB2をビットシフトして加算し、「0100」のデジタル出力信号Doutを出力する。
- [0054] 図7は、パイプライン型アナログデジタル変換器の他の動作例を説明するための図である。外部アナログ入力信号VINが $0.55 \times VR$ の場合を例に説明する。ADCセ

ル102は「+01. 01」のデジタルコードDB1を出力し、ADCセル103は「00」のデジタルコードDB2を出力し、ADCセル104は「-01」のデジタルコードDB3を出力する。第2のロジック演算回路106は、デジタルコードDB1～DB3のうちのデジタルコードDB2をビットシフトして加算することにより、「0100」のデジタル出力信号Doutを出力する。

[0055] アナログデジタル変換器は、1段進む毎に1ビット分解能が上がる。即ち、第2のロジック演算回路106で各段のデジタルコードDBを加減算する場合、1ビット分シフトして加減算を行う。VIN=0. 55×VR時のデジタル出力信号Doutは、「+0100」が出力されている。ここでは、デジタル表記は、±表記をしているが、+表記のみにする場合はデジタルコードの演算で中心値デジタルコードDB0(1000又は0111)を加算すれば良い。デジタルコードDB0は定数である。この加算は、各段のデジタルコードDBの加減算をする際に行えば良いが、一般的には「0111」の加算を適用し、かつ、各段の第1のロジック演算回路203で「01」の加算をして出力する事ができる。

[0056] 図8は、アナログ入力信号に対しての各段のデジタルコードDBi、及びデジタル出力信号Doutを示すグラフである。横軸はVI/VRで表されるアナログ入力信号を示し、縦軸はVO/VRで表されるアナログ出力信号を示す。特性801はデジタルコードDB1、特性802はデジタルコードDB2、特性803はデジタルコードDB3、特性804はデジタル出力信号Dout、特性805はアナログ入力信号(VI/VR)を示す。各デジタルコードDBiが1ビットずつ分解能が上がっていること、及びアナログ入力信号805とデジタル出力信号804が良く一致していることが分かる。

[0057] 図5のエリア511に示すように、2段目以降のADCセルのオペアンプのアナログ出力信号VOの範囲は、 $|VO/VR| \leq 0.5$ であり、図25のアナログデジタル変換器のエリア2511に示す $|VO/VR| \leq 1$ に比べて半減している事が分かる。このように2段目以降のADCセルのオペアンプのアナログ出力範囲を $|VO/VR| \leq 0.5$ にするためには初段のADCセル102のオペアンプの出力範囲を $|VO/VR| \leq 0.75VR$ にしなければならない。そのためのKAの設定範囲は $5/4 \leq KA \leq 3/2$ である。定数KAは、 $5/4$ 以上かつ $3/2$ 以下の小数が好ましい。

[0058] このKAの設定範囲は初段のADCセル102の増幅率を変更した場合でも、2段目

のADCセル103の基準電圧を変更することで成り立つ。初段のADCセル102の増幅率をA、基準電圧VRをVR1、2段目のADCセルの基準電圧VRをVR2とすると $VR2 = VR1 \times (A/2)$ を満たすように設定すれば2段目以降のADCセルのオペアンプのアナログ出力範囲を $|VO/VR2| \leq 0.5$ にできる。

[0059] 2段目以降のADCセルは、図22のADCセル103を使用することができる。その場合の2段目以降のADCセル103では、基準電圧VRをVR2とすると、1.5ビット比較回路2202の比較レベルは $+VR2/4$ 及び $-VR2/4$ 、第1のロジック演算回路2203のデジタルコードDBは $DB0 + DA \times (01)$ 、MDAC2201のアナログ出力信号VOは $2 \times (VI - DA \times (VR2/2))$ となる。また、初段のADCセル102の基準電圧VRをVR1とすると、VR2とVR1の関係は、 $VR2 = VR1 \times A/2$ を満たすように設定する。このようにすれば、初段にADCセル102を使用する事でオペアンプのアナログ出力範囲が限定される為、2段目以降のADCセル103に対してはアナログ入力範囲が限定され、結果として2段目以降のADCセル103のオペアンプのアナログ出力範囲も限定された狭い範囲で動作可能になる。即ち、初段のADCセル102で KA を $5/4 \leq KA \leq 3/2$ にすると、初段のADCセル102のオペアンプのアナログ出力範囲が $\pm 0.75 \times VR2$ 以内となり、2段目以降のADCセル103のオペアンプのアナログ出力範囲を $\pm 0.5 \times VR2$ 以内に出来る。

[0060] 図9は、第2のロジック演算回路106の構成例を示す図である。第2のロジック演算回路106は、デジタル出力信号生成部901及びオーバーレンジ処理部902を有し、デジタルコードDB1～DBnを入力し、デジタル出力信号Dout2を出力する。デジタル出力信号Dout2は、図1のデジタル出力信号Doutに対応する。

[0061] デジタル出力信号生成部901は、図6及び図7を参照しながら説明したように、次式(6)により、デジタルコードDB1～DBnを基にデジタル出力信号Dout1を生成する。

[0062] [数3]

$$Dout1 = \sum_{i=1}^n (DB_i / 2^i) + DB_0 \quad \dots (6)$$

[0063] すなわち、デジタル出力信号生成部901は、デジタルコードDB1～DBnを加算し、さらに正の範囲のみで出力させる場合はDB0を加算する。定数DB0は0でもよい。

[0064] オーバーレンジ処理部902は、デジタル出力信号Dout1をオーバーレンジ処理し、Nビットのデジタル出力信号Dout2を出力する。第1のADCセル102を使用した場合、KA>1のため所望のビット数N以上のデジタル出力信号Dout1が出力される場合がある。Nビットのデジタル出力信号Dout2は、最大値がDRP、最小値がDRMとする。通常、Nビットで表現できる最大値DRPは「111・・・1」と1がN個続いたコードとなる。同様に、最小値DRMは「000・・・0」と0がN個続いたコードである。デジタル出力信号Dout1が最大値DRP以上の値であるならば、オーバーレンジ処理部902はデジタル出力信号Dout2を最大値DRPにして出力する。また、デジタル出力信号Dout1が最小値DRM以下の値であるならば、オーバーレンジ処理部902はデジタル出力信号Dout2を最小値DRMにして出力する。また、デジタル出力信号Dout1が最大値DRP以下かつ最小値DRM以上の値であるならば、オーバーレンジ処理部902はデジタル出力信号Dout1をそのままデジタル出力信号Dout2として出力する。

[0065] 図10は、係数KAに応じたADCセル102の特性図である。横軸は定数KAを示す。特性1001はVOF/VIF、特性1002はR=DRF/VOF、特性1003はDRF/VIFである。ここで、入力信号フルスケールVIFは±VRの為、VIF=2VRである。また、ダイナミックレンジのフルスケールDRFは、2×((VIの最大値)－(VIの最小値))=4VRとなる。また、オペアンプのフルスケールVOFは(VOの最大値)－(VOの最小値)である。

[0066] 第1のADCセル102は、MDAC201に対して1/4単位(2ビット相当)の±(VR/2)の加減算に小数を用いる為、MDAC201の入出力特性を小数表現が可能なように、上式(1)を次式(7)のアナログ出力信号VOにする。尚、下記式でAは増幅率で例えば2である。KAは掛け算係数であり、小数が取り扱えるようにする。デジタルコー

ドDAは「-1, 0, +1」のうちのいずれかである。デジタルコードDBは、次式(8)のように、デジタルコードDAに対してKAを乗算した2進数デジタルコードである。

$$VO = A \times (VI - DA \times KA \times (VR / 2)) \quad \dots (7)$$

$$DB = DA \times KA \quad \dots (8)$$

[0067] 第2のADC103では、 $A=2$ 、 $KA=1$ である。図30のADCセルでは、 $A=1$ 、 $KA=2$ である。第1のADCセル102では、上記で $KA=5/4$ の場合を例に説明したが、 $1 < KA < 2$ の小数に設定する事により信号振幅の拡大を図ることができる。特に、 KA を $4/3$ 近傍(例えば $21/16$)に設定するとアナログ出力信号VOの3個の領域の幅が同等となり、 $A=2$ でも、オペアンプのアナログ出力範囲を $|VO/VR| \leq (2/3)R$ に低減する事が可能となる。

[0068] 図11は、係数KAが1であるときのアナログ入力信号VI/VR及びアナログ出力信号VO/VRの関係を示すグラフである。特性1001のVOF/VIFは1であり、特性1003のDRF/VIFは2である。KAは1(2進数で「01」)である。デジタルコードDBは $DA \times KA = DA \times (01)$ である。

[0069] 図12は、係数KAが $5/4$ であるときのアナログ入力信号VI/VR及びアナログ出力信号VO/VRの関係を示すグラフである。特性1001のVOF/VIFは $3/4$ であり、特性1003のDRF/VIFは2である。KAは $5/4$ (2進数で「01. 01」)である。デジタルコードDBは、 $DA \times KA = DA \times (01. 01)$ であり、2進数で+1. 01、0. 00及び-1. 01の3値で表現される。

[0070] 図13は、係数KAが $21/16$ であるときのアナログ入力信号VI/VR及びアナログ出力信号VO/VRの関係を示すグラフである。特性1001のVOF/VIFは $2/3$ であり、特性1003のDRF/VIFは2である。KAは $21/16$ (2進数で「01. 0101」)である。デジタルコードDBは $DA \times KA = DA \times (01. 0101)$ であり、2進数で+1. 0101、0. 0000及び-1. 0101の3値で表現される。

[0071] 図14は、係数KAが $3/2$ であるときのアナログ入力信号VI/VR及びアナログ出力信号VO/VRの関係を示すグラフである。特性1001のVOF/VIFは $3/4$ であり、特性1003のDRF/VIFは2である。KAは $3/2$ (2進数で「01. 1」)である。デジタルコードDBは、 $DA \times KA = DA \times (01. 1)$ であり、2進数で+1. 1、0. 0及び-1.

1の3値で表現される。

[0072] 図15は、係数KAが2であるときのアナログ入力信号VI/VR及びアナログ出力信号VO/VRの関係を示すグラフである。特性1001のVOF/VIFは1であり、特性1003のDRF/VIFは2である。KAは2(2進数で「10」)である。デジタルコードDBは $DA \times KA = DA \times (10)$ である。

[0073] $A=2$ の場合で考えると、ダイナミックレンジは入力を2倍している為、特性1003の(DRF/VIF)は2で一定である。ここで、KAを1~2の間で、変化させたときのオペアンプのアナログ出力範囲を説明する。KAが1及び2では特性1001の(VOF/VIF)は1であるのに対して、 $1 < KA < 2$ の範囲では特性1001の(VOF/VIR)は1未満に出来る事が分かる。即ち、特性1002の比 $R (= DRF / VOF)$ を2より大きく出来る。KA=4/3近傍(例えば12/16)では特性1001の(VOF/VIR)は2/3、特性1002の比Rは3となる。その比 $R=3$ は、KAが1及び2のときの比 $R=2$ の1.5倍改善される。この事は、オペアンプのアナログ出力範囲が一定であると考え、アナログ入力信号VI及び基準電圧VRを各々1.5倍大きく出来る事を意味する。同様に、KA=5/4及び3/2の場合では、特性1001のVOF/VIRは3/4、特性1002の比Rは8/3となり。その比 $R=8/3$ は、KAが1及び2のときの比 $R=2$ に比べて4/3倍改善される。

[0074] また、デジタルコードDBは、2進数表現出来る事が必要となる。KAが5/4及び3/2の値は分母が2のn乗の為、デジタルコードDBは容易に2進数表現が出来る。KAが2/3の値では2進数が正確には「1. 01010101…」となり、デジタルコードDBの2進数表現は困難である。しかし、デジタル出力信号Dout2の有効桁での切り捨ては可能である。実際、KA=21/16、DB=「1. 0101」でも、特性1001のVOF/VIRは21/32であり、概略2/3となる。

[0075] 図16は、図2の第1のADCセル102の概略構成図である。第1のADCセル102は、サンプルホールド回路101からアナログ入力信号VIを入力し、アナログ出力信号VO及びデジタルコードDBを出力する。

[0076] 1.5ビット比較回路202は、アナログ入力信号VIが第1の比較レベル(+VC)より大きければデジタルコードDAを「+1」にし、アナログ入力信号VIが第1の比較レベ

ル(+VC)以下かつ第2の比較レベル(-VC)より大きいときにはデジタルコードDAを「0」にし、アナログ入力信号VIが第2の比較レベル(-VC)以下であるときにはデジタルコードDAを「-1」にして出力する。ここで、 $VC=KA \times VR/4$ である。

[0077] 第1のロジック演算回路203は、第1のデジタルコードDAを基に $DB=DA \times KA + DB0$ で表される3値の第2のデジタルコードDBを出力する。具体的には、第1のロジック演算回路203は、デジタルコードDAが「+1」であるときにはデジタルコードDBを $KA \times (+01) + DB0$ にし、デジタルコードDAが「0」であるときにはデジタルコードDBを $(00) + DB0$ にし、デジタルコードDAが「-1」であるときにはデジタルコードDBを $KA \times (-01) + DB0$ にして出力する。

[0078] MDAC(アナログ演算回路)201は、第1のデジタルコードDA及びアナログ入力信号VIを基に、 $VO=A \times (VI - DA \times KA \times (VR/2))$ で表されるアナログ出力信号VOを出力する。A及びVRは定数である。

[0079] ここで、ADCセル102は、アナログ入力信号VIが+VR以上かつ-VR以下の範囲内であるときに適切なアナログデジタル変換を行うことができる。定数KAは $1 < KA < 2$ の条件を満たす小数であり、好ましくは $5/4$ 以上かつ $3/2$ 以下の小数である。Aは、例えば2である。

[0080] 図17は、本発明の他の実施形態によるパイプライン型アナログデジタル変換器の構成例を示す図である。サンプルホールド回路101は、外部アナログ入力信号VINをサンプルホールドし、1.5ビットADCセル102に出力する。複数の第1の1.5ビットADCセル102が直列に接続されている。第1のADCセル102は、図2の構成を有し、外部アナログ入力信号VIN又は前段のADCセル102が出力するアナログ出力信号をアナログ入力信号として入力し、そのアナログ入力信号を3値(1.5ビット)のデジタルコードDB1又はDB2等に変換し、その量子化誤差のアナログ出力信号を後段のADCセル102に出力する。2ビットフラッシュADC105は、最終段のADCセル102のアナログ出力信号を2ビットのデジタルコードDBnに変換する。第2のロジック演算回路106は、デジタルコードDB1～DBnを基にデジタル出力信号Doutを出力する。なお、本発明の他の実施形態は、上記構成に限定されず、2ビットフラッシュADC105を、3ビット以上のフラッシュADCとしてもよい。

[0081] 図18は、本発明の他の実施形態による循環型アナログデジタル変換器の構成例を示す図である。サンプルホールド回路101は、アナログ入力信号 V_{Ii} をサンプルホールドし、スイッチ1802に出力する。ここで、 i はステージ番号を示す。スイッチ1802は、サンプルホールド回路101の出力端子を第1の1.5ビットADCセル102又は第2の1.5ビットADCセル103に接続する。第1のADCセル102は、図2の構成を有し、アナログ入力信号を3値(1.5ビット)のデジタルコード DB_i に変換し、その量子化誤差のアナログ出力信号 VO_i を出力する。第2のADCセル103は、図22の構成を有し、アナログ入力信号を3値(1.5ビット)のデジタルコード DB_i に変換し、その量子化誤差のアナログ出力信号 VO_i を出力する。スイッチ1803は、第1のADCセル102又は第2のADCセル103のいずれかのアナログ出力信号 VO_i を出力する。スイッチ1801は、サンプルホールド回路101の入力端子をスイッチ1803の出力端子及び外部アナログ入力信号 V_{IN} の端子のいずれかに接続する。第1巡目は、スイッチ1801は外部アナログ入力信号 V_{IN} の端子とサンプルホールド回路101の入力端子とを接続し、スイッチ1802はサンプルホールド回路101の出力端子と第1のADCセル102のアナログ入力端子とを接続し、スイッチ1803は第1のADCセル102のアナログ出力端子をスイッチ1801に接続する。第1のADCセル102は、外部アナログ入力信号 V_{IN} をアナログ入力信号 V_{Ii} として入力し、デジタルコード DB_i 及びアナログ出力信号 VO_i を出力する。ここで、 i は1である。第2巡目以降は、スイッチ1801はスイッチ1803の出力端子とサンプルホールド回路101の入力端子とを接続し、スイッチ1802はサンプルホールド回路101の出力端子と第2のADCセル103のアナログ入力端子とを接続し、スイッチ1803は第2のADCセル103のアナログ出力端子をスイッチ1801に接続する。第2のADCセル103は、前段のアナログ出力信号 VO_{i-1} をアナログ入力信号 V_{Ii} として入力し、デジタルコード DB_i 及びアナログ出力信号 VO_i を出力する。以後、循環処理を行うことにより、デジタルコード $DB_1, DB_2, \dots$ が得られる。第2のロジック演算回路106は、デジタルコード $DB_1, DB_2, \dots$ を基にデジタル出力信号 D_{out} を出力する。尚、ここで第1のADCセル102と第2のADCセル103は、アナログ演算とデジタル変換(以降“変換動作”と称す。)を満足すればよい。これより、循環処理ごとに図2において、比較器、SubDAC、第1のロジック演算回路のパラメータ K

Aを切り替えることにより、第1のADCセル102を使用して、第2のADCセル103の変換動作をさせる方法について説明する。こうすることで、第1のADCセル102と第2のADCセル103はADCセルのほとんどの構成要素を共通化して使用することができる。例えば、1順目の変換動作において $KA=5/4$ に設定すると、Sub DAC215には $+5/4 \times VR$ 及び $-5/4 \times VR$ の基準電圧を入力し、比較器221及び比較器222には $+5/16 \times VR$ 及び $-5/16 \times VR$ の基準電圧を入力する。そして第1のロジック演算回路231は、第1のデジタルコードDAが「+1」、「0」及び「-1」のとき、第2のデジタルコードDBはそれぞれ「+01. 01」、「00. 00」、「-01. 01」を出力させる。2順目以降の変換動作においては $KA=1$ に設定すると、Sub DAC215には $+VR$ 及び $-VR$ の基準電圧を入力し、比較器221及び比較器222には $+1/4 \times VR$ 及び $-1/4 \times VR$ の基準電圧を入力する。そして第1のロジック演算回路231は、第1のデジタルコードDAが「+1」、「0」及び「-1」のとき、第2のデジタルコードDBはそれぞれ「+01. 00」、「00. 00」、「-01. 00」を出力させる。即ち、第1のADCセルの変換動作時は $\pm(5/4)VR$ を基準電圧として与え、第2のADCセルの変換動作時は、 $\pm VR$ を基準電圧に与え、さらに第1のロジック演算回路の出力コードを切り替えることにより、ほとんどのADCセルの構成要素を共通化して使用することができる。ここで、循環型アナログデジタル変換器は、逐次比較型アナログデジタル変換器の一種であり、速度は遅いが、回路規模が小さく、かつ、高分解能を容易に実現できる特徴を持つ。

[0082] 図19は、本発明の他の実施形態による循環型アナログデジタル変換器の構成例を示す図である。サンプルホールド回路101は、アナログ入力信号 V_{Ii} をサンプルホールドし、第1の1.5ビットADCセル102に出力する。ここで、 i はステージ番号を示す。1.5ビットADCセル102は、図2の構成を有し、アナログ入力信号 V_{Ii} を3値(1.5ビット)のデジタルコード DB_i に変換し、その量子化誤差のアナログ出力信号 VO_i を出力する。スイッチ1901は、サンプルホールド回路101の入力端子をアナログ出力信号 VO_i の端子及び外部アナログ入力信号 V_{IN} の端子のいずれかに接続する。最初、スイッチ1901は、外部アナログ入力信号 V_{IN} の端子とサンプルホールド回路101の入力端子とを接続する。ADCセル102は、外部アナログ入力信号 V_{IN} をアナロ

グ入力信号 V_{Ii} として入力し、デジタルコード DB_i 及びアナログ出力信号 VO_i を出力する。ここで、 i は1である。次に、スイッチ1901は、アナログ出力信号 VO_i の端子とサンプルホールド回路101の入力端子とを接続する。ADCセル102は、アナログ出力信号 VO_1 をアナログ入力信号 VI_2 として入力し、デジタルコード DB_2 及びアナログ出力信号 VO_2 を出力する。以後、循環処理を行うことにより、ADCセル102は異なるタイミングで複数のデジタルコード $DB_1, DB_2, \dots$ を出力する。第2のロジック演算回路106は、複数のデジタルコード $DB_1, DB_2, \dots$ を基にデジタル出力信号 D_{out} を出力する。

[0083] 上記実施形態によれば、同一のダイナミックレンジに対して、オペアンプのアナログ出力範囲(VOF/VIR)を低減出来る。例えば、 KA が1のときのアナログ出力範囲(VOF/VIR)が1であるのに対し、 KA が $4/3$ 近傍ではアナログ出力範囲(VOF/VIR)を $2/3$ に低減出来る。オペアンプのアナログ出力範囲は、動作電源電圧に依存する。簡単に考えるために、オペアンプのアナログ出力範囲が動作電源電圧に比例すると考えると、オペアンプのアナログ出力範囲が $2/3$ になると、電源電圧を $2/3$ 倍低減出来る事になり、微細化プロセスで有効な手段となる。その場合、ダイナミックレンジ自体は変化無い為、容量値も図22のADCセル103と同等で良く、従って、電源電流も同じとなる。従って、消費電力で考えると、電源電圧が低下した分だけ、即ち、 $2/3$ 倍低減可能となる。

[0084] 以上のように、ADCセル102は、信号のダイナミックレンジを損なう事無く、オペアンプのアナログ出力範囲の低減を図る事が可能となる。また、ADCセル102は初段のみに使用するだけで、2段目以降のADCセル103の性能改善が同時に図れる。

[0085] また、同一電源電圧及び同一のオペアンプのアナログ出力範囲で考える場合は、ダイナミックレンジを最大 $3/2$ 倍拡大可能となる。信号振幅が $3/2$ 倍になれば、ノイズ自体の許容値も $3/2$ 倍まで緩和出来る。容量値は許容ノイズの2乗に反比例する為、容量値は $4/9$ 倍低減出来る。電源電流は、容量値に比例する為、電源電流も $4/9$ 倍低減出来る。即ち、本実施形態によるADCセル102は、同一電源電圧では消費電力を約半減出来、改善効果は大きい。また、容量値低減による小型化が可能である。

[0086] 図32は、1. 5ビット、2ビット及び3ビットADCセルのKAの値と入力信号フルスケールVIF及び出力信号フルスケールVOFの比との関係を示す図である。上記では1. 5ビットADCセルの場合を説明したが、以下、Nビット(Nは自然数)ADCセルについて説明する。1. 5ビットADCセルは1ビットの判定で1ビット2領域に1つの冗長領域($+KA/4$ 以下で $-KA/4$ より大きい領域。つまり $DA=0$ である領域)を持っているので、3領域で1. 5ビットADCセルと呼ばれる。よって、1. 5ビットADCセルのNは1である。特性3201は、上記の1. 5ビットADCセル(比較回路202が3領域で比較)の特性である。特性3202は、2ビットADCセル(比較回路が5又は7領域で比較)の特性である。特性3203は、3ビットADCセル(比較回路が9、11、13又は15領域で比較)の特性である。

[0087] 上記の式(7)及び(8)では、1. 5ビットADCセルのアナログ出力信号VO及びデジタルコードDBを示した。これに対し、NビットADCセルのアナログ出力信号VO及びデジタルコードDBは次式(9)及び(10)のようになる。ここで、定数Aは、 2^N が好ましいが、 2^N 以外の値でもよい。

$$VO = A \times (VI - DA \times KA \times (VR / A)) \quad \dots (9)$$

$$DB = DA \times KA \quad \dots (10)$$

[0088] 特性3201、3202及び3203では、KAを1より大きくかつ2未満の小数值にすることにより、VOF/VIFを1より小さくし、入力信号フルスケールVIFに対して出力信号フルスケールVOFを小さくすることができる。

[0089] 特性3201は、KAが1のときにVOF/VIFが1であり、KAが2のときにVOF/VIFが1であり、VOF/VIFの最小値は0. 66である。

[0090] 特性3202は、KAが1のときにVOF/VIFが1であり、KAが2のときにVOF/VIFが1であり、VOF/VIFの最小値は0. 57である。

[0091] 特性3203は、KAが1のときにVOF/VIFが1であり、KAが2のときにVOF/VIFが1であり、VOF/VIFの最小値は0. 53である。

[0092] 以上のように、KAが $1 < KA < 2$ の時はVOF/VIFが減少しているのがわかる。ADCセルの分解能(ビット数)が上がるにつれ、VOF/VIFの低減効果は高まり、入力信号フルスケールVIFと出力信号フルスケールVOFの比は0. 5に近づく。

- [0093] また、図4のように初段のADCセルの VO/VR (VOF/VIF)の絶対値を $3/4 (= 0.75)$ 以下にすれば、図5のように2段目以降のADCセルの VO/VR の絶対値を 0.5 以下にすることができる。
- [0094] 領域数が奇数のときには、 KA が $(2^N - 3/4) / (2^N - 1)$ 以上かつ $3/2$ 以下であれば、 VOF/VIF を 0.75 以下にすることができる。特性3201では、 KA が $5/4$ 以上かつ $3/2$ 以下の範囲で、 VOF/VIF を 0.75 以下にすることができる。特性3202では、 KA が $13/12$ 以上かつ $3/2$ 以下の範囲で、 VOF/VIF を 0.75 以下にすることができる。特性3203では、 KA が $29/28$ 以上かつ $3/2$ 以下の範囲で、 VOF/VIF を 0.75 以下にすることができる。
- [0095] 図33～図35は、2ビットADCセル(比較回路が5又は7領域で比較)の入出力特性を示し、図32の特性3202に対応する。横軸は VI/VR を示し、縦軸は VO/VR を示す。
- [0096] 図33は、 KA が1のときの2ビットADCセル(比較回路が7領域で比較)の入出力特性を示す図である。 VO/VR は、最大値が1であり、最小値が -1 である。
- [0097] 図34は、 KA が1.25のときの2ビットADCセル(比較回路が7領域で比較)の入出力特性を示す図である。 VO/VR は、最大値が0.625であり、最小値が -0.625 である。
- [0098] 図35は、 KA が1.75のときの2ビットADCセル(比較回路が5領域で比較)の入出力特性を示す図である。 VO/VR は、最大値が0.875であり、最小値が -0.875 である。
- [0099] 図33～図35に示すように、 KA を1から増加すると、途中で領域数が7から5に変化する。図33及び図34は領域数が7であり、図35は領域数が5である。
- [0100] 図36は、2ビット及び3ビットADCセル(比較回路が偶数領域で比較)の KA の値と入力信号フルスケール VIF 及び出力信号フルスケール VOF の比との関係を示す図である。特性3602は、2ビットADCセル(比較回路が4又は6領域で比較)の特性である。特性3603は、3ビットADCセル(比較回路が8、10、12又は14領域で比較)の特性である。
- [0101] 特性3602及び3603では、 KA を1より大きくかつ2未満の小数值にすることにより、

VOF/VIFを1より小さくし、入力信号フルスケールVIFに対して出力信号フルスケールVOFを小さくすることができる。

[0102] 特性3602は、KAが2のときにVOF/VIFが1であり、VOF/VIFの最小値は0.66である。

[0103] 特性3203は、KAが2のときにVOF/VIFが1であり、VOF/VIFの最小値は0.57である。

[0104] 以上のように、KAが $1 < KA < 2$ の時はVOF/VIFが減少しているのがわかる。ADCセルの分解能(ビット数)が上がるにつれ、VOF/VIFの低減効果は高まり、入力信号フルスケールVIFと出力信号フルスケールVOFの比は0.5に近づく。

[0105] また、図4のように初段のADCセルのVO/VR(VOF/VIF)の絶対値を $3/4 (= 0.75)$ 以下にすれば、図5のように2段目以降のADCセルのVO/VRの絶対値を0.5以下にすることができる。

[0106] 領域数が偶数のときには、KAが $(2^N - 3/4) / (2^N - 3/2)$ 以上かつ $3/2$ 以下であれば、VOF/VIFを0.75以下にすることができる。特性3602では、KAが $13/10$ 以上かつ $3/2$ 以下の範囲で、VOF/VIFを0.75以下にすることができる。特性3603では、KAが $29/26$ 以上かつ $3/2$ 以下の範囲で、VOF/VIFを0.75以下にすることができる。

[0107] 図37及び図38は、2ビットADCセル(比較回路が4又は6領域で比較)の入出力特性を示し、図36の特性3602に対応する。横軸はVI/VRを示し、縦軸はVO/VRを示す。

[0108] 図37は、KAが2のときの2ビットADCセル(比較回路が4領域で比較)の入出力特性を示す図である。VO/VRは、最大値が1であり、最小値が-1である。

[0109] 図38は、KAが1.5のときの2ビットADCセル(比較回路が6領域で比較)の入出力特性を示す図である。VO/VRは、最大値が0.75であり、最小値が-0.75である。

[0110] 図37及び図38に示すように、KAを1から増加すると、途中で領域数が4から6に変化する。図37は領域数が4であり、図38は領域数が6である。

[0111] 図50は、NビットADCセルの構成及び特性を示す図である。第1段目はKA=1の

ときのNビットADCセル(領域数が奇数)を示し、第2段目は $1 < KA < 2$ のときのNビットADCセル(領域数が奇数)を示し、第3段目が $KA = 2$ のときのNビットADCセル(領域数が偶数)を示し、第4段目が $KA < 2$ のときのNビットADCセル(領域数が偶数)を示す。

[0112] 領域数Qは、図2の比較回路202が比較する領域数を示す。Nは自然数のビット数である。例えば1.5ビットADCセルの場合はNが1である。1.5ビットADCセルは1ビットの判定で1ビット2領域に1つの冗長領域($+KA/4$ 以下で $-KA/4$ より大きい領域。つまり $DA = 0$ である領域)を持っている。比較数は、比較回路202内の比較器221及び222の数を示し、 $Q - 1$ 個である。比較レベルは、比較回路202で用いられる比較レベルである。デジタルコードDB及びアナログ出力信号VOは、上記の説明通りである。

[0113] 本実施形態では、上記の図32で説明したように、図50の第2段目のNビットADCセル(領域数が奇数)では $1 < KA < 2$ の条件を満たすようにする。その際、領域数Qは、 $2^N + 1$ 以上かつ $2^{N+1} - 1$ 以下である。また、第1のデジタルコードDA及び第2のデジタルコードDBは、領域数Qと同じQ値で表現される。比較回路202の複数の比較レベル(基準電圧)は $\pm KA \times VR \times C / 2^{N+1}$ であり、領域数Qが奇数のときにはCは $\pm 1, \pm 3, \dots, \pm (Q - 2)$ である。第1のデジタルコードDAは、領域数Qが奇数のときには $0, \pm 1, \pm 2, \dots, \pm (Q - 1) / 2$ のQ値で表現される。

[0114] また、本実施形態では、上記の図36で説明したように、図50の第4段目のNビットADCセル(領域数が偶数)では $KA < 2$ の条件を満たすようにする。その際、領域数Qは、 $2^N + 2$ 以上かつ $2^{N+1} - 2$ 以下である。また、第1のデジタルコードDA及び第2のデジタルコードDBは、領域数Qと同じQ値で表現される。比較回路202の複数の比較レベル(基準電圧)は $\pm KA \times VR \times C / 2^{N+1}$ であり、領域数Qが偶数のときにはCは $0, \pm 2, \pm 4, \dots, \pm (Q - 2)$ である。第1のデジタルコードDAは、領域数Qが偶数のときには $\pm 1/2, \pm 3/2, \dots, \pm (Q - 3) / 2$ のQ値で表現される。

[0115] 本実施形態は、図32及び図36で説明したように、 VOF / VIF が最大で $1/2$ に削減される。また、ADCセルのダイナミックレンジDRFは 2^N であるとき、ダイナミックレンジDRFとADCセルの出力信号フルスケールVOFとの比Rで考えると、 VOF / VIF

が $1/2$ になると、比 R は2倍の改善が可能となる。本実施形態は、マルチビットADCセルにおいて、比 R (DRF/VOF)を2倍大きくすることができる。すなわち、ダイナミックレンジ DRF は 2^N であるとき、出力信号フルスケール VOF を $1/2$ にすることができるので、比 R を 2^{N+1} にすることができる。

[0116] 図47は、 N ビットADCセルを用いたパイプライン型アナログデジタル変換器の構成例を示す図であり、図1に対応する。アナログデジタル変換器は、外部アナログ入力信号 VI をアナログデジタル変換し、デジタル出力信号 $Dout$ を出力する。最初段の N ビットADCセル4701、2段目以降の複数の M ビットADCセル4702、及び最終段の2ビットフラッシュ(並列型)ADC4703は直列に接続される。ADCセル4701は、 KA が1より大きくかつ2未満の範囲の小数値であり、アナログ入力信号 VIN を入力し、そのアナログ入力信号を N ビットのデジタルコード $DB1$ に変換し、その量子化誤差のアナログ出力信号を後段のADCセル4702に出力する。その詳細は、後に説明する。ADCセル4702は、 KA が1以下の小数值であり、前段のADCセル4701又は4702から出力されるアナログ出力信号をアナログ入力信号として入力し、そのアナログ入力信号を M ビットのデジタルコード $DB2$ 等に変換し、その量子化誤差のアナログ出力信号を後段のADCセル4702又はフラッシュADC4703に出力する。2ビットフラッシュADC4703は、前段のADCセル4702のアナログ出力信号を2ビットのデジタルコード DBn に変換する。第2のロジック演算回路4704は、上述と同様に、デジタルコード $DB1 \sim DBn$ を基にデジタル出力信号 $Dout$ を出力する。また、第2のロジック演算回路4704は、上述のように、図9に示すデジタル出力信号生成部901及びオーバーレンジ処理部902の処理を行う。パイプライン型アナログデジタル変換器は、高速かつ高精度なアナログデジタル変換が可能である。

[0117] なお、本発明の実施形態は、上記構成に限定されず、2ビットフラッシュADC4703を、3ビット以上のフラッシュADCとしてもよい。また、図1と同様に、サンプルホールド回路101を設けてもよい。また、ADCセル4702も、ADCセル4701と同様に、 KA を1より大きくかつ2未満の小数值に設定してもよい。本実施形態は、少なくとも1個のADCセルの KA が1より大きくかつ2未満の小数值に設定されていればよい。また、2段目以降のいずれかのADCセル4702は、2ビット以上のADCセルが好ましい。

[0118] 図39は、図47のパイプライン型アナログデジタル変換器の特性を示す図である。初段のADCセル4701は、 $KA=1.25$ の2ビットADCセル(領域数が7)であり、その特性は図34に示した通りである。2段目以降のADCセル4702は、 $KA=1$ の2ビットADCセル(領域数が7)である。

[0119] 図39において、横軸は V_{IN}/V_R を示し、縦軸は V_O/V_R を示す。特性3902は、2段目の2ビットADCセル(領域数が7、 $KA=1$)4702の特性である。特性3903は、3段目の2ビットADCセル(領域数が7、 $KA=1$)4702の特性である。

[0120] 2段目以降の2ビットADCセル4702内の比較回路は、6個の比較器3911～3916を有する(図43参照)。比較器3911は比較レベル $+5/8 \times V_R$ と比較し、比較器3912は比較レベル $+3/8 \times V_R$ と比較し、比較器3913は比較レベル $+1/8 \times V_R$ と比較し、比較器3914は比較レベル $-1/8 \times V_R$ と比較し、比較器3915は比較レベル $-3/8 \times V_R$ と比較し、比較器3916は比較レベル $-5/8 \times V_R$ と比較する。

[0121] 2段目以降のADCセルの特性3902及び3903は、 V_O/V_R の最大値が0.5であり、最小値が -0.5 である。したがって、3段目以降のADCセルにおいて、比較器3911～3916の中で、比較レベルが $+0.5 \times V_R$ より高い比較器及び比較レベルが $-0.5 \times V_R$ より低い比較器は不要である。すなわち、3段目以降のADCセルにおいて、比較器3911及び3916が不要になる。

[0122] 図40は、図47のパイプライン型アナログデジタル変換器の他の特性を示す図である。図40が図39と異なる点は、2段目以降のADCセルの KA が0.875であり、 KA が1より小さい小数値である点である。

[0123] 初段のADCセル4701は、 $KA=1.25$ の2ビットADCセル(領域数が7)であり、その特性は図34に示した通りである。2段目以降のADCセル4702は、 $KA=0.875$ の2ビットADCセル(領域数が7)である。

[0124] 図40において、横軸は V_{IN}/V_R を示し、縦軸は V_O/V_R を示す。特性4002は、2段目の2ビットADCセル(領域数が7、 $KA=0.875$)4702の特性である。特性4003は、3段目の2ビットADCセル(領域数が7、 $KA=0.875$)4702の特性である。

[0125] 最終段の3ビットフラッシュADC4703内の比較回路は、7個の比較器4011～4017を有する。比較器4011は比較レベル $+3/4 \times V_R$ と比較し、比較器4012は比較

レベル $+1/2 \times VR$ と比較し、比較器4013は比較レベル $+1/4 \times VR$ と比較し、比較器4014は比較レベル0と比較し、比較器4015は比較レベル $-1/4 \times VR$ と比較し、比較器4016は比較レベル $-1/2 \times VR$ と比較し、比較器4017は比較レベル $-3/4 \times VR$ と比較する。

[0126] 2段目以降のADCセルの特性4002及び4003は、 VO/VR の最大値が0.4375であり、最小値が -0.4375 である。図39の場合より、さらに VO/VR の絶対値を小さくすることができる。したがって、最終段のフラッシュADC4703において、比較器4011～4017の中で、比較レベルが $+0.5 \times VR$ 以上の比較器及び比較レベルが $-0.5 \times VR$ 以下の比較器は不要である。すなわち、最終段のフラッシュADC4703において、比較器4011、4012、4016及び4017が不要になる。また、図39と同様に、3段目以降のADCセルにおいて、比較器3911及び3916が不要になる。

[0127] 以上のように、ダイナミックレンジDRFを維持したまま、ADCセルの出力信号フルスケールVOFを低減することができる。その効果は初段のADCセルにおいて最大で半分に低減できる。これは電源電圧を低減することができ、微細なプロセスで有効である。さらに出力信号フルスケールVOFを従来のADCセルと同一にすれば、入力信号フルスケールVIFが拡大できる。本実施形態のADCセルの場合、入力信号フルスケールVIFが2倍に拡大できればノイズ自体の許容値も半分になり、容量値は2の2乗、つまり $1/4$ まで削減できる。電力と容量値はほぼ比例するので電力も $1/4$ になる。

[0128] 出力信号フルスケールVOFが小さくなることにより、不要となった入力信号フルスケールVIFの比較器の判定は不要になり、比較器の数を削減することができる。図39のように、初段に $KA=1.25$ のADCセルを用い、2段目以降に $KA=1$ のADCセルを用いた場合、3段目以降の出力範囲を $(-0.5 \leq (VO/VR) \leq 0.5)$ に抑えることができる。これにより、 $|0.5| < VI$ の判定を行う比較器が不要となる。さらに、2段目のADCセルを $KA < 1$ に設定することにより、図40のように出力信号フルスケールVOFはさらに下がり、比較レベル $\pm 1/2 \times VR$ の比較器も不要となる。

[0129] 図41は、2ビットADCセル(領域数が7)の構成例を示すブロック図であり、図2に対応する。MDAC4101は図2のMDAC201に対応し、比較回路4102は図2の比較

回路202に対応し、第1のロジック演算回路4103は第1の図2のロジック演算回路203に対応する。アナログ入力信号VIは、図47に示すように、外部アナログ入力信号VIN又は前段のADCセル4701若しくは4702のアナログ出力信号VOである。

- [0130] 比較回路4102は、6個の基準電圧 $+KA \times 5 \times VR / 8$ 、 $+KA \times 3 \times VR / 8$ 、 $+KA \times 1 \times VR / 8$ 、 $-KA \times 1 \times VR / 8$ 、 $-KA \times 3 \times VR / 8$ 及び $-KA \times 5 \times VR / 8$ を基にアナログ入力信号VIを比較し、アナログ入力信号VIの大きさに応じて7値(7領域)の第1のデジタルコードDAを出力する。
- [0131] 第1のデジタルコードDAは、 $VI > +KA \times 5 \times VR / 8$ であれば3、 $+KA \times 3 \times VR / 8 < VI \leq +KA \times 5 \times VR / 8$ であれば2、 $+KA \times 1 \times VR / 8 < VI \leq +KA \times 3 \times VR / 8$ であれば1、 $|VI| \leq +KA \times 1 \times VR / 8$ であれば0、 $-KA \times 3 \times VR / 8 \leq VI < -KA \times 1 \times VR / 8$ であれば-1、 $-KA \times 5 \times VR / 8 \leq VI < -KA \times 3 \times VR / 8$ であれば-2、 $VI < -KA \times 5 \times VR / 8$ であれば-3である。
- [0132] 第1のロジック演算回路4103は、第1のデジタルコードDAを基に $DB = DA \times KA$ で表される7値の第2のデジタルコードDBを出力する。第2のデジタルコードDBは、 $DA = 3$ であれば $KA \times 「11」$ 、 $DA = 2$ であれば $KA \times 「10」$ 、 $DA = 1$ であれば $KA \times 「01」$ 、 $DA = 0$ であれば $「00」$ 、 $DA = -1$ であれば $-KA \times 「01」$ 、 $DA = -2$ であれば $-KA \times 「10」$ 、 $DA = -3$ であれば $-KA \times 「11」$ になる。第2のデジタルコードDBは、図47の第2のロジック演算回路4704に出力される。
- [0133] MDAC4101は、アナログ入力信号VI及び第1のデジタルコードDAを入力し、 $VO = 4 \times (VI - DA \times KA \times (VR / 4))$ で表されるアナログ出力信号VOを出力する。アナログ出力信号VOは、図47の次段のADCセル4702又はフラッシュADC4703に出力される。
- [0134] 図42は、 $KA = 1.25$ のときの図41の2ビットADCセル(領域数が7)の構成例を示すブロック図である。
- [0135] 比較回路4102は、6個の基準電圧 $+1.25 \times 5 \times VR / 8$ 、 $+1.25 \times 3 \times VR / 8$ 、 $+1.25 \times 1 \times VR / 8$ 、 $-1.25 \times 1 \times VR / 8$ 、 $-1.25 \times 3 \times VR / 8$ 及び $-1.25 \times 5 \times VR / 8$ を基にアナログ入力信号VIを比較し、アナログ入力信号VIの大きさに応じて7値(7領域)の第1のデジタルコードDAを出力する。

- [0136] 第1のデジタルコードDAは、 $VI > +1.25 \times 5 \times VR / 8$ であれば3、 $+1.25 \times 3 \times VR / 8 < VI \leq +1.25 \times 5 \times VR / 8$ であれば2、 $+1.25 \times 1 \times VR / 8 < VI \leq +1.25 \times 3 \times VR / 8$ であれば1、 $|VI| \leq +1.25 \times 1 \times VR / 8$ であれば0、 $-1.25 \times 3 \times VR / 8 \leq VI < -1.25 \times 1 \times VR / 8$ であれば-1、 $-1.25 \times 5 \times VR / 8 \leq VI < -1.25 \times 3 \times VR / 8$ であれば-2、 $VI < -1.25 \times 5 \times VR / 8$ であれば-3である。
- [0137] 第1のロジック演算回路4103は、第1のデジタルコードDAを基に $DB = DA \times 1.25$ で表される7値の第2のデジタルコードDBを出力する。第2のデジタルコードDBは、DA=3であれば「11. 11」、DA=2であれば「10. 10」、DA=1であれば「01. 01」、DA=0であれば「00. 00」、DA=-1であれば「-01. 01」、DA=-2であれば「-10. 10」、DA=-3であれば「-11. 11」になる。
- [0138] MDAC4101は、アナログ入力信号VI及び第1のデジタルコードDAを入力し、 $VO = 4 \times (VI - DA \times 1.25 \times (VR / 4))$ で表されるアナログ出力信号VOを出力する。
- [0139] 図43は、図42の2ビットADCセルの構成例を示す図であり、図2に対応する。ADCセルは、MDAC4101、比較回路4102及び第1のロジック演算回路4103を有する。MDAC4101は、容量1415, 1416, 1417と、容量1415, 1416, 1417の第1の端子の相互接続点の電圧を入力し、アナログ出力信号(電圧)VOを出力するためのオペアンプ1419と、第1のデジタルコードDAを基にアナログ信号VD1及びVD2を出力するデジタルアナログ変換器(Sub DAC)1418と、容量1415の第2の端子をアナログ入力信号(電圧)VIの端子及びオペアンプ1419の出力端子のいずれかに接続するためのスイッチ1411と、容量1416の第2の端子をアナログ入力信号VIの端子に接続するためのスイッチ1412と、容量1417の第2の端子をアナログ入力信号VIの端子に接続するためのスイッチ1413と、容量1415, 1416, 1417の第1の端子の相互接続点と基準電位とを接続するためのスイッチ1414とを有する。容量1415及び1417は容量値がCであり、容量1416は容量値が2Cである。オペアンプ1419は、-入力端子が容量1415, 1416, 1417の第1の端子の相互接続点に接続され、+入力端子が基準電位に接続される。アナログ信号VD1は容量1417の第

2の端子に出力され、アナログ信号VD2は容量1416の第2の端子に出力される。

[0140] 比較回路4102は、6個の比較器1421～1426及びロジック回路1427を有する。

第1のロジック演算回路4103は、ロジック回路1431を有する。

[0141] 比較回路4102は、図42に示すように、6個の基準電圧 $+1.25 \times 5 \times VR/8$ 、 $+1.25 \times 3 \times VR/8$ 、 $+1.25 \times 1 \times VR/8$ 、 $-1.25 \times 1 \times VR/8$ 、 $-1.25 \times 3 \times VR/8$ 及び $-1.25 \times 5 \times VR/8$ を基にアナログ入力信号VIを比較し、アナログ入力信号VIの大きさに応じて7値(7領域)の第1のデジタルコードDAを出力する。

[0142] 比較器1421は、アナログ入力信号VIが基準電圧 $+1.25 \times 5 \times VR/8$ より高ければ出力信号をハイレベルにし、基準電圧 $+1.25 \times 5 \times VR/8$ より低ければ出力信号をローレベルにする。比較器1422は、アナログ入力信号VIが基準電圧 $+1.25 \times 3 \times VR/8$ より高ければ出力信号をハイレベルにし、基準電圧 $+1.25 \times 3 \times VR/8$ より低ければ出力信号をローレベルにする。比較器1423は、アナログ入力信号VIが基準電圧 $+1.25 \times 1 \times VR/8$ より高ければ出力信号をハイレベルにし、基準電圧 $+1.25 \times 1 \times VR/8$ より低ければ出力信号をローレベルにする。比較器1424は、アナログ入力信号VIが基準電圧 $-1.25 \times 1 \times VR/8$ より高ければ出力信号をハイレベルにし、基準電圧 $-1.25 \times 1 \times VR/8$ より低ければ出力信号をローレベルにする。比較器1425は、アナログ入力信号VIが基準電圧 $-1.25 \times 3 \times VR/8$ より高ければ出力信号をハイレベルにし、基準電圧 $-1.25 \times 3 \times VR/8$ より低ければ出力信号をローレベルにする。比較器1426は、アナログ入力信号VIが基準電圧 $-1.25 \times 5 \times VR/8$ より高ければ出力信号をハイレベルにし、基準電圧 $-1.25 \times 5 \times VR/8$ より低ければ出力信号をローレベルにする。

[0143] ロジック回路1427は、比較器1421～1426の出力信号を基に第1のデジタルコードDAを出力する。第1のデジタルコードDAは、 $VI > +1.25 \times 5 \times VR/8$ であれば3、 $+1.25 \times 3 \times VR/8 < VI \leq +1.25 \times 5 \times VR/8$ であれば2、 $+1.25 \times 1 \times VR/8 < VI \leq +1.25 \times 3 \times VR/8$ であれば1、 $|VI| \leq +1.25 \times 1 \times VR/8$ であれば0、 $-1.25 \times 3 \times VR/8 \leq VI < -1.25 \times 1 \times VR/8$ であれば-1、 $-1.25 \times 5 \times VR/8 \leq VI < -1.25 \times 3 \times VR/8$ であれば-2、 $VI < -1.25 \times 5 \times VR/8$ であれば-3である。

[0144] 図44は、第1のロジック演算回路4103及びデジタルアナログ変換器(Sub DAC) 1418の動作を説明するための図である。

[0145] 第1のロジック演算回路4103は、第1のデジタルコードDAを基に $DB = DA \times 1.25$ で表される7値の第2のデジタルコードDBを出力するロジック回路1431を有する。第2のデジタルコードDBは、 $DA = 3$ であれば「+11. 11」、 $DA = 2$ であれば「+10. 10」、 $DA = 1$ であれば「+01. 01」、 $DA = 0$ であれば「00. 00」、 $DA = -1$ であれば「-01. 01」、 $DA = -2$ であれば「-10. 10」、 $DA = -3$ であれば「-11. 11」になる。

[0146] デジタルアナログ変換器(Sub DAC) 1418は、 $+1.25 \times VR$ 及び $-1.25 \times VR$ の基準電圧及び第1のデジタルコードDAを入力し、アナログ信号VD1及びVD2を出力する。アナログ信号VD1は、 $DA = 3$ 又は1であれば $+1.25 \times VR$ 、 $DA = 2, 0$ 又は -2 であれば0、 $DA = -1$ 又は -3 であれば $-1.25 \times VR$ になる。アナログ信号VD2は、 $DA = 3$ 又は2であれば $+1.25 \times VR$ 、 $DA = 1, 0$ 又は -1 であれば0、 $DA = -2$ 又は -3 であれば $-1.25 \times VR$ になる。

[0147] 次に、MDAC4101の動作を説明する。まず、スイッチ1411はアナログ入力信号VIの端子と容量1415の第2の端子とを接続し、スイッチ1412はアナログ入力信号VIの端子と容量1416の第2の端子とを接続し、スイッチ1413はアナログ入力信号VIの端子と容量1417の第2の端子とを接続し、スイッチ1414は容量1415, 1416, 1417の第1の端子の相互接続点と基準電位とを接続する。容量1415～1417は、アナログ入力信号VIにより充電される。次に、スイッチ1411はオペアンプ1419の出力端子と容量1415の第2の端子とを接続し、スイッチ1412～1414は開いて切断する。これより、オペアンプ1419のアナログ出力信号VOは、上式(9)を基に次式のようになる。ここで、 $A = 2^N$ 、 $N = 2$ 、 $KA = 1.25$ である。

$$VO = 4 \times (VI - DA \times 1.25 \times (VR / 4))$$

[0148] 以上のように、基準電圧を $\pm VR$ とすると、アナログ入力信号VIは図34に示すように $\pm VR$ 範囲内である。先ず、6個の比較器1421～1426を用いて7個の領域に分け、その値を $DA = (-3, -2, -1, 0, 1, 2, 3)$ とする。ここで、比較レベルは $\pm KA \times (1 \times VR / 8)$ 、 $\pm KA \times (3 \times VR / 8)$ 、 $\pm KA \times (5 \times VR / 8)$ 、即ち、 $\pm 1.25 \times$

$(1 \times VR/8)$ 、 $\pm 1.25 \times (3 \times VR/8)$ 、 $\pm 1.25 \times (5 \times VR/8)$ に設定される。第2のデジタルコードDBは、 $(VIF/8)$ の整数倍で有る第1のデジタルコードDAに対して $KA=1.25$ を乗算した結果である。即ち、 $DA=(-3, -2, -1, 0, 1, 2, 3)$ の各々に対し、第2のデジタルコードDBは $(-011.11, -010.10, -001.01, 000.00, 001.01, 010.10, 011.11)$ になる。一方、アナログ出力信号VOは、MDAC4101でアナログ入力信号VIを4倍した信号に対し、 $DA \times KA \times VR$ を加減算する。即ち、 $DA \times 1.25 \times VR$ を加減算する。

[0149] 図34に、図43の2ビットADCセル(領域数が7、 $KA=1.25$)の入出力特性を示す。ダイナミックレンジが $(DRF/VIF)=4$ に対して、ADCセルの出力範囲は $(VOF/VIR)=0.625$ と狭くなっている事が分かる。

[0150] 初段に図43のADCセルを用い、2段目以降に2ビットADCセル(領域数が7、 $KA=1$)を用いたパイプライン型アナログデジタル変換器における2段目及び3段目のADCセルの入出力特性を図39に示す。2段目以降のADCセルの出力範囲は、 $(-0.5 \leq (VO/VR) \leq 0.5)$ に収まっている。出力範囲が $\pm 7/8 VR$ よりも小さく、2段目のADCセルの出力が折り返される中心付近の $\pm 0.5 VR$ に収まるからである。図51は、アナログ入力信号 (VIN/VR) に対しての初段と2段目のデジタルコード(DB1、DB2)、及び2段目におけるAD変換結果 $(DB1+DB2)$ を示すグラフである。横軸は VIN/VR で表されるアナログ入力信号を示す。特性5101はデジタルコードDB1、特性5102はデジタルコードDB2、特性5103はデジタル出力信号 $(DB1+DB2)$ Dout、特性5104はアナログ入力信号 (VIN/VR) を示す。アナログ入力信号5104とデジタル出力信号5103が非常によく一致しているのが分かる。

[0151] 図45は、初段に図43の2ビットADCセル(領域数が7、 $KA=1.25$)を用い、2段目以降に1.5ビットADCセル(領域数が3、 $KA=1$)を用いたパイプライン型アナログデジタル変換器における2段目及び3段目のADCセルの入出力特性を示す図である。特性4502は2段目のADCセルの特性であり、特性4503は3段目のADCセルの特性である。特性4502及び4503は、 VO/VR の最大値が0.5であり、 VO/VR の最小値が-0.5である。

[0152] 2段目以降のADCセルの出力範囲は、 $(-0.5 \leq (VO/VR) \leq 0.5)$ に収まって

いる。出力範囲が $\pm 3/4VR$ よりも小さく、2段目のADCセルの出力が折り返される中心付近の $\pm 0.5VR$ に収まるからである。NビットADCセルにおいてこのように出力範囲が $\pm 3/4VR$ よりも小さくなるKAの範囲は、図32及び図36より、領域数Qが奇数の時には $(2^N - 3/4)/(2^N - 1) \leq KA \leq 3/2$ であり、領域数Qが偶数の時には $(2^N - 3/4)/(2^N - 3/2) \leq KA \leq 3/2$ になる。

[0153] 図46は、初段に図43の2ビットADCセル(領域数が7、 $KA=1.25$)を用い、2段目以降に1.5ビットADCセル(領域数が3、 $KA=0.875$)を用いたパイプライン型アナログデジタル変換器における2段目及び3段目のADCセルの入出力特性を示す図である。特性4602は2段目のADCセルの特性であり、特性4603は3段目のADCセルの特性である。特性4602及び4603は、 VO/VR の最大値が0.4375であり、 VO/VR の最小値が-0.4375である。

[0154] 2段目以降のADCセルの出力範囲は $\pm 0.4375VR$ になる。2段目以降のADCセルのKAを1未満($KA < 1$)に設定すると折り返されるリファレンスの加減算の大きさが小さくなり、出力範囲をより小さく設定することができる。図47のパイプライン型アナログデジタル変換器は、最終段に2ビット以上のフラッシュADC4703を用いる場合がある。3ビットのフラッシュADC4703を最終段に設定した場合、フラッシュADC4703内の7個の比較器4011~4017の判定レベルは($+3/4VR$, $+1/2VR$, $+1/4VR$, 0 , $-1/4VR$, $-1/2VR$, $-3/4VR$)に設定される。 $KA < 1$ に設定することにより、判定レベル $+3/4VR$, $+1/2VR$, $-1/2VR$, $-3/4VR$ を判定する4個の比較器4011, 4012, 4016, 4017が不要となる。

[0155] $KA < 1$ のADCセルは、 $1 < KA < 2$ のADCセルの後段に設けることが好ましい。

[0156] 図48は、NビットADCセルを用いた循環型アナログデジタル変換器の構成例を示す図であり、図18及び図19に対応する。NビットADCセル4801は、動作切り替え可能なADCセルである。第1のステージでは、ADCセル4801は図47の初段のADCセル4701として動作し、アナログ入力信号VINを入力し、アナログ出力信号VO1を入力にフィードバック出力し、第2のデジタルコードDB1を第2のロジック演算回路4704に出力する。次に、第2のステージでは、ADCセル4801は図47の2段目のADCセル4702として動作し、アナログ出力信号VO1をアナログ入力信号VI2として

入力し、アナログ出力信号VO2を入力にフィードバック出力し、第2のデジタルコードDB2を第2のロジック演算回路4704に出力する。以上のように、第iのステージでは、ADCセル4801はi段目のADCセルとして動作し、アナログ出力信号VO_{i-1}をアナログ入力信号VI_iとして入力し、アナログ出力信号VO_iを入力にフィードバック出力し、第2のデジタルコードDB_iを第2のロジック演算回路4704に出力する。第2のロジック演算回路4704は、図47の第2のロジック演算回路4704と同様に、第2のデジタルコードDB_iを基にデジタル出力信号Doutを出力する。なお、図18及び図19に示すように、サンプルホールド回路101を設けてもよい。

[0157] 以上のように、アナログデジタル変換器は、1個以上のアナログデジタル変換セルを有する。アナログ信号をデジタル信号出力に変換する間に、少なくとも1個以上の前記アナログデジタル変換セルを2回以上使用する。第2のロジック演算回路4704は、前記アナログデジタル変換セルの各変換動作で出力する第2のデジタルコードDB_iを基にアナログデジタル変換結果のデジタル出力信号Doutを出力する。前記アナログデジタル変換セルは、少なくとも1回以上は $1 < KA < 2$ のアナログデジタル変換セルの動作を行う。前記アナログデジタル変換セルの初回の使用は、 $1 < KA < 2$ のアナログデジタル変換セルの動作を行うことが好ましい。

[0158] 図49は、図48の動作切り替え可能なADCセル4801の構成例を示す回路図である。例として、初段の1.5ビットADCセル($1 < KA < 2$)と2段目以降の1.5ビットADCセル($KA = 1$)とを切り換え可能なADCセルを説明する。以下、図49が図2と異なる点を説明する。

[0159] 制御信号Xがハイレベルになると図22のADCセル($KA = 1$)になり、制御信号Xがローレベルになると図2のADCセル($1 < KA < 2$)になる。

[0160] デジタルアナログ変換器(Sub DAC)215は、スイッチにより、制御信号Xがハイレベルになると+VR及び-V_Rの基準電圧を入力し、制御信号Xがローレベルになると+KA×VR及び-KA×VRの基準電圧を入力する。

[0161] 比較器221は、スイッチにより、制御信号Xがハイレベルになると+VR/4及び-V_R/4の基準電圧を入力し、制御信号Xがローレベルになると+KA×VR/4及び-KA×VR/4の基準電圧を入力する。

- [0162] 第1のロジック演算回路203は、制御信号Xがハイレベルになると第2のデジタルコード $DB=DA+DB0$ を出力し、制御信号Xがローレベルになると第2のデジタルコード $DB=DA\times KA+DB0$ を出力する。
- [0163] 以上のように、2種類のADCセルの大部分は共通化することができるので、ADCセル4801を小型化することができる。
- [0164] 上記実施形態によれば、NビットADCセルにおいて、ダイナミックレンジDRFを維持したまま、ADCセルの出力信号フルスケールVOFを低減することができる。その効果は最大で半分に低減できる。これは電源電圧を低減することができ、微細なプロセスで有効である。さらに出力信号フルスケールVOFを従来のADCセルと同一にすれば、入力信号フルスケールVIFが拡大できる。本実施形態のADCセルの場合、入力信号フルスケールVIFが2倍に拡大できればノイズ自体の許容値も半分になり、容量値は2の2乗、つまり1/4まで削減できる。電力と容量値はほぼ比例するので電力も1/4になる。
- [0165] また、出力信号フルスケールVOFが小さくなることにより、不要となった入力信号フルスケールVIFの比較器の判定は不要になり、ADCセル及び／又はフラッシュADC内の比較器の数を削減することができる。
- [0166] なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

産業上の利用可能性

- [0167] 同一のダイナミックレンジに対して、アナログ出力信号の出力範囲を低減でき、電源電圧及び消費電力を低減することができる。また、同一のアナログ出力信号の出力範囲及び同一の電源電圧に対して、ダイナミックレンジを拡大でき、消費電流及び消費電力を低減することができる。

請求の範囲

- [1] Nビットアナログデジタル変換(Nは自然数)を行うアナログデジタル変換セルであつて、
 複数の基準電圧を基にアナログ入力信号VIを比較し、前記アナログ入力信号VIの大きさに応じて $2^N + 1$ 以上かつ $2^{N+1} - 1$ 以下であるQ値の第1のデジタルコードDAを出力する比較回路と、
 定数KAが $1 < KA < 2$ の条件を満たす小数であり、DB0が定数であり、前記第1のデジタルコードDAを基に $DB = DA \times KA + DB0$ で表されるQ値の第2のデジタルコードDBを出力する第1のロジック演算回路と、
 A及びVRが定数であり、前記第1のデジタルコードDA及び前記アナログ入力信号VIを基に、 $VO = A \times (VI - DA \times KA \times (VR / A))$ で表されるアナログ出力信号VOを出力するアナログ演算回路と
 を有することを特徴とするアナログデジタル変換セル。
- [2] 前記比較回路の前記複数の基準電圧は $\pm KA \times VR \times C / 2^{N+1}$ であり、前記Q値が奇数のときには前記Cは $\pm 1, \pm 3, \dots, \pm (Q - 2)$ であり、前記Q値が偶数のときには前記Cは $0, \pm 2, \pm 4, \dots, \pm (Q - 2)$ であることを特徴とする請求項1記載のアナログデジタル変換セル。
- [3] 前記第1のデジタルコードDAは、前記Q値が奇数のときには $0, \pm 1, \pm 2, \dots, \pm (Q - 1) / 2$ のQ値で表現され、前記Q値が偶数のときには $\pm 1 / 2, \pm 3 / 2, \dots, \pm (Q - 3) / 2$ のQ値で表現されることを特徴とする請求項1又は2記載のアナログデジタル変換セル。
- [4] 前記定数KAは、前記Q値が奇数のときには $(2^N - 3 / 4) / (2^N - 1)$ 以上かつ $3 / 2$ 以下であり、前記Q値が偶数のときには $(2^N - 3 / 4) / (2^N - 3 / 2)$ 以上かつ $3 / 2$ 以下であることを特徴とする請求項1～3のいずれか1項に記載のアナログデジタル変換セル。
- [5] 前記定数KAは $5 / 4$ でありかつ前記第2のデジタルコードDBは2進数で $+1.01, 0.00$ 及び -1.01 の3値で表現され、又は前記定数KAは $3 / 2$ でありかつ前記第2のデジタルコードDBは2進数で $+1.1, 0.0$ 及び -1.1 の3値で表現され、又は前

記定数KAは $21/16$ でありかつ前記第2のデジタルコードDBは2進数で+1. 0101、0. 0000及び-1. 0101の3値で表現されることを特徴とする請求項1～3のいずれか1項に記載のアナログデジタル変換セル。

- [6] 前記アナログ演算回路は、前記アナログ入力信号VIをサンプリングするための2個以上の容量と1個のオペアンプとを有し、前記アナログ出力信号VOを出力する際に、前記容量のうちの少なくとも1個以上の容量が前記オペアンプの出力に接続され、その他の容量が前記第1のデジタルコードDAに応じた電圧に接続されることを特徴とする請求項1～5のいずれか1項に記載のアナログデジタル変換セル。

- [7] 前記アナログ演算回路は、
第1の容量と、
第2の容量と、
前記第1及び第2の容量の第1の端子の相互接続点の電圧が入力され、前記アナログ出力信号VOを出力するオペアンプと、
前記第1のデジタルコードDAを基に第1のアナログ信号を前記第2の容量の第2の端子に出力するためのデジタルアナログ変換セルと、
前記第1の容量の第2の端子を前記アナログ入力信号VIの端子及び前記オペアンプの出力端子のいずれかに接続する第1のスイッチと、
前記第2の容量の第2の端子を前記アナログ入力信号VIの端子に接続する第2のスイッチと、
前記第1及び第2の容量の第1の端子の相互接続点と基準電位とを接続する第3のスイッチと
を有することを特徴とする請求項1～6のいずれか1項に記載のアナログデジタル変換セル。

- [8] 2個以上のアナログデジタル変換セルと、
各アナログデジタル変換セルが出力する第2のデジタルコードを基にアナログデジタル変換結果のデジタル出力信号を出力する第2のロジック演算回路とを有し、
前記2個以上のアナログデジタル変換セルの内、少なくとも1個以上は、請求項1記載のアナログデジタル変換セルであることを特徴とするアナログデジタル変換器。

- [9] 前記2個以上のアナログデジタル変換セルのうちの初段のアナログデジタル変換セルは、請求項1記載のアナログデジタル変換セルであることを特徴とする請求項8記載のアナログデジタル変換器。
- [10] 前記2個以上のアナログデジタル変換セルのうちの2段目以降のいずれかのアナログデジタル変換セルは、
Nビットアナログデジタル変換(Nは自然数)を行うアナログデジタル変換セルであって、
複数の基準電圧を基にアナログ入力信号VIを比較し、前記アナログ入力信号VIの大きさに応じて $2^N + 1$ 以上かつ $2^{N+1} - 1$ 以下であるQ値の第1のデジタルコードDAを出力する比較回路と、
定数KAが1であり、DB0が定数であり、前記第1のデジタルコードDAを基に $DB = DA \times KA + DB0$ で表されるQ値の第2のデジタルコードDBを出力する第1のロジック演算回路と、
A及びVRが定数であり、前記第1のデジタルコードDA及び前記アナログ入力信号VIを基に、 $VO = A \times (VI - DA \times KA \times (VR / A))$ で表されるアナログ出力信号VOを出力するアナログ演算回路と
を有することを特徴とする請求項8又は9記載のアナログデジタル変換器。
- [11] 前記2個以上のアナログデジタル変換セルのうちの2段目以降のいずれかのアナログデジタル変換セルは、
Nビットアナログデジタル変換(Nは2以上の自然数)を行うアナログデジタル変換セルであって、
複数の基準電圧を基にアナログ入力信号VIを比較し、前記アナログ入力信号VIの大きさに応じて $2^N + 1$ 以上かつ $2^{N+1} - 1$ 以下であるQ値の第1のデジタルコードDAを出力する比較回路と、
KA及びDB0が定数であり、前記第1のデジタルコードDAを基に $DB = DA \times KA + DB0$ で表されるQ値の第2のデジタルコードDBを出力する第1のロジック演算回路と、
A及びVRが定数であり、前記第1のデジタルコードDA及び前記アナログ入力信号

VIを基に、 $VO = A \times (VI - DA \times KA \times (VR / A))$ で表されるアナログ出力信号VOを出力するアナログ演算回路と

を有することを特徴とする請求項8又は9記載のアナログデジタル変換器。

- [12] 前記2個以上のアナログデジタル変換セルのうちの2段目以降のいずれかのアナログデジタル変換セルは、

Nビットアナログデジタル変換(Nは自然数)を行うアナログデジタル変換セルであつて、

複数の基準電圧を基にアナログ入力信号VIを比較し、前記アナログ入力信号VIの大きさに応じて $2^N + 1$ 以上かつ $2^{N+1} - 1$ 以下であるQ値の第1のデジタルコードDAを出力する比較回路と、

定数KAが1未満であり、DB0が定数であり、前記第1のデジタルコードDAを基に $DB = DA \times KA + DB0$ で表されるQ値の第2のデジタルコードDBを出力する第1のロジック演算回路と、

A及びVRが定数であり、前記第1のデジタルコードDA及び前記アナログ入力信号VIを基に、 $VO = A \times (VI - DA \times KA \times (VR / A))$ で表されるアナログ出力信号VOを出力するアナログ演算回路と

を有することを特徴とする請求項8又は9記載のアナログデジタル変換器。

- [13] 前記後段のアナログデジタル変換セルは、

前記定数Aは 2^N であり、

前記比較回路の複数の基準電圧は $\pm KA \times VR \times C / 2^{N+1}$ であり、前記Q値が奇数のときには前記Cは $\pm 1, \pm 3, \dots, \pm (Q - 2)$ であり、前記Q値が偶数のときには前記Cは $0, \pm 2, \pm 4, \dots, \pm (Q - 2)$ であり、

前記第1のデジタルコードDAは、前記Q値が奇数のときには $0, \pm 1, \pm 2, \dots, \pm (Q - 1) / 2$ のQ値で表現され、前記Q値が偶数のときには $\pm 1 / 2, \pm 3 / 2, \dots, \pm (Q - 3) / 2$ のQ値で表現されることを特徴とする請求項12記載のアナログデジタル変換器。

- [14] 前記後段のアナログデジタル変換セル内の前記アナログ演算回路は、前記アナログ入力信号VIをサンプリングするための2個以上の容量と1個のオペアンプとを有し

、前記アナログ出力信号VOを出力する際に、前記容量のうちの少なくとも1個以上の容量が前記オペアンプの出力に接続され、その他の容量が前記第1のデジタルコードDAに応じた電圧に接続されることを特徴とする請求項12又は13記載のアナログデジタル変換器。

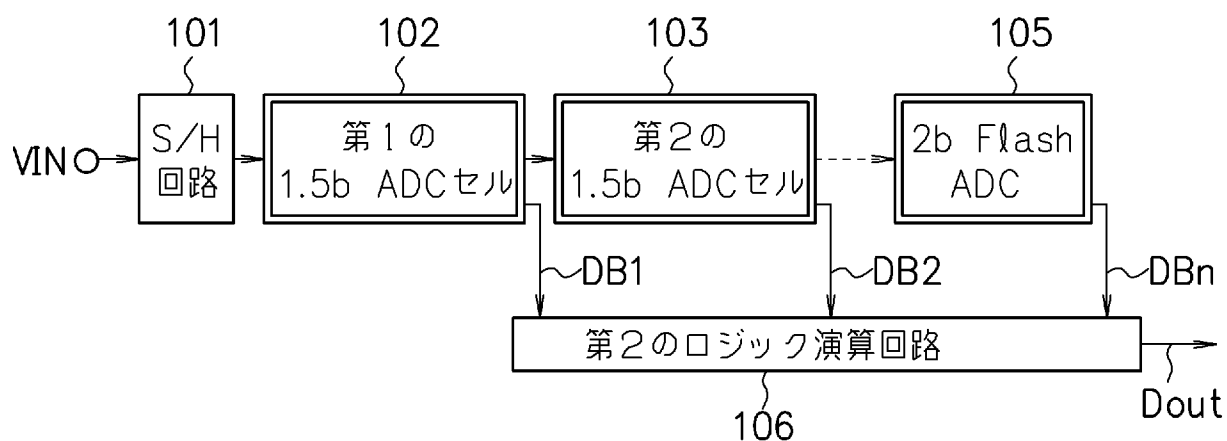
- [15] 2段目以降のアナログデジタル変換セルは、
Nビットアナログデジタル変換(Nは自然数)を行うアナログデジタル変換セルであつて、
複数の基準電圧を基にアナログ入力信号VIを比較し、前記アナログ入力信号VIの大きさに応じて $2^N + 1$ 以上かつ $2^{N+1} - 1$ 以下であるQ値の第1のデジタルコードDAを出力する比較回路と、
定数KAが $1 < KA < 2$ 又は $KA < 1$ の条件を満たす小数であり、DB0が定数であり、前記第1のデジタルコードDAを基に $DB = DA \times KA + DB0$ で表されるQ値の第2のデジタルコードDBを出力する第1のロジック演算回路と、
A及びVRが定数であり、前記第1のデジタルコードDA及び前記アナログ入力信号VIを基に、 $VO = A \times (VI - DA \times KA \times (VR / A))$ で表されるアナログ出力信号VOを出力するアナログ演算回路とを有し、
前記比較回路は、Q-2個以下の比較器を有することを特徴とする請求項9記載のアナログデジタル変換器。
- [16] 前記第2のロジック演算回路は、前記各アナログデジタル変換セルが出力する前記第2のデジタルコードを基に、アナログデジタル変換結果のデジタル出力信号を演算し、前記デジタル出力信号がAD変換可能なコードの最大値よりも大きい値であるときには前記最大値を前記デジタル信号として出力し、前記デジタル出力信号がAD変換可能なコードの最小値よりも小さい値であるときには前記最小値を前記デジタル出力信号として出力することを特徴とする請求項8～15のいずれか1項に記載のアナログデジタル変換器。
- [17] 1個以上のアナログデジタル変換セルを有し、
アナログ信号をデジタル信号出力に変換する間に、少なくとも1個以上の前記アナログデジタル変換セルを2回以上使用するアナログデジタル変換器であつて、

前記アナログデジタル変換セルの各変換動作で出力する第2のデジタルコードを基にアナログデジタル変換結果のデジタル出力信号を出力する第2のロジック演算回路を有し、

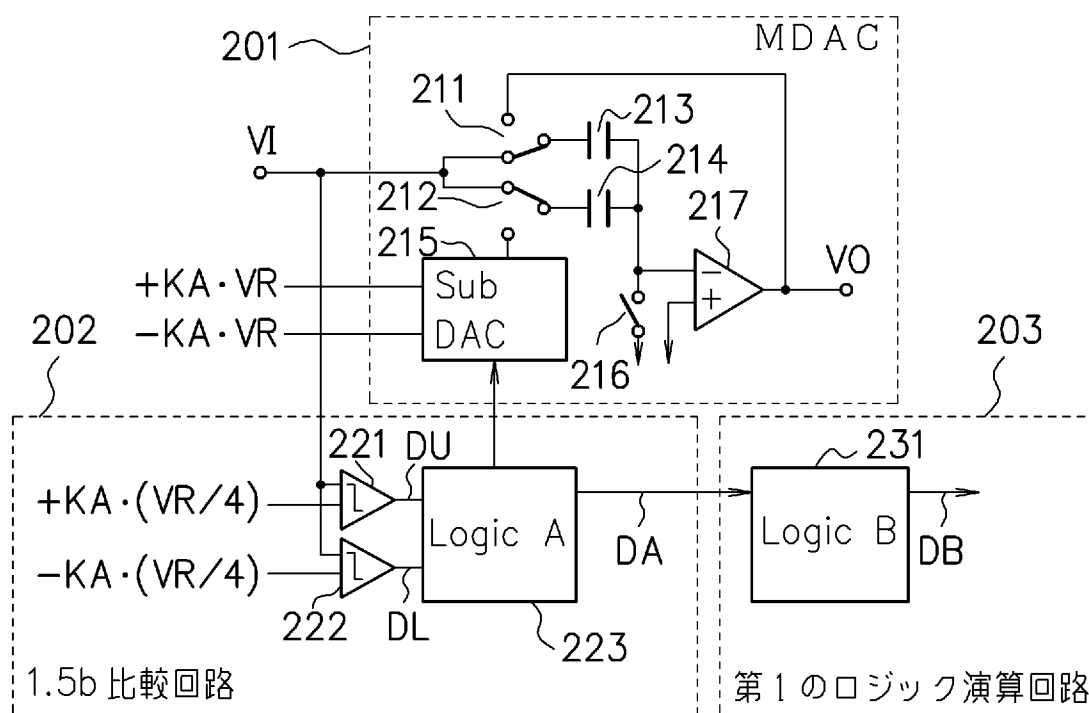
前記アナログデジタル変換セルは、少なくとも1回以上は請求項1記載のアナログデジタル変換セルの動作を行うことを特徴とするアナログデジタル変換器。

- [18] 前記アナログデジタル変換セルの初回の使用は、請求項1記載のアナログデジタル変換セルの動作を行うことを特徴とする請求項17記載のアナログデジタル変換器。
- [19] 前記第2のロジック演算回路は、前記各アナログデジタル変換セルが出力する前記第2のデジタルコードを基に、アナログデジタル変換結果のデジタル出力信号を演算し、前記デジタル出力信号がAD変換可能なコードの最大値よりも大きい値であるときには前記最大値を前記デジタル信号として出力し、前記デジタル出力信号がAD変換可能なコードの最小値よりも小さい値であるときには前記最小値を前記デジタル出力信号として出力することを特徴とする請求項17又は18記載のアナログデジタル変換器。

[図1]



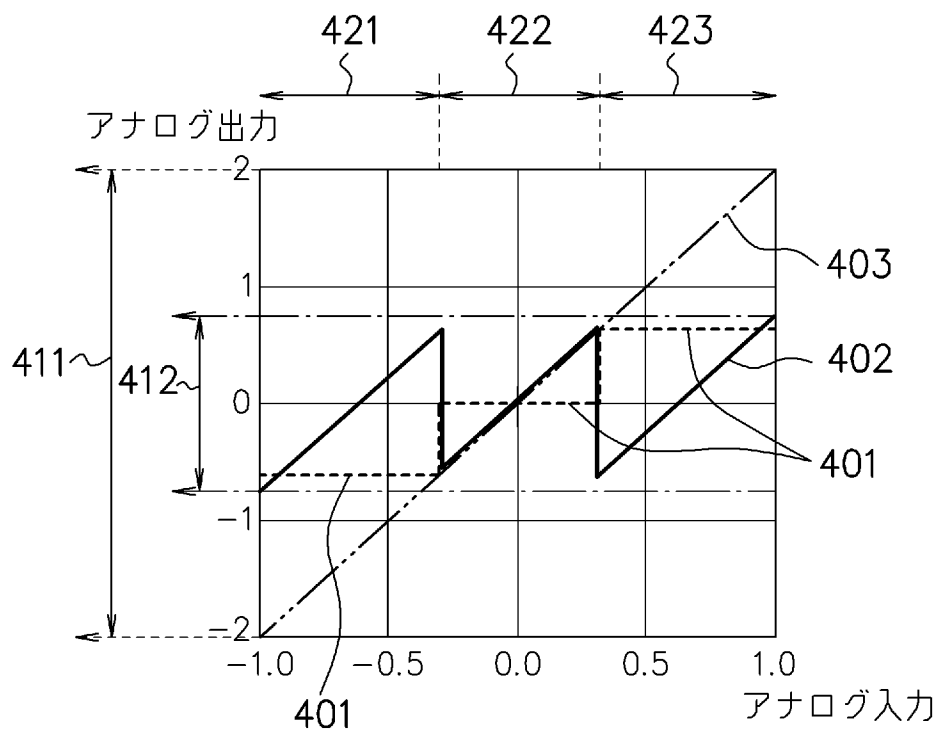
[図2]



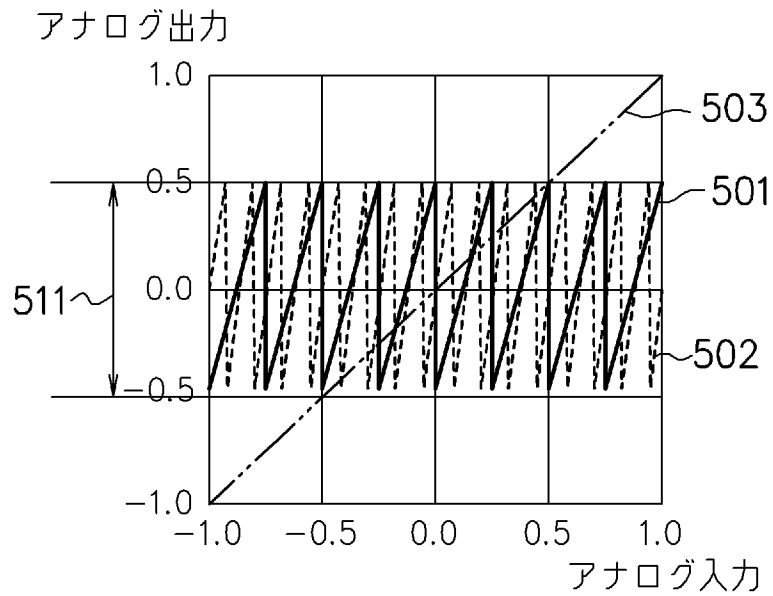
[図3]

1.5b 比較回路 (比較: $\pm KA(VR/4)$)			第1のロジック 演算回路		Sub DAC ($KA=5/4$ 、 $A=2$)	MDAC 出力 ($KA=5/4$ 、 $A=2$)
DU	DL	DA	$DA \cdot KA$	DB	$A \cdot DA \cdot KA \cdot (VR/2)$	$A \cdot (VI - DA \cdot KA \cdot (VR/2))$
H	H	1	$+5/8$	+01.01	$+(5/4) VR$	$2VI - (5/4) VR$
L	H	0	0	00.00	0	$2VI$
L	L	-1	$-5/8$	-01.01	$-(5/4) VR$	$2VI + (5/4) VR$

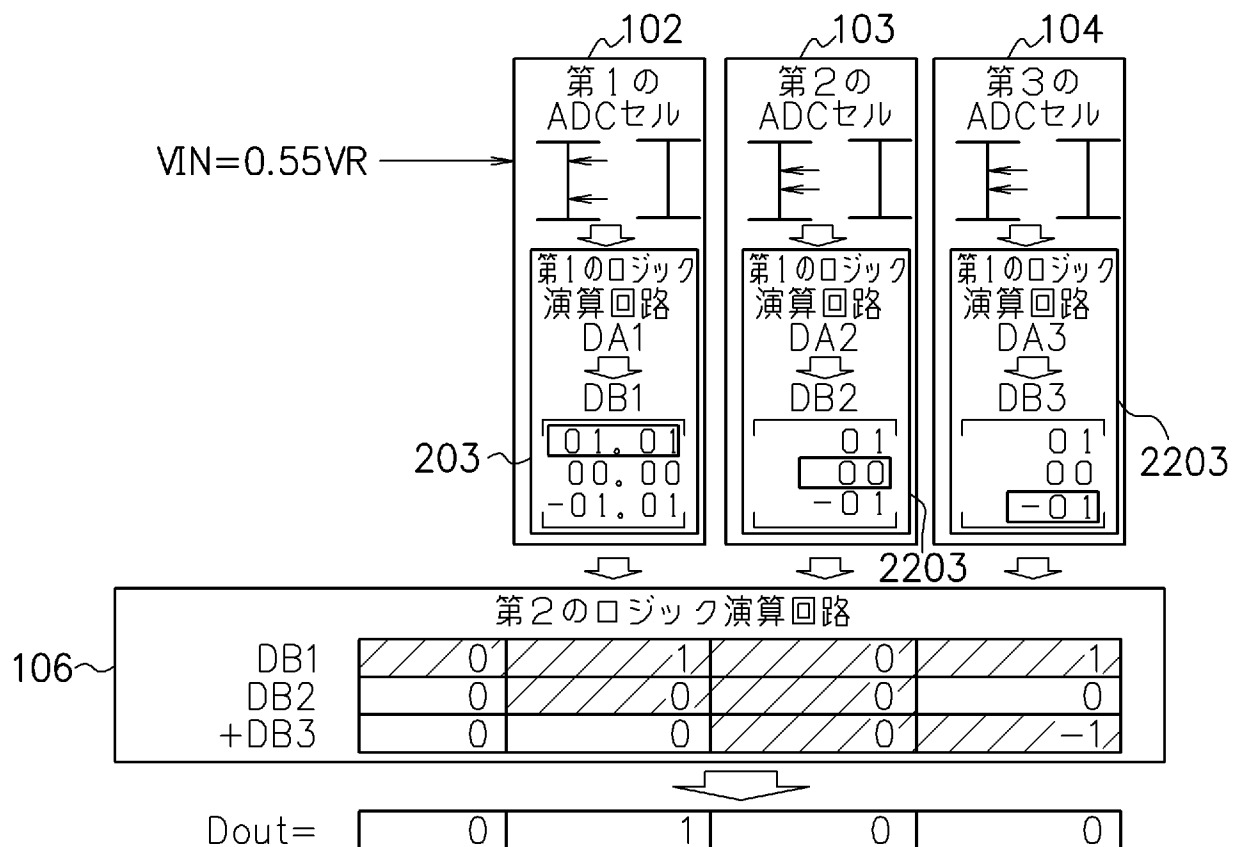
[図4]



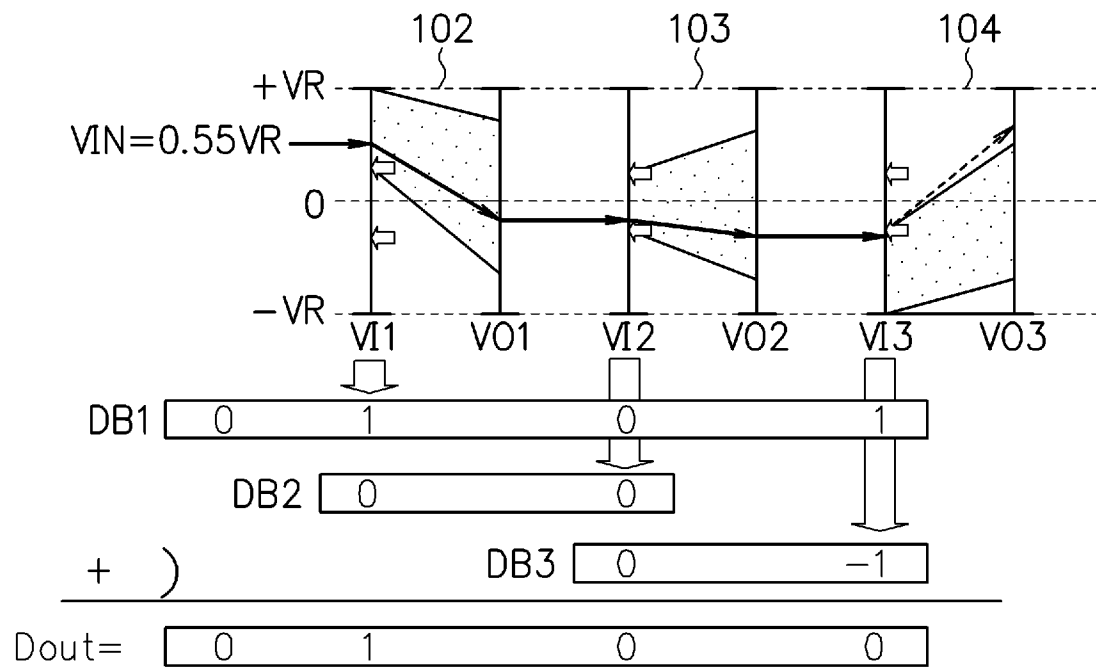
[図5]



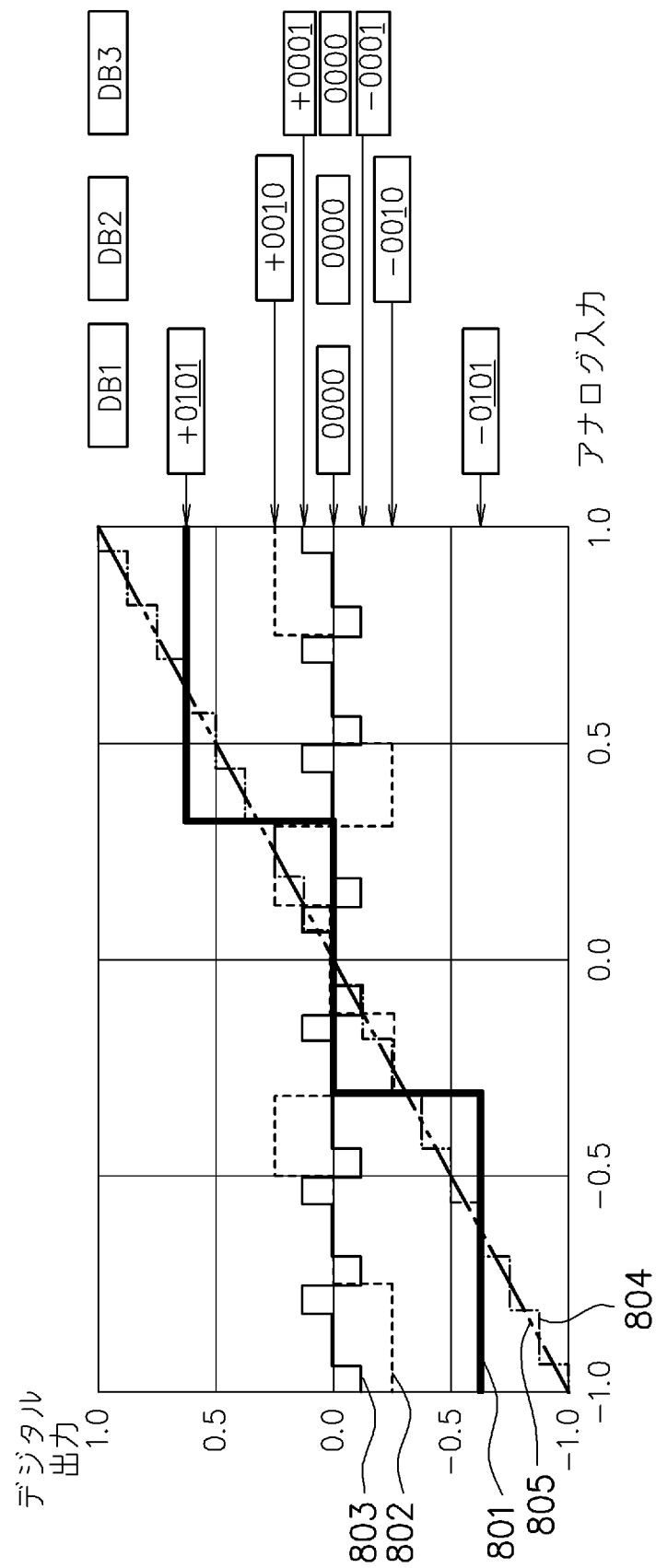
[図6]



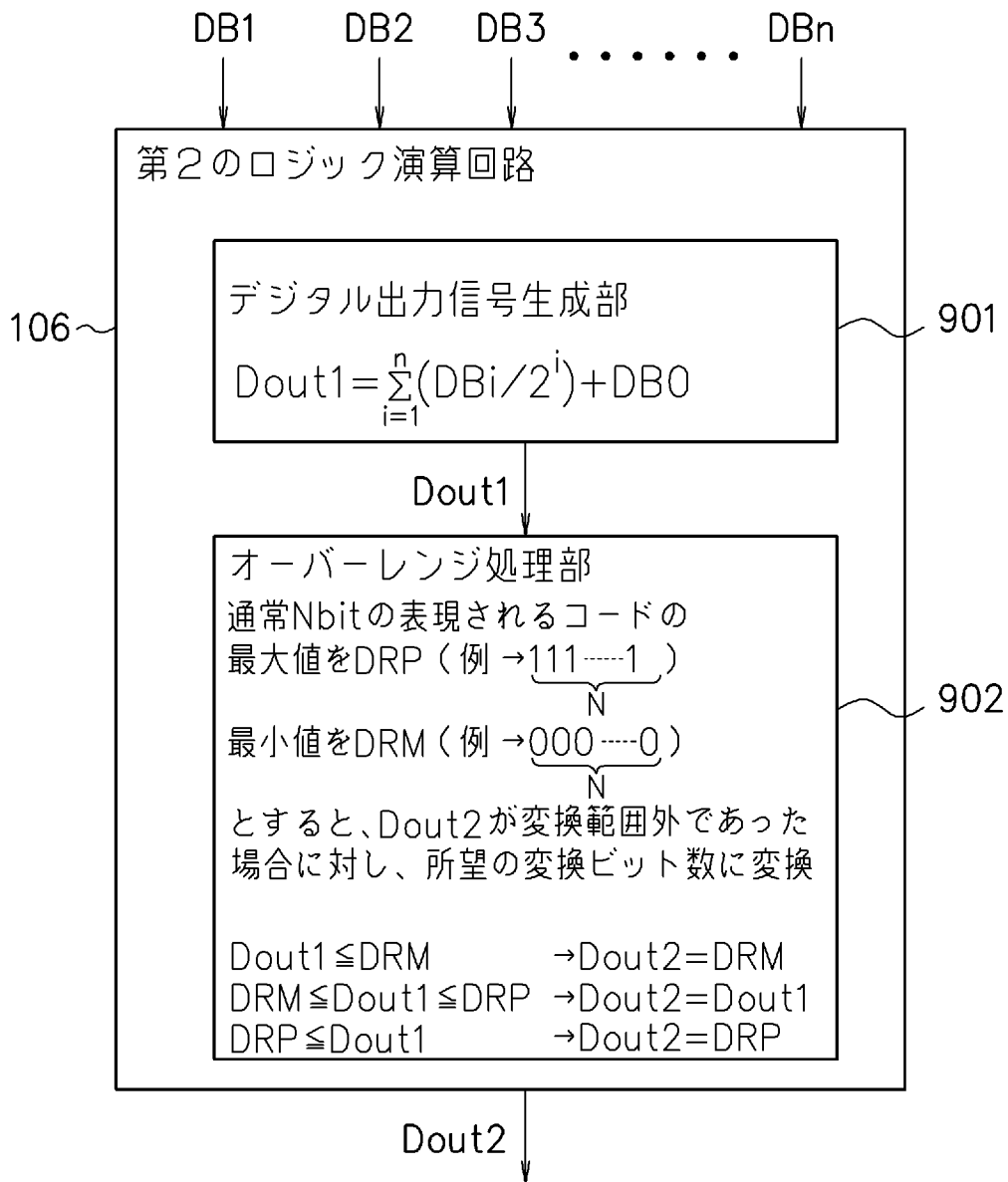
[図7]



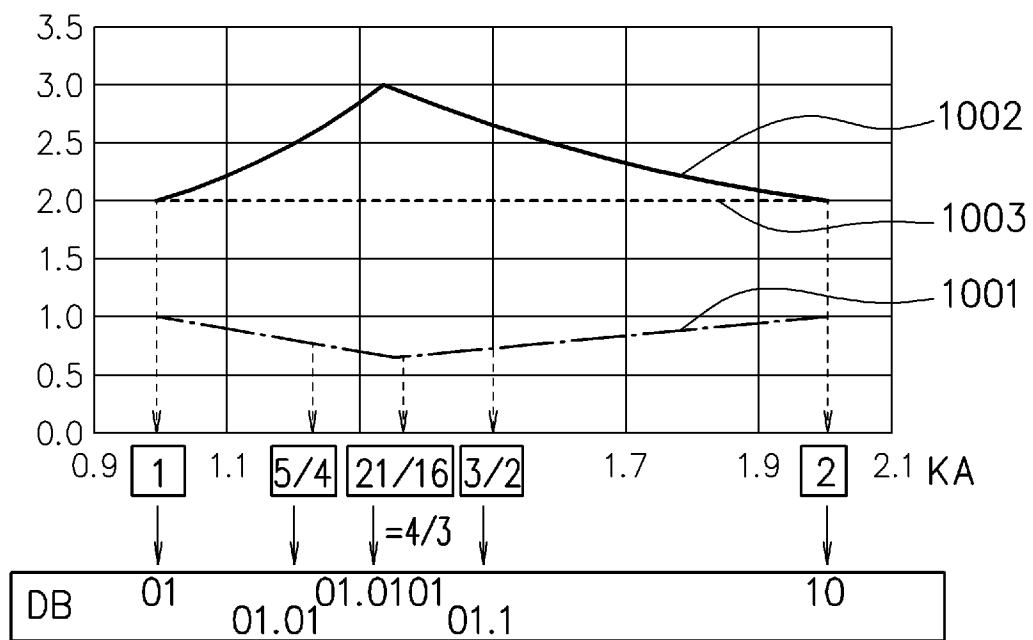
[図8]



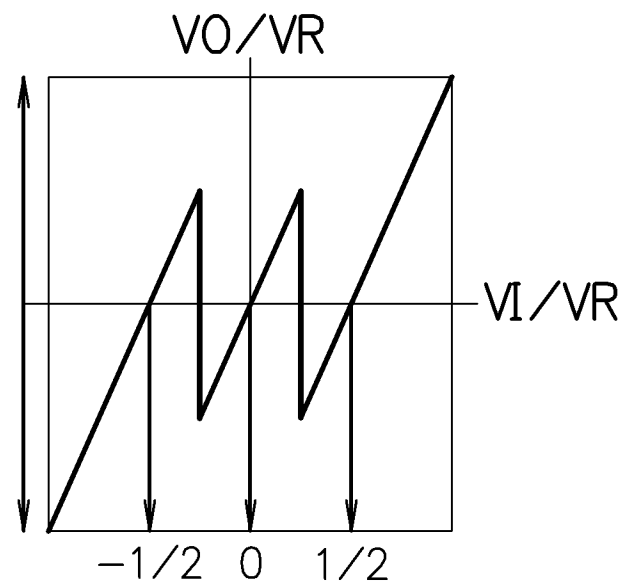
[図9]



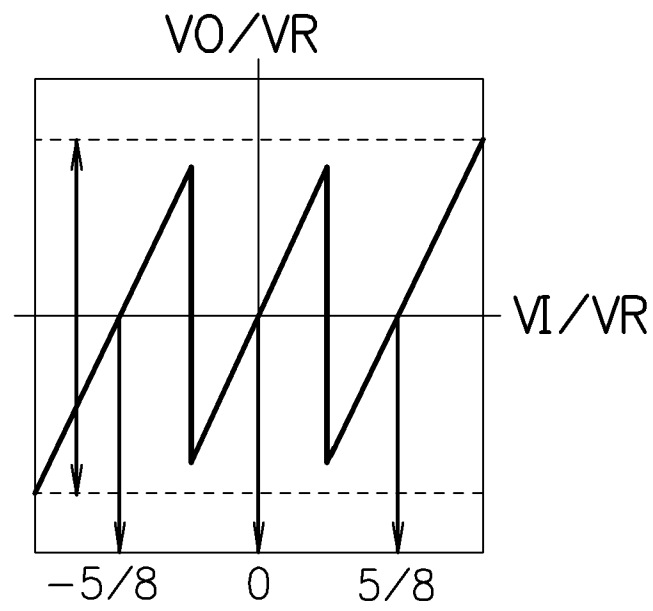
[図10]



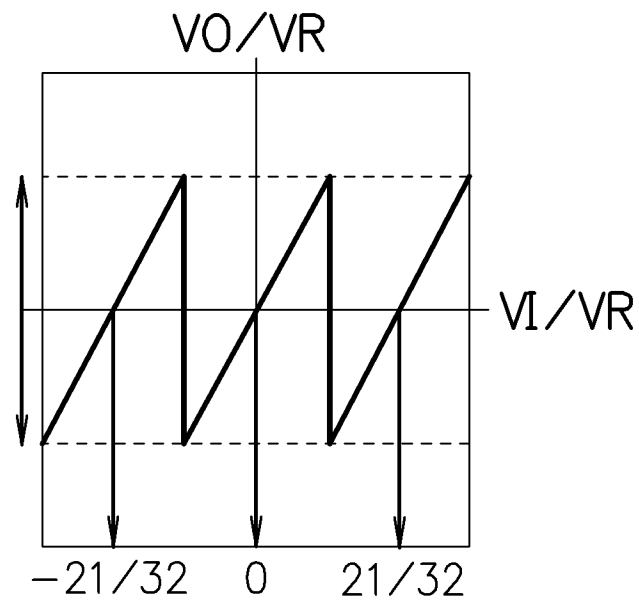
[図11]



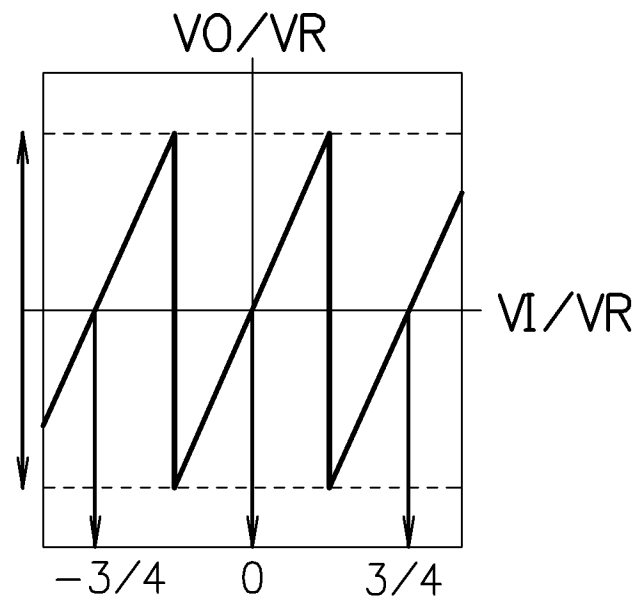
[図12]



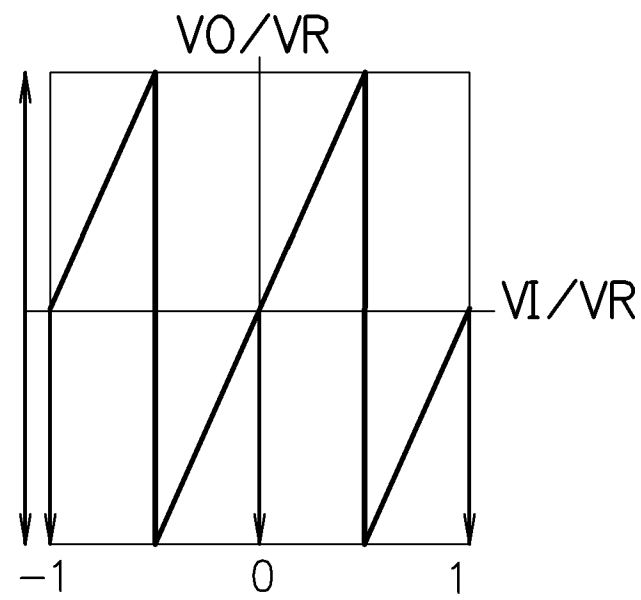
[図13]



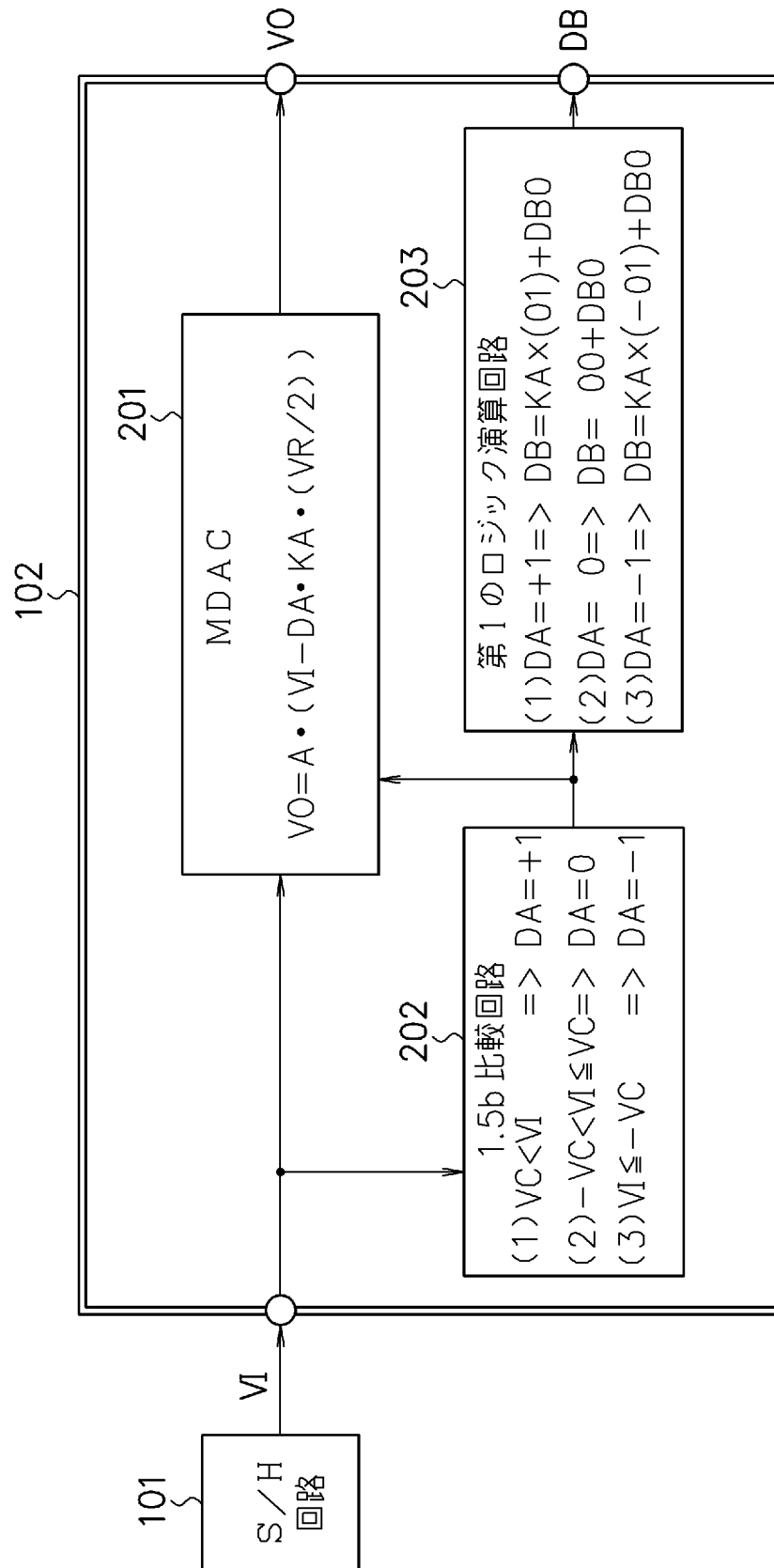
[図14]



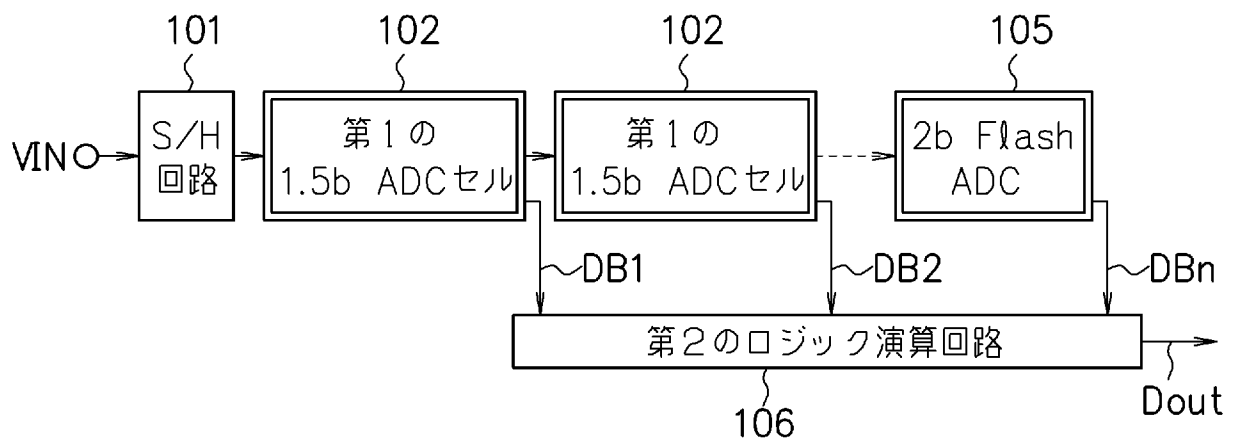
[図15]



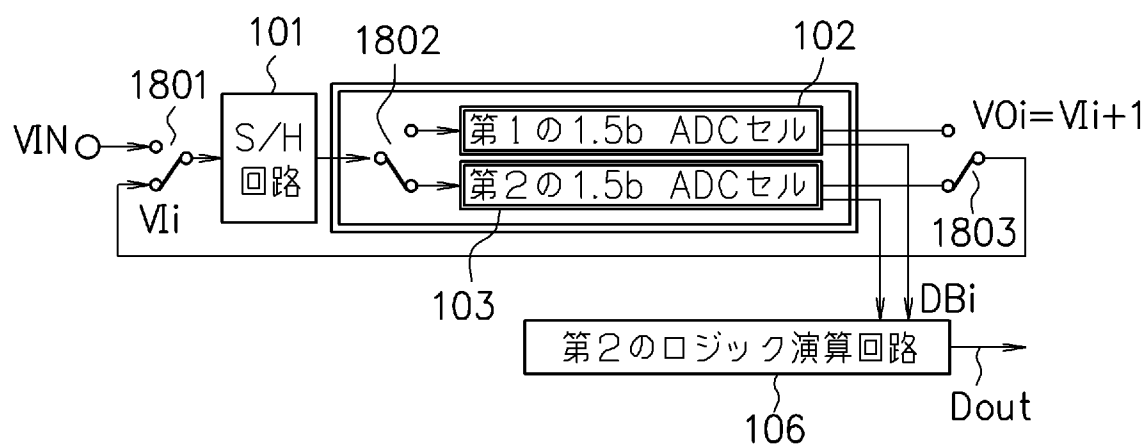
[図16]



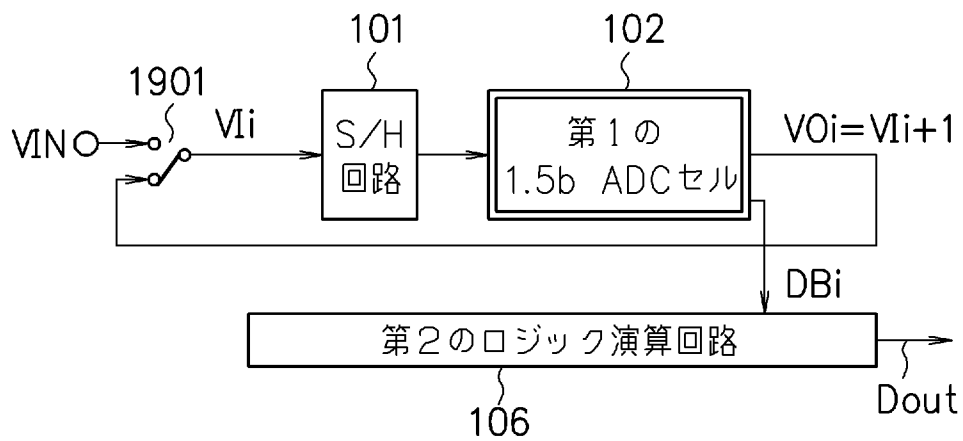
[図17]



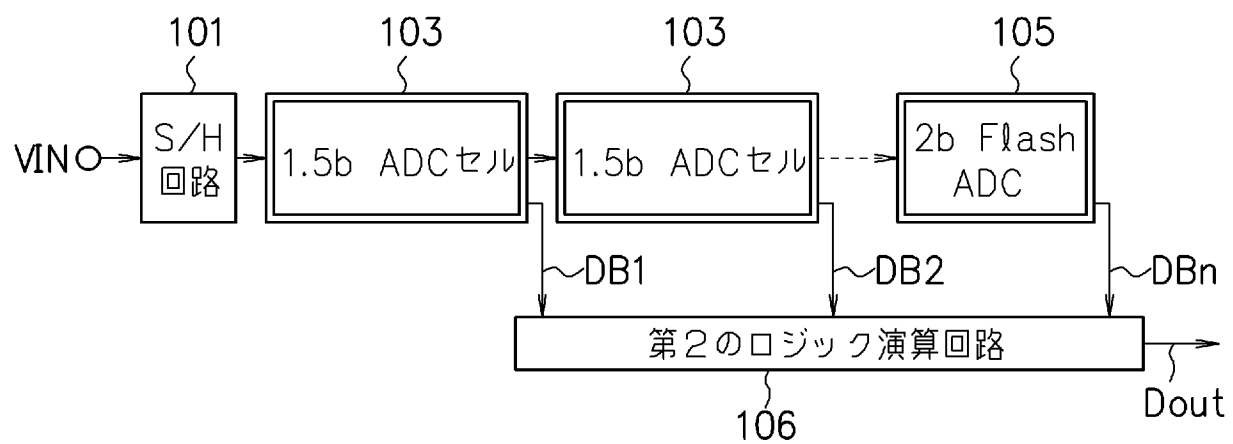
[図18]



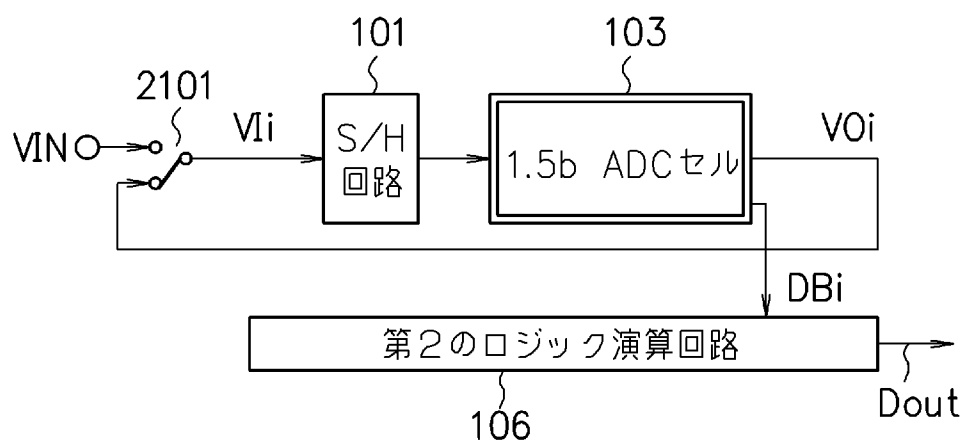
[図19]



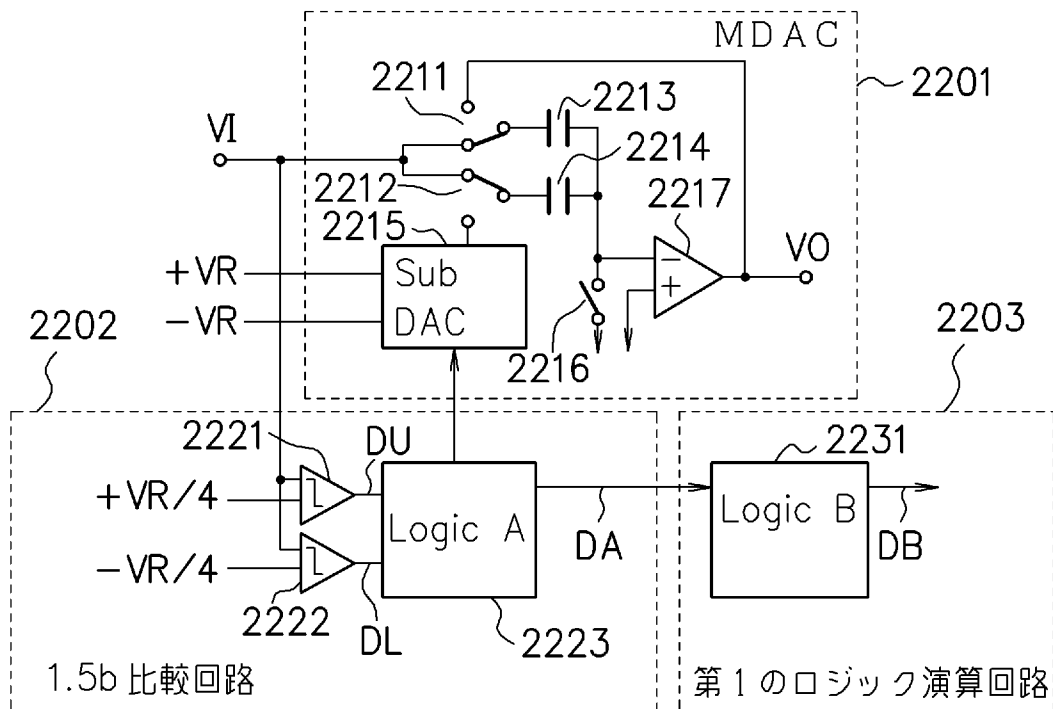
[図20]



[図21]



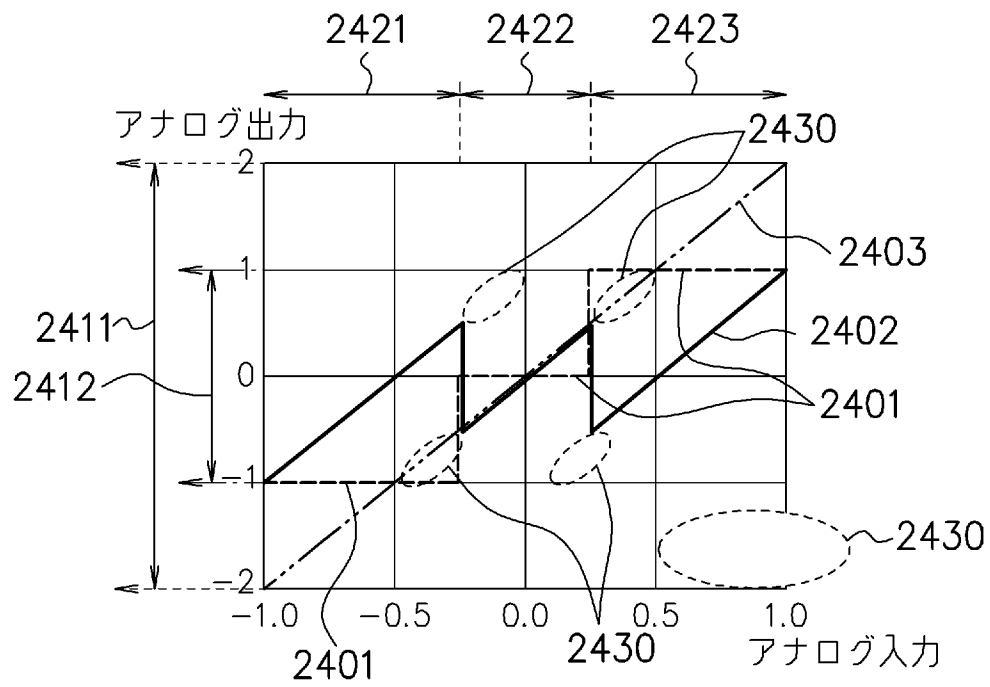
[図22]



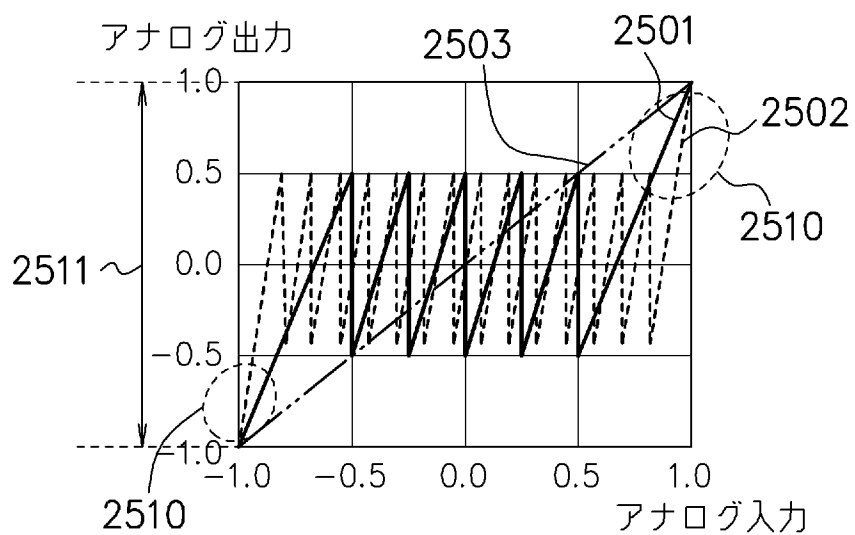
[図23]

1.5b 比較回路 (比較: $\pm VR/4$)			第1のロジック 演算回路		Sub DAC ($A=2$)	MDAC 出力 ($A=2$)
DU	DL	DA	DA	DB	$A \cdot DA \cdot (VR/2)$	$A \cdot (VI - DA \cdot (VR/2))$
H	H	1	+1	+01	+VR	$2VI - VR$
L	H	0	0	00	0	$2VI$
L	L	-1	-1	-01	-VR	$2VI + VR$

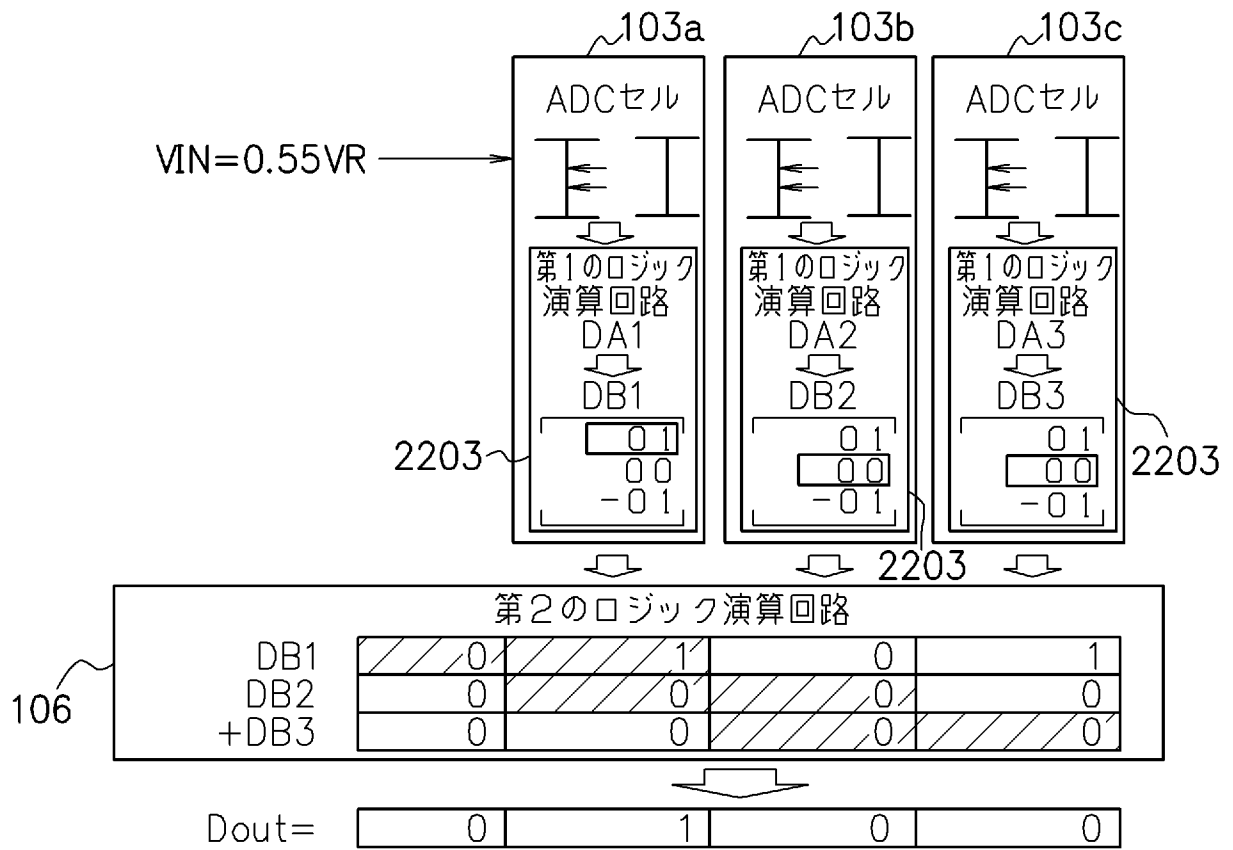
[図24]



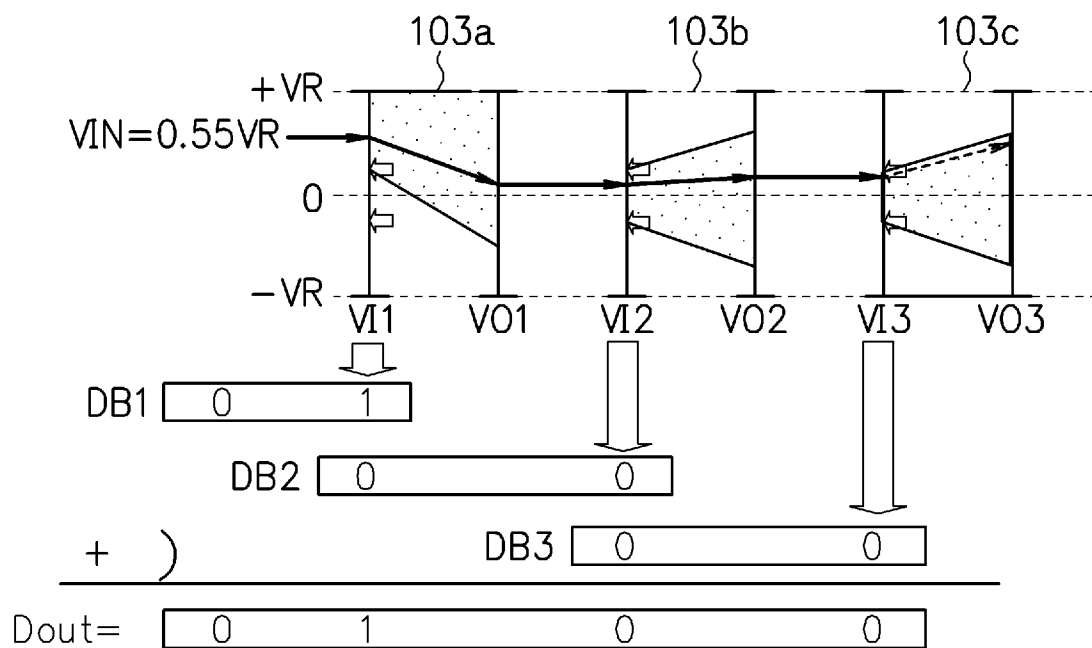
[図25]



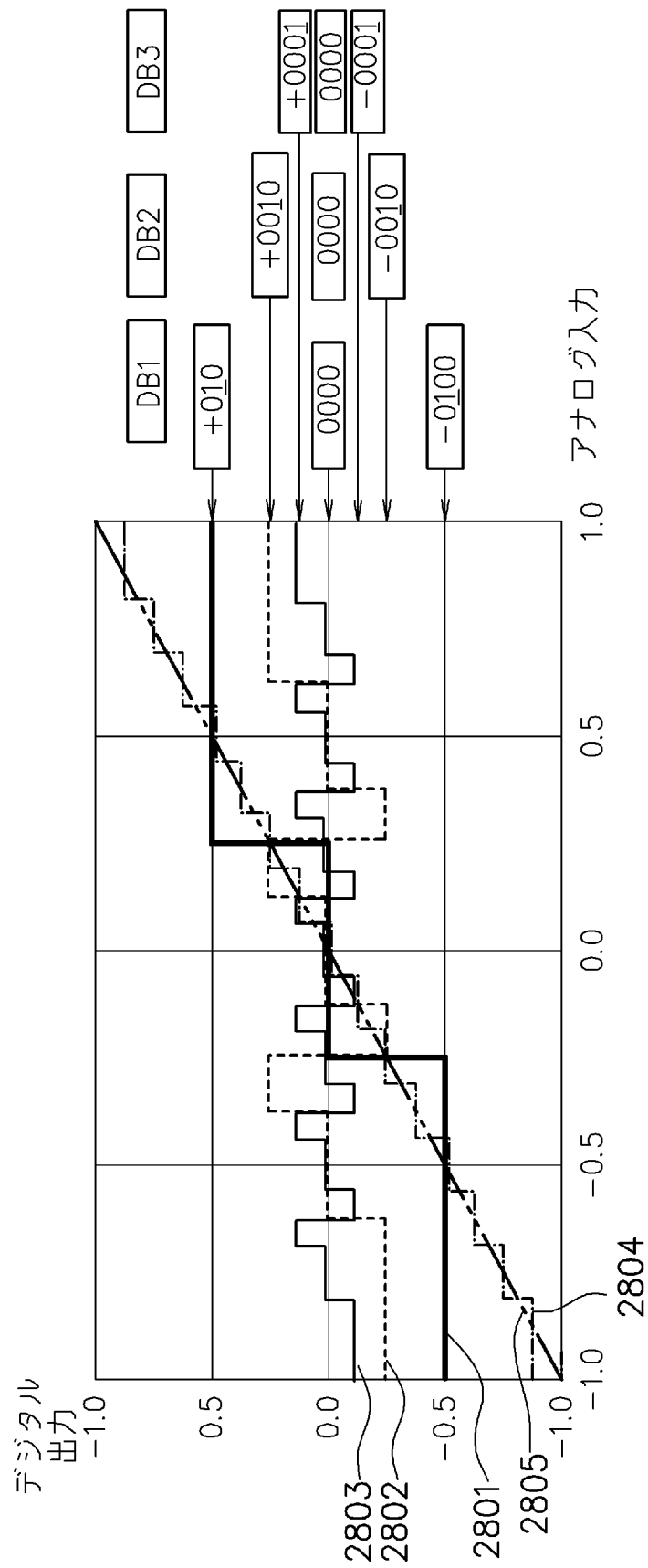
[図26]



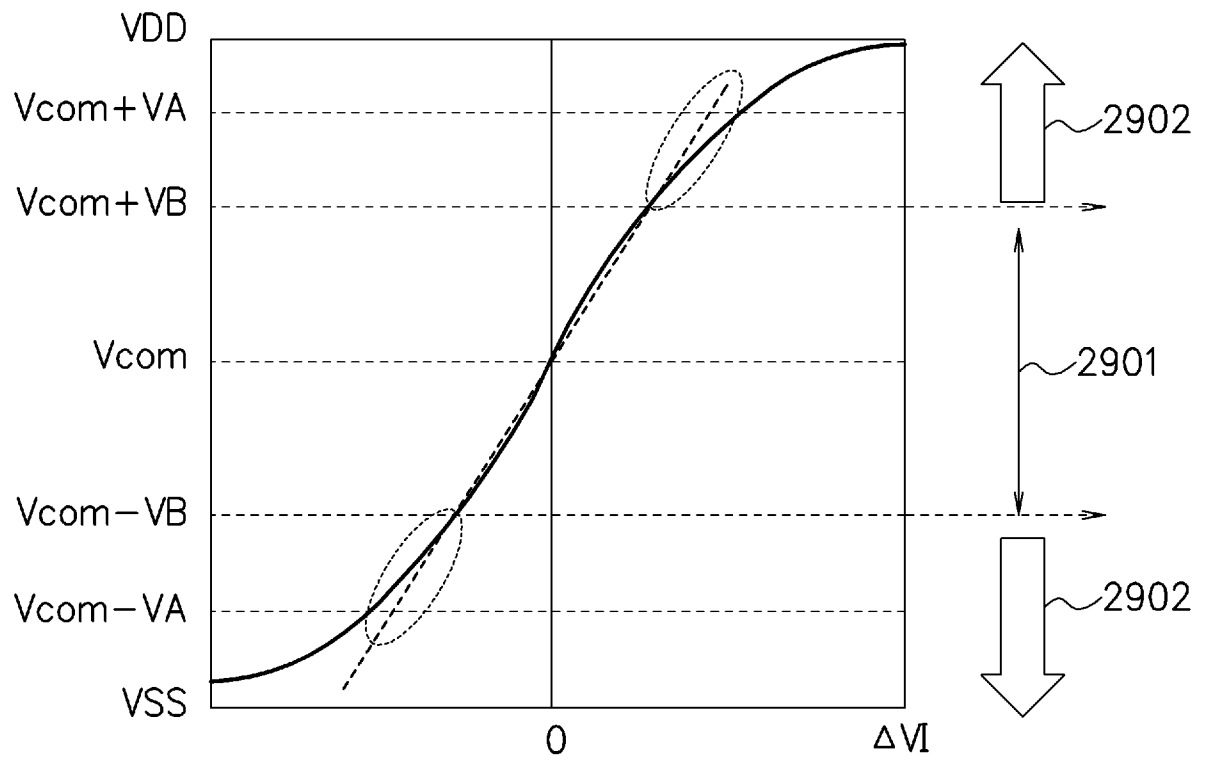
[図27]

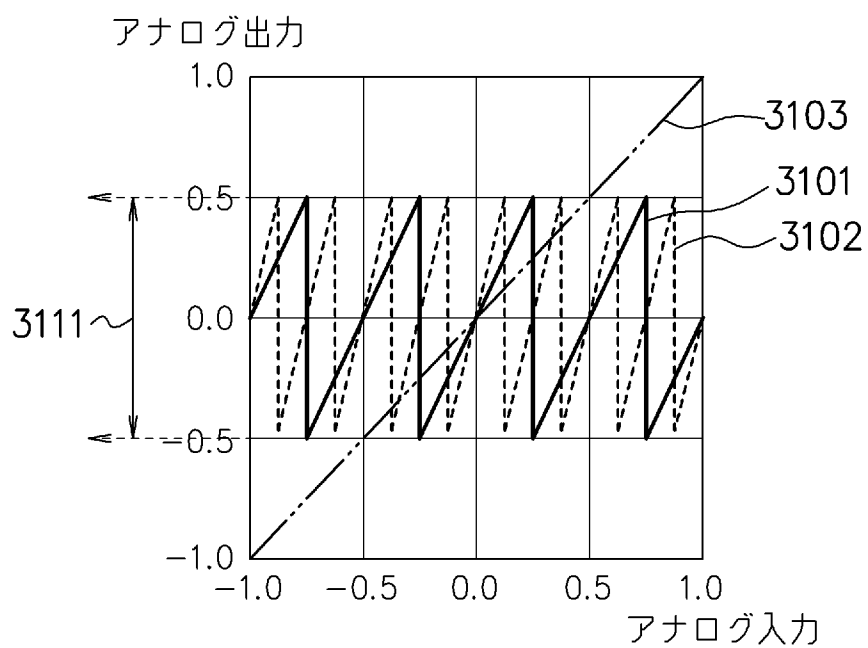


[図28]

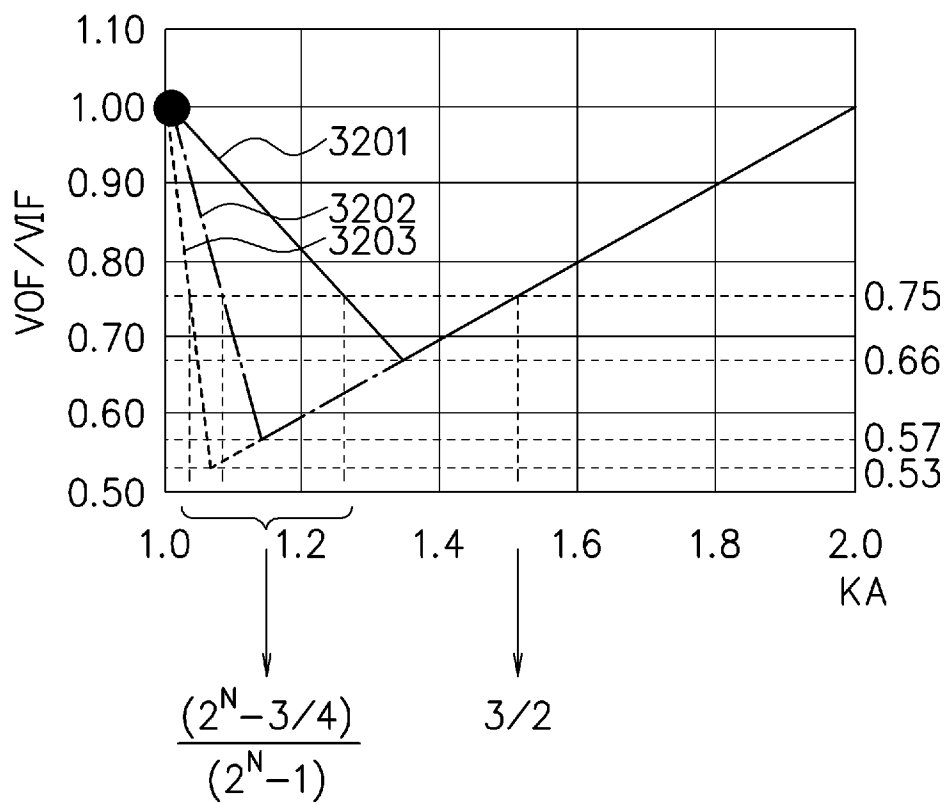


[図29]

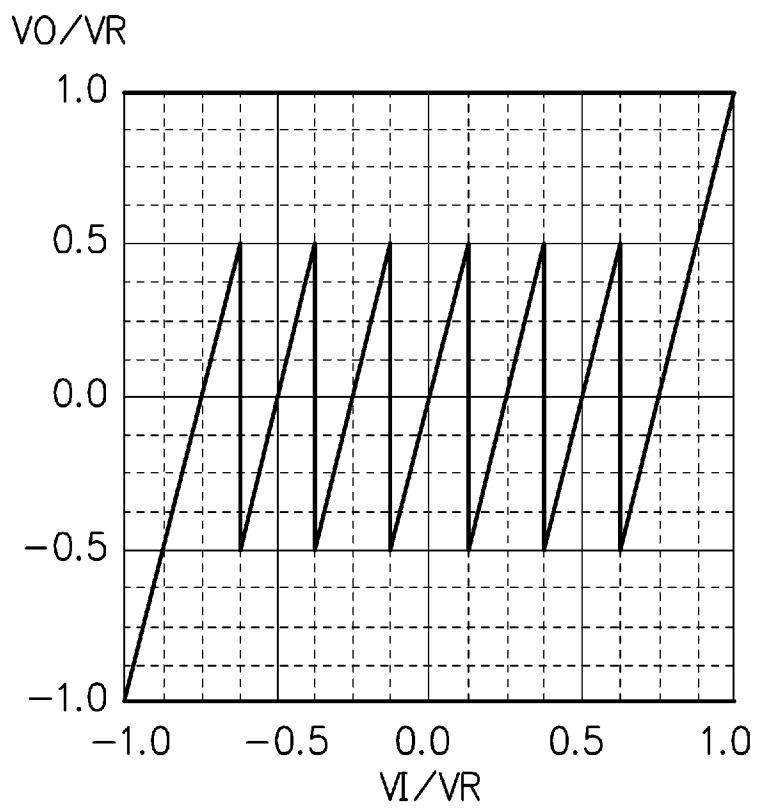




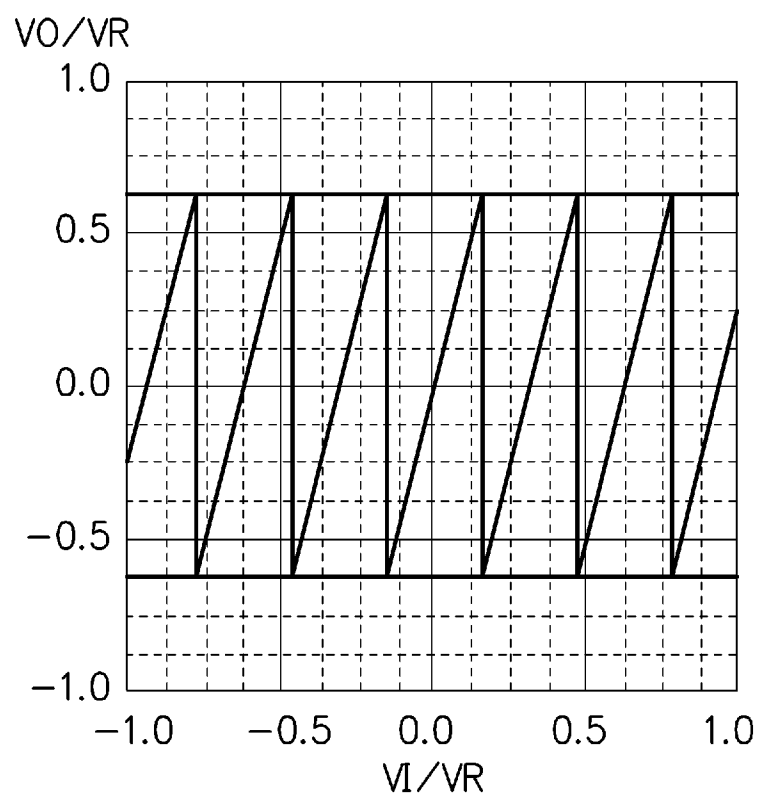
[図32]



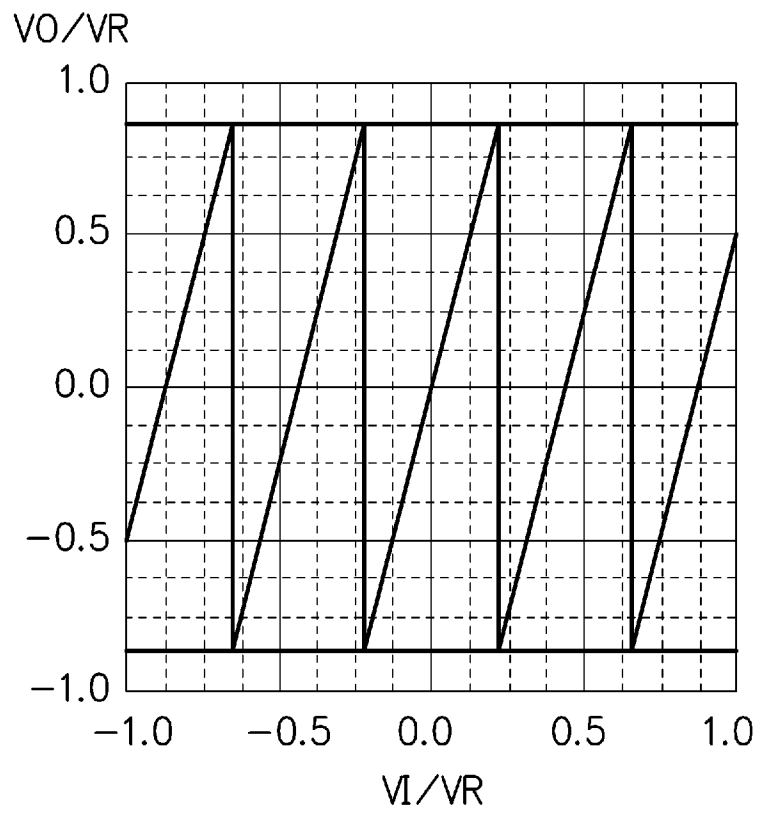
[図33]



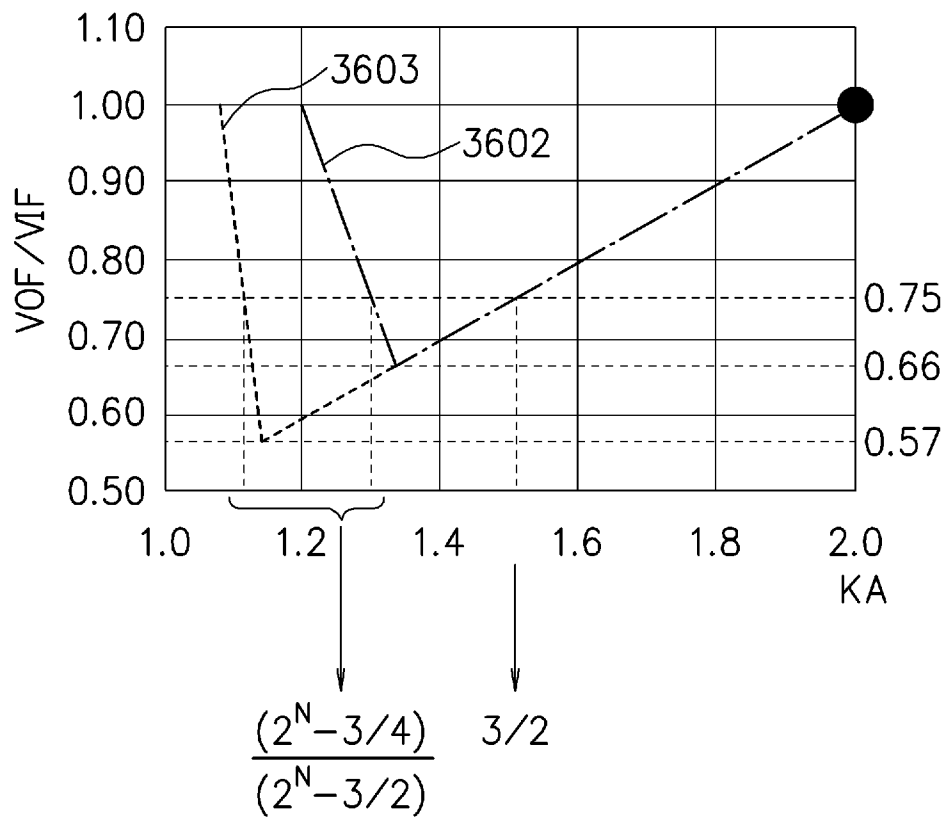
[図34]



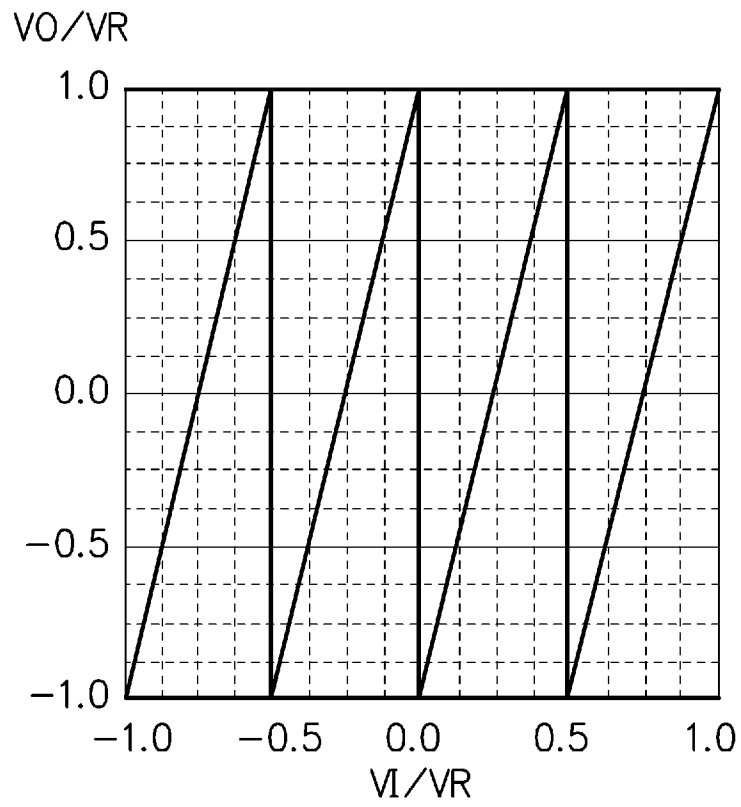
[図35]



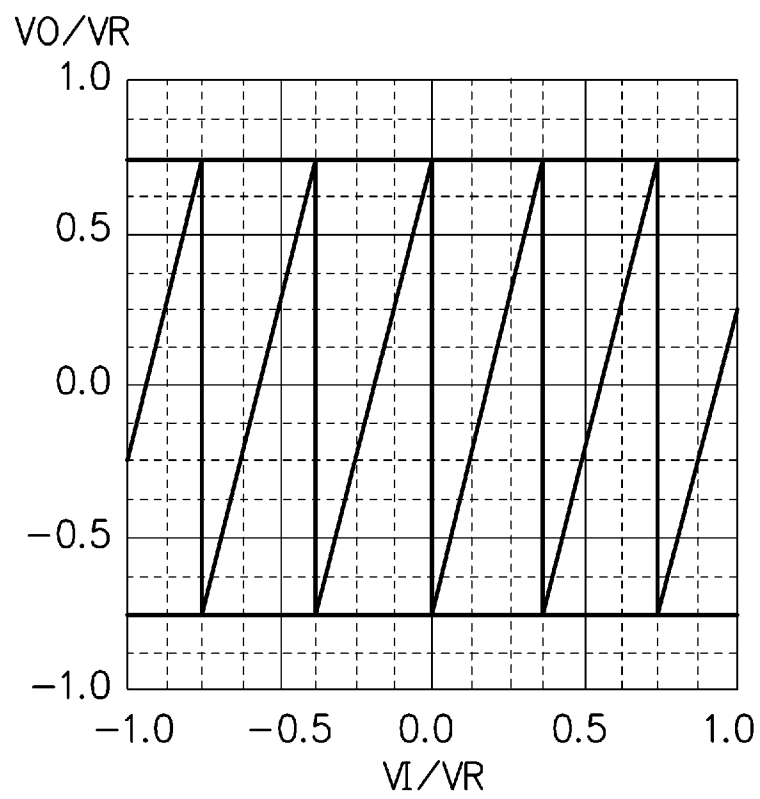
[図36]



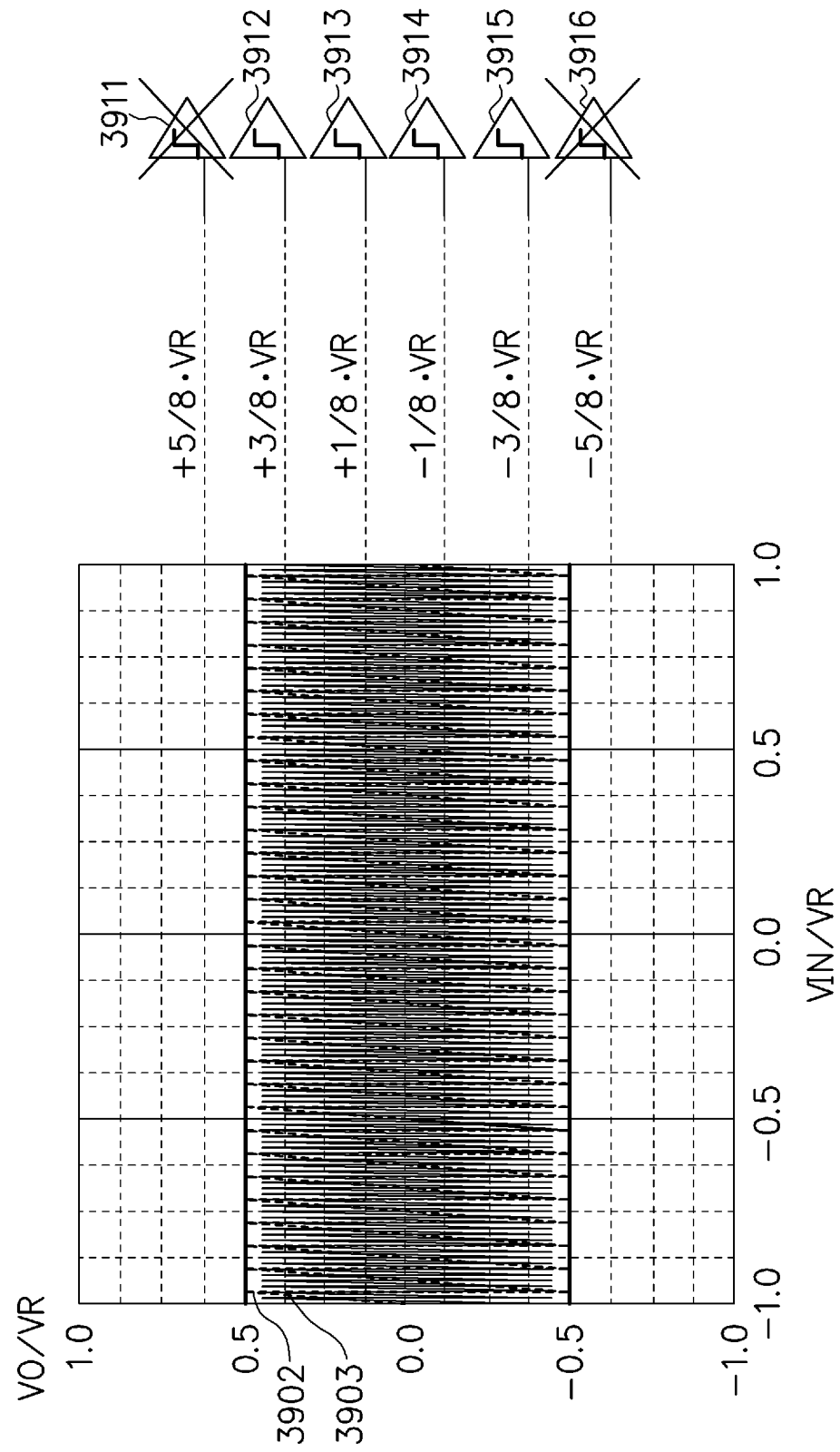
[図37]



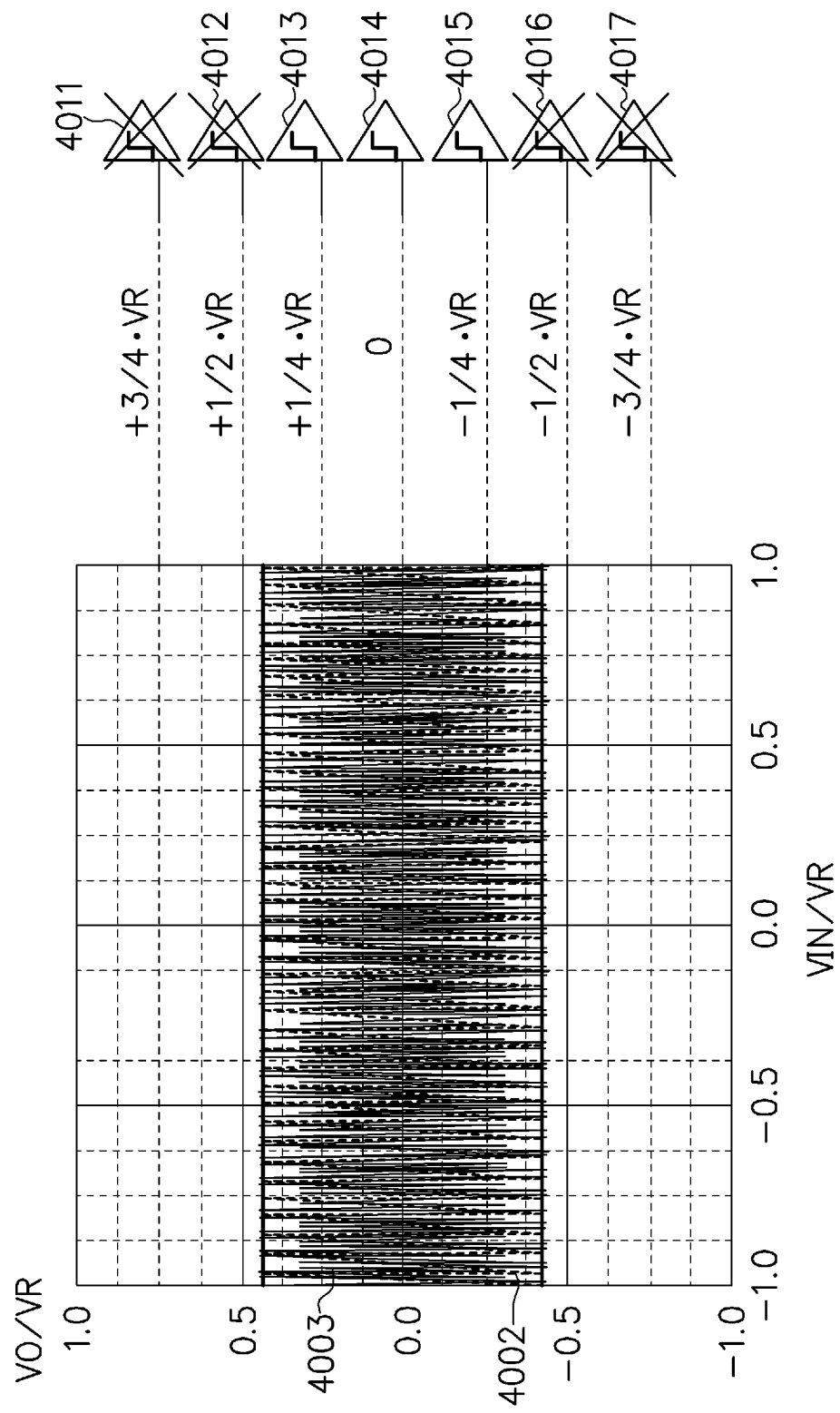
[図38]



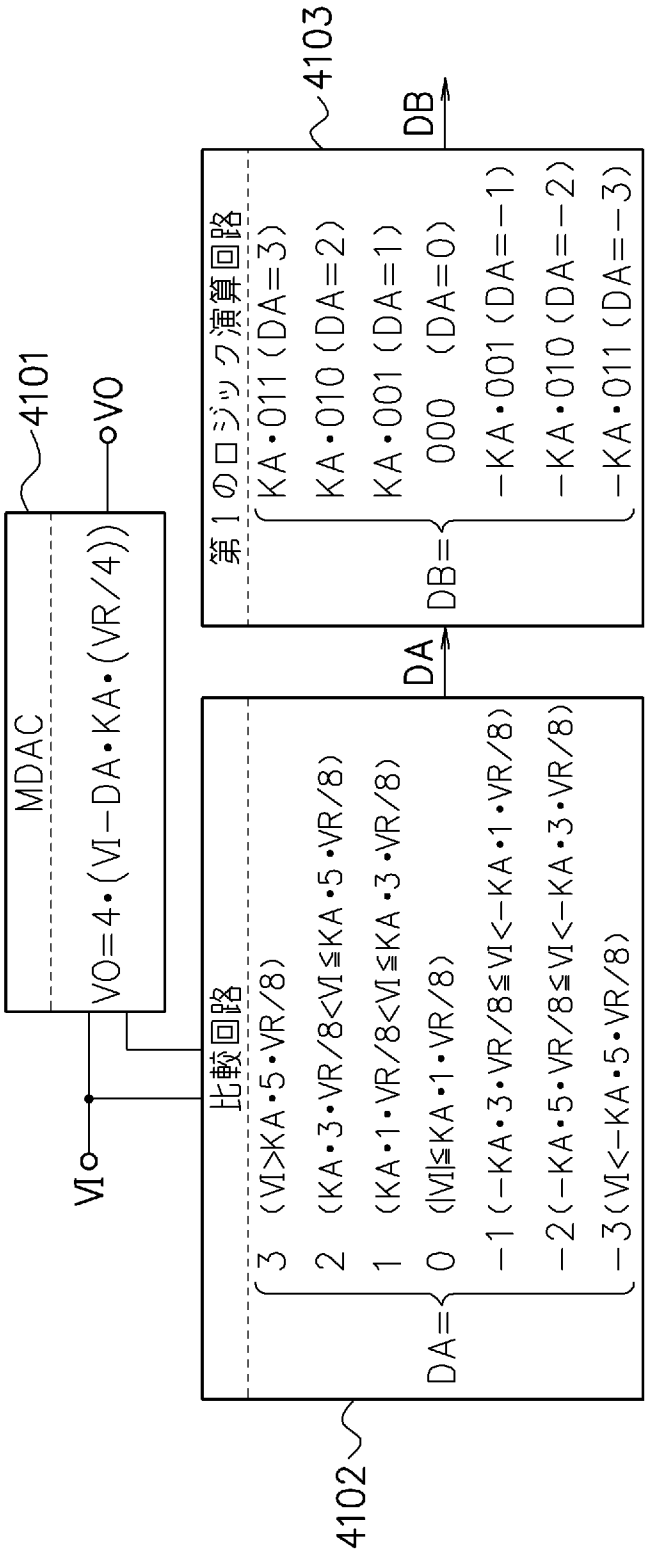
[図39]



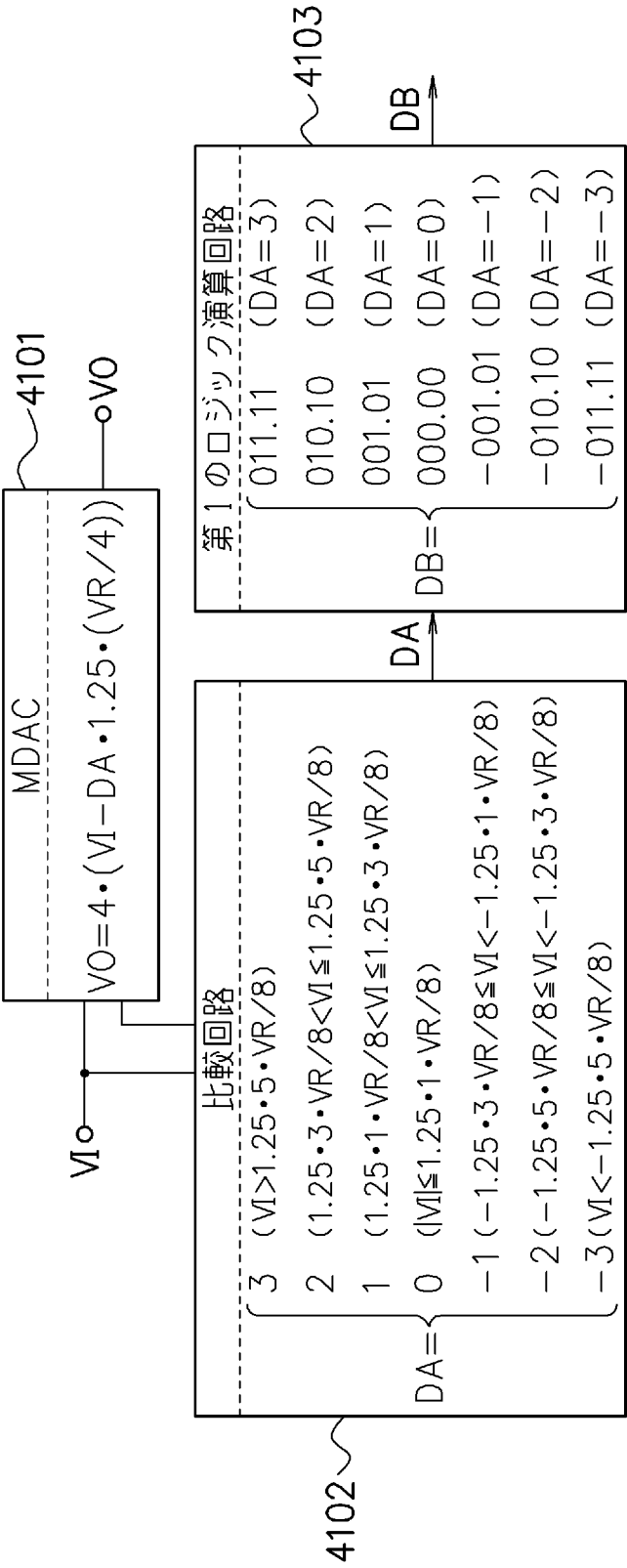
[図40]



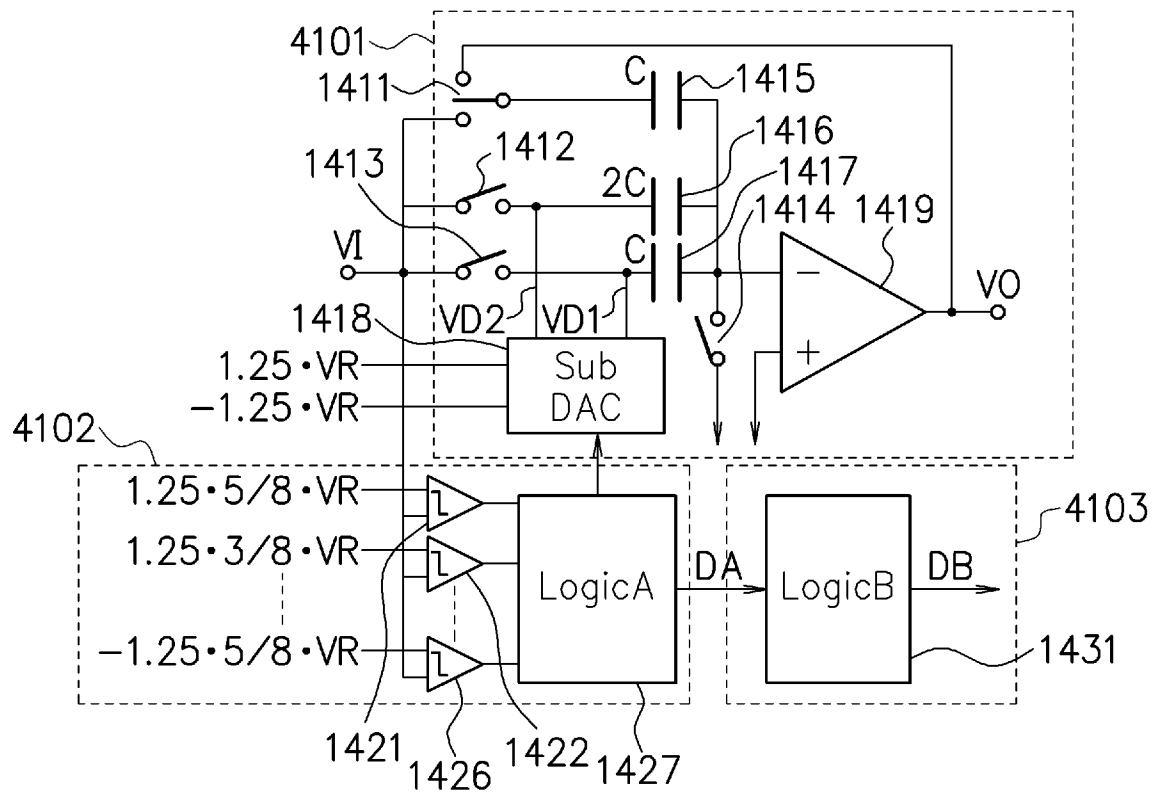
[図41]



[図42]



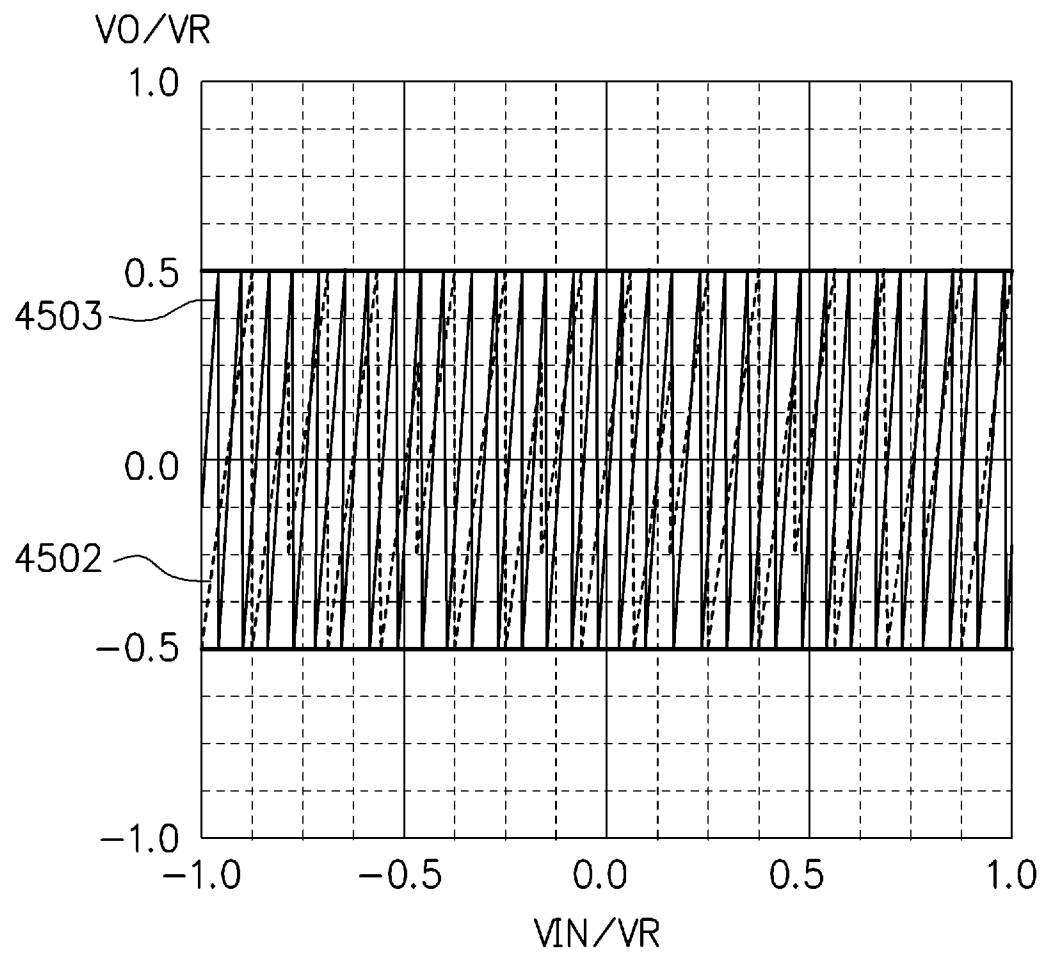
[図43]



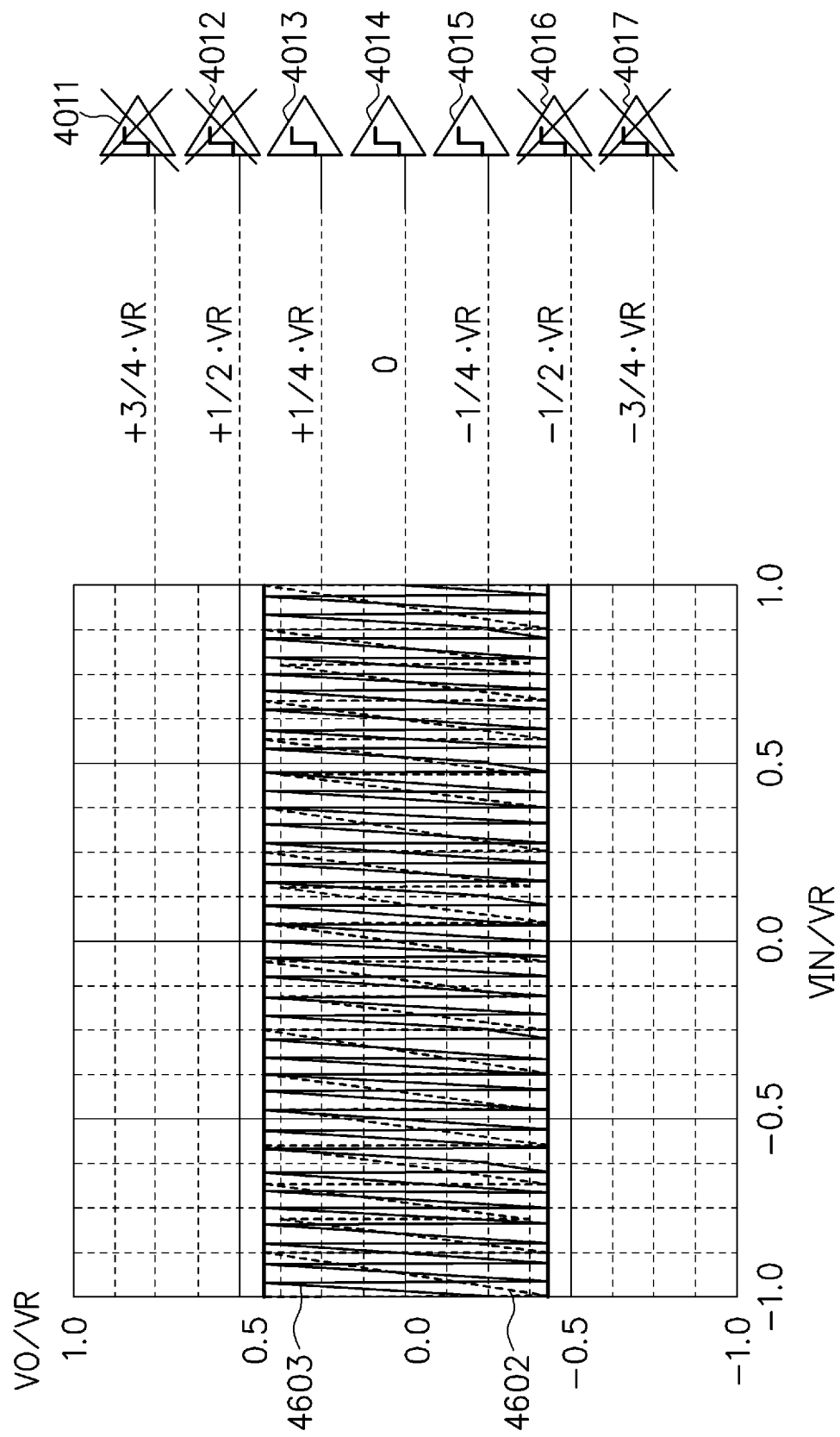
[図44]

第1のロジック演算回路		SubDAC	
DA	DB	VD1	VD2
+3	+011.11	$1.25 \cdot VR$	$1.25 \cdot VR$
+2	+010.10	0	$1.25 \cdot VR$
+1	+001.01	$1.25 \cdot VR$	0
0	000.00	0	0
-1	-001.01	$-1.25 \cdot VR$	0
-2	-010.10	0	$-1.25 \cdot VR$
-3	-011.11	$-1.25 \cdot VR$	$-1.25 \cdot VR$

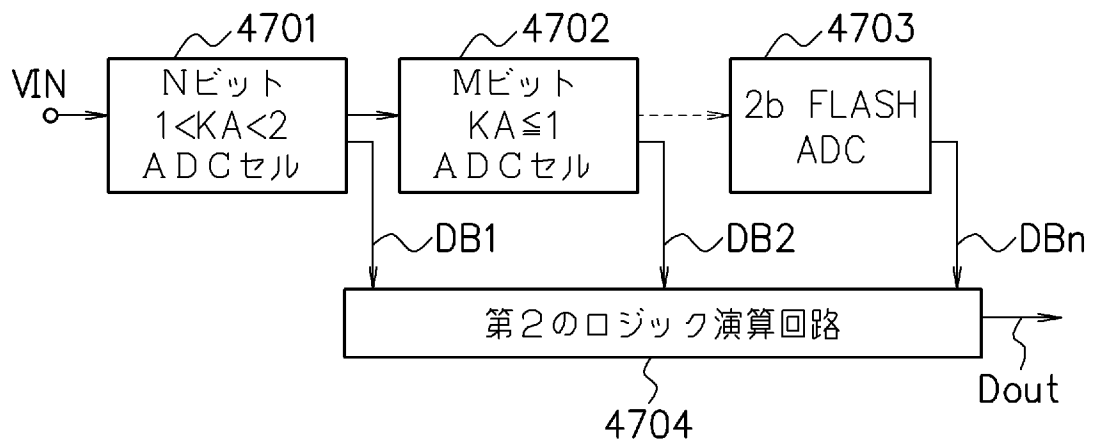
[図45]



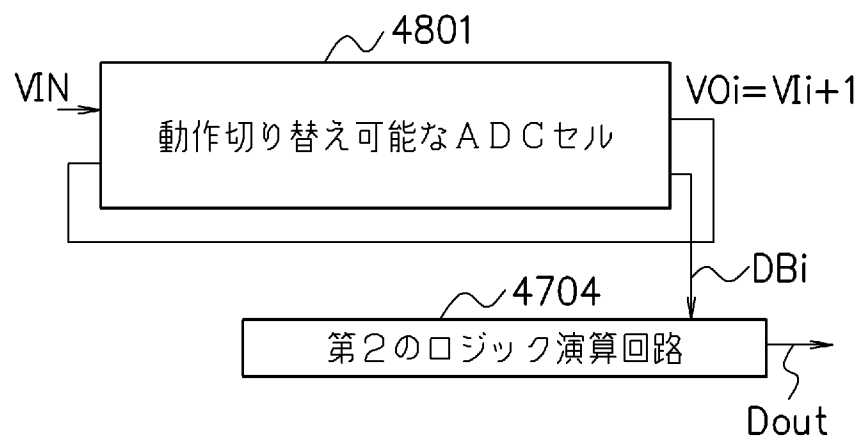
[図46]



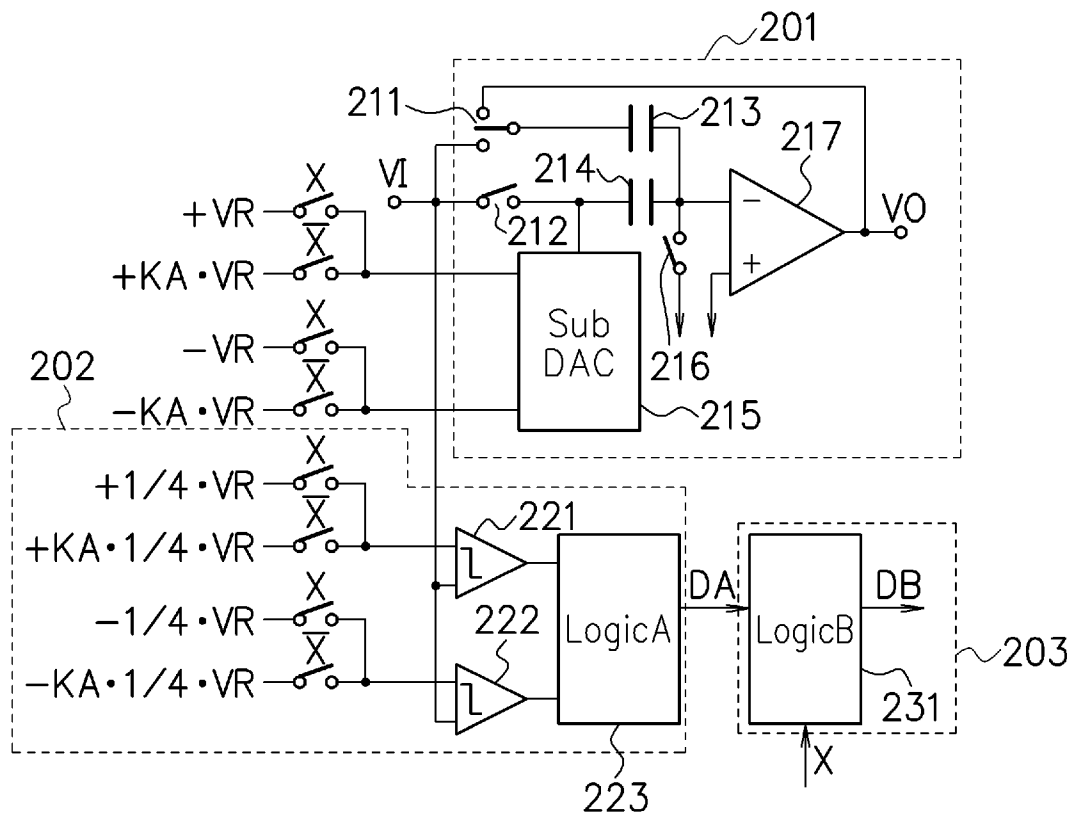
[図47]



[図48]



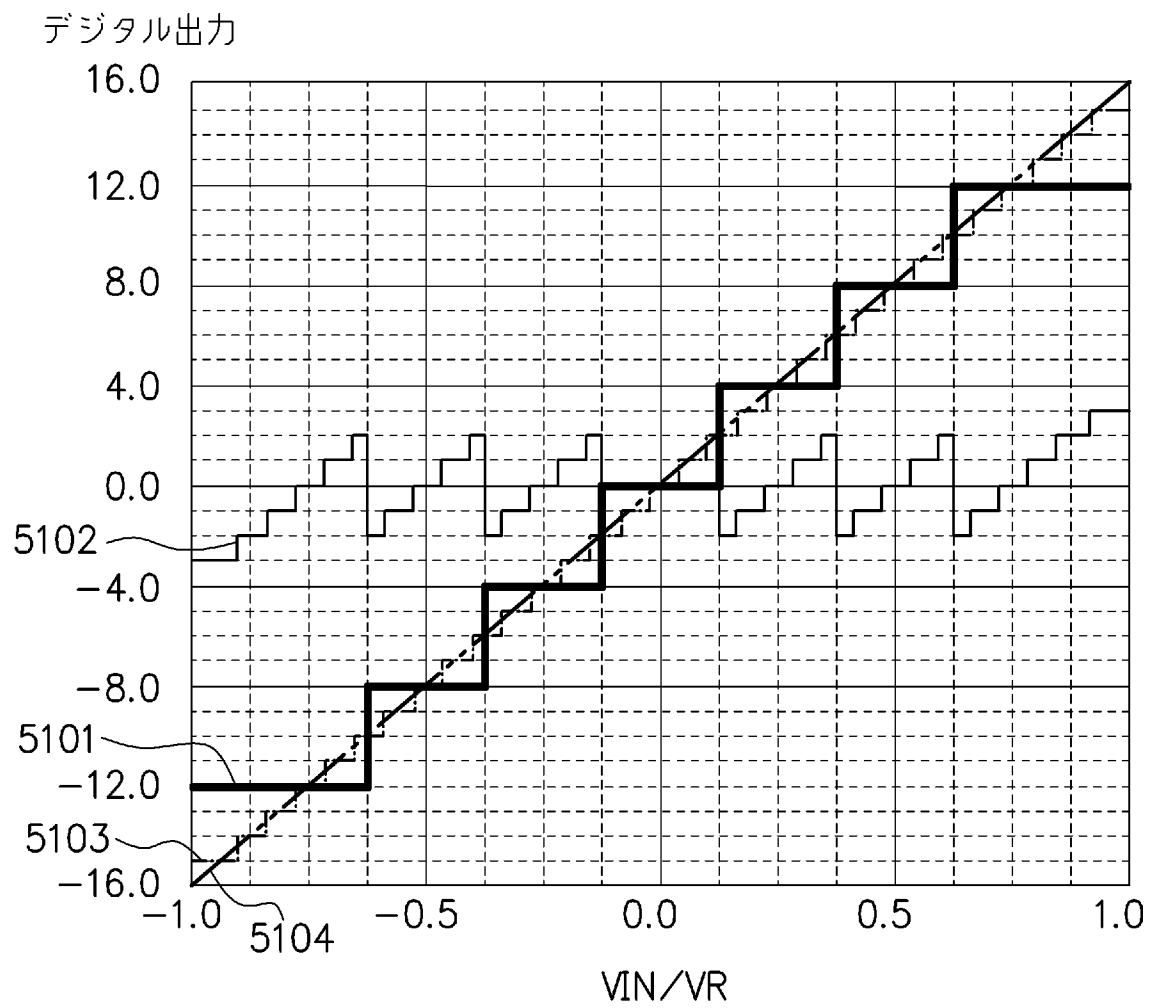
[図49]



[図50]

方式	Q(領域数)	比較数	比較レベル	DB	VO
Nbit冗長ADCセル (領域数: 奇数) (KA=1)	$2^{N+1}-1$	Q-1	$\pm \frac{C}{2^{N+1}} \cdot VR$ $C=(\pm 1, \pm 3, \dots, \pm (Q-2))$	$(0, \pm 1, \pm 2, \dots, \pm \frac{Q-1}{2})$	$2^N \left(VIN - DA \cdot \frac{VR}{2^N} \right)$
Nbit冗長ADCセル (領域数: 奇数) (1<KA<2)	2^N+1 $\sim 2^{N+1}-1$	Q-1	$KA \cdot \pm \frac{C}{2^{N+1}} \cdot VR$ $C=(\pm 1, \pm 3, \dots, \pm (Q-2))$	$KA \cdot \left(0, \pm 1, \pm 2, \dots, \pm \frac{Q-1}{2} \right)$	$2^N \left(VIN - KA \cdot DA \cdot \frac{VR}{2^N} \right)$
非冗長ADCセル (領域数: 偶数) (KA=2)	2^N	Q-1	$2 \cdot \pm \frac{C}{2^{N+1}} \cdot VR$ $C=(0, \pm 2, \pm 4, \dots, \pm (Q-2))$	$2 \cdot \left(\pm \frac{1}{2}, \pm \frac{3}{2}, \dots, \pm \frac{Q-3}{2} \right)$	$2^N \left(VIN - 2 \cdot DA \cdot \frac{VR}{2^N} \right)$
Nbit冗長ADCセル (領域数: 偶数) (KA<2)	2^N+2 $\sim 2^{N+1}-2$	Q-1	$KA \cdot \pm \frac{C}{2^{N+1}} \cdot VR$ $C=(0, \pm 2, \pm 4, \dots, \pm (Q-2))$	$KA \cdot \left(\pm \frac{1}{2}, \pm \frac{3}{2}, \dots, \pm \frac{Q-3}{2} \right)$	$2^N \left(VIN - KA \cdot DA \cdot \frac{VR}{2^N} \right)$

[図51]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/053430

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-343292 A (Oki Electric Industry Co., Ltd.), 02 December, 2004 (02.12.04), Front page; Fig. 3 & US 6803873 B1	1-19
A	JP 2006-074549 A (Olympus Corp.), 16 March, 2006 (16.03.06), Front page (Family: none)	1-19

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 March, 2008 (14.03.08)

Date of mailing of the international search report
25 March, 2008 (25.03.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03M1/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03M1/00 - 1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-343292 A（沖電気工業株式会社）2004. 12. 02, フロントページ、第3図参照 & US 6803873 B1	1-19
A	JP 2006-074549 A（オリンパス株式会社）2006. 03. 16, フロントページ 参照 （ファミリーなし）	1-19

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

14. 03. 2008

国際調査報告の発送日

25. 03. 2008

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柳下 勝幸

5 X

9561

電話番号 03-3581-1101 内線 3596