

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 16 日(16.08.2012)



(10) 国際公開番号

WO 2012/107995 A1

- (51) 国際特許分類:
H04N 5/374 (2011.01) H01L 27/146 (2006.01)
H01L 27/14 (2006.01) H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/JP2011/052602
- (22) 国際出願日: 2011 年 2 月 8 日(08.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 国立大学法人東北大学(TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP). 株式会社島津製作所(Shimadzu Corporation) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 須川 成利(SUGAWA, Shigetoshi) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号国立大学法人東北大学内 Miyagi (JP). 富永 秀樹(TOMINAGA, Hideki) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地株式会社島津製作所内 Kyoto (JP). 田窪 健二(TAKUBO, Kenji) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP). 近藤 泰

志(KONDO, Yasushi) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地株式会社島津製作所内 Kyoto (JP).

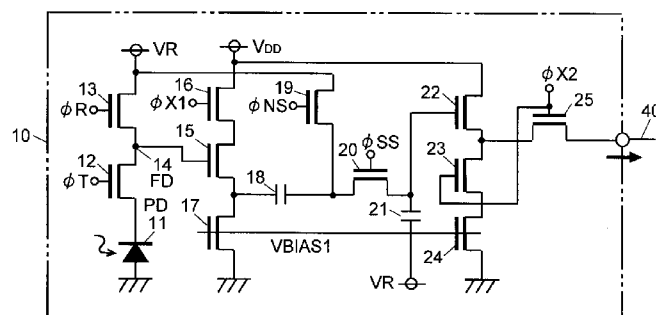
- (74) 代理人: 特許業務法人京都国際特許事務所(Kyoto International Patent Law Office); 〒6008091 京都府京都市下京区東洞院通四条下ル元恵王子町37番地 豊元四条烏丸ビル Kyoto (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SOLID STATE IMAGING ELEMENT AND DRIVING METHOD THEREFOR

(54) 発明の名称: 固体撮像素子及びその駆動方法

[図9]



(57) Abstract: A transistor (24), which acts as a load current source for a source follower amplifying transistor (22) for outputting a pixel signal to a pixel outputting line (40), is provided for each pixel (10), thereby avoiding a large bias current flowing to the pixel outputting line (40), which is of high resistance, and suppressing scattering of offset voltage for each of the pixels. Furthermore, positioning of the highly resistive pixel outputting line (40) in a source follower amplification circuit is avoided, and reduction in gain characteristics is prevented. Accordingly, picture quality is enhanced by improving the SN ratio of the pixel signal. Additionally, a current insulating transistor (23), which switches on/off simultaneously with an output controlling transistor (25), is connected in series with the source follower amplifying transistor (22), and energy consumption is reduced by ensuring that the current does not flow to the transistor (22) except when the pixel signal is outputted to the pixel outputting line.

(57) 要約:

[続葉有]

WO 2012/107995 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

画素信号を画素出力線 (40) に出力するためのソースフォロア増幅用トランジスタ (22) の負荷電流源となるトランジスタ (24) を各画素 (10) 内に設けることにより、大きなバイアス電流が高抵抗である画素出力線 (40) に流れることを回避し、画素毎のオフセット電圧のばらつきを抑える。また、高抵抗の画素出力線 (40) がソースフォロア増幅回路内に配置されることを回避し、ゲイン特性の低下を防止する。これにより、画素信号の S/N 比を改善して画質向上を図る。さらに、出力制御用トランジスタ (25) と同一タイミングでオン・オフする電流遮断用トランジスタ (23) をソースフォロア増幅用トランジスタ (22) と直列に接続し、画素信号を画素出力線に出力する期間以外ではトランジスタ (22) に電流を流さないようにすることで消費電力を抑える。

明 細 書

発明の名称： 固体撮像素子及びその駆動方法

技術分野

- [0001] 本発明は固体撮像素子及びその駆動方法に関し、さらに詳しくは、破壊、爆発、燃焼といった極めて高速である現象を撮影するために好適な高速動作可能である固体撮像素子とその駆動方法に関する。

背景技術

- [0002] 爆発、破壊、燃焼、衝突、放電等の高速の現象を短時間だけ連続的に撮影するための高速撮影装置（高速ビデオカメラ）が従来知られている（非特許文献1など参照）。こうした高速撮影装置では、100万フレーム／秒程度以上の、きわめて高速度の撮影が必要である。そのため、一般的なビデオカメラやデジタルカメラなどに利用されている通常の撮像素子とは異なる、特殊な構造の高速動作可能な固体撮像素子が利用されている。
- [0003] 上記のような用途に適した固体撮像素子として、特許文献1などに記載の画素周辺記録型撮像素子と呼ばれるCCD型の固体撮像素子や、特許文献2、3などに記載のMOS型の固体撮像素子が知られている。後者は前者における諸問題を解決するために本願発明者らが提案しているものであり、フォトダイオードを含む画素と、各画素と一対一に対応し且つ画像信号を記憶するためのメモリセル（コンデンサ）を多数有するメモリアレイユニットとが、空間的に分離された2つの領域（画素領域及び記憶領域）の中にそれぞれ2次元的に配列された構造を持つMOS型の固体撮像素子である。
- [0004] 特許文献2に記載の固体撮像素子では、画素の総数とメモリアレイユニットの総数とが等しく、1個の画素と1個のメモリアレイユニットとがそれぞれ独立したカラム線によって接続される構造となっている。そのため、全画素で一斉に各画素からカラム線を通してメモリアレイユニットに信号を転送することが可能である。その反面、総画素数と等しい本数のカラム線が必要であり、素子チップ上でカラム線の配線領域の占める割合が大きくなるため

に、受光部（フォトダイオード）の開口率を上げるのが難しい。

[0005] 一方、特許文献 3 に記載の固体撮像素子では、 N 個（但し、 N は 2 以上の整数）の画素と N 個のメモリアレイユニットとが共通の 1 本のカラム線で接続される構造となっている。そのため、カラム線の総数が総画素数/ N で済み、カラム線の配線領域の面積を減らすことができるために、受光部の開口率を上げる上で有利である。その代わりに、全画素で一斉に各画素からカラム線を通してメモリアレイユニットに画素信号を転送することはできず、カラム線を共有する N 個の画素において時分割で画素信号をメモリアレイユニットへ転送する必要がある。

[0006] 上述したように、一般的な固体撮像素子では 1 画素列あたり 1 本のみ設けられるカラム線が、上記高速撮影用の MOS 型固体撮像素子では、1 画素列あたりの画素数と同数本、又は 1 画素列あたりの画素数/ N 本設けられている。これは、比較的遅いフレームレートで使用される一般的な固体撮像素子の場合には画素から信号を読み出すのに十分長い信号読出し時間をかけることができるのに対し、高速撮影用の固体撮像素子においては桁違いに短い時間（100 万フレーム/秒以上の高速撮影の場合にはおおよそ数 ns ～ 数十 ns のオーダー）で信号読出しを行う必要があるために、全画素で一斉に信号読出し→メモリセルへの書き込み、又は、全画素中の N 分の 1 の画素で一斉に信号読出し→メモリセルへの書き込み、という読出し動作及び記憶動作が必要となるからである。

[0007] 上述の従来的高速撮影用 MOS 型固体撮像素子は高速動作を行うために様々な工夫がなされたものではあるが、次のような問題がある。

[0008] 即ち、上記特許文献 2、3 に記載の高速撮影用固体撮像素子ではいずれも、カラム線を駆動して画素からメモリアレイユニット内のメモリセルへ電圧信号を書き込むために、各画素の内部にソースフォロア増幅器が設けられているが、このソースフォロア増幅器の負荷電流源は画素領域と記憶領域との間に設けられた電流源領域にまとめて配置されている。これは主として、画素サイズを小さくするとともに素子チップ上の領域を有効に利用するため

ある。

[0009] 上記高速撮影用固体撮像素子において、駆動すべき負荷の一部であるカラム線の線幅はサブミクロンオーダー（例えば $0.28\mu\text{m}$ ）であり、その長さは画素領域と記憶領域とが分離されているために最長で数mm程度とかなり長くなる。そのため、カラム線は大きな寄生抵抗をもち（例えばA1配線では $1\text{k}\Omega$ 程度）、また素子チップ上には複数本のカラム線が近接して平行に延設されているために大きな寄生容量も生じる（例えば 1pF ）。このような抵抗及び容量の大きな負荷を例えば 20ns 以内という短時間で充放電するには、カラム線を駆動するソースフォロア増幅器のバイアス電流を例えば $100\mu\text{A}$ （ソースフォロア増幅器のサイズに依存するためあくまで一例）とする必要がある。

[0010] 上述のように負荷電流源を画素から離して配置した場合、上記バイアス電流はカラム線そのものを流れることになるため、上述した寄生抵抗によって電圧降下を生じ、カラム線の負荷電流源側出力端と画素側入力端との間でオフセット電圧を生じる。画素領域中央付近の画素と画素領域下端付近（電流源領域に近い領域）に位置する画素とでは電流源領域までの距離に大きな差異があるため、それら画素における画素信号電圧はそれぞれ異なるオフセット電圧を持つことになる。また、画素内のソースフォロア増幅器の駆動トランジスタと負荷電流源との間には高抵抗のカラム線が介在するので、ソースフォロア増幅器のゲイン特性は劣化する。このゲイン特性の劣化の程度も、画素領域中央付近の画素と画素領域下端付近に位置する画素とでは大きく相違するため、画素毎に異なるゲイン特性を持つことになる。

[0011] さらに、画素毎のゲイン特性は、次のような理由によっても異なるものとなる。即ち、画素数と同じ数の負荷電流源を狭い電流源領域にまとめて配置した場合、ソースフォロア増幅器のバイアス電流帰還パスが電流源領域という狭い箇所に集中することになる。例えば特許文献2、3に記載の固体撮像素子では、全画素を半分に分割してそれぞれ異なる電流源領域及び記憶領域に対応付けているため、例えば総画素数を 400×256 とした場合、そ

の半分の画素数による、 $400 \times 128 \times 100 \mu\text{m} = 5.12 \text{ A}$ もの電流が瞬間的に一つの電流源領域に集中することになる。

- [0012] 低電圧側電源線の配線幅を拡げることで配線の抵抗を下げようとしても抵抗をゼロとすることは不可能であるので、配線による電圧降下は常に存在し、それにより電流源領域付近での低電圧側電位（通常は接地電位）は上昇する（例えば配線抵抗が 0.1Ω である場合には約 500 mV ）。その結果、電流源トランジスタのゲートバイアス電圧が変動し、それによって各画素内部のソースフォロワ増幅器の動作点を決めるバイアス電流そのものが変化してゲイン特性の不安定要因となる。例えば電流源領域への低電圧側電源配線を素子チップの左右両側から行う構成とした場合、上述したような接地電位の上昇は素子チップの左右端よりも中央部で大きくなり、これも画素毎に異なるゲイン特性を生じる大きな要因となる。

先行技術文献

特許文献

- [0013] 特許文献1：特開2001-345441号公報
特許文献2：国際公開第2009/031301号パンフレット
特許文献3：国際公開第2009/150828号パンフレット

非特許文献

- [0014] 非特許文献1：近藤ほか5名、「高速度ビデオカメラHyperVision HPV-1の開発」、島津評論、島津評論編集部、2005年9月30日発行、第62巻、第1・2号、p. 79-86

発明の概要

発明が解決しようとする課題

- [0015] 上述した画素毎に相違するオフセット電圧やゲイン特性はいずれも画素信号の品質を劣化させるノイズ要因である。特に高速撮影用の固体撮像素子では、撮影時の露光時間（電荷蓄積時間）がきわめて短いために各画素における信号のレベル自体がかなり低く、十分な画質を得るためには上記のような

要因によるノイズを低減して少しでも画素信号の S/N を改善することが非常に重要である。

[0016] 本発明は上記課題に鑑みて成されたものであり、その目的とするところは、画素間のオフセット電圧やゲイン特性の差異を縮小することにより画素信号に乗るノイズを低減し、画質を向上させたり、或いは画質を同一程度に維持したまま撮影速度を上げたりすることができる固体撮像素子及びその駆動方法を提供することにある。

課題を解決するための手段

[0017] 上記課題を解決するために成された第1発明に係る固体撮像素子は、

a) フォトダイオード、該フォトダイオードで生成された光電荷を電荷信号から電圧信号に変換するための検出ノード、前記フォトダイオードから前記検出ノードへの光電荷の転送を制御する転送ゲート、及び、前記検出ノードによる電圧信号を後記画素出力線に送出するバッファ回路、を含む画素が複数個配置された画素領域と、

b) 前記画素領域とは分離された領域であって、各画素に一対一に対応し且つその内部に複数の記憶セルがそれぞれ設けられた、画素数と同数である記憶ユニットが配置された記憶領域と、

c) 前記画素領域内の1個の画素と前記記憶領域内の1個の記憶ユニットとをそれぞれ独立に接続する画素数及び記憶ユニット数と同数である画素出力線と、

を備え、前記バッファ回路は前記画素出力線を駆動する少なくとも1個の電流駆動部を含み、該電流駆動部は当該画素の内部に配置された負荷となる電流源を含むことを特徴としている。

[0018] また上記課題を解決するために成された第2発明に係る固体撮像素子は、

a) フォトダイオード、該フォトダイオードで生成された光電荷を電荷信号から電圧信号に変換するための検出ノード、前記フォトダイオードから前記検出ノードへの光電荷の転送を制御する転送ゲート、及び、前記検出ノードによる電圧信号を画素出力線に送出するバッファ回路、を含む画素が複数個

配置された画素領域と、

b) 前記画素領域とは分離された領域であって、各画素に一对一に対応し且つその内部に複数の記憶セルがそれぞれ設けられた記憶ユニットが配置された記憶領域と、

c) 前記画素領域内の N 個（ N は2以上の整数）の画素とその N 個の画素に対応付けられた前記記憶領域内の N 個の記憶ユニットとを N 個の画素及び記憶ユニット毎にそれぞれ独立に接続する画素数/ N 本の画素出力線と、を備え、

前記バッファ回路は、前記画素出力線を駆動する少なくとも1個の電流駆動部と、同一の画素出力線に接続された N 個の画素のうちの1個を選択的に該画素出力線に接続するための少なくとも1個の画素選択スイッチとを含み、前記電流駆動部は当該画素の内部に配置された負荷となる電流源を含み、同一の前記画素出力線に接続される N 個の画素の画素選択スイッチにはそれぞれ独立に N 本の画素選択信号線が配線されてなることを特徴としている。

[0019] 第1及び第2発明に係る固体撮像素子において、上記電流駆動部は典型的にはソースフォロア増幅器である。

[0020] 上述したように、従来のこの種の固体撮像素子では、電流駆動部の負荷となる電流源は電流源領域に集中的に配置されていたのに対し、第1及び第2発明に係る固体撮像素子では、電流駆動部の負荷となる電流源が各画素の内部にそれぞれ配置されている。このため、例えばソースフォロア増幅器である電流駆動部のバイアス電流は画素出力線を流れないので、その画素出力線自体の抵抗による電圧降下とそれによる信号電圧オフセットは発生せず、それに起因する画素毎のオフセット電圧のばらつきもなくなる。また、従来の構成では、高抵抗で且つ容量性である画素出力線が実質的に電流駆動部の回路に含まれていたのに対し、第1及び第2発明に係る固体撮像素子では、画素出力線が電流駆動部の回路とは分離されるので、各画素の電流駆動部におけるゲイン特性が改善され、且つ画素間のゲイン誤差も発生しなくなる。

[0021] さらに第1及び第2発明に係る固体撮像素子では、各画素の負荷電流源が

素子チップ内で集中的に配置されることなく画素領域内に分散して配置されるため、負荷電流源を流れた電流の帰還電流パスが分散される。これにより、電流集中による素子チップ上の特定部位での接地電位の上昇を抑えることができ、画素毎の接地電位のばらつきも改善される。それにより、そうした接地電位の上昇変動に起因する画素間のゲイン特性の誤差も抑制される。

[0022] 第1発明に係る固体撮像素子では画素毎に画素出力線が独立しているため、全画素で一斉に、画素出力線を通して画素信号を記憶ユニットへ送り出すことができる。一方、第2発明に係る固体撮像素子ではN個の画素で1本の画素出力線を共用しているため、各画素に含まれる画素選択スイッチのオン・オフにより、1組のN個の画素の中で1本の画素出力線に信号を出す画素が選択される。1組のN個の画素の中の或る1個の画素から画素出力線に信号が送出されているとき、他のN-1個の画素の電流駆動部は実際には機能していない。

[0023] そこで、第2発明に係る固体撮像素子において、好ましくは、前記バッファ回路は前記電流駆動部の動作をオン・オフする切替スイッチを含む構成とするとよい。具体的には、該切替スイッチは、電流駆動部の増幅用トランジスタとその負荷となる電流源を構成するトランジスタとの接続経路を遮断するトランジスタとすることができる。

この構成によれば、上述のように1組のN個の画素の中の或る1個の画素から画素出力線に信号が送出されているとき、他のN-1個の画素の電流駆動部を切替スイッチによりオフすることができる。オフされた電流駆動部では負荷電流が流れなくなるので消費電流が減少し、素子全体で消費電力を削減するのに有効である。

[0024] また第1及び第2発明に係る固体撮像素子では、前記画素出力線のそれぞれの途中に中継増幅器が挿入され、該中継増幅器を配置するために、前記記憶領域内であって複数の前記画素出力線の延伸方向に沿って複数の中継増幅器領域が用意される構成とするとよい。

[0025] この構成によれば、1本の画素出力線を画素内に配置された電流駆動部の

みで駆動するのでなく、この電流駆動部と画素出力線の途中に配置された中継増幅器とで分担して駆動することができる。それによって、1個の増幅器あたりの駆動負荷が減じるので、より高速に駆動することができる。また、同一の速度で駆動する場合には、より少ないバイアス電流で済むためゲイン特性はさらに改善する。画素内の電流駆動部によるバイアス電流が減ることによって画素領域における消費電流が減り、その分、記憶領域内に分散された中継増幅器領域の消費電流が増えるが、これは電流消費が素子全体に分散されたかたちとなり、前述した接地電位上昇などの原因となる電力集中を一層緩和することができる。

[0026] 前述のように第2発明に係る固体撮像素子ではN個の画素で1本の画素出力線を共用するため、1枚分の画像信号を各画素から記憶ユニット中の記憶セルに転送するために第1発明に係る固体撮像素子の約N倍の時間を要する。これが第2発明に係る固体撮像素子において撮影速度を上げるための制約になる。

[0027] そこで、第3発明に係る固体撮像素子の駆動方法は、上記第2発明に係る固体撮像素子を駆動する駆動方法であって、

前記N本の画素選択信号線を通した制御信号によって前記N個の画素選択スイッチを順番に選択して前記N個の画素を順次、共通の画素出力線に接続させる第1駆動モードと、

前記N本の画素選択信号線の一部のみを用いて前記N個の画素選択スイッチの一部のみを選択し、前記N個の画素の一部を共通の画素出力線に接続させる第2駆動モードと、

が選択可能であることを特徴としている。

[0028] 第1駆動モードは撮影に全画素を使用するものであり、これに対し第2駆動モードは、全画素を使用せずにN個の画素からなる1組毎に一部の画素のみを使用した撮影を行うものである。即ち、第2駆動モードでは、1枚の画像は一部の画素信号が間引かれた状態の粗い画像となるものの、1本の画素出力線を通して画素領域から記憶領域に送るべき画素信号が少なく済むの

で、その分、撮影速度を上げることが可能となる。即ち、第2駆動モードでは第1駆動モードと比較して、画質は下がるものの撮影速度を上げることができる。

[0029] また第3発明に係る固体撮像素子の駆動方法では、好ましくは、同一の画素出力線に接続される前記N個の画素は垂直方向に隣接する偶数個の画素であり、第2駆動モードにおいては、前記N個の画素のうち垂直方向に1個おきの全部で $N/2$ 個の画素のみを使用し、且つ、画素領域内において、水平方向に隣接する画素でも使用される画素が1個おきとなるようにして、画素領域全体で市松模様の一色（例えば白色）部分の画素が選択されるような駆動を行うとよい。これによれば、間引きされる画素がかたまらずに分散されるので、画質の劣化をできるだけ抑えながら撮影速度を上げることができる。

[0030] また第3発明に係る固体撮像素子の駆動方法では、第2駆動モードにおいて、選択された一部の画素に対して元々該画素に対応付けられていた記憶ユニットに加え、選択されなかった画素に対応する記憶ユニットをも割り当て、選択された一部の画素に対する記憶容量を拡大するようにするとよい。これにより、画質を落として撮影速度を上げた際に、連続撮影可能なフレーム数を増やす、つまり撮影可能時間を延ばすことができる。

発明の効果

[0031] 第1及び第2発明に係る固体撮像素子によれば、画素間のオフセット電圧やゲイン特性の誤差などのノイズ要因が除去されるとともに接地電位のばらつきも軽減される。これにより、各画素における画素信号の質、つまりはS/N比が向上し、画質を改善することができる。

[0032] また第3発明に係る固体撮像素子の駆動方法によれば、素子上で画素出力線の占める領域の面積を減らしながらも撮影速度を上げることができる。

図面の簡単な説明

[0033] [図1]本発明の第1実施例である固体撮像素子の半導体チップ上のレイアウトを示す概略平面図。

[図2] 第1実施例の固体撮像素子における画素と記憶ユニットとの接続状態を示す図。

[図3] 第1実施例の固体撮像素子における画素領域中の1個の画素の回路構成図。

[図4] 第1実施例の固体撮像素子における1個の記憶ユニットの回路構成図。

[図5] 第1実施例の固体撮像素子における1個の画素内の動作の概略タイムチャート。

[図6] 従来構成と第1実施例の構成とについて回路シミュレーションにより12個の画素のソースフォロア増幅器の入力電圧－出力電圧特性を計算した結果を示す図。

[図7] 従来構成と第1実施例の構成とについて回路シミュレーションにより画素領域内で画素領域下端から最も遠い位置にある4個の画素のソースフォロア増幅器のゲイン特性を計算した結果を示す図。

[図8] 本発明の第2実施例の固体撮像素子における画素と記憶ユニットとの接続状態を示す図。

[図9] 第2実施例の固体撮像素子における画素領域中の1個の画素の回路構成図。

[図10] 第2実施例の固体撮像素子における1個の画素内の動作の概略タイムチャート。

[図11] 第2実施例の固体撮像素子における各駆動モードの概略タイムチャート。

[図12] 第2実施例の固体撮像素子における各駆動モードの概略タイムチャート。

[図13] 第2実施例の固体撮像素子において画素ハーフ駆動モードの際に駆動される画素位置を示す概念図。

[図14] 本発明の第3実施例の固体撮像素子における画素、中継増幅器、及び記憶ユニットの接続状態を示す図。

発明を実施するための形態

[0034] [第 1 実施例]

以下、本発明の第 1 実施例である固体撮像素子及びその駆動方法について、添付図面を参照して説明する。

[0035] 本実施例による固体撮像素子の全体の回路構成及び構造について、図 1 ～ 図 4 により説明する。図 1 は本実施例の固体撮像素子の半導体チップ上のレイアウトを示す概略平面図、図 2 は画素と記憶ユニットとの接続状態を示す図、図 3 は画素領域中の 1 個の画素の回路構成図、図 4 は 1 個の記憶ユニットの回路構成図である。

[0036] 図 1 に示すように、この固体撮像素子は、入射光を受けて画素毎に画素信号を生成するための一つの大きな画素領域 2 と、画素信号が外部に読み出されるまで保持するための 2 つに分割された記憶領域（第 1 記憶領域 3 a、第 2 記憶領域 3 b）とを、半導体基板 1 上に備える。画素領域 2 と記憶領域 3 a、3 b とは、互いに分離され、それぞれまとまった領域である。略矩形状の画素領域 2 内には N 行、M 列の合計 $N \times M$ 個の画素 10 が二次元アレイ状に配置され、この画素領域 2 はそれぞれ $(N/2) \times M$ 個の画素 10 が配置された第 1 画素領域 2 a と第 2 画素領域 2 b との 2 つに分割されている。また、第 1、第 2 記憶領域 3 a、3 b にはそれぞれ、 $(N/2) \times M$ 個の記憶ユニット 30 が二次元アレイ状に配置されている。

[0037] 第 1 記憶領域 3 a には第 1 垂直走査回路領域 4 a と第 1 水平走査回路領域 5 a とが付設され、第 2 記憶領域 3 b にも同様に、第 2 垂直走査回路領域 4 b と第 2 水平走査回路領域 5 b とが付設されている。第 1 垂直走査回路領域 4 a 及び第 1 水平走査回路領域 5 a には、第 1 記憶領域 3 a 中の記憶ユニット 30 に含まれる記憶セルからの信号の読み出しを制御するためのシフトレジスタやデコーダなどの回路が配設され、第 2 垂直走査回路領域 4 b 及び第 2 水平走査回路領域 5 b にも同様の構成の回路が配設されている。

[0038] 図 1 に示すように、本実施例の固体撮像素子は、画素領域 2 を第 1 画素領域 2 a、第 2 画素領域 2 b の 2 つに区画する線（図 1 中に点線で示す直線）を中心として、ほぼ線対称の構造である。この線を挟んだ両部分の構造及び

動作は同じであるため、以下の説明では、第1画素領域2a、第1記憶領域3a、第1垂直走査回路領域4a、及び第1水平走査回路領域5aの構造及び動作を中心に述べる。

[0039] 画素領域2に配設される画素の数、つまりN及びMの値はそれぞれ任意に決めることができる。これらの値を大きくすれば画像の解像度は上がるが、その反面、チップ全体の面積が大きくなる、或いは、チップ面積が同一であるとすると1画素当たりのチップ面積が小さくなり感度の点では不利である。ここで説明する例では、 $N=256$ 、 $M=400$ である。この場合、第1画素領域2a及び第2画素領域2bにそれぞれ配置される画素の数は、水平方向（横方向）が400、垂直方向（縦方向）が128である。

[0040] 図2に示すように、画素領域2a中の1個の画素10と、記憶領域3a中の1個の記憶ユニット30とはそれぞれ1本の画素出力線40で接続されている。したがって、画素領域2aと記憶領域3aとは、各領域2a、3aに含まれる画素10又は記憶ユニット30と同数の（この例では 128×400 ）画素出力線40で接続されている。なお、記憶領域3aにおいて垂直方向に配列されている全ての記憶ユニット30の出力は共通の垂直出力線41に接続され、さらに垂直転送ゲート42を介して共通の出力線43に接続され、出力バッファ44を経て外部に接続されている。

[0041] 図3に示すように、1個の画素10は、フォトダイオード（PD）11、転送用トランジスタ12、リセット用トランジスタ13、フローティングディフュージョン（FD）14、第1段バッファ用トランジスタ15、第1段バイアス用トランジスタ17、第1コンデンサ18、第1サンプリング用トランジスタ19、第2サンプリング用トランジスタ20、第2コンデンサ21、ソースフォロア増幅用トランジスタ22、負荷電流源用トランジスタ24、及び、出力制御用トランジスタ25、を含む。

[0042] フォトダイオード11は光を受けて光電荷を生成するものである。フローティングディフュージョン14は光電荷を一時的に蓄積するとともにこれを電圧信号に変換するものであり、本発明における検出ノードに相当する。転

送用トランジスタ 12 は光電荷をフォトダイオード 11 からフローティングディフュージョン 14 へ転送するためのものであり、本発明における転送ゲートに相当する。リセット用トランジスタ 13 はフローティングディフュージョン 14 に蓄積された電荷を排出するためのものであり、本発明におけるリセット素子に相当する。第 1 コンデンサ 18、第 2 コンデンサ 21、第 1 サンプリング用トランジスタ 19、及び第 2 サンプリング用トランジスタ 20 は相関 2 重サンプリング (CDS) 回路を構成するものである。第 1 段バッファ用トランジスタ 15 及び第 1 段バイアス用トランジスタ 17 は、フローティングディフュージョン 14 と相関 2 重サンプリング回路とのインターフェイスの機能を果たすバッファである。ソースフォロア増幅用トランジスタ 22、負荷電流源用トランジスタ 24、及び出力制御用トランジスタ 25 は、フローティングディフュージョン 14 に蓄積された電荷信号を CDS 回路を通して画素出力線 40 に電圧信号として出力するためのものであり、本発明におけるバッファ回路に相当する。

[0043] 転送用トランジスタ 12、リセット用トランジスタ 13、第 1 サンプリング用トランジスタ 19、第 2 サンプリング用トランジスタ 20、及び出力制御用トランジスタ 25 のゲート端子には、それぞれ ϕT 、 ϕR 、 ϕNS 、 ϕSS 、 $\phi X2$ なる駆動パルス信号 (制御信号) を供給するための駆動ラインが接続される。これら駆動ラインは画素領域 2 内の全ての画素 10 に共通である。これにより、画素領域 2a、2b に含まれる全ての画素 10 において電荷蓄積動作等のための同時駆動が行われる。

[0044] 図 5 は 1 個の画素 10 における光電変換から信号送出までの動作の概略タイムチャートである。これを参照しつつ、画素 10 における動作を説明する。

[0045] フォトダイオード 11 からフローティングディフュージョン 14 へ信号電荷を転送する前に、リセット用トランジスタ 13 をオンさせることによりフローティングディフュージョン 14 は電源電圧 V_R にリセットされる。しかしながら、そのあとにリセット用トランジスタ 13 をオフにしてフローティ

ングディフュージョン14をフローティング状態にする際に、フローティングディフュージョン14のキャパシタに熱ノイズが取り込まれるためフローティングディフュージョン14の電圧は揺らぎ、電源電圧（リセット電圧） V_R そのものとはならない。リセットノイズと呼ばれるこの揺らぎ成分が存在する状態でフォトダイオード11からフローティングディフュージョン14へ信号電荷の転送を始めると、その信号電荷にノイズが重畳したものが電圧信号となって出力されてしまうことになる。そこで、以下のような手順でノイズを取り除きつつ画素信号を出力する。

[0046] 図5中の t_1 の時点（ ϕ_T ：オン→オフ）で転送用トランジスタ12はオフとなり、フォトダイオード11がフローティング状態となって光電変換で発生した電荷の蓄積（露光）が開始される。このとき、フローティングディフュージョン14はリセット電圧 V_R にリセットされている。少し遅れて t_2 の時点（ ϕ_R ：オン→オフ）でリセット用トランジスタがオフとなるとフローティングディフュージョン14がフローティング状態となる。上述したように、このときフローティングディフュージョン14の電圧はリセット電圧 V_R ＋リセットノイズ電圧となる。 t_3 の時点（ ϕ_{NS} 、 ϕ_{SS} ：オフ→オン）で第1、第2サンプリング用トランジスタ19、20が共にオンすると、第1コンデンサ18の第2サンプリング用トランジスタ20側の端子電圧と第2コンデンサ21の第2サンプリング用トランジスタ20側の端子電圧とはいずれもリセット電圧 V_R にリセットされる。

[0047] t_4 の時点（ ϕ_{NS} ：オン→オフ）で第1サンプリング用トランジスタ19のみがオフされると、第1コンデンサ18の第2サンプリング用トランジスタ20側の端子と第2コンデンサ21の第2サンプリング用トランジスタ20側の端子とはいずれもフローティング状態となる。このとき、第1段バッファ用トランジスタ15を通して第1コンデンサ18に与えられる電圧がリセット電圧＋リセットノイズ電圧であれば、ソースフォロア増幅用トランジスタ22のゲート端子に印加される電圧はリセット電圧 V_R となるから、リセットノイズは除去されることになる。 t_5 の時点（ ϕ_T ：オフ→オン）

で転送用トランジスタ 12 をオンさせて、フォトダイオード 11 からフローティングディフュージョン 14 へ信号電荷の転送を行う。これにより、ソースフォロア増幅用トランジスタ 22 のゲート端子に印加される電圧は、リセット電圧 V_R から [正味の信号電圧] $\times$ [CDS 回路のゲイン] だけ下がる。

[0048] t_6 の時点 (ϕ_{SS} : オン→オフ) で第 2 サンプリング用トランジスタ 20 もオフされると、ソースフォロア増幅用トランジスタ 22 のゲート端子に印加される電圧が確定する。このときの電圧はリセットノイズ電圧が除かれた [正味の信号電圧] $\times$ [CDS 回路のゲイン] なる電圧である。その後、 t_7 の時点 (ϕ_{X2} ; オフ→オン) で出力制御用トランジスタ 25 をオンすれば、上記のようにフローティングディフュージョン 14 におけるリセットノイズを含まない信号電圧がソースフォロア増幅用トランジスタ 22 を介して画素出力線 40 に出力される。

[0049] なお、上記説明では、CDS 回路におけるリセットノイズを考慮していないが、実際には、第 1 コンデンサ 18、第 2 コンデンサ 21 がフローティング状態になるとき、フローティングディフュージョン 14 と同様にリセットノイズは発生し得る。しかしながら、これはフローティングディフュージョン 14 の容量に比べて第 1 コンデンサ 18、第 2 コンデンサ 21 の容量を大きくしておけば、リセットノイズの影響は相対的に小さくなるため、実用上無視することができる。

[0050] 図 4 に示すように、1 個の記憶ユニット 30 は、画素領域 2a から延伸する画素出力線 40 に接続された書き込み用トランジスタ 31、読み出しバッファ用トランジスタ 33、バイアス用トランジスタ 34、読み出し用トランジスタ 35、書き込み用トランジスタ 31 と読み出しバッファ用トランジスタ 33 との間の記憶ユニット内信号線 32 に接続された蓄積フレーム数 L (この例では $L = 128$) 分のサンプリング用トランジスタ 36 及びコンデンサ 37 と、を含む。コンデンサ 37 は例えばダブルポリシリコンゲート構造やスタック構造などにより形成される。書き込み用トランジスタ 31 のゲー

ト端子には、全記憶ユニット 30 に共通である ϕWS なる駆動パルス信号を供給するための駆動ラインが接続される。読み出し用トランジスタ 35 のゲート端子には垂直方向の行単位に共通で行毎に異なる ϕVSR なる駆動パルス信号を供給するための駆動ラインが接続される。さらにサンプリング用トランジスタ 36 のゲート端子には、1 個の記憶ユニット 30 に含まれる L 個のサンプリング用トランジスタ毎に相違し、且つ全ての記憶ユニット 30 で同じ順番のサンプリング用トランジスタには共通である $\phi VSR1$ なる駆動パルス信号を供給するための駆動ラインが接続される。

[0051] この記憶ユニット 30 では、対応する画素 10 から画素出力線 40 に信号が出力された状態であるときに、読み出し用トランジスタ 35 をオフ状態にして書き込み用トランジスタ 31 をオンし、さらに 128 個のサンプリング用トランジスタ 36 のうちの任意の 1 つを選択的にオンすると、記憶ユニット内信号線 32 上に存在する信号を、オンされたサンプリング用トランジスタに接続されたコンデンサ 37 に書き込むことができる。この書き込み動作の際に、駆動パルス信号 $\phi VSR1$ によりオンさせるサンプリング用トランジスタ 36 を順に走査することにより、最大 128 フレームの連続画像に対応した画素信号を各コンデンサ 37 にそれぞれ保持することができる。

[0052] 一方、これとは逆に、書き込み用トランジスタ 31 をオフ状態にしたまま読み出し用トランジスタ 35 をオンし、さらに 128 個のサンプリング用トランジスタ 36 のうちの任意の 1 個を選択的にオンすると、そのサンプリング用トランジスタ 36 に接続されたコンデンサ 37 に保持されている画素信号を記憶ユニット内信号線 32 上に読み出し、読み出しバッファ用トランジスタ 33 及び読み出し用トランジスタ 35 を通して外部に出力することができる。この読み出し動作の際に、駆動パルス信号 $\phi VSR1$ によりオンさせるサンプリング用トランジスタ 36 を順に走査することにより、各コンデンサ 37 にそれぞれ保持されている最大 128 フレーム分の連続画像に対応した画素信号を順番に、つまりシリアルで読み出すことができる。

[0053] 本実施例の固体撮像素子の特徴の一つは、各画素 10 の内部にソースフォ

ロア増幅用トランジスタ 22 の負荷電流源である負荷電流源用トランジスタ 24 が配置されていることである。したがって、画素 10 内で出力制御用トランジスタ 25 がオン、記憶ユニット 30 で書き込み用トランジスタ 31 がオンした状態でも、画素 10 と記憶ユニット 30 とを接続する画素出力線 40 にはソースフォロア増幅用トランジスタ 22 のバイアス電流は流れない。また画素出力線 40 には、出力制御用トランジスタ 25 がオンした直後にその画素出力線 40 の容量と書き込み先のコンデンサ 37 の容量を充放電するための電流が流れるが、充放電完了後には電流は全く流れない。そのため、画素出力線 40 の抵抗が或る程度大きくても電圧降下は一切生じない。また、ソースフォロア増幅回路の内部に高抵抗の画素出力線 40 が配置されないことで、それに起因するゲイン特性の低下もなく、また、負荷電流源用トランジスタ 24 が分散配置されることで接地電位の上昇や変動も抑えられるので、それによるゲイン特性の低下も無視できる程度である。

[0054] それ故に、本実施例の固体撮像素子では、各画素 10 においてオフセット電圧のばらつきやゲイン特性のばらつきが従来のこの種の固体撮像素子に比べて小さくて済み、画素信号の S/N 比が向上するので、画質を高めることができる。

[0055] 本実施例の固体撮像素子を従来の固体撮像素子と比較した効果を検証するために、シミュレーションソフトウェア「SPICE」を用いて計算した結果を説明する。ここでは、第 1 画素領域 2a の 1/2 の領域に略均等に分散配置されている 12 個の画素に着目し、それら各画素についてシミュレーション計算を行った。

[0056] 図 6 は 12 個の画素のソースフォロア増幅器の入力電圧－出力電圧特性を示すものであり、(a) は従来構成、(b) は上記実施例の構成である。従来の構成では、画素出力線の抵抗による電圧降下と電流源領域の帰還電流パスの電位上昇によるバイアス電流の変動とにより出力電圧のばらつきが大きい。これに対して本実施例の構成においては、画素出力線の抵抗による電圧降下は非常に小さく、画素領域の帰還電流パスの電位上昇によるバイアス電

流変動がばらつきの主要因となるが、電流源領域ほど局所的に電流が集中することはないので電位上昇は小さい。そのため、出力電圧のばらつきも小さくなっている。

[0057] 図7は、画素領域2a内で下端から最も遠い位置にある4個の画素のソースフォロア増幅器の微分ゲイン特性をシミュレートしたものである。(a)に示すように、従来構成ではゲインは0.8を下回っており、しかもゲインカーブにフラットな部分が殆どなく画素毎のゲイン誤差が大きい。これに対して(b)に示すように本実施例の構成では、入力電圧が1.0~3.5Vの範囲でゲインはほぼフラットを保ち、且つゲイン値も0.8を超えている。こうした結果から、本実施例の構成においては画素毎のゲイン誤差は殆どなく、且つ高いゲインを達成できることが確認できる。

[0058] [第2実施例]

次に、本発明に係る第2実施例による固体撮像素子の構成及び動作を説明する。

上記第1実施例の固体撮像素子では、画素毎に独立した画素出力線で画素と記憶ユニットとを接続していたため、全画素一斉に信号転送が可能であるものの、半導体基板1上で画素出力線の占める領域の割合が多く、フォトダイオード11の面積を広く確保するのが難しい。これに対し、この第2実施例の固体撮像素子では、撮影速度を若干犠牲にしながら画素出力線の占める領域を減らし、それによってフォトダイオードの面積、つまりは開口率を上げるようにしたものである。

[0059] 図8は本実施例の固体撮像素子における画素と記憶ユニットとの接続状態を示す概略図、図9は本実施例の固体撮像素子における画素領域中の1個の画素の回路構成図、図10は1個の画素10における光電変換から信号送出までの動作の概略タイムチャートである。記憶領域内の1個の記憶ユニット30の回路構成は第1実施例の図4で説明したものと同一であるので説明を略す。

[0060] 図8に示すように、第2実施例の固体撮像素子では、画素領域2aにおい

て垂直方向、つまり画素出力線 40 の延伸方向に隣接する 4 個の画素 10（図 8 中の点線 100 で示す部分）と記憶領域 3a において垂直方向に隣接する 4 個の記憶ユニット 30（図 8 中の点線 300 で示す部分）とを 1 本の画素出力線 40 で接続している。即ち、垂直方向に並ぶ 4 個ずつの画素 10 と同じく 4 個ずつの記憶ユニット 30 とをそれぞれ組として、その組毎に 1 本の画素出力線 40 により両者を接続している。これによって、画素領域 2a と記憶領域 3a との間に配設される画素出力線 40 の本数は垂直方向の列あたり、第 1 実施例の 128 本からその $1/4$ の 32 本へ減ることになる。その結果、開口率が向上し、感度や SN 比の向上に有効である。ただし、この場合には、1 本の画素出力線 40 を共用している 4 個の画素 10 から選択的に、つまり同時に複数の画素 10 から信号が出力されないように、画素出力線 40 への信号の出力タイミングを調整する必要がある。

[0061] また図 9 に示した本実施例の画素構成を図 3 に示した画素構成と比較すれば分かるように、1 個の画素 10 において、第 1 段バッファ用トランジスタ 15 に直列に第 1 電流遮断用トランジスタ 16 が接続され、ソースフォロア増幅用トランジスタ 22 に直列に第 2 電流遮断用トランジスタ 23 が接続されている。第 1 電流遮断用トランジスタ 16 のゲート端子には $\phi \times 1$ なる駆動パルス信号を供給するための駆動ラインが接続される。他方、第 2 電流遮断用トランジスタ 23 のゲート端子には、出力制御用トランジスタ 25 のゲート端子と同じ $\phi \times 2$ なる駆動パルス信号を供給するための駆動ラインが接続される。

[0062] 第 2 実施例の固体撮像素子における 1 個の画素内の光電変換動作及びリセットノイズ除去動作は第 1 実施例と同じであるので、特に相違する点のみについて図 10 を参照して説明する。第 1 電流遮断用トランジスタ 16 は t_3 の時点、つまりサンプリング用トランジスタ 19、20 がオンされるのと同様にオンされ、 t_7 の時点、つまり出力制御用トランジスタ 25 を介した信号の出力が開始される直前にオフされる。即ち、フローティングディフュージョン 14 の電圧を第 1 コンデンサ 18 やその後段の第 2 コンデンサ 2

1に与える必要がある期間だけ、第1電流遮断用トランジスタ16はオンされ、それによって第1段バッファ用トランジスタ15を動作させる。換言すれば、第1段バッファ用トランジスタ15が動作している必要のない期間には、第1電流遮断用トランジスタ16をオフ状態とし、第1段バッファ用トランジスタ15にバイアス電流を供給しないことによって消費電力を抑えている。

[0063] 第2電流遮断用トランジスタ23は出力制御用トランジスタ25と同時にオン・オフされる。換言すれば、電圧信号を画素出力線40に出力していない期間には、第2電流遮断用トランジスタ23をオフ状態とし、ソースフォロア増幅用トランジスタ22にバイアス電流を供給しないようにしている。これによって消費電力を抑えている。

[0064] 上述したように、1本の画素出力線40を共用する4個の画素10から順番に時分割で信号を画素出力線40に出力するため、その4個の画素10の出力制御用トランジスタ25のゲート端子には、 $\phi \times 2\{0\}$ 、 $\phi \times 2\{1\}$ 、 $\phi \times 2\{2\}$ 、 $\phi \times 2\{3\}$ なる駆動パルス信号がそれぞれ供給される。即ち、1本の画素出力線40を共用する4個の画素10のうちの1番目の画素10の出力制御用トランジスタ25のゲート端子には $\phi \times 2\{0\}$ の駆動パルス信号が入力され、この $\phi \times 2\{0\}$ がハイレベルである期間には、出力制御用トランジスタ25がオンし、その画素10から画素出力線40に画素信号が出力される。また、記憶ユニット30では、こうした各画素10からの信号送出に同期して、対応する記憶ユニット30の書き込み用トランジスタ31がオンされ、さらにオンしたサンプリング用トランジスタ36に接続されているコンデンサ37に信号が保持される。

[0065] また第2実施例の固体撮像素子では、第1実施例と同様に、全ての画素を利用して高解像度の画像を取得するバースト・フル画素使用モード（本発明における第1駆動モードに相当）と、全体の1/2の画素のみを利用して解像度は劣るものの、バースト・フル画素使用モードよりも高速度で画像を取得することが可能なバースト・ハーフ画素使用モード（本発明における第2

駆動モード)と、の2つのモードで固体撮像素子を駆動することができる。

[0066] 図11及び図12の(a)はバースト・フル画素使用モードにおける要部の駆動パルス信号のタイミングチャートである。図11(a)の続きが図12(a)である。なお、ここでは、駆動パルス信号 $\phi X1$ は省略している。

このモードでは、全ての画素10に対する駆動パルス信号(ϕR 、 ϕT 、 ϕNS 、 ϕSS)は全画素一斉に同一のタイミングで動作し、グローバルシャッタ動作をする。一方、出力制御用トランジスタ25をオン・オフする駆動パルス信号 $\phi X2$ は画素出力線40を共にする4個の画素10にそれぞれ対応して $\phi X2\{0\} \sim \phi X2\{3\}$ の4つあり、それぞれ異なるタイミングで4個の画素10による画素信号を1本の画素出力線40へ順番に接続する。これは上述した通りである。

[0067] 1本の画素出力線40は4個の記憶ユニット30にそれぞれ、駆動パルス信号 ϕWS によりオン・オフされる書き込み用トランジスタ31を経由して接続されている。1個の記憶ユニット30中に128個存在する記憶セル(サンプリング用トランジスタ36+コンデンサ37)の中の1個の記憶セルを選択する駆動パルス信号は、 $\phi VSR1\{0\} \sim \phi VSR1\{3\}$ の4つあり、図11、図12に示すように、それぞれ異なるタイミングでもって4個の記憶ユニットの中の1個のユニットを画素出力線40へ接続する。

[0068] 以上述べた駆動方法によって、画素出力線40を共用していても4系統の画素信号が混交することなく、画素10と一対一で対応する記憶ユニット30の中の1つの記憶セルへと画素信号を書き込むことができる。ただし、このバースト・フル画素使用モードにおいては1本の画素出力線40を時分割で使用して4画素分の信号をサンプリングするので、サンプリング時間が第1実施例の構成の約4倍かかることになる。例えば1個のサンプリングパルス幅は数ns~数十nsであるのでフレームレートが遅ければ特に問題にならないが、最大フレームレート(数~10Mfps以上を想定)を確実に制限する要因となる。そこで、バースト・ハーフ画素使用モードでは、1本の画素出力線40を共用している4個の画素の中の2画素のみ或いは1画素のみから画

素信号を取り出し、他の画素は読み飛ばすことによって、最大フレームレートを上げることができるようにしている。

[0069] 図 1 1 (b) 及び図 1 2 (b) に示すように、駆動パルス信号 $\phi \times 2 \{1\}$ 及び $\phi \times 2 \{3\}$ は常にローレベルであり、4 個の画素の中で 2 個の画素が実質的に使用されていない（つまり読み飛ばされた）ことが分かる。これに対し、記憶ユニット 3 0 側では、駆動パルス信号 $\phi \text{VSR} 1 \{0\} \sim \phi \text{VSR} 1 \{3\}$ がそれぞれハイレベルとなるタイミングが存在し、上記のように読み飛ばされた画素に対応する記憶ユニット 3 0 も使用し、該記憶ユニット 3 0 中の記憶セルに信号を書き込んでいることが分かる。これによって、外部へ信号を読み出しことなく連続的に撮影可能なフレーム数は通常の 2 倍の 2 5 6 フレームとなり、それだけ 2 倍の撮影時間を確保することができる。

[0070] また、駆動パルス信号 $\phi \times 2 \{0\}$ と $\phi \times 2 \{1\}$ 、 $\phi \times 2 \{2\}$ と $\phi \times 2 \{3\}$ を偶数列と奇数列とでそれぞれ千鳥状に配線することにより、バースト・ハーフ画素使用モードにおける画素の間引きを、図 1 3 に示すように市松模様状にすることができる。これによって、垂直方向及び水平方向の解像度の実質的な劣化を抑えることができる。

[0071] 上記実施例ではいずれも、画素領域 2 a 中の画素 1 0 と記憶領域 3 a 中の記憶ユニット 3 0 との間を画素出力線 4 0 で直結していたが、例えば画素数を増やそうとして素子チップの面積が大きくなる場合には、画素出力線 4 0 が長くなり、画素 1 0 内のソースフォロア増幅用トランジスタ 2 2 では駆動能力が不足する場合がある。こうした場合には、例えば図 1 4 に示すように、画素出力線 4 0 (4 0 a、4 0 b) の途中に信号中継用のソースフォロア増幅器 6 0 を挿入してもよい。図 1 4 の構成では、信号中継用ソースフォロア増幅器 6 0 は 2 個のトランジスタ 6 1、6 2 からなるが、構成はこれに限らない。また、各画素出力線 4 0 に挿入される信号中継用ソースフォロア増幅器 6 0 を 1 箇所集中配置するのではなく、電力分散と画素 1 0 内ソースフォロア増幅器との負荷分担の均等化の観点から、記憶領域 3 a 上に水平方向に延伸する複数の帯状の中継用ソースフォロア増幅器領域 6 を設け、その

複数の各領域 6 に含まれる信号中継用ソースフォロア増幅器 60 の数がほぼ同数となるように、信号中継用ソースフォロア増幅器 60 を分散配置している。

[0072] このように 1 本の画素出力線 40 を画素 10 内のソースフォロア増幅器のみで駆動するのでなく、記憶領域 3 (3 a、3 b) 内に配置した中継用ソースフォロア増幅器と分担して駆動することによって、1 個の増幅器あたりの負荷が減るのでより高速に駆動することができる。或いは、速度を上げずにバイアス電流を減らすという選択も可能であり、この場合には、ゲイン特性はさらに改善し、また画素領域の消費電流も減る。もちろん、画素領域の消費電流が減った分だけ、ソースフォロア増幅器が配置された記憶領域の消費電流が増えることになるが、これは素子チップ全体に総電力を分散されたことになり、接地電位の上昇などの原因となる電力集中を改善できるという点では好ましい。

[0073] なお、上記実施例は本発明に係る固体撮像素子及びその駆動方法の一例であり、本発明の趣旨の範囲で適宜変形や修正、追加を行っても本願請求の範囲に包含されることは明らかである。

[0074] 具体的には、上記説明で用いた各種の数値は単に一例であり、本発明に係る固体撮像素子の構成・構造を制約するものではない。また、例えば 1 個の画素内の回路構成についても、フォトダイオード、検出ノード、転送ゲート、バッファ回路といった本願発明に基本的な構成要素さえ備えていれば、それ以外の要素、例えば上述した CDS 回路などは必ずしも必要でないことは当然である。

符号の説明

- [0075] 1…半導体基板
2、2 a、2 b…画素領域
3、3 a、3 b…記憶領域
4 a、4 b…垂直走査回路領域
5 a、5 b…水平走査回路領域

- 6…中継用ソースフォロア増幅器領域
- 10…画素
- 11…フォトダイオード
- 12…転送用トランジスタ
- 13…リセット用トランジスタ
- 14…フローティングディフュージョン (FD)
- 15…第1段バッファ用トランジスタ
- 16…第1電流遮断用トランジスタ
- 17…第1段バイアス用トランジスタ
- 18…第1コンデンサ
- 19…第1サンプリング用トランジスタ
- 20…第2サンプリング用トランジスタ
- 21…第2コンデンサ
- 22…ソースフォロア増幅用トランジスタ
- 23…第2電流遮断用トランジスタ
- 24…負荷電流源用トランジスタ
- 25…出力制御用トランジスタ
- 30…記憶ユニット
- 31…書き込み用トランジスタ
- 32…記憶ユニット内信号線
- 33…読み出しバッファ用トランジスタ
- 34…バイアス用トランジスタ
- 36…サンプリング用トランジスタ
- 37…コンデンサ
- 40…画素出力線
- 41…垂直出力線
- 42…垂直転送ゲート
- 43…出力線

4 4 …出力バッファ

6 0 …信号中継用ソースフォロア増幅器

請求の範囲

[請求項1]

a) フォトダイオード、該フォトダイオードで生成された光電荷を電荷信号から電圧信号に変換するための検出ノード、前記フォトダイオードから前記検出ノードへの光電荷の転送を制御する転送ゲート、及び、前記検出ノードによる電圧信号を後記画素出力線に送出するバッファ回路、を含む画素が複数個配置された画素領域と、

b) 前記画素領域とは分離された領域であって、各画素に一对一に対応し且つその内部に複数の記憶セルがそれぞれ設けられた、画素数と同数である記憶ユニットが配置された記憶領域と、

c) 前記画素領域内の1個の画素と前記記憶領域内の1個の記憶ユニットとをそれぞれ独立に接続する画素数及び記憶ユニット数と同数である画素出力線と、

を備え、前記バッファ回路は前記画素出力線を駆動する少なくとも1個の電流駆動部を含み、該電流駆動部は当該画素の内部に配置された負荷となる電流源を含むことを特徴とする固体撮像素子。

[請求項2]

a) フォトダイオード、該フォトダイオードで生成された光電荷を電荷信号から電圧信号に変換するための検出ノード、前記フォトダイオードから前記検出ノードへの光電荷の転送を制御する転送ゲート、及び、前記検出ノードによる電圧信号を画素出力線に送出するバッファ回路、を含む画素が複数個配置された画素領域と、

b) 前記画素領域とは分離された領域であって、各画素に一对一に対応し且つその内部に複数の記憶セルがそれぞれ設けられた記憶ユニットが配置された記憶領域と、

c) 前記画素領域内のN個（Nは2以上の整数）の画素とそのN個の画素に対応付けられた前記記憶領域内のN個の記憶ユニットとをN個の画素及び記憶ユニット毎にそれぞれ独立に接続する画素数／N本の画素出力線と、を備え、

前記バッファ回路は、前記画素出力線を駆動する少なくとも1個の

電流駆動部と、同一の画素出力線に接続されたN個の画素のうちの1個を選択的に該画素出力線に接続するための少なくとも1個の画素選択スイッチとを含み、前記電流駆動部は当該画素の内部に配置された負荷となる電流源を含み、同一の前記画素出力線に接続されるN個の画素の画素選択スイッチにはそれぞれ独立にN本の画素選択信号線が配線されてなることを特徴とする固体撮像素子。

[請求項3]

請求項2に記載の固体撮像素子であって、

前記バッファ回路は前記電流駆動部の動作をオン・オフする切替スイッチを含むことを特徴とする固体撮像素子。

[請求項4]

請求項1に記載の固体撮像素子であって、

前記画素出力線のそれぞれの途中に中継増幅器が挿入され、該中継増幅器を配置するために、前記記憶領域内であって複数の前記画素出力線の延伸方向に沿って複数の中継増幅器領域が用意されることを特徴とする固体撮像素子。

[請求項5]

請求項2又は3に記載の固体撮像素子であって、

前記画素出力線のそれぞれの途中に中継増幅器が挿入され、該中継増幅器を配置するために、前記記憶領域内であって複数の前記画素出力線の延伸方向に沿って複数の中継増幅器領域が用意されることを特徴とする固体撮像素子。

[請求項6]

請求項2、3又は5のいずれかに記載の固体撮像素子の駆動方法であって、

前記N本の画素選択信号線を通した制御信号によって前記N個の画素選択スイッチを順番に選択して前記N個の画素を順次、共通の画素出力線に接続させる第1駆動モードと、

前記N本の画素選択信号線の一部のみを用いて前記N個の画素選択スイッチの一部のみを選択し、前記N個の画素の一部を共通の画素出力線に接続させる第2駆動モードと、

が選択可能であることを特徴とする固体撮像素子の駆動方法。

[請求項7]

請求項6に記載の固体撮像素子の駆動方法であって、

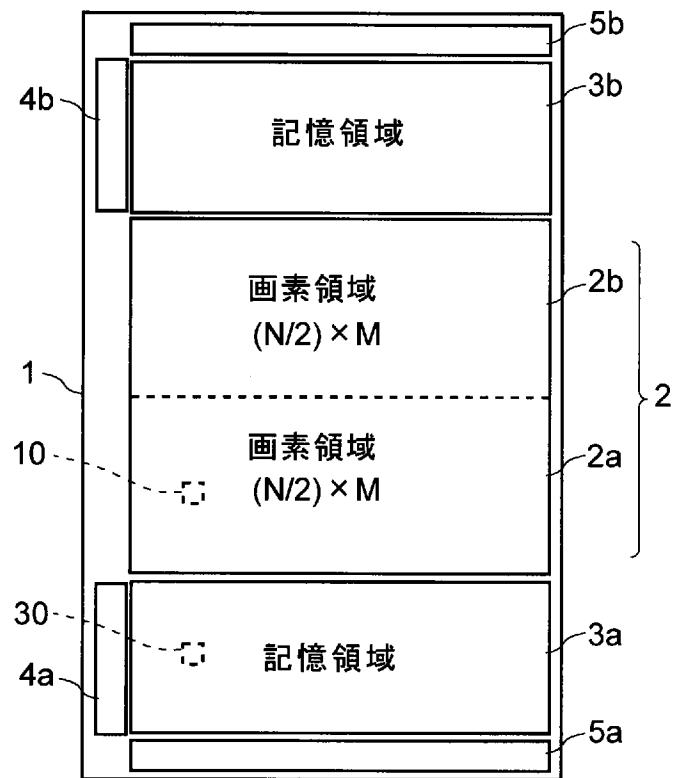
同一の画素出力線に接続される前記N個の画素は垂直方向に隣接する偶数個の画素であり、第2駆動モードにおいては、前記N個の画素のうち垂直方向に1個おきの全部で $N/2$ 個の画素のみを使用し、且つ、画素領域内において、水平方向に隣接する画素でも使用される画素が1個おきとなるようにして、画素領域全体で市松模様の一色の部分の画素が選択されるように駆動することを特徴とする固体撮像素子の駆動方法。

[請求項8]

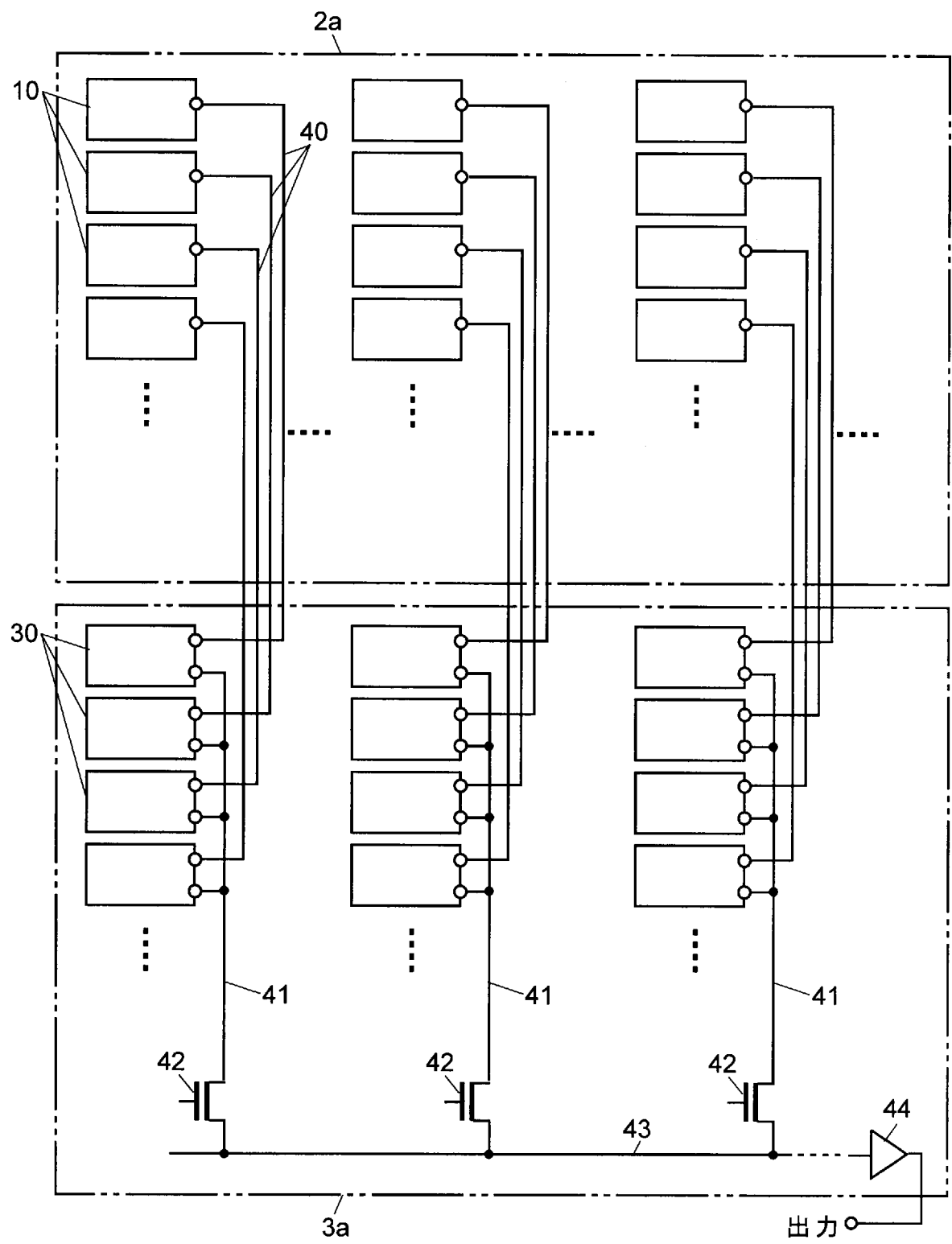
請求項6又は7に記載の固体撮像素子の駆動方法であって、

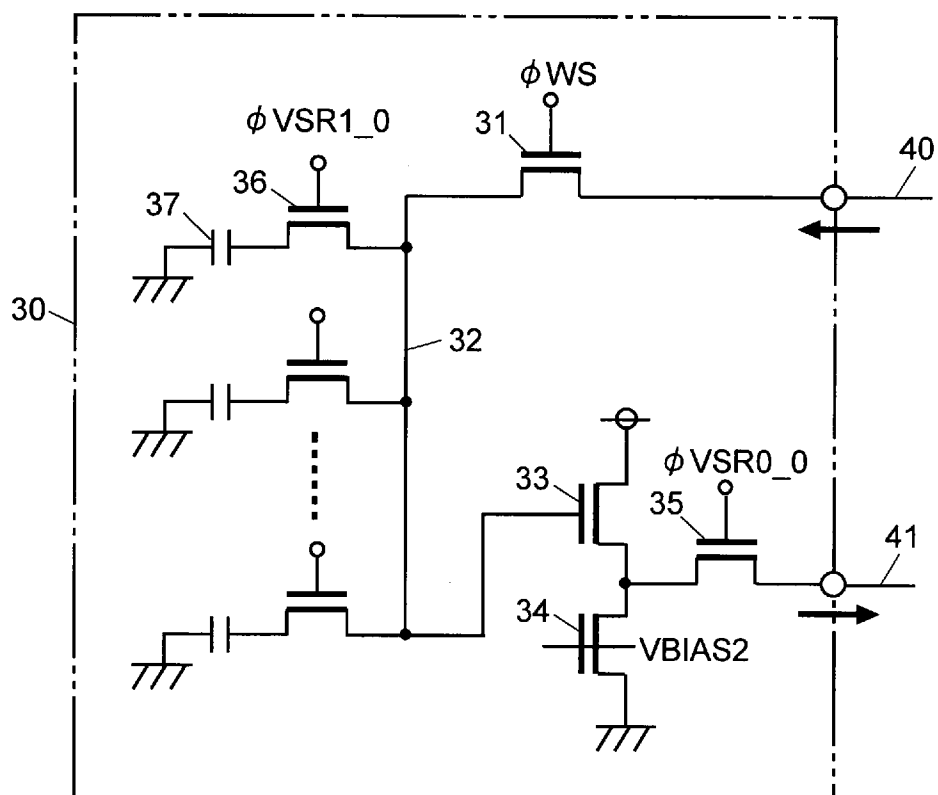
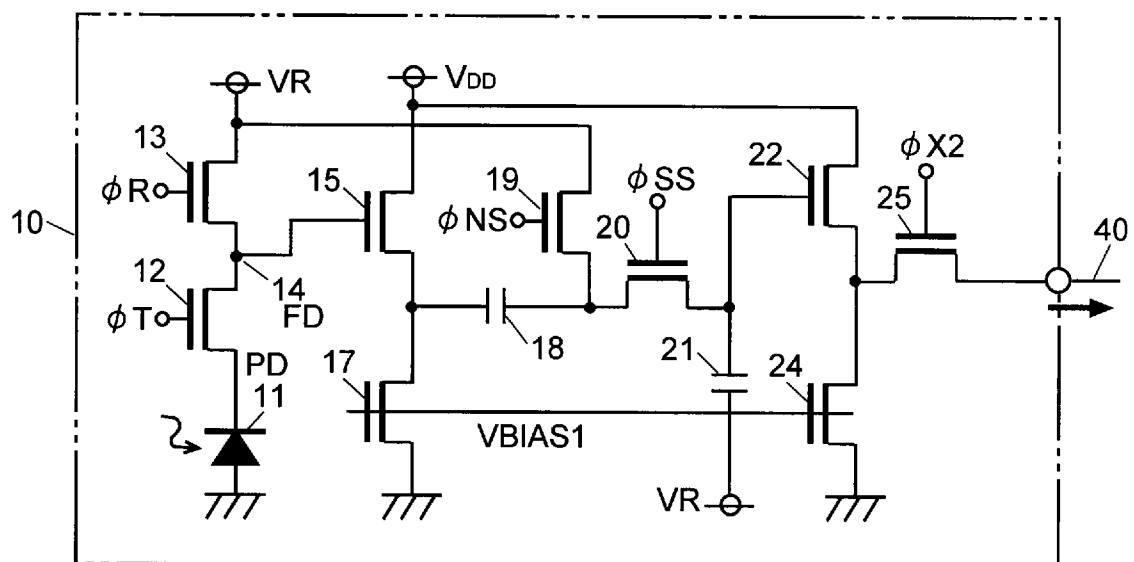
第2駆動モードにおいて、選択された一部の画素に対して元々該画素に対応付けられていた記憶ユニットに加え、選択されなかった画素に対応する記憶ユニットをも割り当て、選択された一部の画素に対する記憶容量を拡大したことを特徴とする固体撮像素子の駆動方法。

[図1]

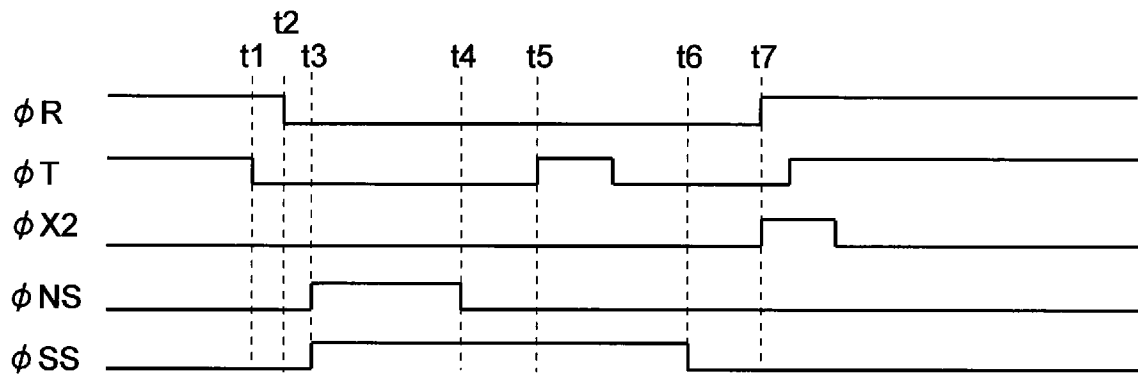


[図2]

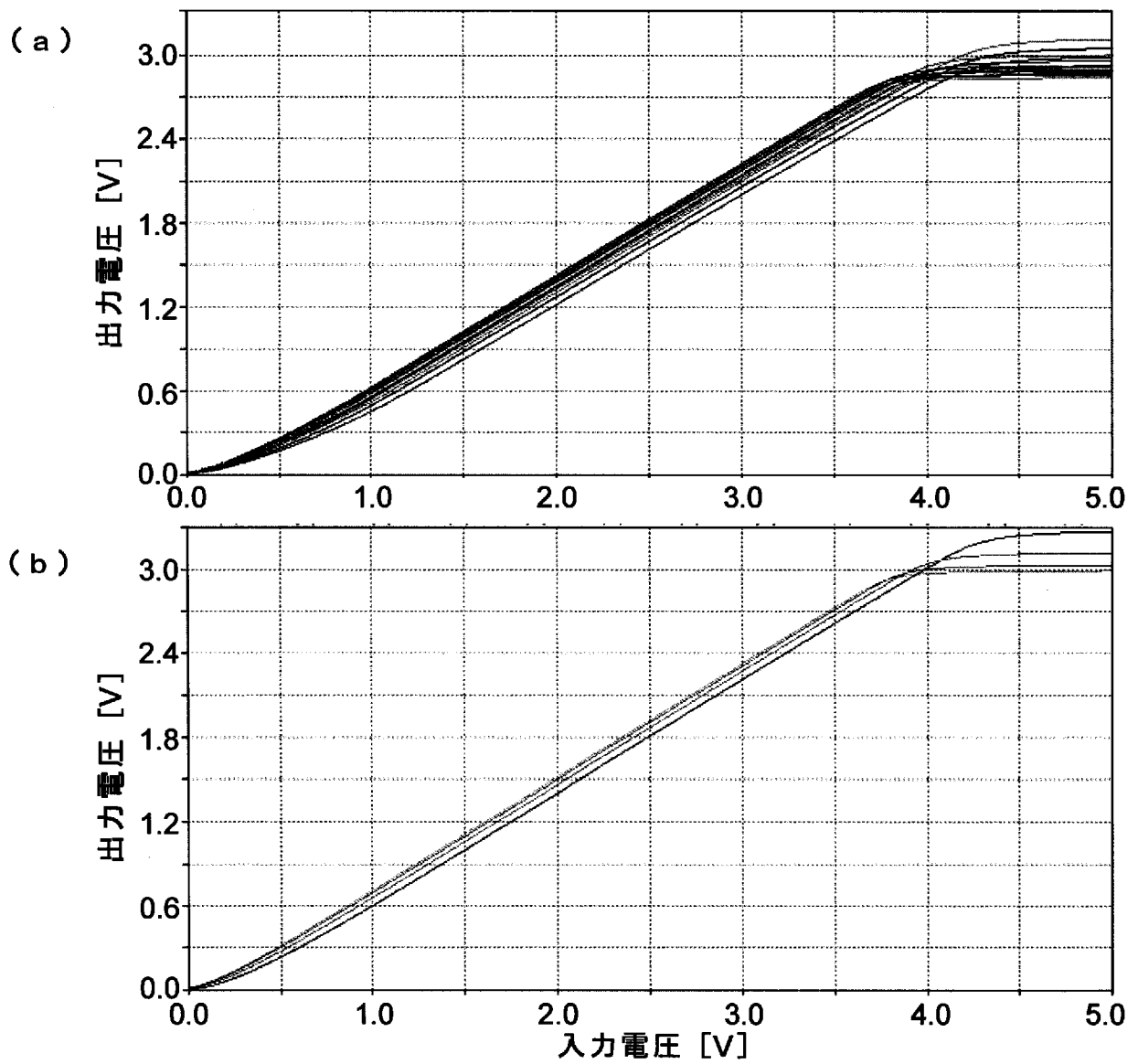




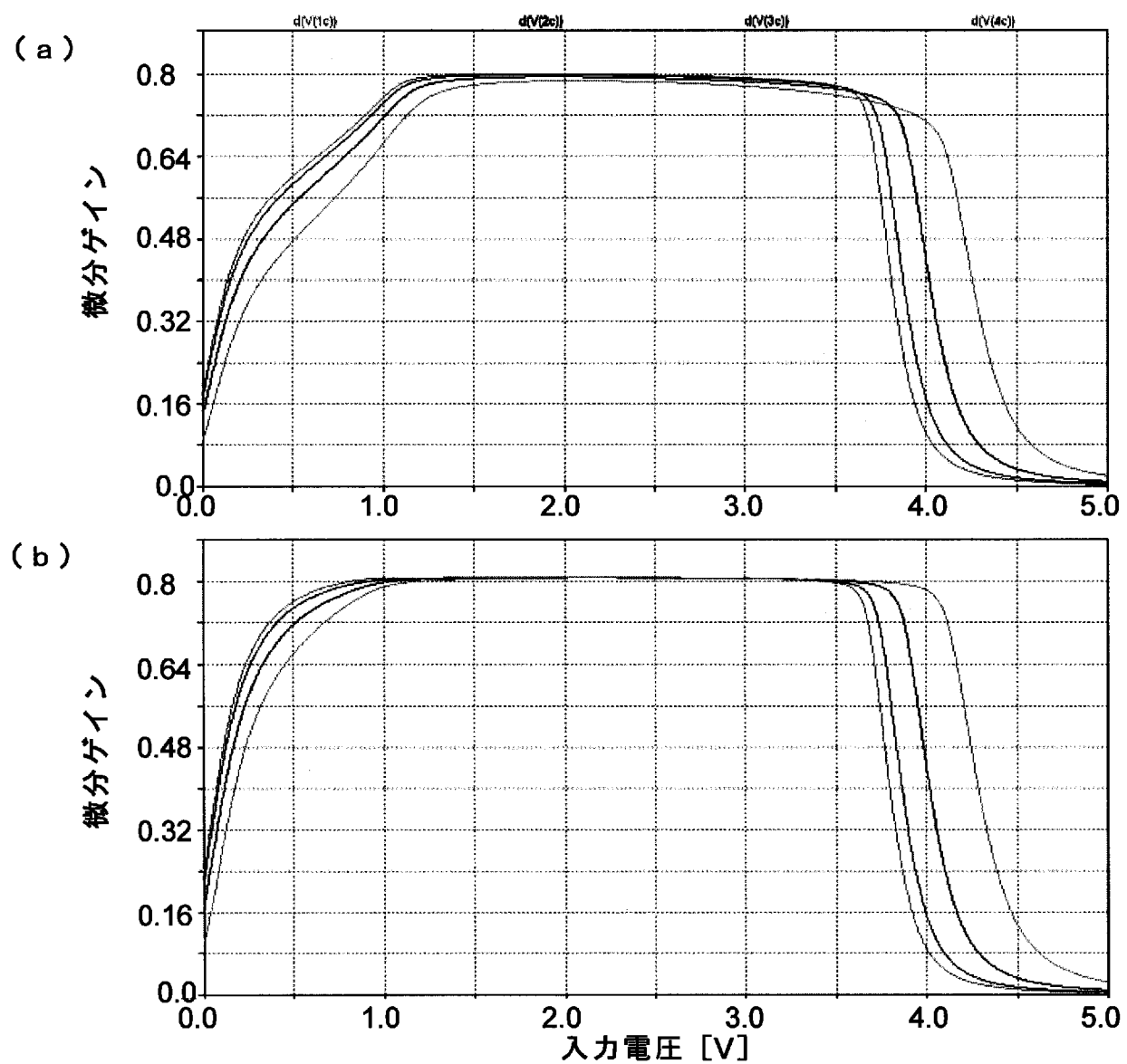
[図5]



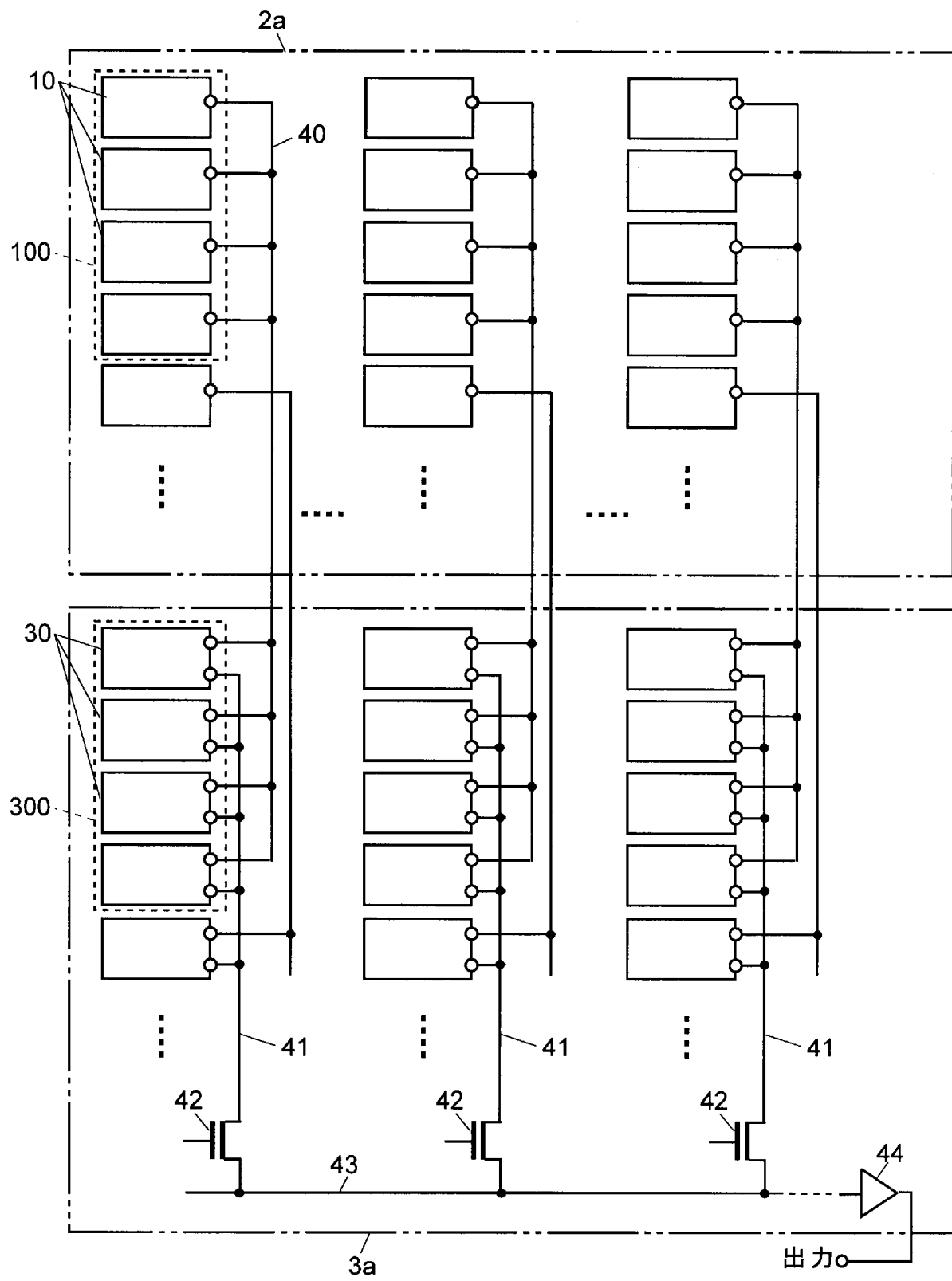
[図6]



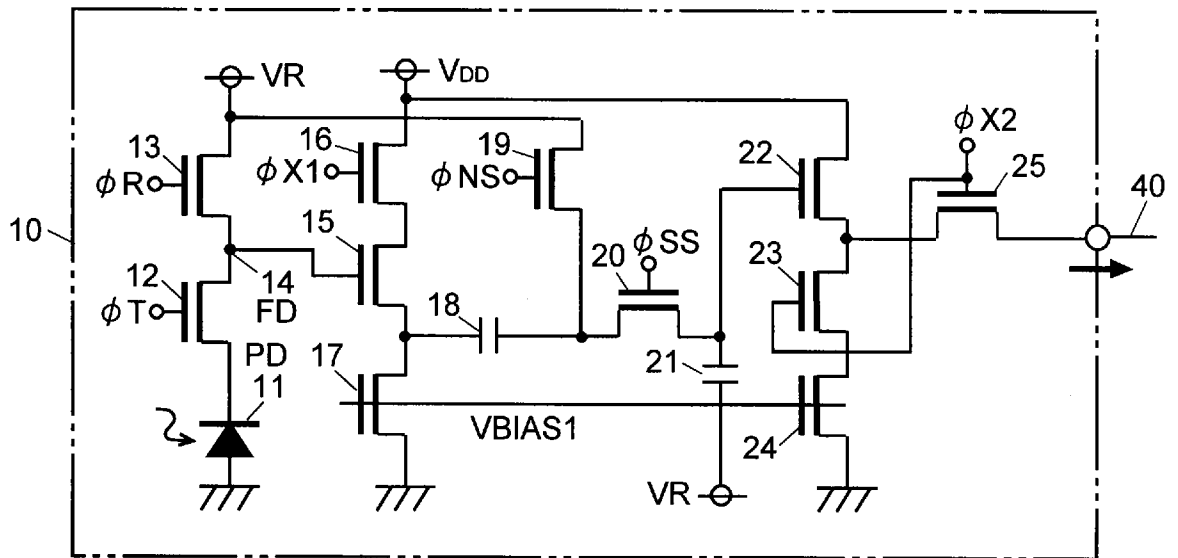
[図7]



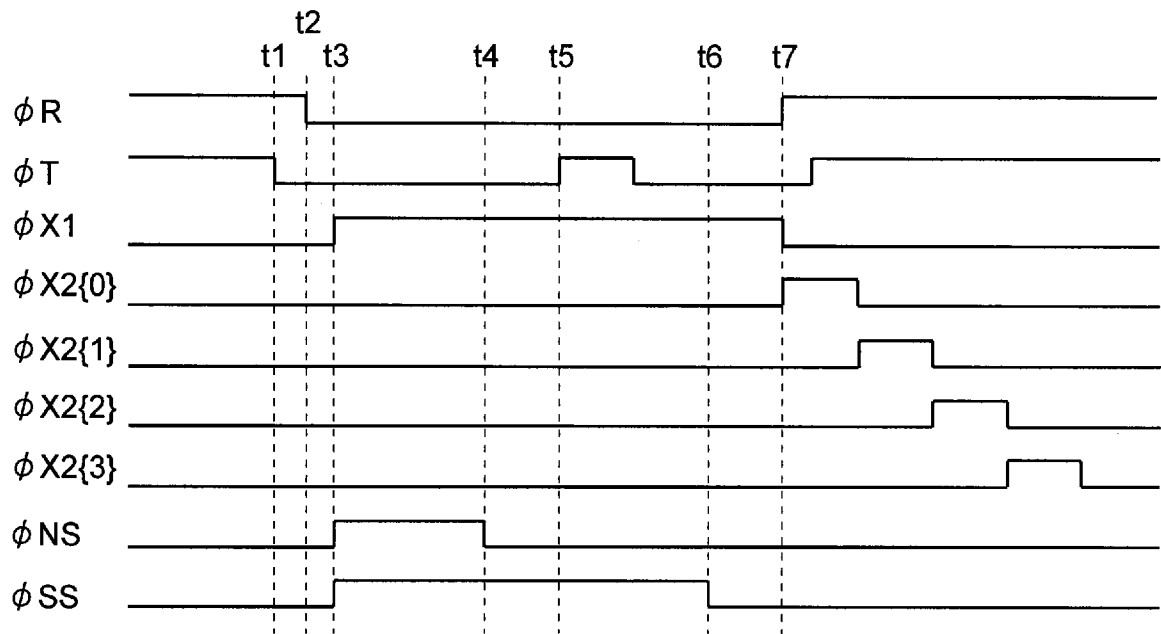
[図8]



[図9]

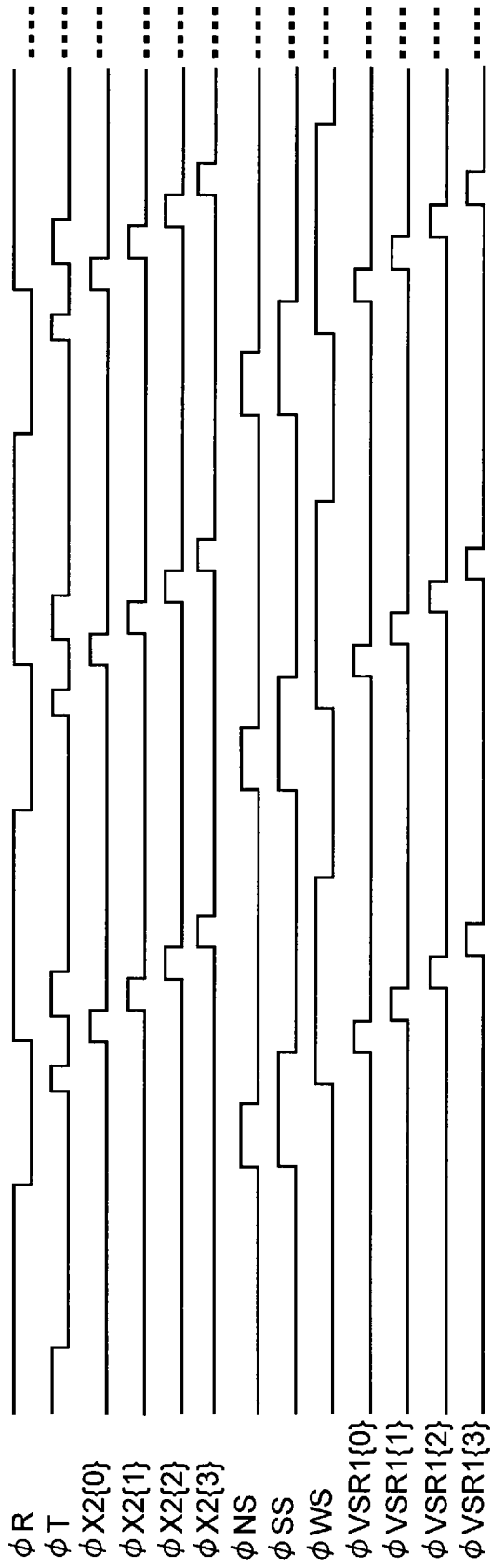


[図10]

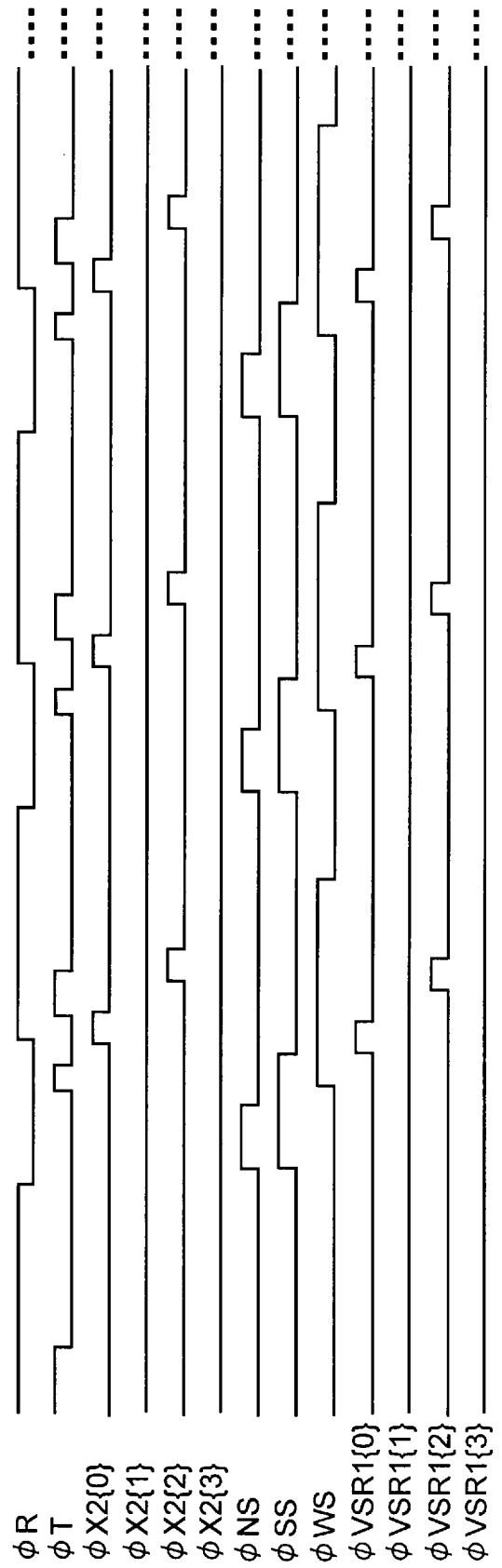


[図11]

(a) バースト・フル画素

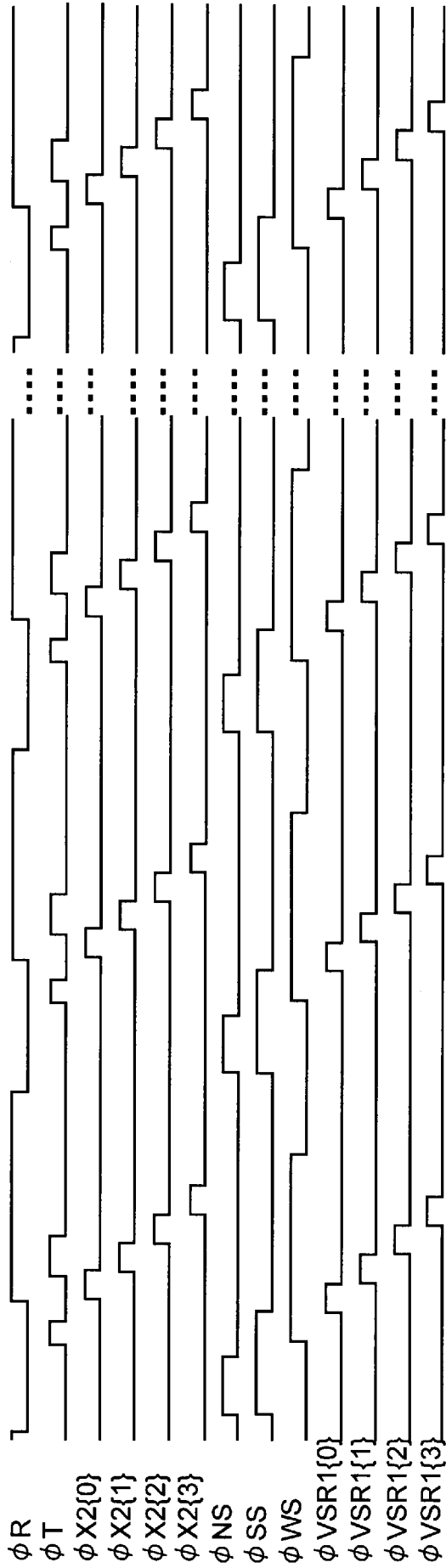


(b) バースト・ハーフ画素

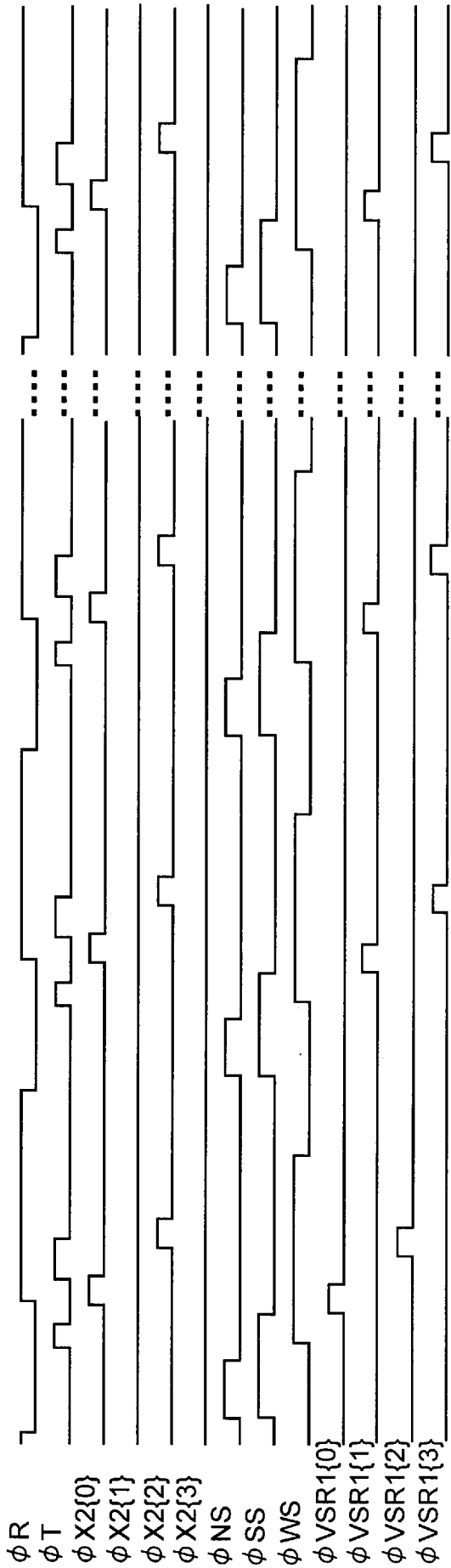


[図12]

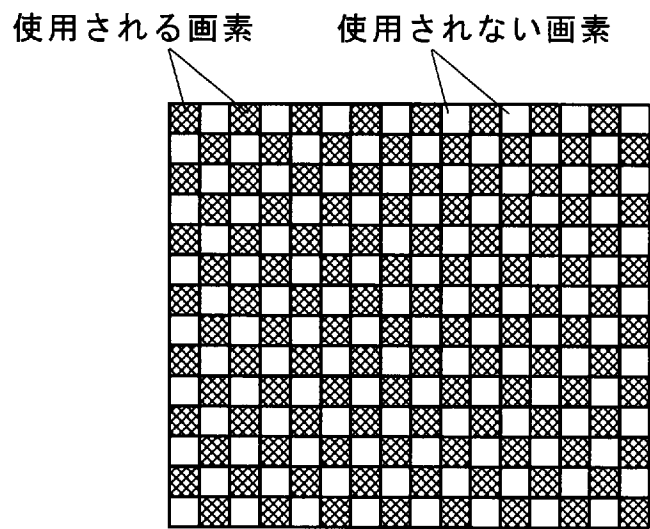
(a) バースト・フル画素



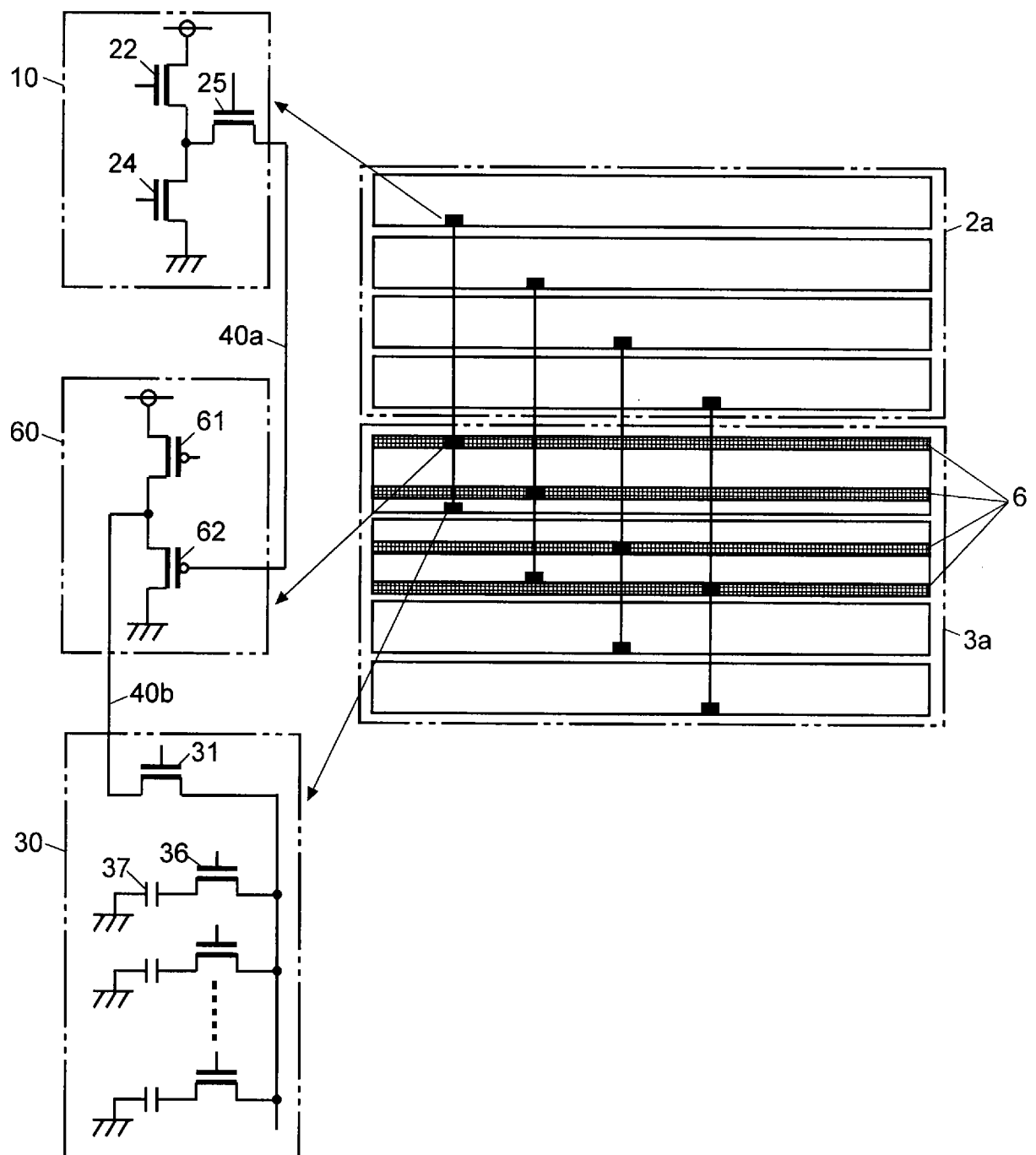
(b) バースト・ハーフ画素



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/052602

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/374(2011.01)i, H01L27/14(2006.01)i, H01L27/146(2006.01)i, H04N5/378(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374, H01L27/14, H01L27/146, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2009/031302 A1 (Tohoku University), 12 March 2009 (12.03.2009), paragraphs [0042] to [0048], [0051], [0053], [0062], [0064], [0106] to [0107], [0109]; fig. 1 to 5, 8, 22 & US 2010/0188538 A1 & EP 2192765 A1 & CN 101796821 A & KR 10-2010-0039884 A	1-8
Y	WO 2009/150828 A1 (Tohoku University), 17 December 2009 (17.12.2009), paragraphs [0044], [0051], [0085]; fig. 1 to 4, 11 & EP 2288142 A1	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 March, 2011 (02.03.11)Date of mailing of the international search report
15 March, 2011 (15.03.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/052602

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-245209 A (Minolta Co., Ltd.), 07 September 2001 (07.09.2001), paragraphs [0020], [0026] to [0028], [0042] to [0043]; fig. 1 to 5 (Family: none)	1-8
Y	JP 2002-57947 A (Konica Corp.), 22 February 2002 (22.02.2002), paragraph [0006] (Family: none)	4-5

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H04N5/374(2011.01)i, H01L27/14(2006.01)i, H01L27/146(2006.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H04N5/374, H01L27/14, H01L27/146, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2009/031302 A1 (国立大学法人東北大学) 2009.03.12, 段落 [0042]-[0048], [0051], [0053], [0062], [0064], [0106]-[0107], [0109], 図 1-5, 8, 22 & US 2010/0188538 A1 & EP 2192765 A1 & CN 101796821 A & KR 10-2010-0039884 A	1-8
Y	WO 2009/150828 A1 (国立大学法人東北大学) 2009.12.17, 段落 [0044], [0051], [0085], 図 1-4, 11 & EP 2288142 A1	1-5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 3 . 2 0 1 1

国際調査報告の発送日

1 5 . 0 3 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

鈴木 肇

5 P

9 8 4 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-245209 A (ミノルタ株式会社) 2001.09.07, 段落【0020】, 【0026】 - 【0028】, 【0042】 - 【0043】, 図 1-5 (ファミリーなし)	1-8
Y	JP 2002-57947 A (コニカ株式会社) 2002.02.22, 段落【0006】 (ファミリーなし)	4-5