



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201729110 A

(43)公開日：中華民國 106 (2017) 年 08 月 16 日

(21)申請案號：105137191

(22)申請日：中華民國 105 (2016) 年 11 月 15 日

(51)Int. Cl. : G06F13/10 (2006.01)

G06F13/38 (2006.01)

(30)優先權：2015/12/10 美國

62/265,877

2016/11/10 美國

15/348,435

(71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：米雪勒 拉朗吉 MISHRA, LALAN JEE (US)；維特佛德 李察多明尼克

WIETFELDT, RICHARD DOMINIC (US)

(74)代理人：李世章

申請實體審查：無 申請專利範圍項數：29 項 圖式數：10 共 66 頁

(54)名稱

具有硬體流控制的增強型串列周邊介面

ENHANCED SERIAL PERIPHERAL INTERFACE WITH HARDWARE FLOW-CONTROL

(57)摘要

用於實現經由串列周邊介面耦合的各設備之間的硬體流控制的系統、方法和裝置。一種用於使用串列周邊介面來傳送資訊的方法，包括：經由斷言從選擇線上的第一電壓狀態來發起在串列周邊介面匯流排的一或多個資料線上的資料交換，在從選擇線保持在第一電壓狀態的同時在該串列周邊介面匯流排上傳送資料和時鐘信號，在從選擇線轉變到第二第一電壓狀態時抑制在該串列周邊介面匯流排上傳送資料和時鐘信號，在從選擇線保持在第一電壓狀態的同時在從設備處將資料接收到接收緩衝器中，以及當該接收緩衝器的佔用率達到或超過閾值佔用率水平時，斷言該從選擇線上的第二電壓狀態。

Systems, methods, and apparatus for implementing hardware flow control between devices coupled through a serial peripheral interface. A method for transmitting information using a serial peripheral interface includes initiating an exchange of data over one or more data lines of a serial peripheral interface bus by asserting a first voltage state on a slave select line, transmitting data and clock signals over the serial peripheral interface bus while the slave select line remains at the first voltage state, refraining from transmitting data and clock signals over the serial peripheral interface bus when the slave select line transitions to a second first voltage state, receiving data at a slave device into a receive buffer while the slave select line remains at the first voltage state, and asserting the second voltage state on the slave select line when occupancy of the receive buffer reaches or exceeds a threshold occupancy level.

指定代表圖：

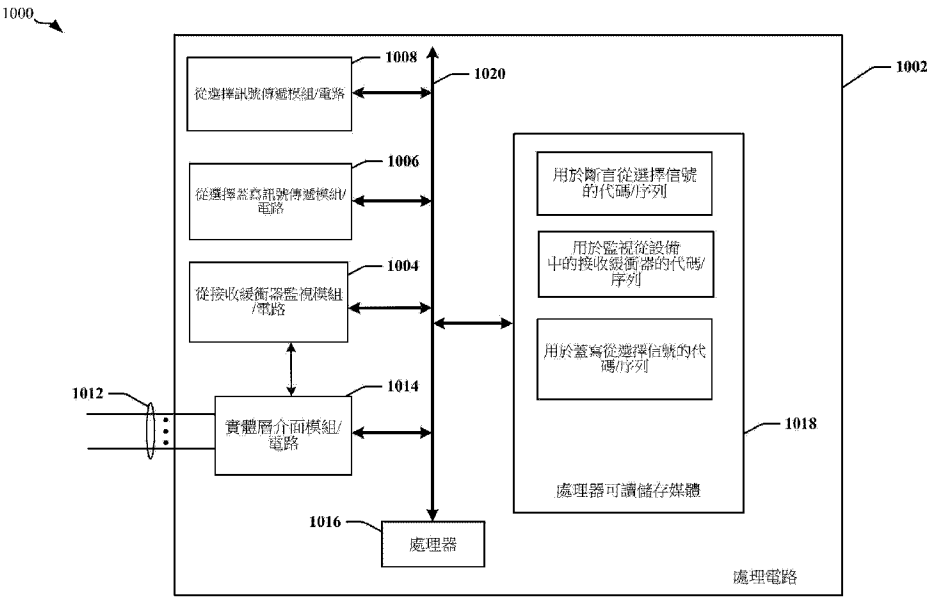


圖 10

符號簡單說明：

- 1000 . . . 裝置
- 1002 . . . 處理電路
- 1004 . . . 模組或電路
- 1006 . . . 模組或電路
- 1008 . . . 模組或電路
- 1012 . . . 串列周邊介面匯流排
- 1014 . . . 實體層電路
- 1016 . . . 處理器
- 1018 . . . 電腦可讀取儲存媒體



【發明摘要】

【中文發明名稱】具有硬體流控制的增強型串列周邊介面

【英文發明名稱】ENHANCED SERIAL PERIPHERAL INTERFACE WITH
HARDWARE FLOW-CONTROL

【中文】

用於實現經由串列周邊介面耦合的各設備之間的硬體流控制的系統、方法和裝置。一種用於使用串列周邊介面來傳送資訊的方法，包括：經由斷言從選擇線上的第一電壓狀態來發起在串列周邊介面匯流排的一或多個資料線上的資料交換，在從選擇線保持在第一電壓狀態的同時在該串列周邊介面匯流排上傳送資料和時鐘信號，在從選擇線轉變到第二第一電壓狀態時抑制在該串列周邊介面匯流排上傳送資料和時鐘信號，在從選擇線保持在第一電壓狀態的同時在從設備處將資料接收到接收緩衝器中，以及當該接收緩衝器的佔用率達到或超過閾值佔用率水平時，斷言該從選擇線上的第二電壓狀態。

【英文】

Systems, methods, and apparatus for implementing hardware flow control between devices coupled through a serial peripheral interface. A method for transmitting information using a serial peripheral interface includes initiating an exchange of data over one or more data lines of a serial peripheral interface bus by asserting a first voltage state on a slave select line, transmitting data and clock signals over the serial peripheral interface bus while the slave select line remains at the first voltage state, refraining from transmitting data and clock signals over the serial peripheral

申請案號：

申請日：

IPC 分類：

interface bus when the slave select line transitions to a second first voltage state, receiving data at a slave device into a receive buffer while the slave select line remains at the first voltage state, and asserting the second voltage state on the slave select line when occupancy of the receive buffer reaches or exceeds a threshold occupancy level.

【指定代表圖】第（ 10 ）圖。

【代表圖之符號簡單說明】

1 0 0 0 裝置

1 0 0 2 處理電路

1 0 0 4 模組或電路

1 0 0 6 模組或電路

1 0 0 8 模組或電路

1 0 1 2 串列周邊介面匯流排

1 0 1 4 實體層電路

1 0 1 6 處理器

1 0 1 8 電腦可讀取儲存媒體

【特徵化學式】

無

【發明說明書】

【中文發明名稱】具有硬體流控制的增強型串列周邊介面

【英文發明名稱】ENHANCED SERIAL PERIPHERAL INTERFACE WITH
HARDWARE FLOW-CONTROL

【技術領域】

【0001】 相關申請案的交叉引用：本專利申請案主張於2015年12月10日向美國專利商標局提交的臨時專利申請案第62/265,877號以及於2016年11月10日向美國專利商標局提交的非臨時專利申請案第15/348,435號的優先權及其權益。

【0002】 本案一般係關於串列周邊介面的操作，尤其係關於串列周邊介面中硬體流控制的實現。

【先前技術】

【0003】 行動通訊設備可包括各種各樣的組件，包括電路板、積體電路（IC）設備及/或片上系統（SoC）設備。各組件可包括經由串列匯流排進行通訊的處理設備、使用者介面組件、儲存和其他周邊元件。通用序列介面在本發明所屬領域公知，包括串列周邊介面（SPI），其通常被包括在行動通訊設備中以便在處理器與各種周邊設備之間提供同步串列通訊。

【0004】 在一個實例中，SoC用作SPI主設備，該SPI主設備經由SPI匯流排耦合至被配置為從SPI設備的周邊設備。主設備在SPI匯流排的時鐘線上提供時鐘信號，其中該時鐘信號控制主設備與從設備之間的同步串列資

料交換。可以使用SPI匯流排的兩個或兩個以上資料線來傳達資料。由於資料線中的一者或多者可以由多個從設備共享，所以SPI匯流排為每一從設備提供從選擇線以控制對共享資料線的存取。

【0005】 採用SPI匯流排的習知系統可以實現基於軟體的流控制，其將等待時間引入通訊鏈路。等待時間在諸如用於顯示器覆蓋觸摸介面的介面中或者在具有如經由到NOR-FLASH（快閃記憶體）的SPI介面實現的原地執行（XIP）方法的系統中可能是有問題的。當前SPI介面技術越來越難以滿足越來越多的鏈路輸送量以及快速回應流控制要求。

【0006】 隨著行動通訊設備繼續包括更高級的功能性，需要改善的串列通訊技術來支援周邊設備與應用處理器之間的低等待時間傳輸。

【發明內容】

【0007】 本案的某些態樣涉及能夠為使用SPI匯流排耦合至主設備的從設備提供經最佳化的低等待時間硬體流控制的系統、裝置、方法和技術。硬體流控制可以在不在從設備或主設備上指派額外引腳的情況下被實現。

【0008】 在本案的各態樣，一種用於使用串列周邊介面來傳送資訊的方法，包括：在主設備處，經由斷言從選擇線上的第一電壓狀態來發起在串列周邊介面匯流排的一或多個資料線上的資料交換；在從選擇線保持在第一電壓狀態的同時在該串列周邊介面匯流排上從主設備傳送資

料和時鐘信號；在從選擇線轉變到第二第一電壓狀態時抑制在該串列周邊介面匯流排上從主設備傳送資料和時鐘信號；在從選擇線保持在第一電壓狀態的同時在從設備處將資料接收到接收緩衝器中；及當接收緩衝器的佔用率達到或超過閾值佔用率水平時，由從設備斷言從選擇線上的第二電壓狀態。

【0009】 在一些態樣，主設備具有第一驅動器電路，該第一驅動器電路被配置成使用高阻抗輸出將從選擇線驅動至第一電壓狀態，並且從設備具有第二驅動器電路，該第二驅動器電路被配置成使用低阻抗輸出將從選擇線驅動至第一電壓狀態。第一驅動器電路和第二驅動器電路的阻抗被選擇成，使得當高阻抗輸出試圖將從選擇線驅動至第一電壓狀態時低阻抗輸出被啟用以將從選擇線驅動至第二電壓狀態，並且反之亦然。

【0010】 在一些態樣，斷言從選擇線上的第一電壓狀態包括致使主設備的線驅動器將從選擇線朝向第一電壓狀態驅動，並且在從選擇線達到第一電壓狀態時致使主設備的線驅動器進入開路操作模式。主設備可包括保持器電路，該保持器電路被配置成線上驅動器已進入開路操作模式之後維持從選擇線的訊號傳遞狀態。

【0011】 在一態樣，該方法可包括，在從設備已經斷言從選擇線上的第二電壓狀態後，當接收緩衝器的佔用率落在閾值佔用率水平之下時，使用從設備的線驅動器來斷言從選擇線上的第一電壓狀態。

【0012】 在一些態樣，該方法包括在從設備處監視接收緩衝器的佔用率，監視從選擇線的電壓狀態，以及在從選擇線的電壓狀態處於第一電壓狀態並且佔用率處於等於或超過閾值佔用率水平的水平時致使從設備的驅動器將從選擇線驅動至第二電壓狀態。該方法可包括在致使線驅動器電路斷言第二電壓狀態之後並且在佔用率落在低於閾值佔用率水平之下的水平之後使從選擇線返回至第一電壓狀態。

【0013】 在本案的各態樣，一種裝置具有多線串列周邊介面匯流排、耦合至該串列周邊介面匯流排的主設備、以及耦合至該串列周邊介面匯流排的從設備，其中從設備具有接收緩衝器。主設備可以被適配成斷言從選擇線上的第一電壓狀態以發起在串列周邊介面匯流排的一或多個資料線上的資料交換。主設備可以被適配成在從選擇線保持在第一電壓狀態的同時在串列周邊介面匯流排的時鐘線上傳送時鐘信號。資料交換可以與該時鐘信號同步。主設備可以被適配成在從選擇線處於第二電壓狀態的同時抑制在一或多個資料線上傳送資料。從設備可以被適配成在從選擇線保持在第一電壓狀態的同時將資料接收到接收緩衝器中，並且在接收緩衝器的佔用率達到或超過閾值佔用率水平時斷言從選擇線上的第二電壓狀態。

【0014】 在一些態樣，主設備包括第一驅動器電路，該第一驅動器電路被配置成使用高阻抗輸出將從選擇線驅動至第一電壓狀態，並且從設備包括第二驅動器電路，該

第二驅動器電路被配置成使用低阻抗輸出將從選擇線驅動至第一電壓狀態。第一驅動器電路和第二驅動器電路的阻抗可以被選擇成，使得當高阻抗輸出試圖將從選擇線驅動至第一電壓狀態時低阻抗輸出被啟用以將從選擇線驅動至第二電壓狀態。

【0015】 在一些態樣，主設備可以被適配成經由致使線驅動器將從選擇線朝向第一電壓狀態驅動並且在從選擇線達到第一電壓狀態時致使線驅動器進入開路操作模式來斷言第一電壓狀態。主設備可包括保持器電路，該保持器電路被配置成線上驅動器已進入開路操作模式之後維持從選擇線的訊號傳遞狀態。

【0016】 在一態樣，從設備被適配成在斷言從選擇線上的第二電壓狀態之後並且在接收緩衝器的佔用率落在閾值佔用率水平之下時斷言從選擇線上的第一電壓狀態。

【0017】 在一些態樣，從設備包括流控制決策電路，該流控制決策電路被配置成監視接收緩衝器的佔用率，監視從選擇線的電壓狀態，並且在從選擇線的電壓狀態處於第一電壓狀態並且佔用率處於等於或超過閾值佔用率水平的水平時致使線驅動器電路斷言從選擇線上的第二電壓狀態。該流控制決策電路可被配置成在致使線驅動器電路斷言第二電壓狀態之後並且在佔用率落在低於閾值佔用率水平之下的水平之後致使線驅動器電路使從選擇線返回至第一電壓狀態。

【0018】 在本案的各態樣，一種裝備，包括：用於斷言串列周邊介面匯流排的從選擇線上的第一電壓狀態的裝置，用於在該串列周邊介面匯流排上傳送資料和時鐘信號的裝置。第一電壓狀態可以在從選擇線上被斷言以發起在串列周邊介面匯流排的一或多個資料線上的資料交換。用於傳送資料和時鐘信號的裝置可被配置成在從選擇線保持在第一電壓狀態的同時從主設備向從設備傳送資料，並且在從選擇線從第一電壓狀態轉變到第二電壓狀態時抑制從主設備向從設備傳送資料。從設備可以被配置成在從選擇線保持在第一電壓狀態的同時將資料接收到接收緩衝器中，並且在接收緩衝器的佔用率達到或超過閾值佔用率水平時斷言從選擇線上的第二電壓狀態。

【0019】 在一些態樣，主設備可包括第一驅動器電路，該第一驅動器電路被配置成使用高阻抗輸出將從選擇線驅動至第一電壓狀態，並且從設備可包括第二驅動器電路，該第二驅動器電路被配置成使用低阻抗輸出將從選擇線驅動至第一電壓狀態。第一驅動器電路和第二驅動器電路的阻抗可以被選擇成，使得當高阻抗輸出試圖將從選擇線驅動至第一電壓狀態時低阻抗輸出被啟用以將從選擇線驅動至第二電壓狀態。

【0020】 在一些態樣，用於斷言從選擇線上的第一電壓狀態的裝置可被配置成致使主設備的線驅動器將從選擇線朝向第一電壓狀態驅動，並且在從選擇線達到第一電壓狀態時致使主設備的線驅動器進入開路操作模式。主設備

可包括保持器電路，該保持器電路被配置成線上驅動器已進入開路操作模式之後維持從選擇線的訊號傳遞狀態。

【0021】 在一些態樣，從設備可被配置成監視從設備處的接收緩衝器的佔用率，監視從選擇線的電壓狀態，以及在從選擇線的電壓狀態處於第一電壓狀態並且佔用率處於等於或超過閾值佔用率水平的水平時將從選擇線驅動至第二電壓狀態。用於斷言從選擇線上的第一電壓狀態的裝置可被配置成在從設備停止驅動從選擇線之後使從選擇線返回至第一電壓狀態。

【0022】 在各態樣，耦合至串列周邊介面的從設備具有：耦合至串列周邊介面的從選擇線的接收電路，被配置成用低阻抗選擇性地驅動串列周邊介面的從選擇線的線驅動器，被配置成從串列周邊介面接收資料的接收緩衝器，以及流控制邏輯。該流控制邏輯可以被配置成監視接收電路的輸出以決定從設備何時被選擇成用於在串列周邊介面上進行通訊，監視從設備處的接收緩衝器的佔用率，以及在從設備被選擇成用於通訊並且接收緩衝器的佔用率處於等於或超過閾值佔用率水平的水平時致使線驅動器將從選擇線驅動至第二電壓位準。當從選擇線處於第一電壓位準時，從設備可以被選擇成用於進行通訊。

【0023】 在一態樣，該流控制邏輯可以被配置成在接收緩衝器的佔用率落在低於閾值佔用率水平的水平之後致使從選擇線返回至第一電壓位準。線驅動器可以被配置成用輸出阻抗將從選擇線驅動至第二電壓位準，該輸出阻抗

低於由主設備用來將從選擇線驅動至第一電壓狀態的驅動器的輸出阻抗。

【0024】 在一些態樣，該流控制邏輯可以被適配成在接收緩衝器的佔用率處於低於閾值佔用率水平的水平時將線驅動器配置成用低阻抗來驅動從選擇線，以及在接收緩衝器的佔用率處於低於閾值佔用率水平的水平時將線驅動器配置成進入開路操作模式。該流控制邏輯可以被配置成線上驅動器進入開路操作模式之前致使線驅動器將從選擇線驅動至第一電壓位準。保持器電路可以被配置成線上驅動器已進入開路操作模式之後維持從選擇線的訊號傳遞狀態。

【0025】 在本案的各態樣，揭示一種處理器可讀儲存媒體。該儲存媒體可以是非瞬態儲存媒體，並且可以儲存代碼，該代碼在由一或多個處理器執行時致使該一或多個處理器：經由斷言從選擇線上的第一電壓狀態來發起在串列周邊介面匯流排的一或多個資料線上的資料交換，在從選擇線保持在第一電壓狀態的同時在該串列周邊介面匯流排上從主設備傳送資料和時鐘信號，以及在從選擇線從第一電壓狀態轉變到第二電壓狀態時抑制在該串列周邊介面匯流排上從主設備傳送資料和時鐘信號。在從選擇線保持在第一電壓狀態的同時資料可以被接收到接收緩衝器中，並且從設備可以被配置成在接收緩衝器的佔用率達到或超過閾值佔用率水平時斷言從選擇線上的第二電壓狀態。

【0026】 在一些態樣，主設備可包括第一驅動器電路，該第一驅動器電路被配置成使用高阻抗輸出將從選擇線驅動至第一電壓狀態。從設備可包括第二驅動器電路，該第二驅動器電路被配置成使用低阻抗輸出將從選擇線驅動至第一電壓狀態。第一驅動器電路和第二驅動器電路的阻抗可以被選擇成，使得當高阻抗輸出試圖將從選擇線驅動至第一電壓狀態時低阻抗輸出被啟用以將從選擇線驅動至第二電壓狀態。

【0027】 在一些態樣，可以經由致使主設備的線驅動器將從選擇線朝向第一電壓狀態驅動，並且在從選擇線達到第一電壓狀態時致使主設備的線驅動器進入開路操作模式來斷言從選擇線上的第一電壓狀態。主設備可包括保持器電路，該保持器電路被配置成線上驅動器已進入開路操作模式之後維持從選擇線的訊號傳遞狀態。

【0028】 在一些態樣，在從設備已經斷言從選擇線上的第二電壓狀態之後，當接收緩衝器的佔用率落在閾值佔用率水平之下時，從設備可以使用線驅動器來斷言從選擇線上的第一電壓狀態。從設備可以被配置成監視從設備處的接收緩衝器的佔用率，監視從選擇線的電壓狀態，以及在從選擇線的電壓狀態處於第一電壓狀態並且佔用率處於等於或超過閾值佔用率水平的水平時將從選擇線驅動至第二電壓狀態。在從設備已斷言第二電壓狀態之後並且在佔用率落在低於閾值佔用率水平之下的水平之後從選擇線可以被返回至第一電壓狀態。

【圖式簡單說明】

【0029】 圖1圖示了在各IC設備之間採用資料連結的裝置，該資料連結根據多個可用標準之一來選擇性地操作。

【0030】 圖2圖示了可根據本文揭示的某些態樣適配的雙數據線串列周邊介面的某些態樣。

【0031】 圖3圖示了可根據本文揭示的某些態樣適配的四串列周邊介面的某些態樣。

【0032】 圖4圖示了根據本文揭示的某些態樣的被適配成提供硬體流控制的雙數據線串列周邊介面。

【0033】 圖5圖示了根據本文所揭示的某些態樣的可被用於提供硬體流控制的線驅動電路的實例。

【0034】 圖6圖示了可根據本文揭示的某些態樣實現的流控制的第一實例。

【0035】 圖7圖示了可根據本文揭示的某些態樣實現的流控制的第二實例。

【0036】 圖8圖示採用可根據本文所揭示的某些態樣適配的處理電路的裝置的一個實例。

【0037】 圖9是圖示根據本文揭示的某些態樣的被適配成致使從設備獲得多個動態位址的應用處理器的某些操作的流程圖。

【0038】 圖10圖示了根據本文揭示的某些態樣的被適配成對多個動態位址作出回應的裝置的硬體實現的第一實例。

【實施方式】

【0039】 以下結合附圖闡述的詳細描述意欲作為各種配置的描述，而無意表示可實踐本文所描述的概念的僅有配置。本詳細描述包括具體細節以提供對各種概念的透徹理解。然而，對於本發明所屬領域中具有通常知識者將顯而易見的是，沒有這些具體細節亦可實踐這些概念。在一些實例中，以方塊圖形式示出眾所周知的結構和組件以避免湮沒此類概念。

【0040】 現在將參照各種裝置和方法提供本發明的若干態樣。這些裝置和方法將在以下詳細描述中進行描述並在附圖中由各種方塊、模組、組件、電路、步驟、程序、演算法等（統稱為「元素」）來圖示。這些元素可使用電子硬體、電腦軟體或其任何組合來實現。此類元素是實現成硬體還是軟體取決於具體應用和加諸於整體系統上的設計約束。

概覽

【0041】 包括多個SoC的設備和其他IC設備常常採用串列匯流排來將處理器與數據機和其他周邊設備連接。該串列匯流排可以根據所定義的多個協定來操作。在一個實例中，串列周邊介面（SPI）可用於使耦合至支援資料和時鐘信號的匯流排的多個設備互連。主設備使用從選擇信號來選擇多個從設備之一。點到點通訊在主設備與所選從設備之間進行。在各實例中，SPI匯流排可被配置為2資料線SPI介面或4資料線四串列周邊介面（QSPI）。在2

資料線 SPI 中，資料線是單向的，而在 QSPI 中，資料線可以是雙向的。QSPI 可以比 2 資料線 SPI 提供更高的資料率。這兩種 SPI 類型使用呈扇形散開至所有從設備的專用時鐘線。這兩種 SPI 類型使用專用從選擇線，而主設備為該主設備所耦合的每一從設備提供至少一個從選擇。

【0042】根據本文揭示的某些態樣，耦合至 SPI 的各設備可以被適配成提供實體鏈路級硬體流控制而不向主設備和從設備增加引腳。在一些例子中，主設備和從設備上的從選擇線可以被適配成准許將從選擇線用作流控制信號。當從選擇線為活躍低或活躍高時，這些技術適用。

採用串列資料連結的裝置的實例

【0043】根據某些態樣，串列資料連結可被用於將作為裝置的子組件的電子設備互連，該裝置諸如蜂巢式電話、智慧型電話、對話啟動協定（SIP）電話、膝上型設備、筆記本、小筆電、智慧型電腦、個人數位助理（PDA）、衛星無線電、全球定位系統（GPS）設備、智慧家用設備、智慧照明設備、多媒體設備、視訊設備、數位音訊播放機（例如，MP3 播放機）、相機、遊戲控制台、娛樂設備、車載組件、可穿戴計算設備（例如，智慧手錶、健康或健身追蹤器、眼鏡等）、電器、感測器、安全設備、自動售貨機、智慧電錶、遙控飛機、多旋翼直升機、或任何其他類似的功能設備。

【0044】圖 1 圖示了可採用資料通訊匯流排的裝置 100 的實例。裝置 100 可包括具有多個電路或設備 104、106

及/或108的處理電路102。電路或設備104、106及/或108中的至少一些可以被實現在一或多個ASIC或SoC中。在一個實例中，裝置100可以是通訊設備，並且處理電路102可包括ASIC 104中提供的處理設備，一或多個周邊設備106，以及使該裝置能夠經由天線124與無線電存取網路、核心存取網路、網際網路及/或另一網路通訊的收發機108。

【0045】 ASIC 104可具有一或多個處理器112、一或多個數據機110、板載記憶體114、匯流排介面電路116及/或其他邏輯電路或功能。處理電路102可以受到提供應用程式設計介面（API）層的作業系統的控制，應用程式設計介面（API）層使得一或多個處理器112能夠執行常駐在板載記憶體114或處理電路102上提供的其他處理器可讀儲存122中的軟體模組。軟體模組可包括儲存在板載記憶體114或處理器可讀儲存122中指令和資料。ASIC 104可以存取其板載記憶體114、處理器可讀儲存122、及/或處理電路102外部的儲存。板載記憶體114及/或處理器可讀儲存122可包括唯讀記憶體（ROM）或隨機存取記憶體（RAM）、電子可抹除可程式設計ROM（EEPROM）、快閃記憶卡、或可以在處理系統和計算平臺中使用的任何記憶體設備。處理電路102可包括、實現或能夠存取本端資料庫或其他參數儲存，該本端資料庫或其他參數儲存可維護用於配置和操作裝置100及/或處理電路102的工作參數和其他資訊。可使用暫存器、資料

庫模組、快閃記憶體、磁性媒體、EEPROM、軟碟或硬碟等來實現本端資料庫。處理電路102亦可以可操作地耦合至外部設備，諸如天線124、顯示器126、操作者控制項（諸如開關或按鈕128、130及/或整合或外部按鍵板132）、以及其他組件。使用者介面模組可被配置成經由專用通訊鏈路或經由一或多個串列資料互連與顯示器126一起操作，顯示器126可以是觸敏的並且可以接受使用者輸入、小鍵盤132等。

【0046】 處理電路102可以提供使得某些設備104、106及/或108能夠進行通訊的一或多個匯流排118a、118b、120。在一個實例中，ASIC 104可包括匯流排介面電路116，匯流排介面電路116包括電路、計數器、計時器、控制邏輯、和其他可配置電路或模組的組合。在一個實例中，匯流排介面電路116可被配置成根據某些通訊規定或協定操作。處理電路102可包括或控制配置並且管理裝置100的操作的功率管理功能。

串列周邊介面的實例

【0047】 圖2圖示了2資料線SPI 200的某些態樣。主設備202可以被納入SoC中，SoC用作應用處理器、主機處理器、或裝置或系統的其他功能組件。主設備202經由多線纜匯流排210耦合至多個從設備204、206、208。主設備202經由多線纜匯流排210的主出從進線（MOSI線216）將資料驅動至從設備204、206、208。從設備

204、206、208可以各自經由多線纜匯流排210的共享主進從出線（MISO線214）將資料驅動至主設備202。

【0048】多線纜匯流排210包括針對每一從設備204、206、208的至少一個從選擇線218、220、222。如所圖示的，第一從選擇線218（SSI）控制第一從設備204的匯流排存取，第二從選擇線220（SS2）控制第二從設備206的匯流排存取，並且第三從選擇線222（SS3）控制第三從設備208的匯流排存取。主設備202可以斷言從選擇線218、220、222以致使對應的從設備204、206、208經由MOSI線216接收資料及/或向對應從設備204、206、208授予許可以在MISO線214上進行傳送。

【0049】在一個實例中，當低電壓位準被施加到從選擇線218、220、222時從選擇線218、220、222不被斷言，而從選擇線218、220、222經由將從選擇線218、220、222驅動至高電壓位準（例如，朝向電源位準）來被斷言。在另一實例中，當高電壓位準（例如，電源位準）被施加到從選擇線218、220、222時從選擇線218、220、222不被斷言，而從選擇線218、220、222經由將從選擇線218、220、222驅動至低電壓位準而被斷言。對於每一從選擇線218、220、222，主設備202中的驅動器可以被用來基於針對從選擇線218、220、222期望的斷言狀態來對從選擇線218、220、222充電和放電。

【0050】 根據多線纜匯流排210的時鐘線212上提供的時鐘信號，在主設備202和從設備204、206、208之間傳送資料。資料訊號傳遞在MISO線214和MOSI線216中的每一者上是單向的。在與在MOSI線216上傳送遞資料的方向相反的方向上在MISO線214上傳遞資料。MISO線214和MOSI線216上的資料傳遞被同步到時鐘線212上提供的時鐘信號。

【0051】 圖3圖示了四串列周邊介面（QSPI）300的某些態樣。主設備302可以被納入SoC中，SoC用作應用處理器、主機處理器、或裝置或系統的其他功能組件。主設備302經由多線纜匯流排308耦合至多個從設備304、306、310。主設備302經由多線纜匯流排310的四線纜資料通道314來與從設備304、306、308交換資料。四線纜資料通道314可被用於提供比圖2中圖示的雙線纜單向訊號傳遞方案更大的資料傳遞率。

【0052】 多線纜匯流排310包括針對每一從設備304、306、308的至少一個從選擇線。如所圖示的，第一從選擇線316（SSI）控制第一從設備304的匯流排存取，第二從選擇線318（SS2）控制第二從設備306的匯流排存取，並且第三從選擇線320（SS3）控制第三從設備304的匯流排存取。主設備302可以斷言從選擇線316、318、320以致使對應的從設備304、306、308向對應的從設備304、306、308授予許可以經由資料通道314傳送或接收資料。

【0053】 在一個實例中，當低電壓位準被施加到從選擇線316、318、320時從選擇線316、318、320不被斷言，而從選擇線316、318、320經由將從選擇線316、318、320驅動至高電壓位準（例如，朝向電源位準）來被斷言。在另一實例中，當高電壓位準（例如，電源位準）被施加到從選擇線316、318、320時從選擇線316、318、320不被斷言，而從選擇線316、318、320經由將從選擇線316、318、320驅動至低電壓位準而被斷言。對於每一從選擇線316、318、320，主設備302中的驅動器可以被用來基於針對從選擇線316、318、320期望的斷言狀態來對從選擇線316、318、320充電和放電。

【0054】 根據多線纜匯流排310的時鐘線312上提供的時鐘信號，在主設備302和從設備304、306、208之間傳送資料。資料通道314上的資料傳遞被同步到時鐘線312上提供的時鐘信號。

針對SPI的硬體流控制

【0055】 根據本文揭示的某些態樣適配的SPI主設備和SPI從設備可被配置成在經由SPI匯流排通訊時實現硬體流控制。本文所揭示的技術適用於不同類型的SPI匯流排，包括2資料線SPI 200和QSPI 300。硬體流控制使得從設備能夠指示準備好接收主設備202、302傳送的資料。例如，當從設備204、206、208、304、306、308上的接收緩衝器是滿的或者不具有足夠的容量來接

收新發起的資料傳輸時，從設備 204、206、208、304、306、308 可指示它未準備好接收資料。

【0056】 圖 4 圖示了已經根據本文揭示的某些態樣適配的 2 資料線 SPI 400。主設備 402 耦合至至少一個從設備 404。在這一實例中，假定從選擇線（SS1 線 420）被主設備 402 驅動至高電壓狀態以使得從設備 404 能夠與主設備 402 通訊。在其他實例中，SS1 線 420 可以被主設備 402 驅動至低電壓狀態以使得從設備 404 能夠與主設備 402 通訊。

【0057】 適配使得 SS1 線 420 能夠被主設備 402 和對應的從設備 404 兩者驅動。主設備 402 經由主出從進線（MOSI 線 414）將資料傳送到從設備 404。當從設備 404 被 SS1 線 420 上的訊號傳遞狀態啟用時，從設備 404 可以經由共享主進從出線（MISO 線 412）將資料驅動至主設備 402。主設備 402 可以斷言 SS1 線 420 上的使能訊號傳遞狀態以准許從設備 404 傳送及 / 或接收資料。根據時鐘線上提供的時鐘信號在主設備 402 和從設備 404 之間傳送資料。

【0058】 在涉及從設備 404 的讀或寫操作中，主設備 402 將 SS1 線 420 驅動至高電壓狀態以選擇從設備 404。SS1 線 420 被主設備 402 使用驅動器 406 以高輸出阻抗來驅動。從設備 404 可以被適配成讀取 SS1 線 420 和驅動 SS1 線 420 兩者。從設備 404 可包括被配置成偵測 SS1 線 420 的訊號傳遞狀態的接收器 418。從設備 404 可

以經由使用線驅動器 416 以低輸出阻抗將 SS1 線 420 驅動至低電壓狀態來斷言流控制。主設備 402 包括被配置成讀取 SS1 線 420 的訊號傳遞狀態的線接收器 408。主設備 402 可以經由停止向從設備 404 的資料傳輸來對從設備 404 斷言的低電壓狀態作出回應。

【0059】 圖 5 圖示了根據本文揭示的某些態樣可被用於驅動 SS1 線 420 的線介面電路 502、512 的實例 500。當從設備 404 希望斷言流控制時，SS1 線 420 可以被主設備 402 和從設備 404 同時驅動。主設備 402 中的線介面電路 502 包括線驅動器（Tx 驅動器 504），該線驅動器具有高阻抗輸出並且微弱地斷言 SS1 線 420，不管斷言是高電壓狀態還是低電壓狀態。從設備 404 中的線介面電路 512 包括線驅動器（RTS 驅動器 514），該線驅動器具有能夠克服主設備 402 對 SS1 線 420 的弱斷言的低阻抗輸出。

【0060】 主設備 402 中的 Tx 驅動器 504 呈現被圖示為具有值 R_{TX} 的電阻器 508 的輸出阻抗。從設備 404 的 RTS 驅動器 514 呈現被圖示為具有值 R_{RTS} 的電阻器 518 的輸出阻抗。SS1 線 420 上觀察到的電壓 V_{SS1} 經由電阻器 508、518 之間的關係（ R_{TX} 和 R_{RTS} ）來決定。例如，當 Tx 驅動器 504 的電阻器 508 耦合至 V_{dd} 電壓時，SS1 線 420 上觀察到的電壓 V_{RX} 可以被計算為：

$$V_{SS1} = R_{RTS} / (R_{RX} + R_{RTS}) \times V_{DD} \quad \text{式 1}$$

【0061】 在一些實現中，在斷言SS1線420上的電壓狀態之後，驅動器504、514可以被置於高阻抗狀態中。保持器電路528可以被耦合至SS1線420以維持SS1線420上最後被斷言的電壓。保持器電路528被Tx驅動器504和RTS驅動器514兩者容易地克服。在這些實現中，Tx驅動器504在釋放SS1線420之前斷言SS1線420上的使能狀態。例如，使能狀態可以是邏輯1狀態（由高或低電壓表示），並且保持器電路528保持邏輯1狀態，直到驅動器504、514之一改變SS1線420的狀態。當接收緩衝器被填充滿容量或者接近滿容量時，從設備404可以致使RTS驅動器514改變SS1線420的狀態。

【0062】 從設備404可包括流控制決策邏輯520，流控制決策邏輯520接收SS1線420的電流訊號傳遞狀態以及Rx_緩衝器_水平輸入526，Rx_緩衝器_水平輸入526指示例如從設備404中的接收緩衝器是否已經達到或超過標識最大佔用率水平的緩衝器閾值。若緩衝器閾值已經被達到，則從設備404可以致使RTS驅動器514將SS1線420從邏輯1狀態驅動至邏輯0狀態（亦即，當從設備404已經被主設備402啟用時）。RTS驅動器514採用低阻抗驅動器，低阻抗驅動器能夠克服主設備402驅動的典型邏輯1。當主設備已經對於從設備404斷言了其內部使能信號（SS 522）時，SS1線420的蓋寫值致使主設備402中的「同」邏輯閘510的輸出（FCF 524）呈現邏輯0值，從而指示從設備404未準備好接收。當SS1線420處

於邏輯1位準時，FCF 524處於邏輯1，從而指示從設備404準備好接收資料。當從設備404未被選擇時，SS 522不被斷言，SS 1420通常為高並且FCF具有邏輯0值，從而指示從設備404未準備好。從設備404可以經由蓋寫SS 1高狀態（致使FCF轉變到邏輯0）來用信號指示發送請求，從而指示從設備404準備好。

【0063】 流控制決策邏輯520可包括狀態機、定序器、或另一合適的邏輯電路，該狀態機、定序器、或另一合適的邏輯電路被配置成監視SS 1線420的狀態以及Rx_緩衝器_水平輸入526並且實現本文揭示的基於阻抗的流控制規程和協定。在一些例子中，可以使用處理器或處理器和邏輯電路的某一組合來實現流控制決策邏輯520。從設備404可以能夠控制RTS驅動器514的輸出阻抗。在一些實例中，從設備404可以在必要時使得RTS驅動器514能夠指示未準備好狀態並且在從設備404準備好時可以禁用RTS驅動器514。在後一實例中，SS 1線420被Tx驅動器504的內部電阻器508或被保持器電路528拉至表示邏輯1狀態的電壓。

【0064】 保持器電路528可以在主設備402及/或從設備404中被提供。在一些例子中，保持器電路528可以被主設備402或從設備404控制，以使得主設備402或從設備404可以迫使SS 1線420上的狀態變化。例如，流控制決策邏輯520可以在SS 1線420處於低狀態時用信號向保持器電路528指示以將SS 1線420驅動至高狀態，及/

或流控制決策邏輯 520 可以在 SS1 線 420 處於高狀態時用信號向保持器電路 528 指示將 SS1 線 420 驅動至低狀態。

【0065】 在 FCF 輸出信號 524 處於邏輯 0 的同時，主設備 402 可以抑制在 MOSI 線 414 上傳送資料。主設備 402 可以經由停止、放緩或閘控時鐘線 410 上傳送的時鐘信號來停止資料傳輸。當對「同」邏輯閘 510 的輸入具有相同的被斷言狀態時，可以決定準備好接收的狀態。FCF 輸出信號 524 因而被高斷言至二進位一狀態以用信號表明從設備 404 準備好接收資料。

【0066】 主設備 402 和從設備 404 可包括實現流控制的附加邏輯和電路。在一個實例中，主設備 402 可包括線接收器（CTS 接收器 506），該線接收器被配置成監視 SS1 線 420 的訊號傳遞狀態，該訊號傳遞狀態可以不同於 SS 522 上斷言的狀態。在另一實例中，從設備 404 可包括線接收器（Rx 接收器 516），該線接收器被配置成監視 SS1 線 420 的訊號傳遞狀態，該訊號傳遞狀態可以不同於從設備 404 經由 RTS 驅動器 514 所斷言的狀態。

【0067】 如參考圖 4 和 5 中的實例所論述的，硬體流控制可以被實現各設備中，其中 SS1 線 420 載送從選擇信號，該從選擇信號在 SS1 線 420 處於高電壓狀態時啟用設備，或者硬體流控制可以被實現在各設備中，其中 SS1 線 420 載送從選擇信號，該從選擇信號在 SS1 線 420 處於低電壓狀態時啟用設備。可以使用任何邏輯等級指派實現

本文揭示的原理以用信號指示SS1線420上及/或主設備402或從設備404內的狀態。出於以下流程圖的目的，可以假定邏輯1由高電壓位準（例如， V_{dd} 或電源電壓位準）表示並且邏輯0由低電壓位準（例如，0伏或電源接地）表示。

【0068】 圖6圖示了可以由狀態機、定序器邏輯及/或由處理器實現的流控制600的實例。在這一實例中，當SS1線420被設置為邏輯0（可以由低電壓位準表示），從設備404被啟用以在SPI匯流排上通訊。

【0069】 在方塊602，主設備402可致使其Tx驅動器504使用高電阻值輸出電阻器508將對應的從設備404的SS1線420驅動至邏輯0狀態。邏輯0可以被表示為接地電壓位準。邏輯0狀態可以由流控制決策邏輯520經由Rx接收器516來偵測。在方塊604，流控制決策邏輯520可以基於Rx_緩衝器_水平輸入526的狀態來決定從設備404中的接收緩衝器的狀態。若從設備404中的接收緩衝器低於第一閾值佔用率水平（例如，浮水印閾值），則從設備404可以在方塊606接收資料。流控制決策邏輯520繼續監視Rx_緩衝器_水平輸入526。在某一點，流控制決策邏輯520可以在方塊604決定從設備404中的接收緩衝器已經達到或超過第一閾值佔用率水平，並且可以繼續至方塊608以斷言流控制。

【0070】 在方塊608，流控制決策邏輯520致使RTS驅動器514使用低電阻值輸出電阻器518將SS1線420

驅動至邏輯 1 狀態。邏輯 1 可以被表示為電源電壓。主設備 402 可以停止資料傳輸。流控制決策邏輯 520 繼續監視 Rx_緩衝器_水平輸入 526。在某一點，流控制決策邏輯 520 可以在方塊 610 決定從設備 404 中的接收緩衝器已經落在第二閾值佔用率水平以下，並且可以在繼續在框 606 接收資料之前禁用 RTS 驅動器 514 或者以其他方式致使 SS1 線 420 返回至邏輯 0 狀態。第二閾值佔用率水平可具有與第一閾值佔用率動作 315 相同的值或者可具有不同於第一閾值佔用率的值。

【0071】 圖 7 圖示了可以由狀態機、定序器邏輯及/或由處理器實現的流控制 700 的實例。在這一實例中，當 SS1 線 420 被設置為邏輯 1（可以由高電壓位準表示），從設備 404 被啟用以在 SPI 匯流排上通訊。

【0072】 在方塊 702，主設備 402 可致使其 Tx 驅動器 504 使用高電阻值輸出電阻器 508 將對應的從設備 404 的 SS1 線 420 驅動至邏輯 1 狀態。邏輯 1 可以被表示為電源電壓。邏輯 1 狀態可以由流控制決策邏輯 520 經由 Rx 接收器 516 來偵測。在方塊 704，流控制決策邏輯 520 可以基於 Rx_緩衝器_水平輸入 526 的狀態來決定從設備 404 中的接收緩衝器的狀態。若從設備 404 中的接收緩衝器低於第一閾值佔用率水平（例如，浮水印閾值），則從設備 404 可以在方塊 706 接收資料。流控制決策邏輯 520 繼續監視 Rx_緩衝器_水平輸入 526。在某一點，流控制決策邏輯 520 可以在方塊 704 決定從設備 404 中的接收緩衝

器已經達到或超過第一閾值佔用率水平，並且可以繼續至方塊708以斷言流控制。

【0073】 在方塊708，流控制決策邏輯520致使RTS驅動器514使用低電阻值輸出電阻器518將SS1線420驅動至邏輯0狀態。邏輯0可以被表示為接地電壓位準。主設備402可以停止資料傳輸。流控制決策邏輯520繼續監視Rx_緩衝器_水平輸入526。在某一點，流控制決策邏輯520可以在方塊710決定從設備404中的接收緩衝器已經落在第二閾值佔用率水平以下，並且可以在繼續在方塊706接收資料之前禁用RTS驅動器514或者以其他方式致使SS1線420返回至邏輯1狀態。第二閾值佔用率水平可具有與第一閾值佔用率水平相同的值或者可具有不同於第一閾值佔用率的值。

處理電路和方法的實例

【0074】 圖8是圖示採用SPI匯流排的裝置800的硬體實現的實例的示圖。在一些實例中，裝置800可以執行本文揭示的一或多個功能。根據本案的各種態樣，可使用處理電路802來實現本文所揭示的元素、或元素的任何部分、或者元素的任何組合。處理電路802可包括一或多個處理器804，其由硬體和軟體模組的某種組合來控制。處理器804的實例包括：微處理器、微控制器、數位訊號處理器（DSP）、SoC、ASIC、現場可程式設計閘陣列（FPGA）、可程式設計邏輯裝置（PLD）、狀態機、定序器、閘控邏輯、個別的硬體電路、以及其他配置成執

行本文中通篇描述的各種功能性的合適硬體。一或多個處理器 804 可包括執行特定功能並且可由軟體模組 816 之一來配置、增強或控制的專用處理器。一或多個處理器 804 可經由在初始化期間載入的軟體模組 816 的組合來配置，並且經由在操作期間載入或卸載一或多個軟體模組 816 來進一步配置。

【0075】 在所圖示的實例中，可使用由匯流排 810 一般化地表示的匯流排架構來實現處理電路 802。取決於處理電路 802 的具體應用和整體設計約束，匯流排 810 可包括任何數目的互連匯流排和橋接器。匯流排 810 將各種電路連結在一起，包括一或多個處理器 804、和儲存 806。儲存 806 可包括記憶體設備和大型存放區設備，並且在本文可被稱為電腦可讀取媒體及/或處理器可讀取媒體。匯流排 810 亦可連結各種其他電路，諸如定時源、計時器、周邊設備、穩壓器、和功率管理電路。匯流排介面 808 可提供匯流排 810 與一或多個收發機 812 之間的介面。可針對處理電路所支援的每種聯網技術來提供收發機 812。在一些例子中，多種聯網技術可共享收發機 812 中找到的電路系統或處理模組中的一些或全部。每個收發機 812 提供用於經由傳輸媒體與各種其他裝置通訊的手段。取決於該裝置 800 的本質，亦可提供使用者介面 818（例如，按鍵板、顯示器、揚聲器、話筒、操縱桿），並且使用者介面 818 可直接或經由匯流排介面 808 通訊地耦合至匯流排 810。

【0076】 處理器804可負責管理匯流排810和一般處理，包括對儲存在電腦可讀取媒體（其可包括儲存806）中的軟體的執行。在這一態樣，處理電路802（包括處理器804）可被用來實現本文所揭示的方法、功能和技術中的任一種。儲存806可被用於儲存處理器804在執行軟體時操縱的資料，並且該軟體可被配置成實現本文所揭示的方法中的任一種。

【0077】 處理電路802中的一或多個處理器804可執行軟體。軟體應當被寬泛地解釋成意為指令、指令集、代碼、程式碼片段、程式碼、程式、副程式、軟體模組、應用、軟體應用、套裝軟體、常式、子常式、物件、可執行件、執行的執行緒、規程、函數、演算法等，無論其是用軟體、韌體、中介軟體、微代碼、硬體描述語言、還是其他術語來述及皆是如此。軟體可按電腦可讀形式常駐在儲存806中或常駐在外部電腦可讀取媒體中。外部電腦可讀取媒體及/或儲存806可包括非瞬態電腦可讀取媒體。作為實例，非瞬態電腦可讀取媒體包括：磁存放裝置（例如，硬碟、軟碟、磁條）、光碟（例如，壓縮光碟（CD）或數位多功能光碟（DVD））、智慧卡、快閃記憶體設備（例如，「快閃記憶體驅動器」、卡、棒、或鍵式磁碟）、RAM、ROM、可程式設計唯讀記憶體（PROM）、可抹除PROM（EPROM）（包括電EPROM）、暫存器、可移除磁碟、以及任何其他用於儲存可由電腦存取和讀取的軟體及/或指令的合適媒體。作為實例，電腦可讀取媒

體及/或儲存806亦可包括載波、傳輸線、和任何其他用於傳送可由電腦存取和讀取的軟體及/或指令的合適媒體。電腦可讀取媒體及/或儲存806可常駐在處理電路802中、處理器804中、在處理電路802外部、或跨包括該處理電路802在內的多個實體分佈。電腦可讀取媒體及/或儲存806可實施在電腦程式產品中。作為實例，電腦程式產品可包括封裝材料中的電腦可讀取媒體。本發明所屬領域中具有通常知識者將認識到如何取決於具體應用和加諸於整體系統上的整體設計約束來最佳地實現本文中通篇提供的所描述的功能性。

【0078】 儲存806可維持以可載入程式碼片段、模組、應用、程式等來維持及/或組織的軟體，其在本文中可被稱為軟體模組816。軟體模組816中的每一者可包括在安裝或載入到處理電路802上並由一或多個處理器804執行時有助於執行時映射814的指令和資料，執行時映射814控制一或多個處理器804的操作。在被執行時，某些指令可使得處理電路802執行根據本文所描述的某些方法、演算法和程序的功能。

【0079】 軟體模組816中的一些可在處理電路802初始化期間被載入，並且這些軟體模組816可配置處理電路802以實現本文所揭示的各種功能的執行。例如，一些軟體模組816可配置處理器804的內部設備及/或邏輯電路822，並且可管理對外部設備（諸如，收發機812、匯流排介面808、使用者介面818、計時器、數學輔助處理器

等) 的存取。軟體模組 816 可包括控制程式及 / 或作業系統，其與中斷處理常式和裝置驅動程式互動並且控制對由處理電路 802 提供的各種資源的存取。這些資源可包括記憶體、處理時間、對收發機 812 的存取、使用者介面 818 等。

【0080】 處理電路 802 的一或多個處理器 804 可以是多功能的，由此軟體模組 816 中的一些被載入和配置成執行不同功能或相同功能的不同實例。這一或多個處理器 804 可額外地被適配成管理回應於來自例如使用者介面 818、收發機 812 和裝置驅動程式的輸入而發起的幕後工作。為了支援多個功能的執行，這一或多個處理器 804 可被配置成提供多工環境，由此多個功能之每一者功能依須求或按期望實現為由一或多個處理器 804 服務的任務集。在一個實例中，可使用分時程式 820 來實現多工環境，分時程式 820 在不同任務之間傳遞對處理器 804 的控制權，由此每個任務在完成任何未決操作之際及 / 或回應於輸入（諸如中斷）而將對一或多個處理器 804 的控制權返回給分時程式 820。當任務具有對一或多個處理器 804 的控制權時，處理電路有效地專用於由與控制方任務相關聯的功能所針對的目的。分時程式 820 可包括作業系統、在循環基礎上傳遞控制權的主迴路、根據各功能的優先順序化來分配對一或多個處理器 804 的控制權的功能、及 / 或經由將對一或多個處理器 804 的控制權提供給處置功能來對外部事件作出回應的中斷驅動式主迴路。

【0081】 圖9是用於使用串列周邊介面交換資訊的方法的流程圖900。在方塊902，主設備可以經由斷言從選擇線上的第一電壓狀態來發起在串列周邊介面匯流排的一或多個資料線上的資料交換。

【0082】 在方塊904，在從選擇線保持在第一電壓狀態的同時，主設備402可以在串列周邊介面匯流排上傳送資料和時鐘信號。

【0083】 在方塊906，主設備402可以在從選擇線轉變到第二第一電壓狀態時抑制在該串列周邊介面匯流排上傳送資料和時鐘信號。

【0084】 在方塊908，從設備404可以在從選擇線保持在第一電壓狀態的同時將資料接收到接收緩衝器中。

【0085】 在方塊910，當接收緩衝器的佔用率達到或超過閾值佔用率水平時，從設備404可以斷言該從選擇線上的第二電壓狀態。

【0086】 在一些實例中，主設備402可包括第一驅動器電路，該第一驅動器電路被配置成使用高阻抗輸出將從選擇線驅動至第一電壓狀態。從設備404可包括第二驅動器電路，該第二驅動器電路被配置成使用低阻抗輸出將從選擇線驅動至第一電壓狀態。第一驅動器電路和第二驅動器電路的阻抗可以被選擇成，使得當高阻抗輸出試圖將從選擇線驅動至第一電壓狀態時低阻抗輸出被啟用以將從選擇線驅動至第二電壓狀態。

【0087】 在一些實例中，斷言從選擇線上的第一電壓狀態包括致使主設備402的線驅動器將從選擇線朝向第一電壓狀態驅動，並且在從選擇線達到第一電壓狀態時致使主設備402的線驅動器進入開路操作模式。主設備402及/或從設備404可包括保持器電路528，該保持器電路528被配置成線上驅動器已進入開路操作模式之後維持從選擇線的訊號傳遞狀態。

【0088】 在一個實例中，在從設備404已經斷言從選擇線上的第二電壓狀態之後，當接收緩衝器的佔用率落在閾值佔用率水平之下時，從設備404的線驅動器可用於斷言從選擇線上的第一電壓狀態。

【0089】 在一些實例中，從設備404可監視接收緩衝器的佔用率，監視從選擇線的電壓狀態，以及在從選擇線的電壓狀態處於第一電壓狀態並且佔用率處於等於或超過閾值佔用率水平的水平時致使從設備404的驅動器將從選擇線驅動至第二電壓狀態。從設備404可在致使線驅動器電路斷言第二電壓狀態之後並且在佔用率落在低於閾值佔用率水平之下的水平之後使從選擇線返回至第一電壓狀態。

【0090】 圖10是圖示採用處理電路1002的裝置1000的硬體實現的簡化實例的示圖。該裝置可實現根據本文揭示的某些態樣的橋接電路。處理電路通常具有控制器或處理器1016，該控制器或處理器1016可包括一或多個微處理器、微控制器、數位訊號處理器、定序器及/或狀態機。

可以用由匯流排 1020 一般化地表示的匯流排架構來實現處理電路 1002。取決於處理電路 1002 的具體應用和整體設計約束，匯流排 1020 可包括任何數目的互連匯流排和橋接器。匯流排 1020 將包括一或多個處理器及 / 或硬體模組（由控制器或處理器 1016、模組或電路 1004、1006 和 1008 以及電腦可讀取儲存媒體 1018 表示）的各種電路連結在一起。該裝置可以使用實體層電路 1014 耦合至多線纜通訊鏈路。實體層電路 1014 可將多線纜通訊鏈路作為串列周邊介面匯流排 1012 來操作。匯流排 1020 亦可連結各種其他電路（諸如定時源、周邊設備、穩壓器和功率管理電路），這些電路在本發明所屬領域中是眾所周知的，並且因此將不再進一步描述。

【0091】 處理器 1016 負責一般性處理，包括執行儲存在電腦可讀取儲存媒體 1018 上的軟體、代碼及 / 或指令。該電腦可讀取媒體可包括非瞬態儲存媒體。該軟體在由處理器 1016 執行時使處理電路 1002 執行上文針對任何特定裝置描述的各種功能。電腦可讀取儲存媒體可被用於儲存由處理器 1016 在執行軟體時操縱的資料。處理電路 1002 進一步包括模組 1004、1006 和 1008 中的至少一個模組。模組 1004、1006 和 1008 可以是在處理器 1016 中執行的軟體模組、常駐 / 儲存在電腦可讀取儲存媒體 1018 中、是耦合至處理器 1016 的一或多個硬體模組、或是其某個組合。模組 1004、1006 和 1008 可包括微控制器指令、狀態機配置參數、或其某種組合。

【0092】 在一種配置中，裝置1000包括模組及/或電路1008，該模組及/或電路1008被配置成斷言從選擇線上的第一電壓狀態以發起在串列周邊介面匯流排1012的一或多個資料線上的資料交換。裝置1000可包括被配置成監視接收緩衝器的佔用率的模組及/或電路1006，以及被配置成在接收緩衝器的佔用率達到或超過閾值佔用率水平時斷言從選擇線上的第二電壓狀態的模組及/或電路1008。

【0093】 在各種實例中，裝置1000可以被部署在耦合至串列周邊介面匯流排1012的主設備402及/或從設備404。在一個實例中，耦合至串列周邊介面匯流排1012的主設備402可以被適配成斷言從選擇線上的第一電壓狀態以發起在串列周邊介面匯流排1012的一或多個資料線上的資料交換，並且在從選擇線保持在第一電壓狀態的同時在串列周邊介面匯流排1012的時鐘線上傳送時鐘信號。資料交換可以與該時鐘信號同步。主設備402可以被進一步適配成在從選擇線處於第二電壓狀態的同時抑制在一或多個資料線上傳送資料。主設備402被適配成經由致使線驅動器將從選擇線朝向第一電壓狀態驅動並且在從選擇線達到第一電壓狀態時致使線驅動器進入開路操作模式來斷言第一電壓狀態。主設備402可包括或耦合至保持器電路528，該保持器電路528被配置成線上驅動器已進入開路操作模式之後維持從選擇線的訊號傳遞狀態。

【0094】 在另一實例中，耦合至串列周邊介面匯流排1012的從設備404可包括接收緩衝器，並且被適配成在從選擇線保持在第一電壓狀態的同時將資料接收到接收緩衝器中。當接收緩衝器的佔用率達到或超過閾值佔用率水平時，從設備404可以被適配成斷言該從選擇線上的第二電壓狀態。

【0095】 主設備402可具有第一驅動器電路，該第一驅動器電路被配置成使用高阻抗輸出將從選擇線驅動至第一電壓狀態，並且從設備404可具有第二驅動器電路，該第二驅動器電路被配置成使用低阻抗輸出將從選擇線驅動至第一電壓狀態。第一驅動器電路和第二驅動器電路的阻抗可以被選擇成，使得當高阻抗輸出試圖將從選擇線驅動至第一電壓狀態時低阻抗輸出被啟用以將從選擇線驅動至第二電壓狀態。從設備404可以被適配成當接收緩衝器的佔用率提升到閾值佔用率水平之上時已經斷言從選擇線上的第二電壓狀態之後，當接收緩衝器落在閾值佔用率水平之下時斷言從選擇線上的第一電壓狀態。從設備404可包括流控制決策電路520，該流控制決策電路520被配置成監視接收緩衝器的佔用率，監視從選擇線的電壓狀態，並且在從選擇線的電壓狀態處於第一電壓狀態並且佔用率處於等於或超過閾值佔用率水平的水平時致使線驅動器電路斷言從選擇線上的第二電壓狀態。該流控制決策電路520可被配置成在致使線驅動器電路斷言第二電壓狀態之後並且在佔用率落在低於閾值佔用率水平之下

的水平之後致使線驅動器電路使從選擇線返回至第一電壓狀態。

【0096】 在另一實例中，主設備402可包括被適配成斷言串列周邊介面匯流排1012的從選擇線上的第一電壓狀態的模組或電路，被適配成在串列周邊介面匯流排1012上傳送資料和時鐘信號的模組或電路。第一電壓狀態可以在從選擇線上被斷言以發起在串列周邊介面匯流排1012的一或多個資料線上的資料交換。被適配成傳送資料和時鐘信號的模組或電路可被配置成在從選擇線保持在第一電壓狀態的同時從主設備402向從設備404傳送資料，並且在從選擇線從第一電壓狀態轉變到第二電壓狀態時抑制從主設備402向從設備404傳送資料。從設備404可以被配置成在從選擇線保持在第一電壓狀態的同時將資料接收到接收緩衝器中，並且在接收緩衝器的佔用率達到或超過閾值佔用率水平時斷言從選擇線上的第二電壓狀態。

【0097】 主設備402可包括第一驅動器電路，該第一驅動器電路被配置成使用高阻抗輸出將從選擇線驅動至第一電壓狀態，並且從設備404可包括第二驅動器電路，該第二驅動器電路被配置成使用低阻抗輸出將從選擇線驅動至第一電壓狀態。第一驅動器電路和第二驅動器電路的阻抗可以被選擇成，使得當高阻抗輸出試圖將從選擇線驅動至第一電壓狀態時低阻抗輸出被啟用以將從選擇線驅動至第二電壓狀態。

【0098】 被適配成斷言從選擇線上的第一電壓狀態的模組或電路可被配置成致使主設備402的線驅動器將從選擇線朝向第一電壓狀態驅動，並且在從選擇線達到第一電壓狀態時致使主設備402的線驅動器進入開路操作模式。主設備402可具有或耦合至保持器電路528，該保持器電路528被配置成線上驅動器已進入開路操作模式之後維持從選擇線的訊號傳遞狀態。

【0099】 從設備404可以被配置成監視從設備404處的接收緩衝器的佔用率，監視從選擇線的電壓狀態，以及在從選擇線的電壓狀態處於第一電壓狀態並且佔用率處於等於或超過閾值佔用率水平的水平時將從選擇線驅動至第二電壓狀態。

【0100】 被適配成斷言從選擇線上的第一電壓狀態的模組或電路可被配置成在從設備404停止驅動從選擇線之後使從選擇線返回至第一電壓狀態。

【0101】 在另一實例中，耦合至串列周邊介面匯流排1012的從設備404具有：耦合至串列周邊介面匯流排1012的從選擇線的接收電路，被配置成用低阻抗選擇性地驅動串列周邊介面匯流排1012的從選擇線的線驅動器，被配置成從串列周邊介面匯流排1012接收資料的接收緩衝器，以及流控制邏輯。流控制邏輯可以被包括在例如流控制決策電路520中。該流控制邏輯可以被配置成監視接收電路的輸出以決定從設備404何時被選擇成用於在串列周邊介面匯流排1012上進行通訊，監視從設備

404處的接收緩衝器的佔用率，以及在從設備404被選擇成用於通訊並且接收緩衝器的佔用率處於等於或超過閾值佔用率水平的水平時致使線驅動器將從選擇線驅動至第二電壓位準。當從選擇線處於第一電壓位準時，從設備404可以被選擇成用於進行通訊。

【0102】 該流控制邏輯可以被配置成在接收緩衝器的佔用率落在低於閾值佔用率水平的水平之後致使從選擇線返回至第一電壓位準。線驅動器可以被配置成用輸出阻抗將從選擇線驅動至第二電壓位準，該輸出阻抗低於由主設備402用來將從選擇線驅動至第一電壓狀態的驅動器的輸出阻抗。該流控制邏輯可以被配置成在接收緩衝器的佔用率處於低於閾值佔用率水平的水平時將線驅動器配置成用低阻抗來驅動從選擇線，以及在接收緩衝器的佔用率處於低於閾值佔用率水平的水平時將線驅動器配置成進入開路操作模式。該流控制邏輯可以被配置成線上驅動器進入開路操作模式之前致使線驅動器將從選擇線驅動至第一電壓位準。保持器電路528可以被配置成線上驅動器已進入開路操作模式之後維持從選擇線的訊號傳遞狀態。

【0103】 應理解，所揭示的程序中各步驟的具體次序或層次是示例性辦法的圖示。應理解，基於設計偏好，可以重新編排這些程序中各步驟的具體次序或層次。此外，一些步驟可被組合或被略去。所附方法請求項以實例次序呈

現各種步驟的要素，且並不意味著被限定於所提供的具體次序或層次。

【0104】 提供先前描述是為了使本發明所屬領域中任何具有通常知識者均能夠實踐本文中所描述的各種態樣。對這些態樣的各種改動將容易為本發明所屬領域中具有通常知識者所明白，並且在本文中所定義的普適原理可被應用於其他態樣。因此，請求項並非意欲被限定於本文中所示出的態樣，而是應被授予與語言上的請求項相一致的全部範圍，其中對要素的單數形式的引述除非特別聲明，否則並非意欲表示「有且僅有一個」，而是「一或多個」。除非特別另外聲明，否則術語「一些」指的是一或多個。本案通篇描述的各種態樣的要素為本發明所屬領域中具有通常知識者當前或今後所知的所有結構上和功能上的等效方案經由引述被明確納入於此，且意欲被請求項所涵蓋。此外，本文中所揭示的任何內容皆並非意欲貢獻給公眾，無論此類揭示是否在申請專利範圍中被顯式地敘述。沒有任何請求項元素應被解釋為手段功能，除非該元素是使用短語「用於……的裝置」來明確敘述的。

【符號說明】

【0105】

100 裝置

102 處理電路

104 電路或設備

106 電路或設備

- 1 0 8 電 路 或 設 備
- 1 1 0 數 據 機
- 1 1 2 處 理 器
- 1 1 4 板 載 記 憶 體
- 1 1 6 匯 流 排 介 面 電 路
- 1 1 8 a 匯 流 排
- 1 1 8 b 匯 流 排
- 1 2 0 匯 流 排
- 1 2 2 處 理 器 可 讀 儲 存
- 1 2 4 天 線
- 1 2 6 顯 示 器
- 1 2 8 開 關 或 按 鈕
- 1 3 0 開 關 或 按 鈕
- 1 3 2 外 部 按 鍵 板
- 2 0 0 2 資 料 線 S P I
- 2 0 2 主 設 備
- 2 0 4 從 設 備
- 2 0 6 從 設 備
- 2 0 8 從 設 備
- 2 1 2 時 鐘 線
- 2 1 4 M I S O 線
- 2 1 6 M I S O 線
- 2 1 8 從 選 擇 線
- 2 2 0 從 選 擇 線

2 2 2 從 選 擇 線

3 0 0 四 串 列 周 邊 介 面 (Q S P I)

3 0 2 主 設 備

3 0 4 從 設 備

3 0 6 從 設 備

3 0 8 多 線 纜 匯 流 排

3 1 0 從 設 備

3 1 2 時 鐘 線

3 1 4 資 料 通 道

3 1 6 第 一 從 選 擇 線

3 1 8 第 二 從 選 擇 線

3 2 0 第 三 從 選 擇 線

4 0 0 2 資 料 線 S P I

4 0 2 主 設 備

4 0 4 從 設 備

4 0 6 驅 動 器

4 0 8 線 接 收 器

4 1 0 時 鐘 線

4 1 2 M I S O 線

4 1 4 M O S I 線

4 1 6 線 驅 動 器

4 1 8 接 收 器

4 2 0 S S 1 線

5 0 0 實 例

- 5 0 2 線 介 面 電 路
- 5 0 4 T x 驅 動 器
- 5 0 6 C T S 接 收 器
- 5 0 8 高 電 阻 值 輸 出 電 阻 器
- 5 1 0 「 同 」 邏 輯 閘
- 5 1 2 線 介 面 電 路
- 5 1 4 R T S 驅 動 器
- 5 1 6 R x 接 收 器
- 5 1 8 低 電 阻 值 輸 出 電 阻 器
- 5 2 0 流 控 制 決 策 邏 輯
- 5 2 2 使 能 信 號 (S S)
- 5 2 4 F C F
- 5 2 6 R x _ 緩 衝 器 _ 水 平 輸 入
- 5 2 8 保 持 器 電 路
- 6 0 0 流 控 制
- 6 0 2 方 塊
- 6 0 4 方 塊
- 6 0 6 方 塊
- 6 0 8 方 塊
- 6 1 0 方 塊
- 7 0 0 流 控 制
- 7 0 2 方 塊
- 7 0 4 方 塊
- 7 0 6 方 塊

- 7 0 8 方 塊
- 7 1 0 方 塊
- 8 0 0 裝 置
- 8 0 2 處 理 電 路
- 8 0 4 處 理 器
- 8 0 6 儲 存
- 8 0 8 匯 流 排 介 面
- 8 1 0 匯 流 排
- 8 1 2 收 發 機
- 8 1 4 映 射
- 8 1 6 軟 體 模 組
- 8 1 8 使 用 者 介 面
- 8 2 0 分 時 程 式
- 8 2 2 內 部 設 備 及 / 或 邏 輯 電 路
- 9 0 0 流 程 圖
- 9 0 2 方 塊
- 9 0 4 方 塊
- 9 0 6 方 塊
- 9 0 8 方 塊
- 9 1 0 方 塊
- 1 0 0 0 裝 置
- 1 0 0 2 處 理 電 路
- 1 0 0 4 模 組 或 電 路
- 1 0 0 6 模 組 或 電 路

1 0 0 8 模 組 或 電 路

1 0 1 2 串 列 周 邊 介 面 匯 流 排

1 0 1 4 實 體 層 電 路

1 0 1 6 處 理 器

1 0 1 8 電 腦 可 讀 取 儲 存 媒 體

【生物材料寄存】

【 0 1 0 6 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 1 0 7 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註

記)

無

【序列表】(請換頁單獨記載)

無

【發明申請專利範圍】

【第1項】 一種裝置，包括：

一多線串列周邊介面匯流排；

一主設備，該主設備耦合至該串列周邊介面匯流排並且被適配成：

斷言一從選擇線上的一第一電壓狀態以發起在該串列周邊介面匯流排的一或多個資料線上的一資料交換；

在該從選擇線保持在該第一電壓狀態的同時在該串列周邊介面匯流排的一時鐘線上傳送一時鐘信號，其中該資料交換與該時鐘信號同步；及

在該從選擇線處於一第二電壓狀態的同時抑制在該一或多個資料線上傳送資料；及

一從設備，該從設備耦合至該串列周邊介面匯流排，其中該從設備具有一接收緩衝器並且被適配成：

在該從選擇線保持在該第一電壓狀態的同時將資料接收到該接收緩衝器中；及

當該接收緩衝器的佔用率達到或超過一閾值佔用率水平時斷言該從選擇線上的該第二電壓狀態。

【第2項】 如請求項1之裝置，其中：

該主設備包括一第一驅動器電路，該第一驅動器電路被配置成使用一高阻抗輸出將該從選擇線驅動至該第一電壓狀態；及

該從設備包括一第二驅動器電路，該第二驅動器電路被配置成使用一低阻抗輸出將該從選擇線驅動至該第一電壓狀態。

【第3項】 如請求項2之裝置，其中該第一驅動器電路和該第二驅動器電路的阻抗被選擇成使得當該高阻抗輸出試圖將該從選擇線驅動至該第一電壓狀態時該低阻抗輸出被啟用以將該從選擇線驅動至該第二電壓狀態。

【第4項】 如請求項1之裝置，其中該主設備被適配成經由以下來斷言該第一電壓狀態：

致使一線驅動器將該從選擇線朝向該第一電壓狀態驅動；及

當該從選擇線達到該第一電壓狀態時致使該線驅動器進入一開路操作模式。

【第5項】 如請求項4之裝置，其中該主設備包括：

一保持器電路，該保持器電路被配置成在該線驅動器已進入該開路操作模式之後維持該從選擇線的訊號傳遞狀態。

【第6項】 如請求項1之裝置，其中該從設備被適配成：

在斷言該從選擇線上的該第二電壓狀態之後，當該接收緩衝器的佔用率落在該閾值佔用率水平之下時斷言該從選擇線上的該第一電壓狀態。

【第7項】 如請求項1之裝置，其中該從設備包括一流控制決策電路，該流控制決策電路被配置成：

監視該接收緩衝器的佔用率；

監視該從選擇線的電壓狀態；及

當該從選擇線的該電壓狀態處於該第一電壓狀態並且該佔用率處於等於或超過一閾值佔用率水平的一水平時致使一線驅動器電路斷言該從選擇線上的該第二電壓狀態。

【第8項】 如請求項7之裝置，其中該流控制決策電路被配置成：

在致使該線驅動器電路斷言該第二電壓狀態之後並且在該佔用率落在低於該閾值佔用率水平之下的一水平之後致使該線驅動器電路使該從選擇線返回至該第一電壓狀態。

【第9項】 一種用於使用一串列周邊介面來傳送資訊的方法，包括以下步驟：

在一主設備處，經由斷言一從選擇線上的一第一電壓狀態來發起在該串列周邊介面匯流排的一或多個資料線上的一資料交換；

在該從選擇線保持在該第一電壓狀態的同時在該串列周邊介面匯流排上從該主設備傳送資料和一時鐘信號；

在該從選擇線從該第一電壓狀態轉變到一第二電壓狀態時抑制在該串列周邊介面匯流排上從該主設備傳送資料和該時鐘信號；

在該從選擇線保持在該第一電壓狀態的同時在一從設備處將資料接收到一接收緩衝器中；及

當該接收緩衝器的佔用率達到或超過一閾值佔用率水平時，由該從設備斷言該從選擇線上的該第二電壓狀態。

【第10項】 如請求項9之方法，其中：

該主設備包括一第一驅動器電路，該第一驅動器電路被配置成使用一高阻抗輸出將該從選擇線驅動至該第一電壓狀態；及

該從設備包括一第二驅動器電路，該第二驅動器電路被配置成使用一低阻抗輸出將該從選擇線驅動至該第一電壓狀態。

【第11項】 如請求項10之方法，其中該第一驅動器電路和該第二驅動器電路的阻抗被選擇成使得當該高阻抗輸出試圖將該從選擇線驅動至該第一電壓狀態時該

低阻抗輸出被啟用以將該從選擇線驅動至該第二電壓狀態。

【第12項】 如請求項9之方法，其中斷言該從選擇線上的該第一電壓狀態包括：

致使該主設備的一線驅動器將該從選擇線朝向該第一電壓狀態驅動；及

當該從選擇線達到該第一電壓狀態時致使該主設備的該線驅動器進入一開路操作模式。

【第13項】 如請求項12之方法，其中該主設備包括：

一保持器電路，該保持器電路被配置成在該線驅動器已進入該開路操作模式之後維持該從選擇線的訊號傳遞狀態。

【第14項】 如請求項9之方法，進一步包括以下步驟：

在該從設備已經斷言該從選擇線上的該第二電壓狀態之後，當該接收緩衝器的佔用率落在該閾值佔用率水平之下時，使用該從設備的一線驅動器來斷言該從選擇線上的該第一電壓狀態。

【第15項】 如請求項9之方法，進一步包括以下步驟：

在該從設備處監視該接收緩衝器的佔用率；

監視該從選擇線的電壓狀態；及

當該從選擇線的該電壓狀態處於該第一電壓狀態並且該佔用率處於等於或超過一閾值佔用率水平的一水

平時致使該從設備的一線驅動器電路將該從選擇線驅動至該第二電壓狀態。

【第16項】 如請求項15之方法，進一步包括以下步驟：

在致使該線驅動器電路斷言該第二電壓狀態之後並且在該佔用率落在低於該閾值佔用率水平之下的一水平之後使該從選擇線返回至該第一電壓狀態。

【第17項】 一種裝備，包括：

用於斷言一串列周邊介面匯流排的一從選擇線上的一第一電壓狀態的裝置，其中該第一電壓狀態在該從選擇線上被斷言以發起在該串列周邊介面匯流排的一或多個資料線上的一資料交換；及

用於在該串列周邊介面匯流排上傳送資料和一時鐘信號的裝置，用於傳送資料和該時鐘信號的裝置被配置成：

在該從選擇線保持在該第一電壓狀態的同時從一主設備傳送該資料到一從設備；及

在該從選擇線從該第一電壓狀態轉變為一第二電壓狀態時抑制從該主設備向該從設備傳送該資料，其中該從設備被配置成在該從選擇線保持在該第一電壓狀態的同時將該資料接收到一接收緩衝器中，並

且在該接收緩衝器的佔用率達到或超過一閾值佔用率水平時斷言該從選擇線上的一第二電壓狀態。

【第18項】 如請求項17之裝備，其中：

該主設備包括一第一驅動器電路，該第一驅動器電路被配置成使用一高阻抗輸出將該從選擇線驅動至該第一電壓狀態；及

該從設備包括一第二驅動器電路，該第二驅動器電路被配置成使用一低阻抗輸出將該從選擇線驅動至該第一電壓狀態。

【第19項】 如請求項18之裝備，其中該第一驅動器電路和該第二驅動器電路的阻抗被選擇成使得當該高阻抗輸出試圖將該從選擇線驅動至該第一電壓狀態時該低阻抗輸出被啟用以將該從選擇線驅動至該第二電壓狀態。

【第20項】 如請求項17之裝備，其中用於斷言該從選擇線上的該第一電壓狀態的裝置被配置成：

致使該主設備的一線驅動器將該從選擇線朝向該第一電壓狀態驅動；及

當該從選擇線達到該第一電壓狀態時致使該主設備的該線驅動器進入一開路操作模式。

【第21項】 如請求項20之裝備，其中該主設備包括：

一保持器電路，該保持器電路被配置成在該線驅動器已進入該開路操作模式之後維持該從選擇線的訊號傳遞狀態。

【第22項】 如請求項17之裝備，其中該從設備被配置成：

在該從設備處監視該接收緩衝器的佔用率；

監視該從選擇線的電壓狀態；及

當該從選擇線的該電壓狀態處於該第一電壓狀態並且該佔用率處於等於或超過一閾值佔用率水平的一水平時將該從選擇線上驅動至該第二電壓狀態。

【第23項】 如請求項22之裝備，其中用於斷言該從選擇線上的該第一電壓狀態的裝置被配置成：

在該從設備停止驅動該從選擇線之後使該從選擇線返回至該第一電壓狀態。

【第24項】 一種耦合至一串列周邊介面的從設備，包括：

一接收電路，該接收電路耦合至一串列周邊介面的
一從選擇線；

一線驅動器，該線驅動器被配置成用低阻抗選擇性地驅動該串列周邊介面的該從選擇線；

一接收緩衝器，該接收緩衝器被配置成從該串列周邊介面接收資料；及

流控制邏輯，其被配置成：

監視該接收電路的一輸出以決定該從設備何時被選擇以在該串列周邊介面上通訊，其中在該從選擇線處於該第一電壓位準時該從設備被選擇進行通訊；

在該從設備處監視該接收緩衝器的佔用率；及

在該從設備被選擇進行通訊並且該接收緩衝器的該佔用率處於等於或超過一閾值佔用率水平的一水平時，致使該線驅動器將該從選擇線驅動至一第二電壓位準。

【第25項】 如請求項24之從設備，其中該流控制邏輯被配置成

在該接收緩衝器的該佔用率落在低於該閾值佔用率水平的一水平之後致使該從選擇線返回至該第一電壓位準。

【第26項】 如請求項24之從設備，其中：

該線驅動器被配置成用一輸出阻抗將該從選擇線驅動至該第二電壓位準，該輸出阻抗低於由一主設備用來將該從選擇線驅動至該第一電壓狀態的一驅動器的一輸出阻抗。

【第27項】 如請求項24之從設備，其中該流控制邏輯被配置成

當該接收緩衝器的佔用率處於低於該閾值佔用率水平的一水平時，將該線驅動器配置成用一低阻抗來驅動該從選擇線；及

當該接收緩衝器的佔用率處於低於該閾值佔用率水平的一水平時，將該線驅動器配置成進入一開路操作模式。

【第28項】 如請求項27之從設備，其中該流控制邏輯被配置成

致使該線驅動器在進入該開路操作模式之前將該從選擇線驅動至該第一電壓位準。

【第29項】 如請求項27之從設備，其中一保持器電路被配置成在該線驅動器已進入該開路操作模式之後維持該從選擇線的訊號傳遞狀態。

【發明圖式】

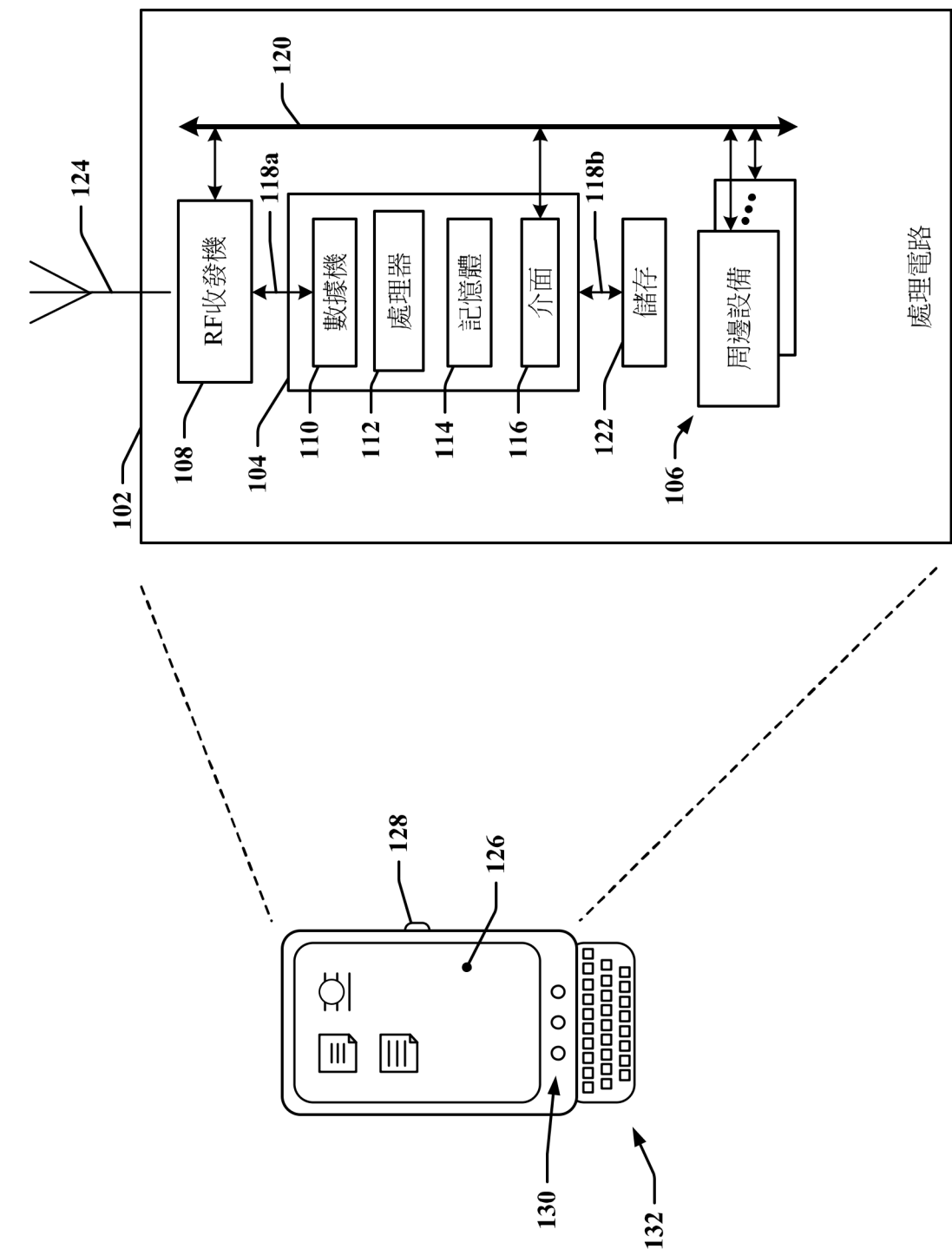


圖 1

100

200

雙數據線單向SPI

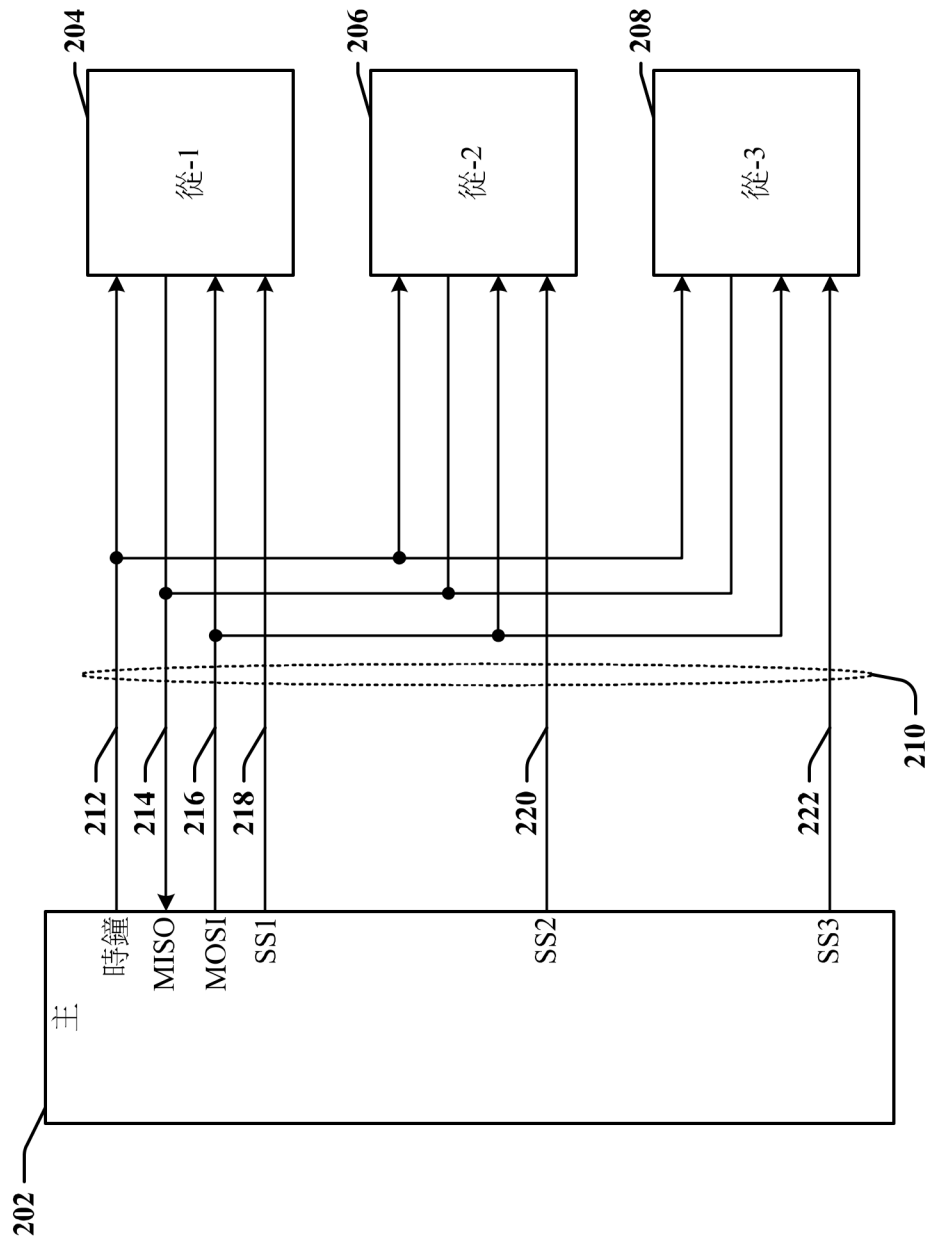


圖 2

300

四雙向資料線SPI

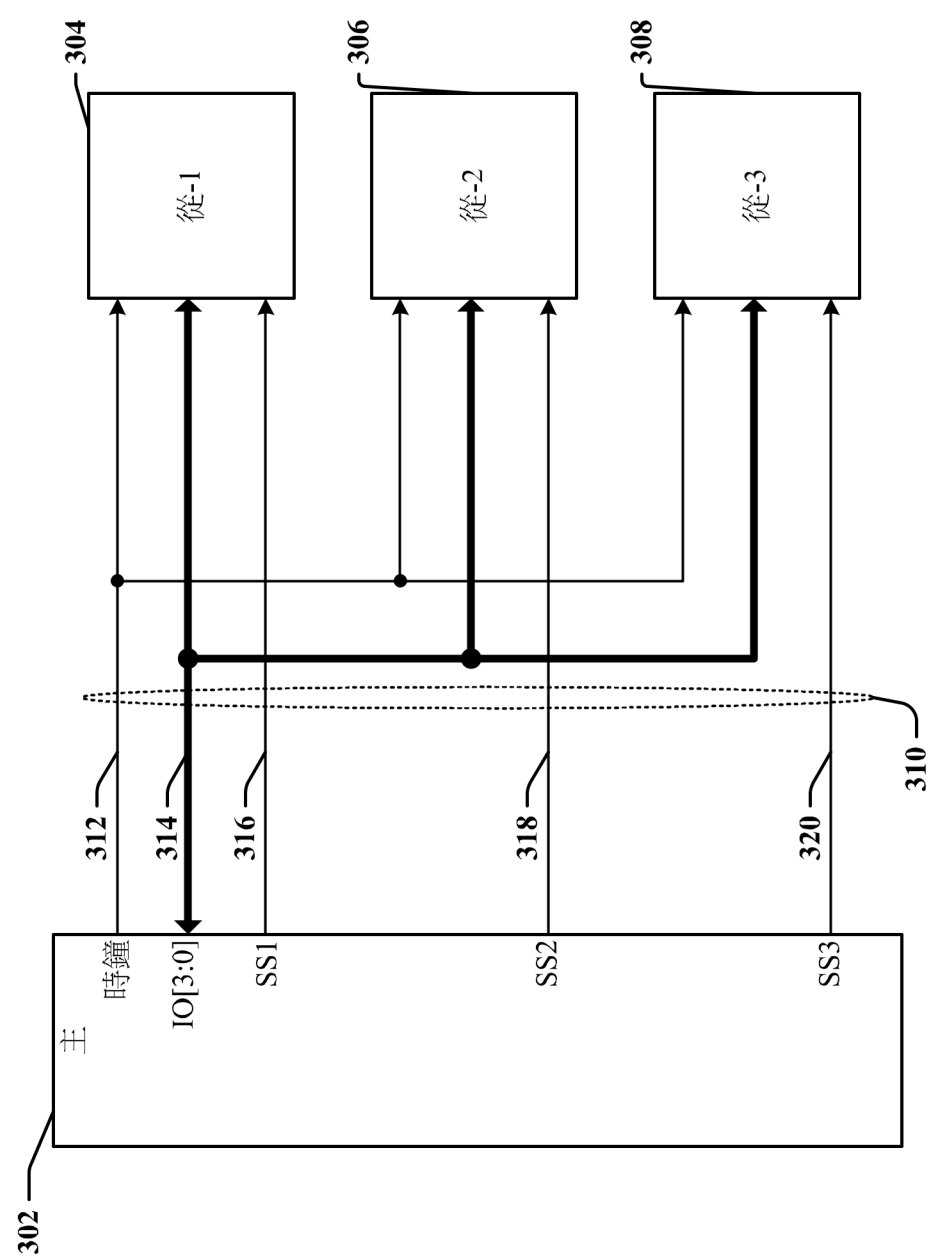


圖 3

400 ↗

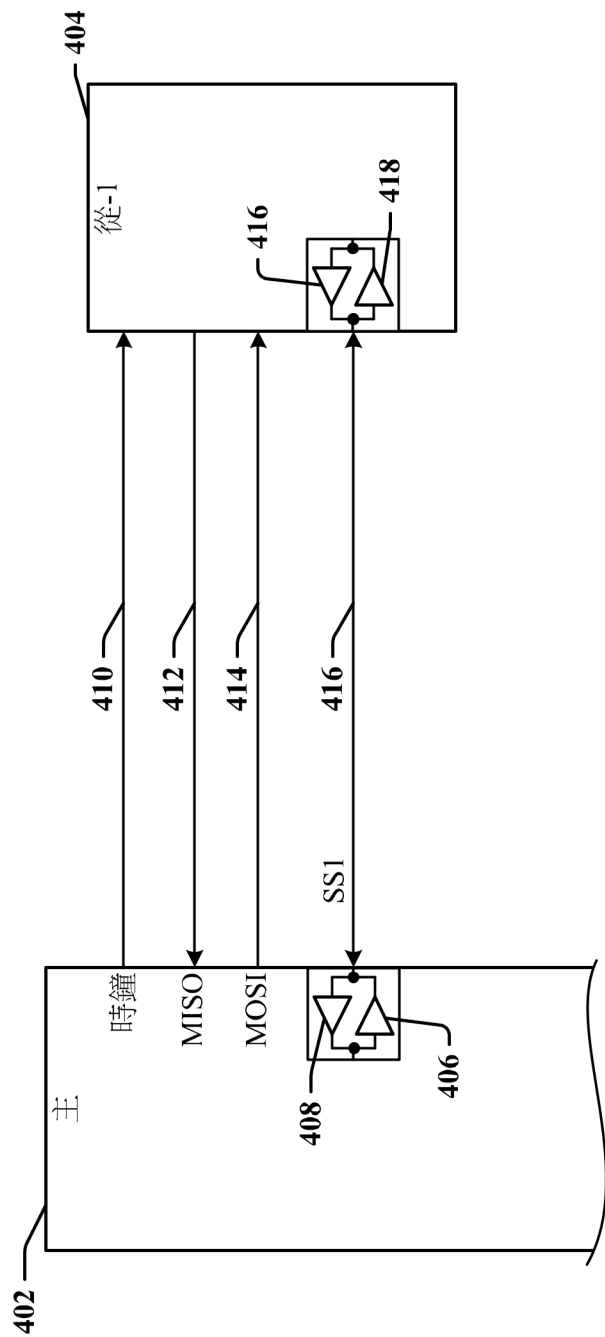


圖 4

500 ↗

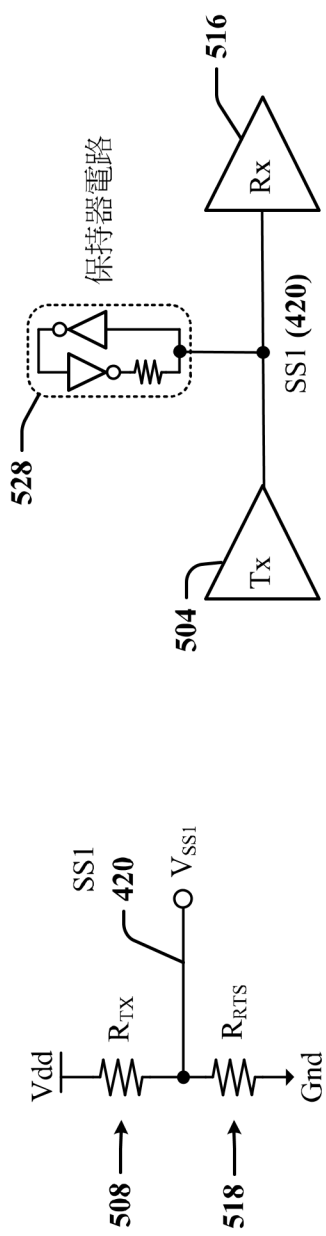
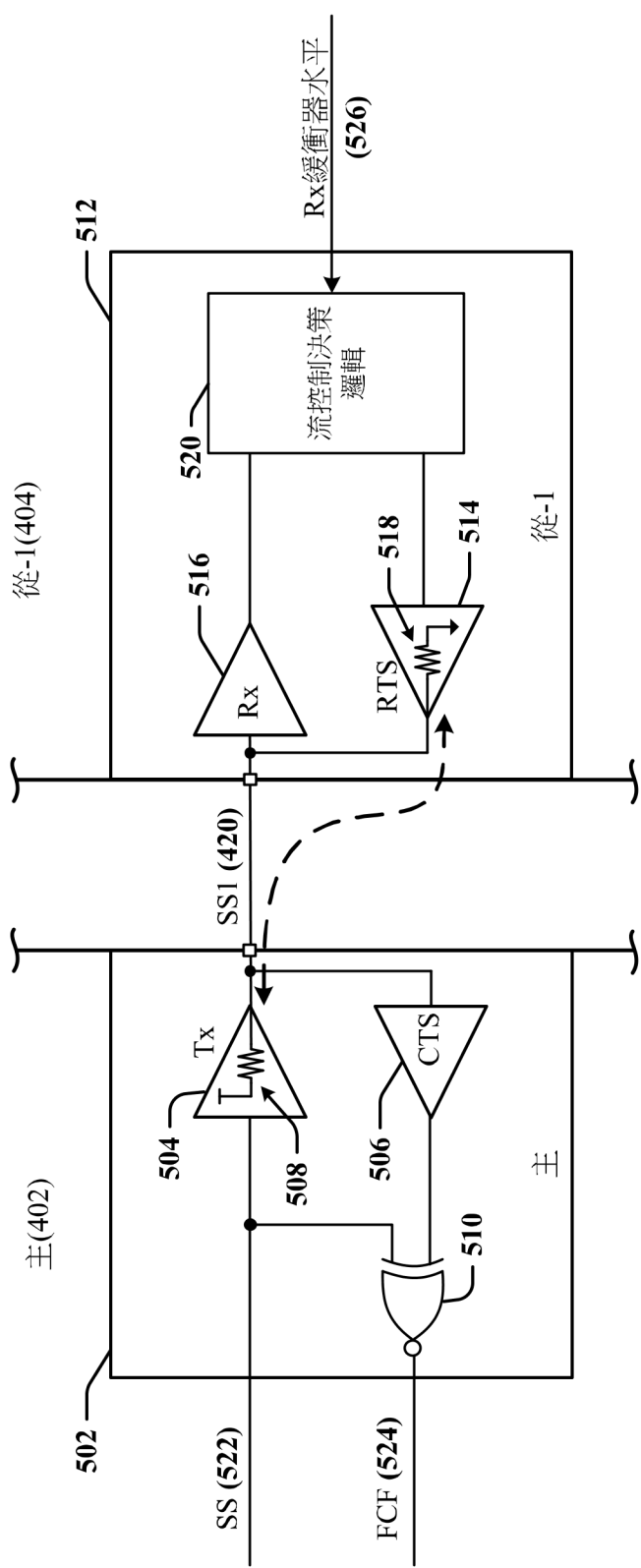


圖 5

600 當被設置為邏輯0（例如，低電壓位準）時SS使能

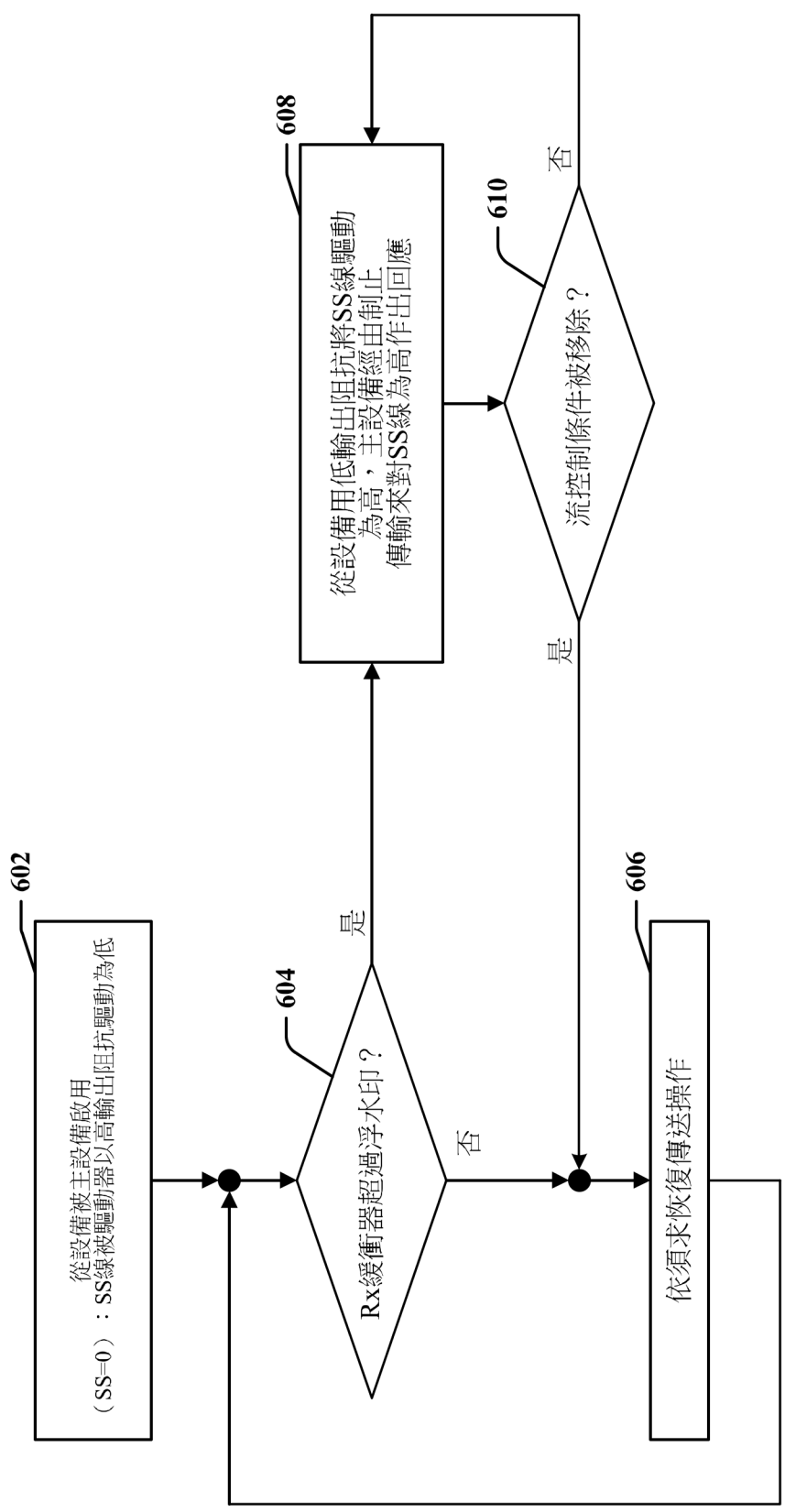


圖 6

700 當被設置為邏輯1（例如，高電壓位準）時SS使能

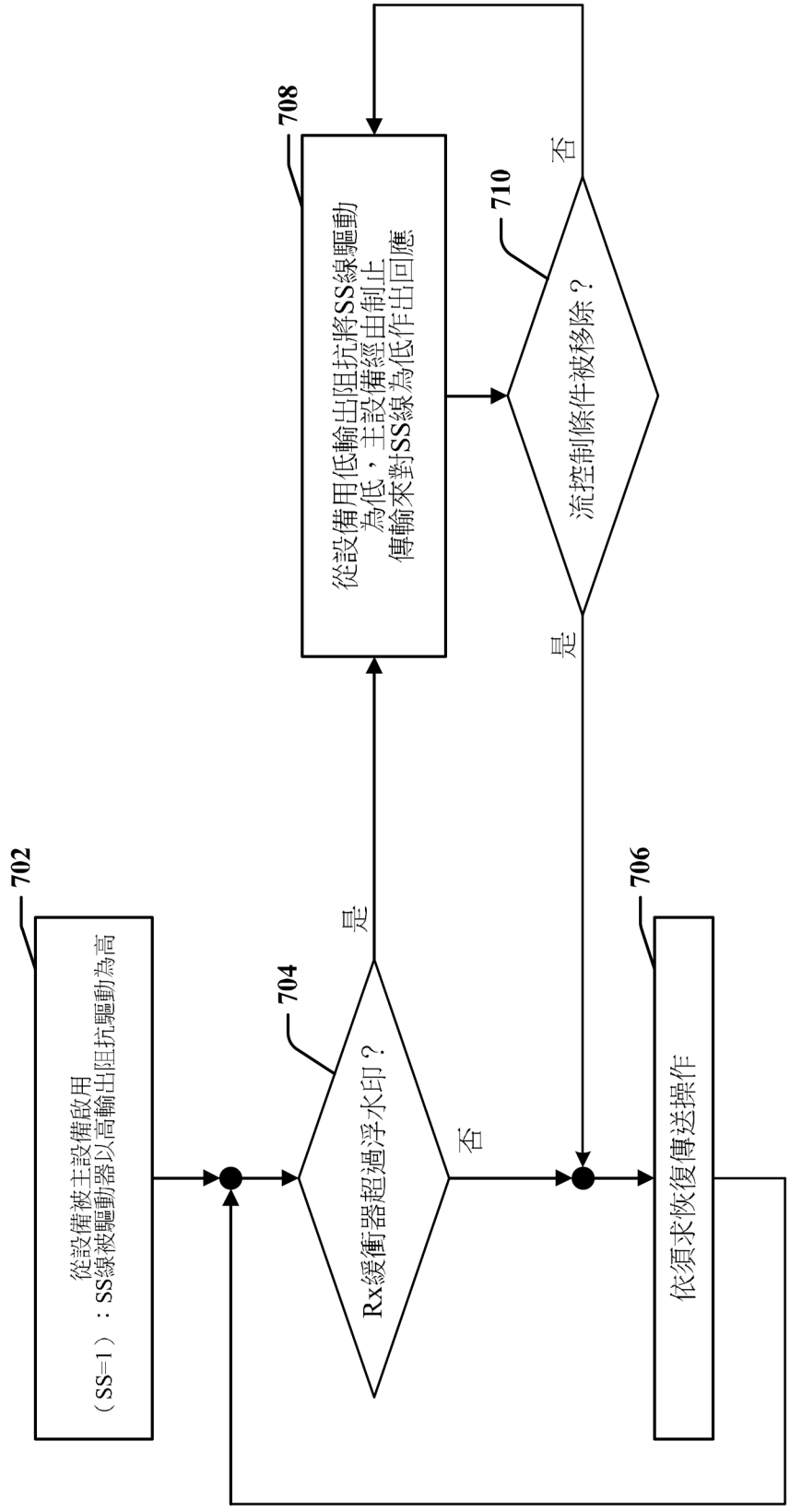


圖 7

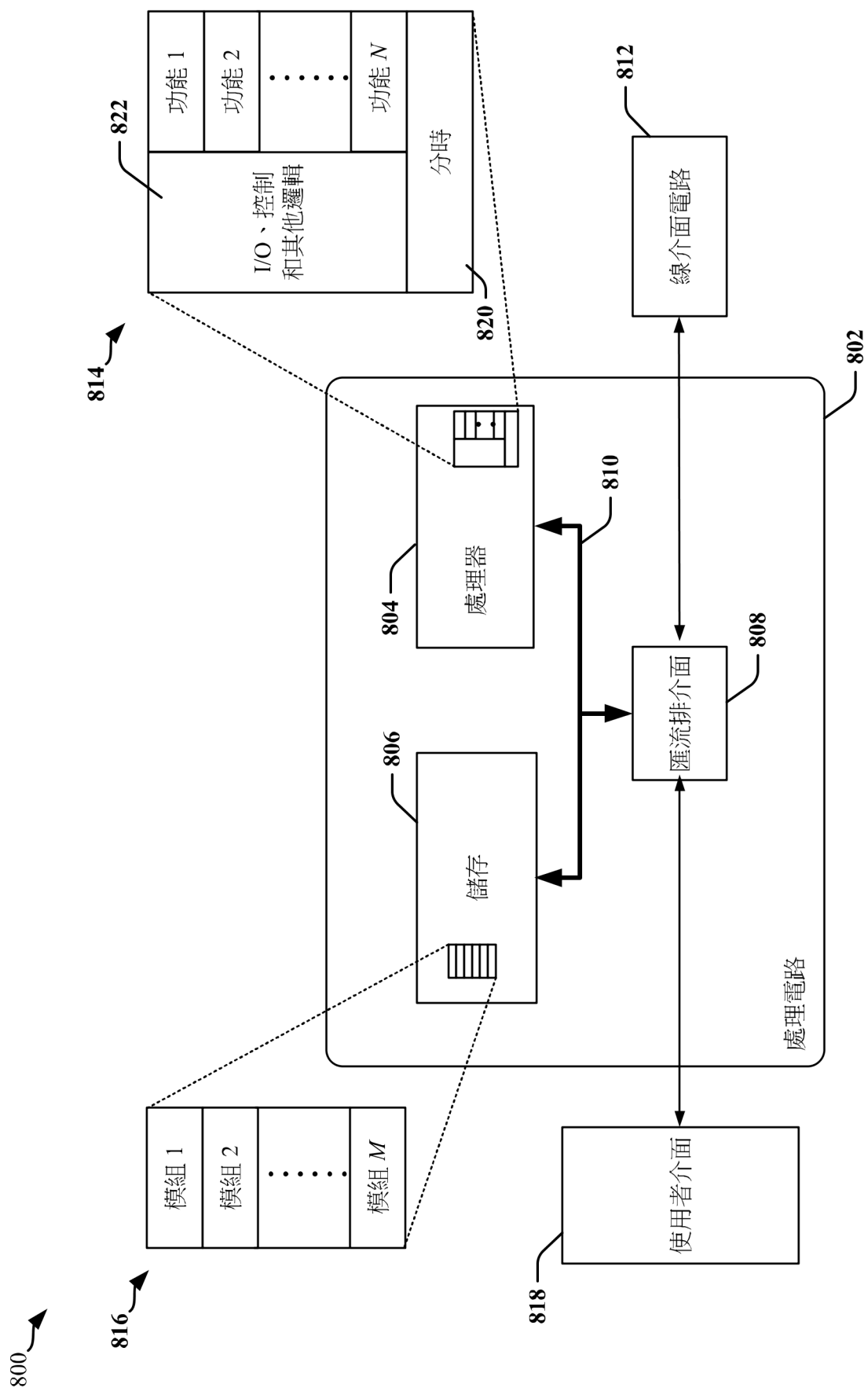


圖 8

900 ↗

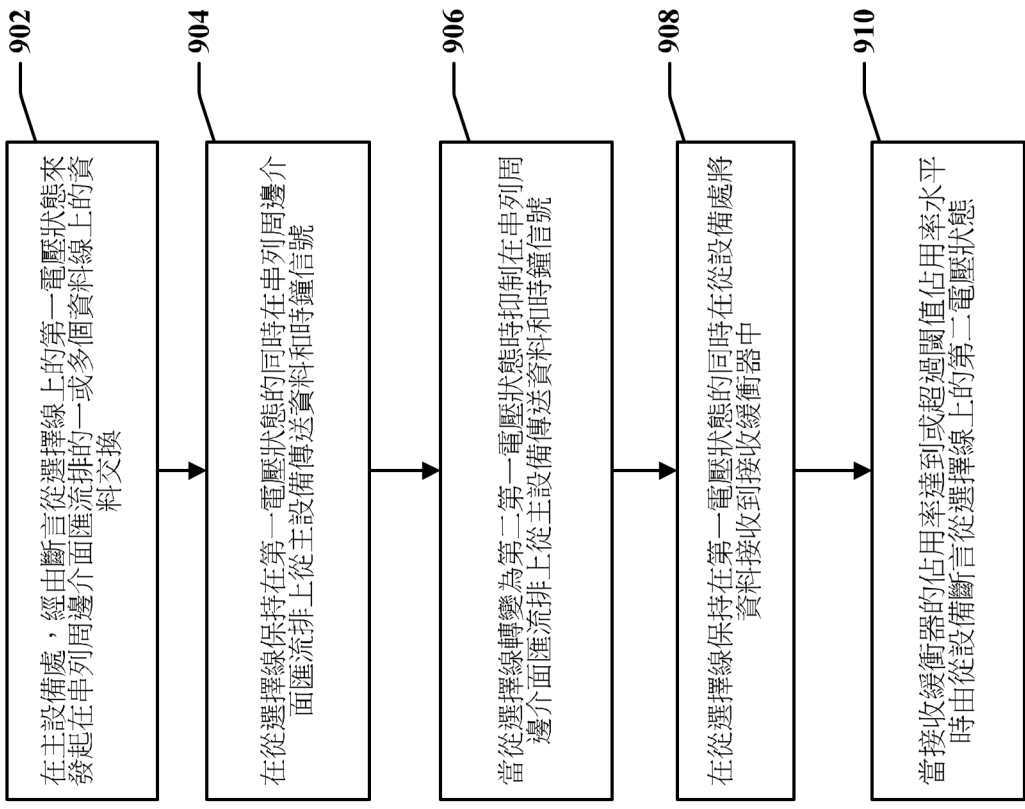


圖 9

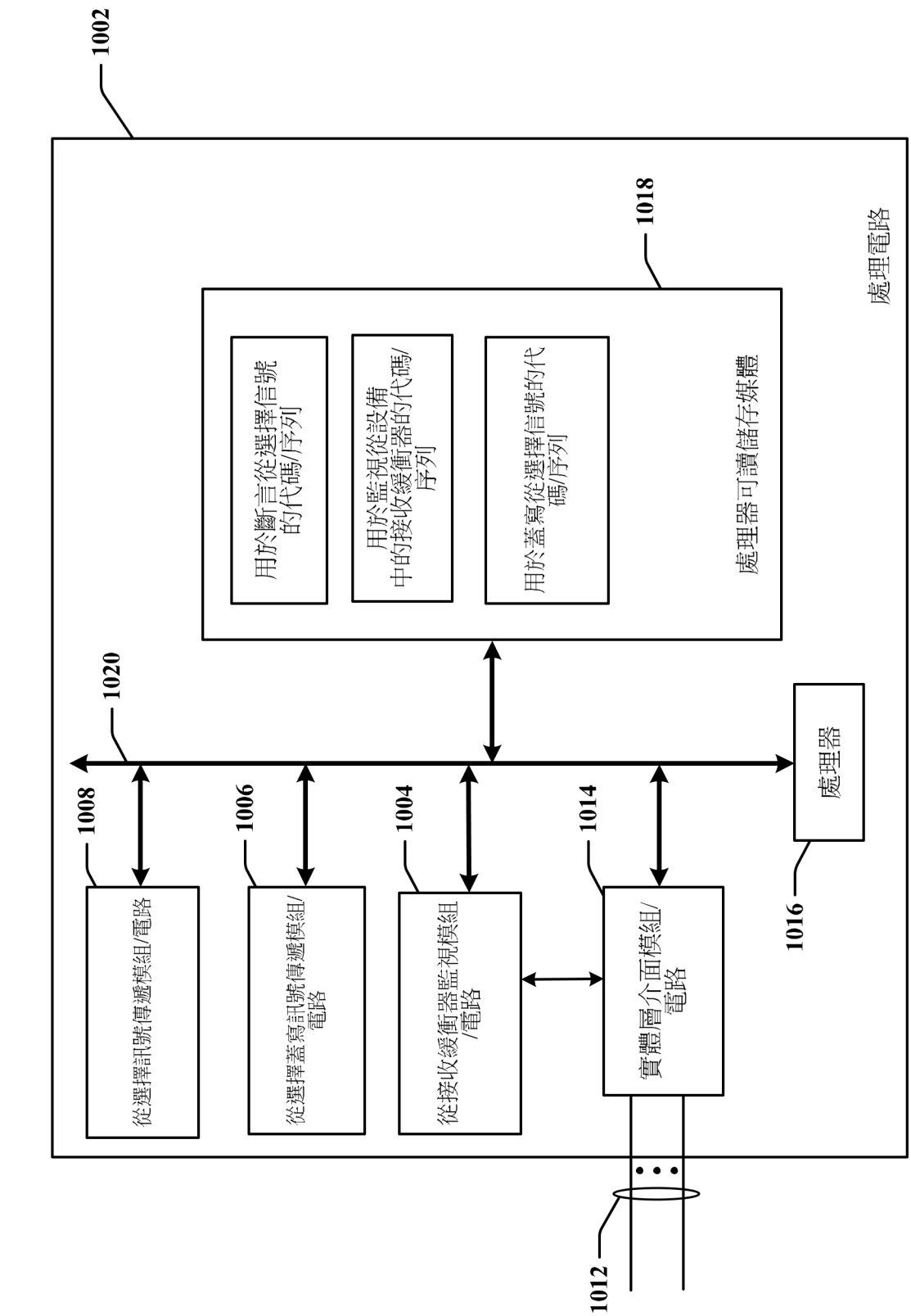


圖 10

1000