

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成20年10月16日(2008.10.16)

【公開番号】特開2007-102848(P2007-102848A)

【公開日】平成19年4月19日(2007.4.19)

【年通号数】公開・登録公報2007-015

【出願番号】特願2005-288566(P2005-288566)

【国際特許分類】

G 11 C 16/06 (2006.01)

G 11 C 16/04 (2006.01)

G 11 C 16/02 (2006.01)

H 01 L 21/8247 (2006.01)

H 01 L 27/115 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

【F I】

G 11 C 17/00 6 3 4 A

G 11 C 17/00 6 2 2 E

G 11 C 17/00 6 4 1

H 01 L 27/10 4 3 4

H 01 L 29/78 3 7 1

【手続補正書】

【提出日】平成20年8月29日(2008.8.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルを含むN個のメモリセル部と、

前記メモリセル部の一端に接続するビット線と、

前記ビット線に接続され、前記メモリセルに対する書き込みまたは読み出しデータを一時記憶するデータ回路と、を含み、

前記ビット線は、前記N個のメモリセル部のそれぞれに配置されるN本のサブビット線と、N-1個のトランスマルチплексор部を含み、

前記トランスマルチплексор部は、前記N個のメモリセル部の間に隣接して配置され、選択トランジスタを含むことを特徴とする半導体集積回路装置。

【請求項2】

前記選択トランジスタのゲート絶縁膜の厚さは、前記メモリセル部に含まれたメモリセルのゲート絶縁膜と同等であることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】

前記メモリセル部に含まれたメモリセルは、複数の不揮発性半導体メモリセルと選択トランジスタとが直列に接続されたNAND型メモリセルであることを特徴とする請求項1及び請求項2いずれかに記載の半導体集積回路装置。

【請求項4】

前記トランスマルチплексорはメモリセルを含み、

前記トランスマルチплексорに含まれたメモリセルは、前記メモリセル部に含まれたメモリ

セルと同じメモリセルであることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 5】

前記トランスマルチゲートに含まれたメモリセルは、前記メモリセル部に含まれた N A N D 型メモリセルと同じ N A N D 型メモリセルであることを特徴とする請求項 4 に記載の半導体集積回路装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 6

【補正方法】変更

【補正の内容】

【0 0 0 6】

この発明の一態様に係る半導体集積回路装置は、メモリセルを含む N 個のメモリセル部 と、前記メモリセル部の一端に接続するビット線と、前記ビット線に接続され、前記メモリセルに対する書き込みまたは読み出しデータを一時記憶するデータ回路と、を含み、前記ビット線は、前記 N 個のメモリセル部のそれぞれに配置される N 本のサブビット線 と、N - 1 個のトランスマルチゲート部 を含み、前記トランスマルチゲート部は、前記 N 個のメモリセル部の間に隣接して配置され、選択トランジスタを含む。