

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年7月20日(20.07.2023)



(10) 国際公開番号

WO 2023/136170 A1

(51) 国際特許分類:
H01L 27/04 (2006.01) H01L 23/522 (2006.01)
H01L 21/3205 (2006.01) H01L 27/00 (2006.01)
H01L 21/768 (2006.01)

(21) 国際出願番号: PCT/JP2022/048575

(22) 国際出願日: 2022年12月28日(28.12.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-005360 2022年1月17日(17.01.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

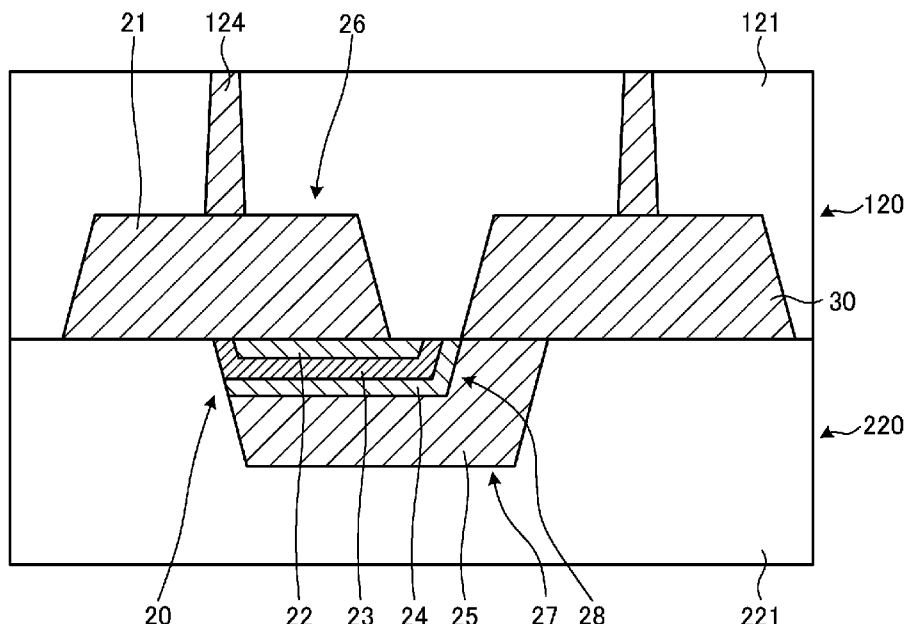
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 富田 一行 (TOMIDA, Kazuyuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 三宅 慎一 (MIYAKE, Shinichi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 半澤 克彦 (HANZAWA, Katsuhiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人 酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT

(54) Title: SEMICONDUCTOR ELEMENT AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体素子及び半導体装置



(57) Abstract: The present invention simplifies a manufacturing process. In the present invention, a semiconductor element (10) comprises: a first wiring region (wiring region 120) of a first semiconductor substrate (semiconductor substrate 110); a second wiring region (wiring region 220) of a second semiconductor substrate (semiconductor substrate 210); a first pad (pad 21) embedded in the surface of the first wiring region (wiring region 120); a second pad (pad 25) embedded in the surface of the second wiring region (wiring region 220), the second pad (pad 25) being positioned so as to overlap the first pad (pad 21) when the first wiring region (wiring region 120) and the second wiring region (wiring region 220)

OFFICE); 〒1000013 東京都千代田区霞が
関 3 丁目 8 番 1 号 虎の門三井ビル
ディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO(BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

— 国際調査報告 (条約第21条(3))

have been joined; a capacitance element (20) located in either one of the first pad (pad 21) and the second pad (pad 25); and a capacitance element connection pad (30) embedded in the first wiring region (wiring region 120), and connecting to the second pad (pad 25) when the first wiring region (wiring region 120) and the second wiring region (wiring region 220) have been joined.

(57) 要約：製造工程を簡略化する。半導体素子（10）は、第1の半導体基板（半導体基板110）の第1の配線領域（配線領域120）と、第2の半導体基板（半導体基板210）の第2の配線領域（配線領域220）と、第1の配線領域（配線領域120）の表面に埋め込まれた第1のパッド（パッド21）と、第2の配線領域（配線領域220）の表面に埋め込まれるとともに第1の配線領域（配線領域120）及び第2の配線領域（配線領域220）が接合された際に第1のパッド（パッド21）と重なる位置の第2のパッド（パッド25）と、第1のパッド（パッド21）及び第2のパッド（パッド25）の何れかに配置される容量素子（20）と、第1の配線領域（配線領域120）に埋め込まれるとともに第1の配線領域（配線領域120）及び第2の配線領域（配線領域220）が接合された際に第2のパッド（パッド25）と接続する容量素子接続パッド（30）とを有する。

明 細 書

発明の名称：半導体素子及び半導体装置

技術分野

[0001] 本開示は、半導体素子及び半導体装置に関する。

背景技術

[0002] 素子の小型化のため、複数の半導体基板を貼り合わせて構成された半導体素子を使用されている。半導体基板の貼り合わせは、半導体基板に配置された配線領域同士を接合することにより行うことができる。具体的には、配線領域の絶縁層の表面を活性化して加熱圧接することにより、配線領域の絶縁層同士を接合することができる。また、接合された配線領域の間における電気信号のやり取りは、それぞれの配線領域の接合面に配置されたパッドを介して行うことができる。このパッドは、電極等の金属が配置された領域である。それぞれの配線領域に位置合わせしたパッドを配置し、上述の絶縁層の接合の際に、これらのパッドを接合させることができる。

[0003] このような半導体素子において、MIM (Metal Insulator Metal) キャパシタを一方の配線領域の表面に配置されたビアプラグ内に形成した半導体装置が提案されている（例えば、特許文献1参照）。このキャパシタは、他方の配線領域の表面に配置されたパッドに接合される。

先行技術文献

特許文献

[0004] 特許文献1：特開2019-114595号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記の従来技術では、狭隘なビアプラグ内にMIMからなるキャパシタを形成するため、製造が困難になるという問題がある。

[0006] そこで、本開示では、容易に製造可能なMIMキャパシタを有する半導体素子及び半導体装置を提案する。

課題を解決するための手段

- [0007] 本開示に係る半導体素子は、第1の半導体基板と、第2の半導体基板と、上記第1の半導体基板に隣接して配置される第1の配線領域と、上記第2の半導体基板に隣接して配置されるとともに自身の表面が上記第1の配線領域の表面に接合される第2の配線領域と、上記第1の配線領域の表面に埋め込まれて配置される第1のパッドと、上記第2の配線領域の表面に埋め込まれて配置されるとともに上記第1の配線領域の表面及び上記第2の配線領域の表面が接合された際に上記第1のパッドと平面視において重なる位置に配置される第2のパッドと、上記第1のパッド及び上記第2のパッドの何れか一方に配置される第1の電極、誘電体層及び第2の電極が順に積層されて構成される容量素子と、上記第1の配線領域の表面に埋め込まれて配置されて上記第1の配線領域の表面及び上記第2の配線領域の表面が接合された際に上記第2のパッドと接続するパッドである容量素子接続パッドとを有する。
- [0008] また、本開示に係る半導体装置は、第1の半導体基板と、第2の半導体基板と、上記第1の半導体基板に隣接して配置される第1の配線領域と、上記第2の半導体基板に隣接して配置されるとともに自身の表面が上記第1の配線領域の表面に接合される第2の配線領域と、上記第1の配線領域の表面に埋め込まれて配置される第1のパッドと、上記第2の配線領域の表面に埋め込まれて配置されるとともに上記第1の配線領域の表面及び上記第2の配線領域の表面が接合された際に上記第1のパッドと平面視において重なる位置に配置される第2のパッドと、上記第1のパッド及び上記第2のパッドの何れか一方に配置される第1の電極、誘電体層及び第2の電極が順に積層されて構成される容量素子と、上記第1の配線領域の表面に埋め込まれて配置されて上記第1の配線領域の表面及び上記第2の配線領域の表面が接合された際に上記第2のパッドと接続するパッドである容量素子接続パッドと上記第1の配線領域に配置される配線を介して上記第1のパッドに接続される第1の電子回路と、上記第1の配線領域に配置される配線を介して上記容量素子接続パッドに接続される第2の電子回路と、を有する。

図面の簡単な説明

- [0009] [図1]本開示の実施形態に係る半導体素子の構成例を示す図である。
- [図2]本開示の第1の実施形態に係る半導体素子の構成例を示す図である。
- [図3A]本開示の第1の実施形態に係る容量素子の構成例を示す図である。
- [図3B]本開示の第1の実施形態に係る容量素子の構成例を示す図である。
- [図4A]本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。
- [図4B]本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。
- [図4C]本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。
- [図4D]本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。
- [図4E]本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。
- [図4F]本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。
- [図4G]本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。
- [図4H]本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。
- [図5]本開示の第2の実施形態に係る容量素子の構成例を示す図である。
- [図6A]本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。
- [図6B]本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。
- [図6C]本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。

[図7A]本開示の第3の実施形態に係る容量素子の構成例を示す図である。

[図7B]本開示の第3の実施形態に係る容量素子の構成例を示す図である。

[図8A]本開示の第3の実施形態に係る容量素子の他の構成例を示す図である

。

[図8B]本開示の第3の実施形態に係る容量素子の他の構成例を示す図である

。

[図9A]本開示の実施形態の変形例に係る容量素子の構成例を示す図である。

[図9B]本開示の実施形態の変形例に係る容量素子の構成例を示す図である。

[図10]本開示に係る技術が適用され得る撮像素子の構成例を示すブロック図である。

[図11]本開示に係る技術が適用され得る画素の構成例を示す図である。

[図12]本開示に係る技術が適用され得る電流電圧変換回路及び微分回路の構成例を示す図である。

[図13]本開示に係る技術が適用され得る画素アレイ部の構成例を示す図である。

発明を実施するための形態

[0010] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。説明は、以下の順に行う。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

1. 第1の実施形態
2. 第2の実施形態
3. 第3の実施形態
4. 変形例
5. 応用例

[0011] (1. 第1の実施形態)

[半導体素子の構成]

図1は、本開示の実施形態に係る半導体素子の構成例を示す図である。同図は、半導体素子10の構成例を表す図である。半導体素子10は、半導体

チップ１００及び半導体チップ２００が積層されて構成される半導体素子である。同図の半導体チップ１００は、半導体基板１１０及び配線領域１２０を備える。また、同図の半導体チップ２００は、半導体基板２１０及び配線領域２２０を備える。同図に表したように、半導体チップ１００及び半導体チップ２００は、それぞれの配線領域が接合されて積層される。

[0012] このように、半導体素子１０は、半導体チップ１００及び２００が積層されるため、チップ表面の面積を縮小することができる。また、半導体チップ１００及び２００に性質が異なる回路を配置することもできる。例えば、半導体チップ１００にデジタル信号を扱うロジック回路を配置し、半導体チップ２００にアナログ信号を扱う回路を配置することもできる。この場合、それぞれの回路に適した製造プロセスを適用して半導体チップ１００及び２００を製造することができる。

[0013] [半導体素子の断面の構成]

図２は、本開示の第１の実施形態に係る半導体素子の構成例を示す図である。同図は、半導体素子１０の構成例を表す断面図である。前述のように、半導体チップ１００は半導体基板１１０及び配線領域１２０を備え、半導体チップ２００は半導体基板２１０及び配線領域２２０を備える。

[0014] 半導体基板１１０は、半導体素子の拡散層が形成される半導体の基板である。この半導体基板１１０は、例えば、シリコン（Si）により構成された基板を使用することができる。

[0015] 配線領域１２０は、半導体基板１１０の表面側に配置され、半導体基板１１０に形成された素子の配線が形成される領域である。配線領域１２０は、絶縁層１２１及び配線１２２を備える。絶縁層１２１は、半導体基板１１０や配線１２２を絶縁するものである。この絶縁層１２１は、例えば、酸化シリコン（SiO₂）により構成することができる。配線１２２は、半導体基板１１０に形成された素子に電気信号等を伝達するものである。この配線１２２は、例えば、銅（Cu）等の金属により構成することができる。

[0016] 絶縁層１２１及び配線１２２は、多層に構成することもできる。この場合

、異なる層に配置された配線 1 2 2 同士は、ビアプラグ 1 2 4 により接続することができる。同図のビアプラグ 1 2 4 は、後述するパッド 1 2 5 と配線 1 2 2 との間を接続する。このビアプラグ 1 2 4 は、柱状の導体であり、Cu 等の金属により構成することができる。また、配線 1 2 2 と半導体基板 1 1 0 との間には、コンタクトプラグ 1 2 3 が配置される。このコンタクトプラグ 1 2 3 も柱状の導体であり、タングステン (W) 等の金属により構成することができる。

[0017] 半導体基板 2 1 0 は、半導体基板 1 1 0 と同様の半導体の基板である。配線領域 2 2 0 は、半導体基板 2 1 0 の表面側に配置され、絶縁層 2 2 1、配線 2 2 2、コンタクトプラグ 2 2 3 及びビアプラグ 2 2 4 を備える。

[0018] 配線領域 1 2 0 の表面には、パッド 1 2 5 が配置される。また、配線領域 2 2 0 の表面には、パッド 2 2 5 が配置される。これらパッド 1 2 5 及び 2 2 5 は、配線領域 1 2 0 及び 2 2 0 が貼り合わされる際に接合され、電氣的に接続されるパッドである。パッド 1 2 5 及び 2 2 5 は、ビアプラグ 1 2 4 及び 2 2 4 と同様に Cu により構成することができる。以下、このようなパッド 1 2 5 及び 2 2 5 による接続をパッド間接続と称する。なお、配線領域 1 2 0 には、後述するパッド 2 1 及び容量素子接続パッド 3 0 が配置される。パッド 2 1 及び容量素子接続パッド 3 0 には、ビアプラグ 1 2 4 がそれぞれ接続される。また、配線領域 2 2 0 には、後述するパッド 2 5 が配置される。

[0019] 半導体素子 1 0 には、複数の電子回路を配置することができる。同図の半導体素子 1 0 は、電子回路 1 1 乃至 1 3 が配置される例を表したものである。同図の半導体チップ 2 0 0 の半導体基板 2 1 0 には、電子回路 1 1 が配置される。また、半導体チップ 1 0 0 の半導体基板 1 1 0 には、電子回路 1 2 及び電子回路 1 3 が配置される。

[0020] また、同図の半導体素子 1 0 は、容量素子 2 0 を更に備える。この容量素子 2 0 は、キャパシタとも称され、2 つの導体の間に誘電体が配置される素子である。同図の容量素子 2 0 は、パッド 2 5 に形成された凹部に埋め込ま

れて配置される。配線領域 120 及び配線領域 220 が接合されると、パッド 21 が容量素子 20 に接続される。すなわち、容量素子 20 の一方の導体とパッド 25 が接続され、容量素子 20 の他方の導体とパッド 21 が接続される。また、この接合により、パッド 25 における容量素子 20 が配置されない表面の領域と容量素子接続パッド 30 とが接続される。容量素子 20 は、電子回路 12 及び電子回路 13 の間に接続されることとなる。

[0021] 電子回路 11 及び電子回路 12 の間には、信号線 16 により接続される。同図において信号線 16 は、コンタクトプラグ 223、配線 222、ビアプラグ 224、パッド 225、パッド 125、ビアプラグ 124、配線 122 及びコンタクトプラグ 123 を含んで構成される。

[0022] また、電子回路 12 と容量素子 20 の間には、信号線 17 により接続される。同図において信号線 17 は、コンタクトプラグ 123、配線 122、ビアプラグ 124 及びパッド 21 を含んで構成される。また、容量素子 20 と電子回路 13 の間には、信号線 18 により接続される。同図において、信号線 18 は、パッド 25、容量素子接続パッド 30、ビアプラグ 124、配線 122 及びコンタクトプラグ 123 を含んで構成される。

[0023] なお、半導体基板 110 は、請求の範囲に記載の第 1 の半導体基板の一例である。半導体基板 210 は、請求の範囲に記載の第 2 の半導体基板の一例である。配線領域 120 は、請求の範囲に記載の第 1 の配線領域の一例である。配線領域 220 は、請求の範囲に記載の第 2 の配線領域の一例である。

[0024] [容量素子の構成]

図 3A 及び 3B は、本開示の第 1 の実施形態に係る容量素子の構成例を示す図である。図 3A は、容量素子 20 の構成例を表す断面図である。前述のように、同図の容量素子 20 は、パッド 21 及びパッド 25 の間に配置される。容量素子 20 は、第 1 の電極 22、誘電体層 23 及び第 2 の電極 24 が順に積層されて構成される。このように、容量素子 20 は、MIM キャパシタを構成する。なお、パッド 21 は、絶縁層 121 の表面に形成された凹部 26 に配置される。パッド 25 は、絶縁層 221 の表面に形成された凹部 2

7に配置される。

[0025] 誘電体層23は、酸化アルミニウム (AlO_x)、酸化ジルコニウム (ZrO_x)、酸化ハフニウム (HfO_x) 及び酸化チタン (TiO_x) 等の絶縁性を有する部材により構成することができる。

[0026] 第1の電極22及び第2の電極24は、チタン (Ti)、タンタル (Ta) 及びタングステン (W) 等の金属や窒化チタン (TiN) 及び窒化タンタル (TaN) 等の導電性を有する部材により構成することができる。また、これらの部材を組み合わせて使用することもできる。

[0027] また、パッド21及びパッド25をCuにより構成する場合には、第1の電極22及び第2の電極24にバリア層としての機能を持たせることができる。ここで、バリア層は、パッド21等を構成する部材の絶縁層121等への拡散を防ぐためにパッド21等と絶縁層121との間に配置されるものである。図示はしていないが、パッド21やビアプラグ124、配線122にもバリア層が配置される。

[0028] 同図の容量素子20は、パッド25に形成された凹部28に配置することができる。この凹部28は、パッド25の表面の一部の領域に形成される。この凹部28に第2の電極24、誘電体層23及び第1の電極22を順に積層することにより、容量素子20を形成することができる。この際、パッド21に接する領域の凹部28の側壁には、第2の電極24を配置しない構成にする必要がある。パッド21及び第2の電極24の短絡を防ぐためである。これは、凹部28におけるパッド25の表面のみに第2の電極24を成膜する選択成膜により行うことができる。また、凹部28に第2の電極24の部材を配置した後に凹部28の側壁に配置された第2の電極24の部材を除去することにより、行うこともできる。この第2の電極24の部材の除去は、異方性のドライエッチングにより行うことができる。

[0029] 図3Bは、容量素子20の構成例を表す平面図である。同図は、半導体チップ100の側から見た配線領域220の表面の構成を表した図である。なお、同図の点線は、パッド21及び容量素子接続パッド30を表す。

[0030] 同図に表したように、凹部 28 において第 2 の電極 24 及び第 1 の電極 22 が重ならない位置に配置される。また、容量素子接続パッド 30 は、パッド 25 の凹部 28 が形成される領域とは異なる領域に接合されて接続される。

[0031] このように、半導体素子 10 は、収容する回路の容量素子 20 を配線領域 120 及び配線領域 220 の界面に配置することができる。パッド間接続に使用する領域に容量素子 20 を配置することができるため、配線領域 120 等に容量素子 20 を配置する場合と比較して、半導体チップ 100 等の面積を縮小することができる。また、容量素子 20 をパッド間接続のダミー接続の領域に配置することもできる。ここでダミー接続とは、電氣的に孤立したパッドによるパッド間接続である。このダミー接続は、配線領域 120 及び 220 の接合強度向上等のために配置されるものである。容量素子 20 をパッド間接続のダミー接続の領域に配置することにより、半導体チップ 100 等の面積を更に縮小することができる。

[0032] なお、同図のパッド 25 は平面視において円形状に構成される例を表したものであるが、パッド 25 の構成はこの例に限定されない。例えば、平面視において矩形形状に構成されたパッド 25 を使用することもできる。同様に、パッド 21 及び容量素子接続パッド 30 も平面視において矩形形状等に構成することができる。

[0033] [半導体素子の製造方法]

図 4 A - 4 H は、本開示の第 1 の実施形態に係る半導体素子の製造方法の一例を示す図である。同図は、半導体素子 10 の製造工程を表す図である。なお、同図において、半導体基板 110 及び 210 の記載を省略する。

[0034] まず、半導体基板 210 の表面側に絶縁層 221 及び配線 222 を配置する（図 4 A）。次に、絶縁層 221 の表面に前述の凹部 27 及び 501 を形成する（図 4 B）。この凹部 501 には、パッド 225 及びビアプラグ 224 が配置される。凹部 27 及び 501 の形成は、絶縁層 221 をエッチングすることにより行うことができる。

[0035] 次に、凹部 27 及び 501 の壁面にバリア層（不図示）を配置し、ビアプラグ 224、パッド 225 及びパッド 25 を形成する（図 4 C）。これは、Cu 層のめっきにより行うことができる。

[0036] 次に、パッド 25 に凹部 28 を形成する（図 4 D）。これは、パッド 25 をエッチングすることにより行うことができる。

[0037] 次に、凹部 28 に第 2 の電極 24 を配置する（図 4 E）。これは、前述の選択成膜により行うことができる。

[0038] 次に、凹部 28 を含む配線領域 220 の表面に誘電体層 23 を構成する材料膜 502 及び第 1 の電極 22 を構成する材料膜 503 を順に積層する（図 4 F）。次に、配線領域 220 の表面を研削し、凹部 28 以外の領域に配置された材料膜 502 及び 503 を除去する（図 4 G）。配線領域 220 の表面の研削は、例えば、化学的機械的研磨（CMP：Chemical Mechanical Polishing）により行うことができる。これにより、容量素子 20 を形成することができる。

[0039] 次に、配線領域 220 の表面に半導体チップ 100 の配線領域 120 の表面を接合する（図 4 H）。これは、配線領域 220 及び配線領域 120 の表面をプラズマ処理した後に位置合わせして重ね合わせ、加熱圧接することにより行うことができる。以上の工程により半導体素子 10 を製造することができる。

[0040] このように、本開示の第 1 の実施形態の半導体素子 10 は、容量素子 20 を半導体基板同士の接続のためのパッド 25 に配置する。ビアプラグ 224 等と比較して広い面積の領域に凹部 28 を形成して容量素子 20 を配置するため、容量素子 20 の製造を容易に行うことができる。

[0041] （2. 第 2 の実施形態）

上述の第 1 の実施形態の半導体素子 10 は、パッド 25 に容量素子 20 が配置されていた。これに対し、本開示の第 2 の実施形態の半導体素子 10 は、パッド 21 に容量素子 20 が配置される点で、上述の第 1 の実施形態と異なる。

[0042] [容量素子の構成]

図5は、本開示の第2の実施形態に係る容量素子の構成例を示す図である。同図は、図3Aと同様に、容量素子20の構成例を表す断面図である。同図の容量素子20は、パッド21に配置される点で、図3Aの容量素子20と異なる。

[0043] 同図の容量素子20は、パッド21に形成された凹部31に配置される。具体的には、同図の容量素子20は、第1の電極22、誘電体層23及び第2の電極24が凹部31に順に積層されて形成される。

[0044] また、容量素子20には、導電膜29を積層することができる。この導電膜29は、例えば、Cuにより構成することができる。導電膜29を配置することにより、パッド間接続の際にパッド25と同じ材料膜同士を接合することができる。

[0045] [半導体素子の製造方法]

図6A－6Cは、本開示の第1の実施形態に係る半導体素子の製造方法の一例を示す図である。同図は、半導体素子10の製造工程を表す図である。なお、図4A－4Hと同様に、半導体基板110及び210の記載を省略する。

[0046] まず、半導体基板110の表面側に絶縁層121、配線122（不図示）、ビアプラグ124、パッド125及び21並びに容量素子接続パッド30を配置する（図6A）。次に、パッド21の表面に凹部31を形成する（図6B）。次に、凹部31に第1の電極22、誘電体層23及び第2の電極24を積層し、容量素子20を形成する。次に、導電膜29を形成する。これは、第2の電極24をシード層とするめっき法により行うことができる。また、PVD（Physical Vapor Deposition）により形成することもできる（図6C）。

[0047] 次に、配線領域120の表面に半導体チップ200の配線領域220の表面を接合することにより、半導体素子10を製造することができる。

[0048] これ以外の半導体素子10の構成は本開示の第1の実施形態における半導

体素子 10 の構成と同様であるため、説明を省略する。

[0049] このように、本開示の第 2 の実施形態の半導体素子 10 は、パッド 21 に容量素子 20 を配置する。パッド 25 に容量素子 20 を配置する場合と同様に、容量素子 20 の製造を容易に行うことができる。

[0050] (3. 第 3 の実施形態)

上述の第 1 の実施形態の半導体素子 10 は、パッド 25 に容量素子 20 を配置していた。これに対し、本開示の第 3 の実施形態の半導体素子 10 は、パッド 25 に接続される。パッド 21 及び容量素子接続パッド 30 の間の寄生容量を更に使用する点で、上述の第 1 の実施形態と異なる。

[0051] [容量素子の構成]

図 7 A 及び 7 B は、本開示の第 3 の実施形態に係る容量素子の構成例を示す図である。同図は、半導体チップ 100 の半導体基板 110 の側から見た容量素子 20 の構成を表す図である。同図の破線は、パッド 25 を表す。

[0052] 図 7 A のパッド 21 及び容量素子接続パッド 30 は、平面視において長方形の形状に構成されるとともに、長辺において互いに対向する形状に配置される。これにより、パッド 21 及び容量素子接続パッド 30 の間には比較的高い静電容量の寄生容量 510 が形成される。この寄生容量 510 は容量素子 20 に並列に接続されるため、容量素子 20 の静電容量を増加させることができる。

[0053] 図 7 B は、ビアプラグ 124 の代わりにビアプラグ 129 を配置する例を表した図である。このビアプラグ 129 は、長方形の形状の断面に構成されるビアプラグである。

[0054] [容量素子の他の構成]

図 8 A 及び 8 B は、本開示の第 3 の実施形態に係る容量素子の他の構成例を示す図である。同図は、パッド 21 及び容量素子接続パッド 30 の互いに対向する面を更に広くする場合の例を表す図である。また、同図は、複数のパッド 25 を配置する例を表したものである。これらのパッド 25 には、それぞれ容量素子 20 (不図示) を配置することができる。

[0055] これ以外の半導体素子 10 の構成は本開示の第 1 の実施形態における半導体素子 10 の構成と同様であるため、説明を省略する。

[0056] このように、本開示の第 3 の実施形態の半導体素子 10 は、互いに対向する面を広くしたパッド 21 及び容量素子接続パッド 30 を使用する。これにより、容量素子 20 の静電容量を増加させることができる。

[0057] (4. 変形例)

上述の第 1 の実施形態の半導体素子 10 は、容量素子接続パッド 30 を使用していたが、他の構成を採ることもできる。

[0058] [容量素子の構成]

図 9 A 及び 9 B は、本開示の実施形態の変形例に係る容量素子の構成例を示す図である。同図は、容量素子接続パッド 30 を省略し、パッド 25 にビアプラグ 224 を接続する場合の例を表したものである。図 9 A はパッド 25 に容量素子 20 が配置される場合の例を表し、図 9 B はパッド 21 に容量素子 20 が配置される場合の例を表す。容量素子 20 が半導体基板 110 及び 210 に配置される電子回路の間に接続される場合には、パッド 25 にビアプラグ 224 及び不図示の配線 222 を接続して半導体基板 210 の電子回路に接続する構成を採ることができる。

[0059] (5. 応用例)

上述の第 1 の実施形態の半導体素子 10 は、様々な製品へ応用することができる。例えば、本開示に係る技術は、EVS (Event-based Vision Sensor) に適用されてもよい。この EVS は、被写体の画像の輝度変化を検出することにより、対象物の動きを検出するシステムである。EVS は、複数の画素を有する撮像素子を備える。これら複数の画素は、入射光の輝度の変化量の絶対値が閾値を超えた旨をアドレスイベントとして検出する。このイベントは、たとえば、輝度の上昇量が上昇方向の閾値を超えた旨を示すオンイベントと、輝度の低下量が低下方向の閾値を下回った旨を示すオフイベントとを含む。そして、撮像素子は、イベントの検出結果を示す検出信号を画素毎に生成する。それぞれの検出信号は、オンイベントの有無を示す検出信号

と、オフイベントの有無を示す検出信号とを含む。

[0060] [撮像素子の構成]

図10は、本開示に係る技術が適用され得る撮像素子の構成例を示すブロック図である。同図の撮像素子1は、EVSシステムを構成する。この撮像素子1は、画素アレイ部50と、制御回路60と、アービタ70と、信号処理部80と、閾値電圧生成部90とを備える。

[0061] 画素アレイ部50は、複数の画素300が配置されて構成されたものである。同図の画素アレイ部50は、画素300が2次元行列状に配置される例を表したものである。画素300は、入射光の光電変換を行う光電変換部を備え、光電変換に基づく光電流の変化量に基づいてイベントの検出を行う。

[0062] イベントを検出した画素300は、イベントの検出信号を後述する制御回路60および信号処理部80に対して出力する。制御回路60は、検出信号を出力した画素300に対して制御信号を出力し、画素300において検出されたイベントをリセットさせる。また、信号処理部80は、検出信号に対して所定の信号処理を行う。

[0063] この検出信号の出力に先立ち、画素300は、後述するアービタ70に対して検出信号の出力を要求するリクエストを送出する。アービタ70は、リクエストを送出した画素300を選択してリクエストに対する応答を出力する。この応答は、検出信号の出力を許可するものである。

[0064] 制御回路60は、画素アレイ部50のそれぞれの画素300における画素アドレスイベントのリセットを制御する回路である。この制御回路60は、後述する画素300に配置された微分回路330をリセットする制御信号を出力する。画素300と制御回路60との間は信号線51により接続される。画素300からのイベントの検出信号および制御回路60からの制御信号は、信号線51により伝達される。

[0065] アービタ70は、リクエストを送出した画素300を選択するものである。上述のように、アドレスイベントを検出した画素300は、検出信号を制御回路60および信号処理部80に出力する。この制御信号の供給は、1つ

の画素３００に対して独占的に行う必要がある。複数の画素３００における検出信号の出力の際の衝突を防ぐためである。そこで、アービタ７０が画素アドレスイベントを検出した複数の画素３００の調停を行う。具体的には、アービタ７０は、リクエストを送出した画素３００のうちの１つを選択し、この選択した画素３００に対して応答を返す。この応答は、選択の結果を表す。画素３００とアービタ７０の間は信号線５２により接続される。画素３００からのリクエスト及びアービタ７０からの応答は、信号線５２により伝達される。

[0066] アービタ７０は、複数の画素３００からリクエストが送出された際は、リクエストが送出された順に画素３００を選択することができる。この際、アービタ７０は、特定の画素３００に対して優先的な選択を行うことができる。例えば、アービタ７０は、後述する高い優先度が設定されたリクエストを送出した画素３００を優先して選択することができる。

[0067] 信号処理部８０は、画素３００からの検出信号に対して所定の信号処理を行うものである。例えば、信号処理部８０は、かかる検出信号を画像信号として２次元行列状に配列し、画素３００毎に２ビットの情報を有する画像データを生成することができる。また、信号処理部８０は、生成した画像データに対して画像認識処理などの信号処理を行うことができる。画素３００と信号処理部８０の間は信号線５３により接続される。画素３００からの検出信号は、信号線５３により伝達される。

[0068] 閾値電圧生成部９０は、前述の閾値に相当する電圧である閾値電圧を生成するものである。この閾値電圧生成部９０は、生成した閾値電圧を画素３００に供給する。閾値電圧は、信号線５４により伝達される。

[0069] [画素の構成]

図１１は、本開示に係る技術が適用され得る画素の構成例を示す図である。同図は、画素３００の構成例を表す図である。同図の画素３００は、光電変換部３１０と、電流電圧変換回路３２０と、微分回路３３０と、輝度変化検出部３４０と、リクエスト生成部３６０とを備える。

[0070] 光電変換部 310 は、入射光の光電変換を行うものである。この光電変換部 310 は、フォトダイオードにより構成することができる。この光電変換により入射光の輝度に応じた電荷が生成される。この光電変換部 310 に電圧を印加することにより、生成された電荷に応じた電流である光電流を外部の回路に供給することができる。

[0071] 電流電圧変換回路 320 は、光電変換部 310 からの光電流を電圧信号に変換するものである。また、この変換の際、電流電圧変換回路 320 は、電圧信号の対数圧縮を行う。変換後の電圧信号は、微分回路 330 に対して出力される。電流電圧変換回路 320 の構成の詳細については後述する。

[0072] 微分回路 330 は、電流電圧変換回路 320 から出力される電圧信号の変化分を抽出するとともに変化分を積算して電圧信号の変化量に応じた信号を生成するものである。この信号は、入射光の輝度の変化に応じた信号に相当する。この信号を光信号と称する。微分回路 330 は、生成した光信号を輝度変化検出部 340 に出力する。この光信号は、信号線 301 により伝達される。また、微分回路 330 は、制御回路 60 から制御信号が入力される。この制御信号は、上述の電圧信号の変化量を検出する回路をリセットする信号である。微分回路 330 の構成の詳細については後述する。

[0073] 輝度変化検出部 340 は、入射光の輝度変化を検出するものである。同図の輝度変化検出部 340 は、微分回路 330 から出力された光信号の変化を閾値電圧生成部 90 から供給された閾値電圧に基づいて検出する。検出結果は、リクエスト生成部 360 に出力される。

[0074] リクエスト生成部 360 は、輝度変化検出部 340 における輝度変化の検出結果の転送を要求するリクエストを生成し、アービタ 70 に対して出力するものである。また、リクエスト生成部 360 は、リクエストに対する応答がアービタ 70 から出力されると、輝度変化の検出信号を信号処理部 80 および制御回路 60 に対して出力する。

[0075] [電流電圧変換回路及び微分回路の構成]

図 12 は、本開示に係る技術が適用され得る電流電圧変換回路及び微分回

路の構成例を示す図である。同図は、電流電圧変換回路 320 及び微分回路 330 の構成例を表す回路図である。なお、同図には、光電変換部 310 をさらに記載した。

[0076] 同図の電流電圧変換回路 320 は、MOS トランジスタ 321 乃至 323 を備える。同図において V_{dd} は、電源を供給する電源線 V_{dd} を表す。 V_{b1} は、バイアス電圧を供給する信号線 V_{b1} を表す。MOS トランジスタ 321 及び 323 には、 n チャネル MOS トランジスタを使用することができる。MOS トランジスタ 322 には、 p チャネル MOS トランジスタを使用することができる。

[0077] 光電変換部 310 のアノードは接地され、カソードは信号線 16 を介して電流電圧変換回路 320 の入力に接続される。電流電圧変換回路 320 において、信号線 16 は、MOS トランジスタ 321 のソースおよび MOS トランジスタ 323 のゲートに接続される。MOS トランジスタ 321 及び MOS トランジスタ 322 のドレインは電源線 V_{dd} に接続され、MOS トランジスタ 322 のゲートは信号線 V_{b1} に接続される。MOS トランジスタ 323 のソースは接地され、ドレインは MOS トランジスタ 321 のゲート、MOS トランジスタ 322 のドレインおよび電流電圧変換回路 320 の出力信号線である信号線 17 に接続される。この信号線 17 には、微分回路 330 のキャパシタの一端が接続される。

[0078] MOS トランジスタ 321 は、光電変換部 310 に電流を供給する MOS トランジスタである。光電変換部 310 には、入射光に応じたシンク電流（光電流）が流れる。MOS トランジスタ 321 は、このシンク電流を供給する。この際、MOS トランジスタ 321 のゲートは、後述する MOS トランジスタ 323 の出力電圧により駆動され、光電変換部 310 のシンク電流に等しいソース電流を出力する。MOS トランジスタのゲートソース間電圧 V_{gs} がソース電流に応じた電圧となるため、MOS トランジスタ 321 のソース電圧は、光電変換部 310 の電流に応じた電圧となる。これにより、光電変換部 310 の光電流が電圧信号に変換される。

[0079] MOSトランジスタ323は、MOSトランジスタ321のソース電圧を増幅するMOSトランジスタである。また、MOSトランジスタ322は、MOSトランジスタ323の定電流負荷を構成する。MOSトランジスタ323のドレインには、増幅された電圧信号が出力される。この電圧信号は、信号線17に出力されるとともに、MOSトランジスタ321のゲートに帰還される。MOSトランジスタ321の V_{gs} がしきい値電圧以下の場合には、 V_{gs} の変化に対してソース電流は指数関数状に変化する。このため、MOSトランジスタ321のゲートに帰還されるMOSトランジスタ323の出力電圧は、MOSトランジスタ321のソース電流と等しい光電変換部310の光電流が対数圧縮された電圧信号となる。

[0080] [微分回路の構成]

同図の微分回路330は、容量素子331及び332と、MOSトランジスタ333及び334と、定電流回路335とを備える。MOSトランジスタ333及び334にはpチャネルMOSトランジスタを使用することができる。

[0081] 前述のように容量素子331の一端には信号線17が接続され、容量素子331の他の一端は、信号線18を介してMOSトランジスタ333のゲート、MOSトランジスタ334のドレインおよび容量素子332の一端に接続される。容量素子332の他の一端は、MOSトランジスタ333のドレイン、MOSトランジスタ334のドレイン、定電流回路335のシンク側端子及び信号線301に接続される。MOSトランジスタ333のソースは電源線V_{dd}に接続され、MOSトランジスタ334のゲートは信号線51に接続される。定電流回路335のシンク側端子は、接地される。

[0082] 容量素子331は、結合キャパシタに相当する。この容量素子331は、電流電圧変換回路320の出力電圧のうちの直流分を阻止し、交流分のみを通過させる。また、電流電圧変換回路320の出力電圧の変化に基づく電流が容量素子331を介してMOSトランジスタ333のゲートに供給される。電流電圧変換回路320の出力電圧の交流分は、光電流の変化分に相当す

る。MOSトランジスタ333及び定電流回路335は、反転増幅回路を構成する。なお、MOSトランジスタ522は、定電流負荷を構成する。MOSトランジスタ333のゲートには容量素子331を介して電流電圧変換回路320出力電圧の変化分が入力され、MOSトランジスタ333により反転増幅されてドレインに出力される。このため、容量素子332には電流電圧変換回路320の出力電圧の変化に基づく電流が流れ、容量素子332が充放電される。すなわち、電流電圧変換回路320の出力電圧の変化分が積算（積分）される。信号線301には、電流電圧変換回路320が出力する電圧信号の変化量に応じた信号である光信号が出力される。

[0083] MOSトランジスタ334は、微分回路330をリセットするものである。このMOSトランジスタ334を導通させることにより、容量素子332の両端が短絡される。積算された電流電圧変換回路320の出力電圧の変化分が放電されてリセットされる。このリセットにより、微分回路330の出力電圧は、例えば、電源線V_{dd}と接地線との中点の電圧になる。

[0084] [画素アレイ部の構成]

図13は、本開示に係る技術が適用され得る画素アレイ部の構成例を示す図である。同図は、画素アレイ部50の構成例を表す断面図である。画素アレイ部50は、図2の半導体素子10と同様の構成を採ることができる。

[0085] 半導体基板210には、光電変換部310が配置される。半導体基板210に配置された半導体領域211が光電変換部310を構成する。具体的には、半導体領域211及び周囲のウェル領域の間に形成されるpn接合からなるフォトダイオードが光電変換部310に該当する。光電変換部310により生成された電荷は、不図示の転送トランジスタにより半導体領域212に転送される。この半導体領域212に信号線16を構成するコンタクトプラグ223が接続される。

[0086] 半導体基板110の光電変換部310同士の間には分離領域219が配置される。また、半導体基板110の裏面側には、保護膜230、カラーフィルタ240及びオンチップレンズ250が順に配置される。

[0087] 半導体基板 110 には、電流電圧変換回路 320 及び微分回路 330 が配置される。また、容量素子 331 は、図 2 の容量素子 20 と同様にパッド 25 に配置される。

[0088] 容量素子 331 をパッド 25 に配置することにより、EVS を小型化することができる。

[0089] なお、本開示の第 2 の実施形態の構成は、他の実施形態に適用することができる。具体的には、図 5 の導電膜 29 は、図 3 A の容量素子 20 に適用することができる。

[0090] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0091] なお、本技術は以下のような構成も取ることができる。

(1)

第 1 の半導体基板と、

第 2 の半導体基板と、

前記第 1 の半導体基板に隣接して配置される第 1 の配線領域と、

前記第 2 の半導体基板に隣接して配置されるとともに自身の表面が前記第 1 の配線領域の表面に接合される第 2 の配線領域と、

前記第 1 の配線領域の表面に埋め込まれて配置される第 1 のパッドと、

前記第 2 の配線領域の表面に埋め込まれて配置されるとともに前記第 1 の配線領域の表面及び前記第 2 の配線領域の表面が接合された際に前記第 1 のパッドと平面視において重なる位置に配置される第 2 のパッドと、

前記第 1 のパッド及び前記第 2 のパッドの何れか一方に配置される第 1 の電極、誘電体層及び第 2 の電極が順に積層されて構成される容量素子と、

前記第 1 の配線領域の表面に埋め込まれて配置されて前記第 1 の配線領域の表面及び前記第 2 の配線領域の表面が接合された際に前記第 2 のパッドと接続するパッドである容量素子接続パッドと

を有する半導体素子。

(2)

前記容量素子に積層される導電膜を更に有する前記（１）に記載の半導体素子。

（３）

前記容量素子は、前記第１のパッド及び前記第２のパッドの何れかの表面に形成された凹部に配置される前記（１）又は（２）に記載の半導体素子。

（４）

前記容量素子は、前記第２のパッドの表面に形成された凹部に配置され、
前記容量素子接続パッドは、前記第２のパッドの表面における前記凹部とは異なる領域に接続される

前記（１）に記載の半導体素子。

（５）

前記第１の配線領域は、前記第１のパッドに接続する配線及び前記容量素子接続パッドに接続する配線を備える前記（１）から（４）の何れかに記載の半導体素子。

（６）

第１の半導体基板と、

第２の半導体基板と、

前記第１の半導体基板に隣接して配置される第１の配線領域と、

前記第２の半導体基板に隣接して配置されるとともに自身の表面が前記第１の配線領域の表面に接合される第２の配線領域と、

前記第１の配線領域の表面に埋め込まれて配置される第１のパッドと、

前記第２の配線領域の表面に埋め込まれて配置されるとともに前記第１の配線領域の表面及び前記第２の配線領域の表面が接合された際に前記第１のパッドと平面視において重なる位置に配置される第２のパッドと、

前記第１のパッド及び前記第２のパッドの何れか一方に配置される第１の電極、誘電体層及び第２の電極が順に積層されて構成される容量素子と、

前記第１の配線領域の表面に埋め込まれて配置されて前記第１の配線領域の表面及び前記第２の配線領域の表面が接合された際に前記第２のパッドと

接続するパッドである容量素子接続パッドと

前記第 1 の配線領域に配置される配線を介して前記第 1 のパッドに接続される第 1 の電子回路と、

前記第 1 の配線領域に配置される配線を介して前記容量素子接続パッドに接続される第 2 の電子回路と、

を有する半導体装置。

符号の説明

- [0092] 1 撮像素子
- 1 0 半導体素子
- 1 1 ~ 1 3 電子回路
- 2 0、3 3 1 容量素子
- 2 1、2 5、1 2 5、2 2 5 パッド
- 2 2 第 1 の電極
- 2 3 誘電体層
- 2 4 第 2 の電極
- 2 6 ~ 2 8、3 1 凹部
- 2 9 導電膜
- 3 0 容量素子接続パッド
- 5 0 画素アレイ部
- 1 0 0、2 0 0 半導体チップ
- 1 1 0、2 1 0 半導体基板
- 1 2 0、2 2 0 配線領域
- 3 1 0 光電変換部
- 3 2 0 電流電圧変換回路
- 3 3 0 微分回路

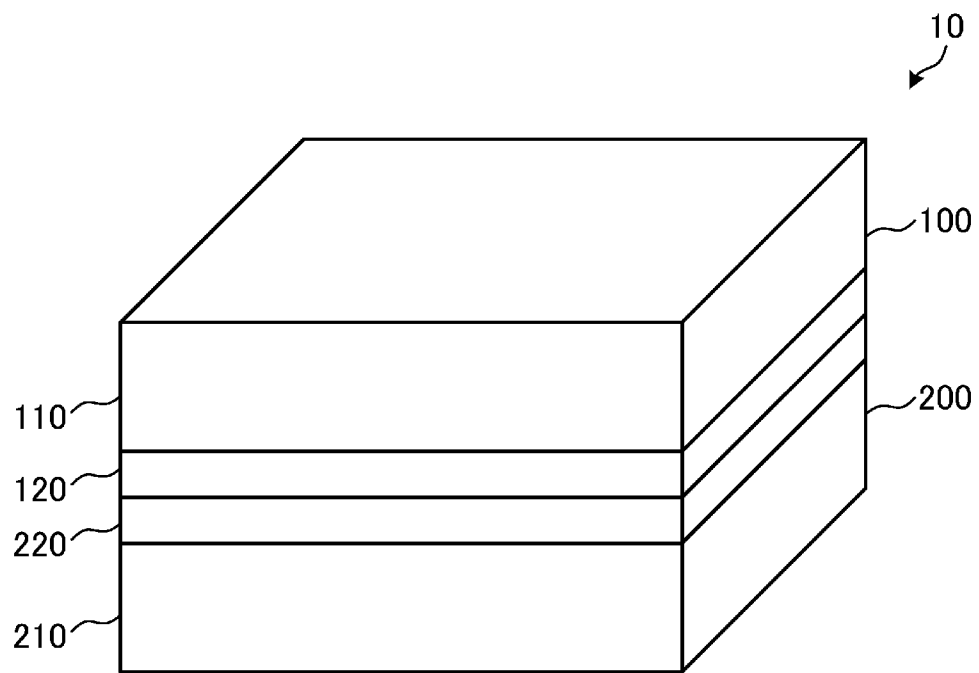
請求の範囲

- [請求項1] 第1の半導体基板と、
第2の半導体基板と、
前記第1の半導体基板に隣接して配置される第1の配線領域と、
前記第2の半導体基板に隣接して配置されるとともに自身の表面が前記第1の配線領域の表面に接合される第2の配線領域と、
前記第1の配線領域の表面に埋め込まれて配置される第1のパッドと、
前記第2の配線領域の表面に埋め込まれて配置されるとともに前記第1の配線領域の表面及び前記第2の配線領域の表面が接合された際に前記第1のパッドと平面視において重なる位置に配置される第2のパッドと、
前記第1のパッド及び前記第2のパッドの何れか一方に配置される第1の電極、誘電体層及び第2の電極が順に積層されて構成される容量素子と、
前記第1の配線領域の表面に埋め込まれて配置されて前記第1の配線領域の表面及び前記第2の配線領域の表面が接合された際に前記第2のパッドと接続するパッドである容量素子接続パッドと
を有する半導体素子。
- [請求項2] 前記容量素子に積層される導電膜を更に有する請求項1に記載の半導体素子。
- [請求項3] 前記容量素子は、前記第1のパッド及び前記第2のパッドの何れかの表面に形成された凹部に配置される請求項1に記載の半導体素子。
- [請求項4] 前記容量素子は、前記第2のパッドの表面に形成された凹部に配置され、
前記容量素子接続パッドは、前記第2のパッドの表面における前記凹部とは異なる領域に接続される
請求項1に記載の半導体素子。

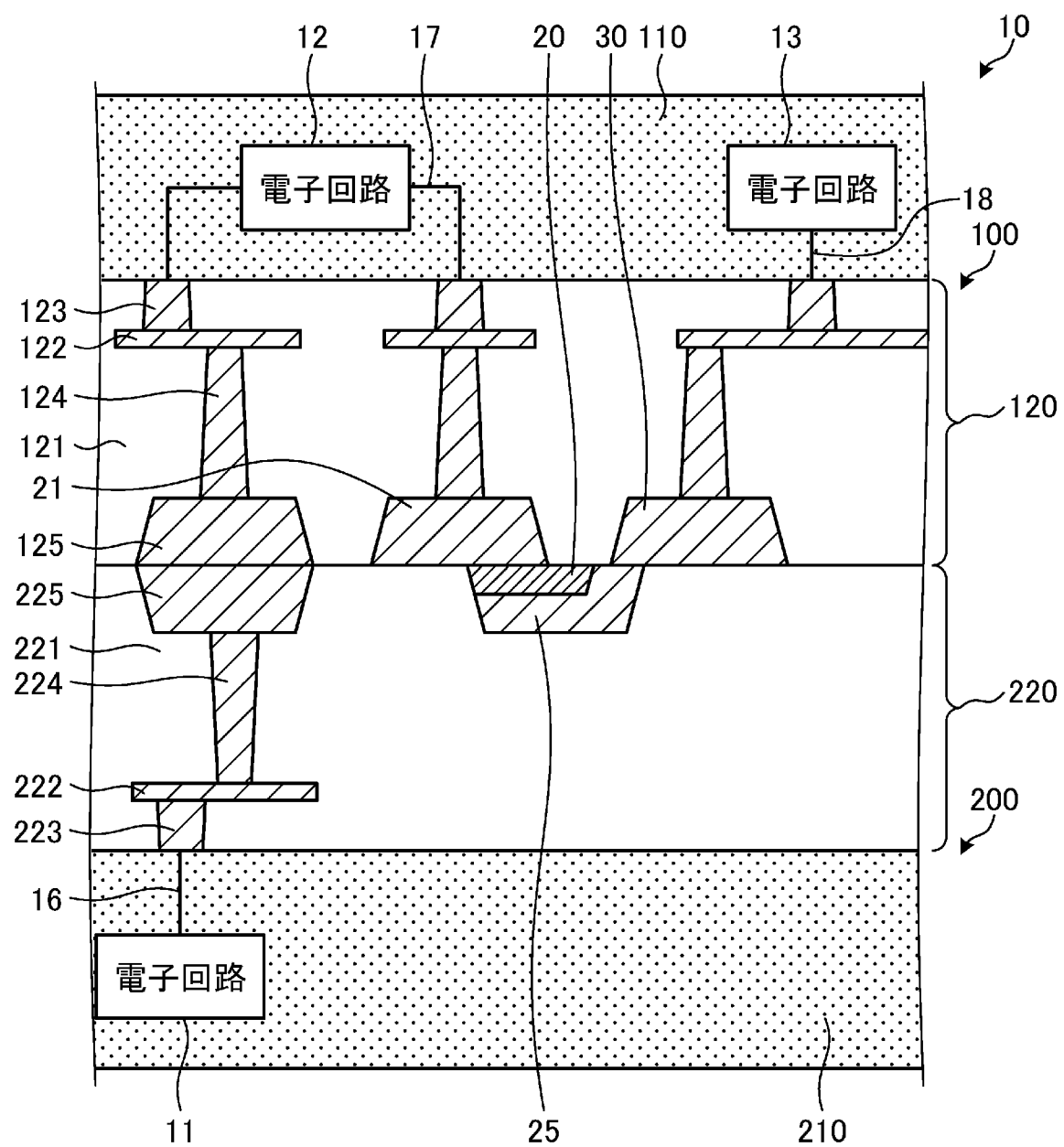
[請求項5] 前記第1の配線領域は、前記第1のパッドに接続する配線及び前記容量素子接続パッドに接続する配線を備える請求項1に記載の半導体素子。

[請求項6] 第1の半導体基板と、
第2の半導体基板と、
前記第1の半導体基板に隣接して配置される第1の配線領域と、
前記第2の半導体基板に隣接して配置されるとともに自身の表面が前記第1の配線領域の表面に接合される第2の配線領域と、
前記第1の配線領域の表面に埋め込まれて配置される第1のパッドと、
前記第2の配線領域の表面に埋め込まれて配置されるとともに前記第1の配線領域の表面及び前記第2の配線領域の表面が接合された際に前記第1のパッドと平面視において重なる位置に配置される第2のパッドと、
前記第1のパッド及び前記第2のパッドの何れか一方に配置される第1の電極、誘電体層及び第2の電極が順に積層されて構成される容量素子と、
前記第1の配線領域の表面に埋め込まれて配置されて前記第1の配線領域の表面及び前記第2の配線領域の表面が接合された際に前記第2のパッドと接続するパッドである容量素子接続パッドと
前記第1の配線領域に配置される配線を介して前記第1のパッドに接続される第1の電子回路と、
前記第1の配線領域に配置される配線を介して前記容量素子接続パッドに接続される第2の電子回路と、
を有する半導体装置。

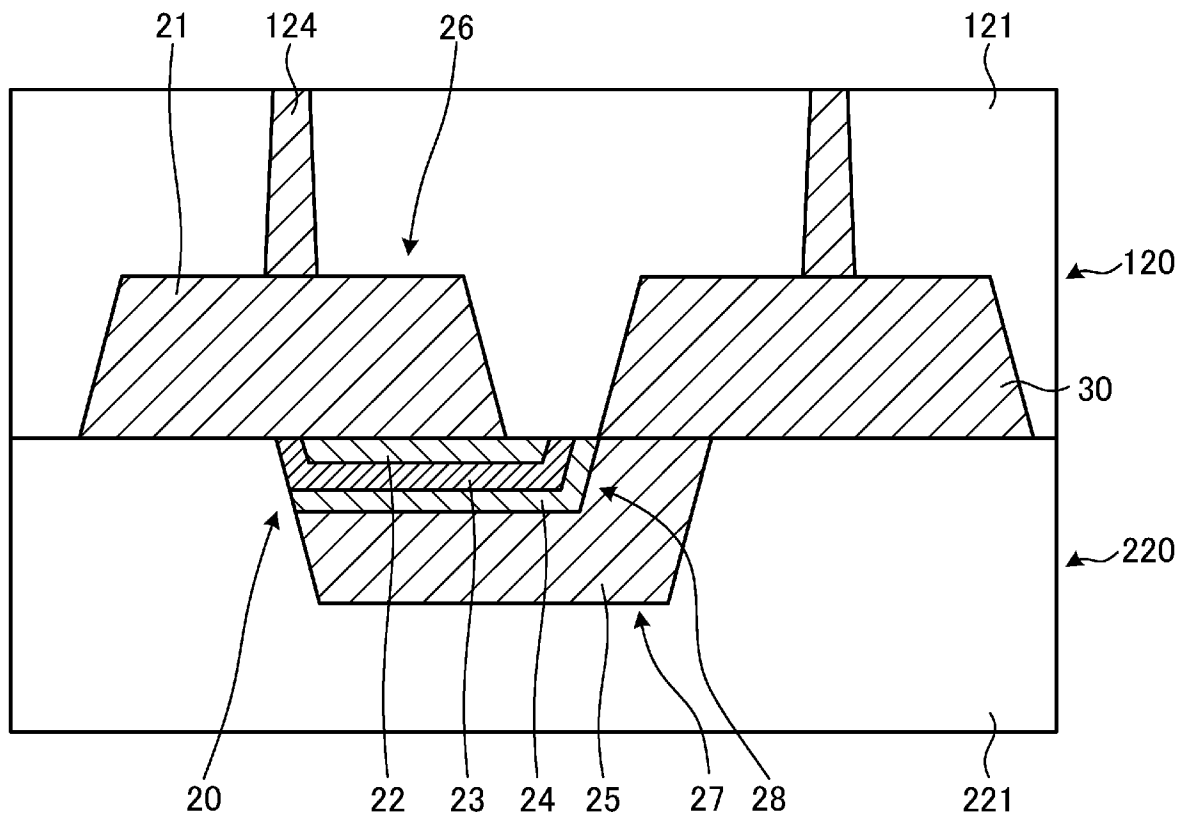
[図1]



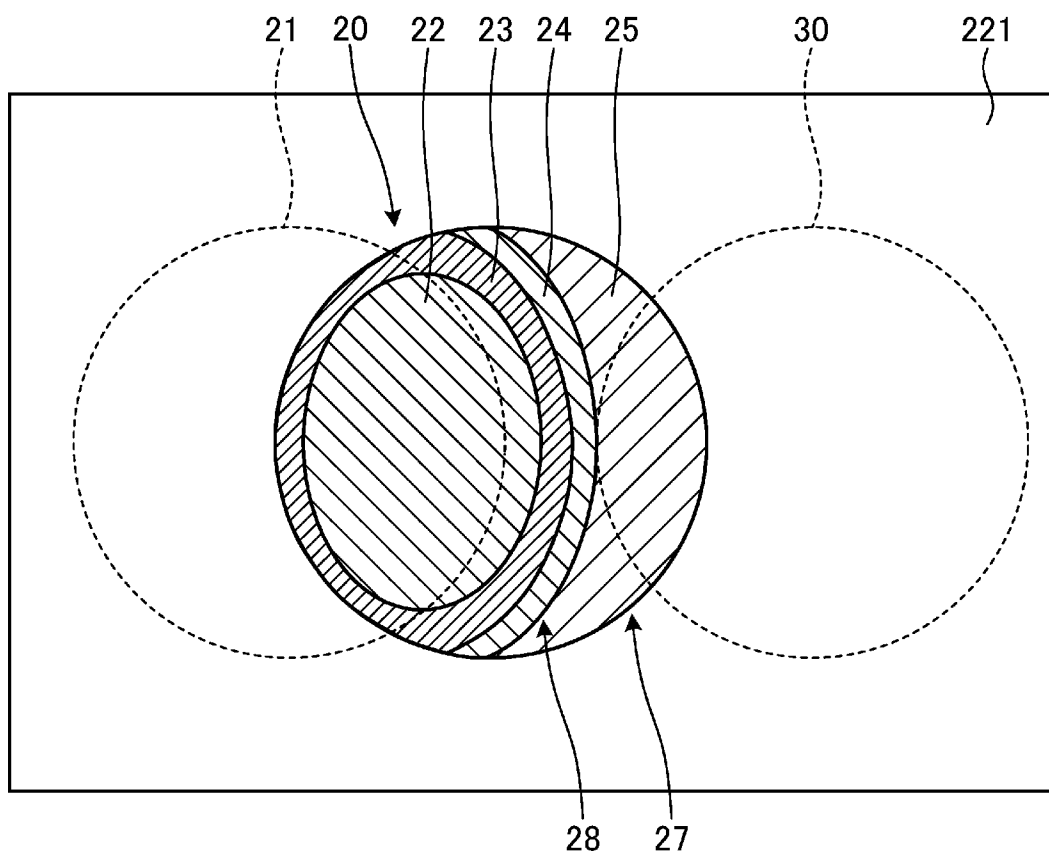
[図2]



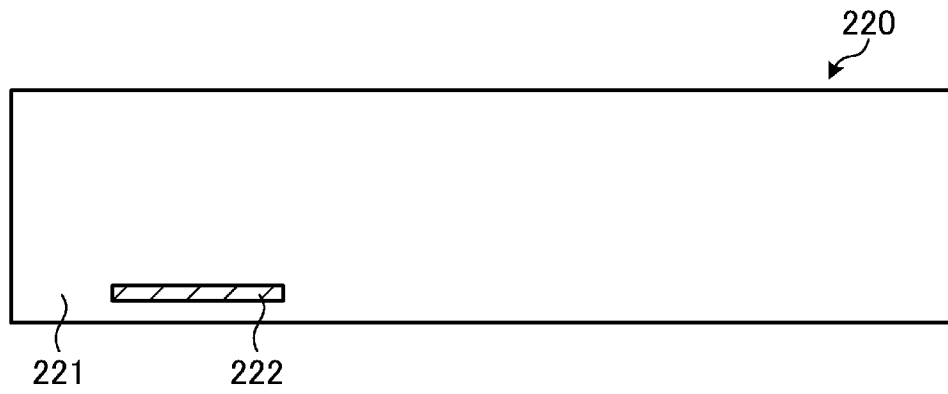
[図3A]



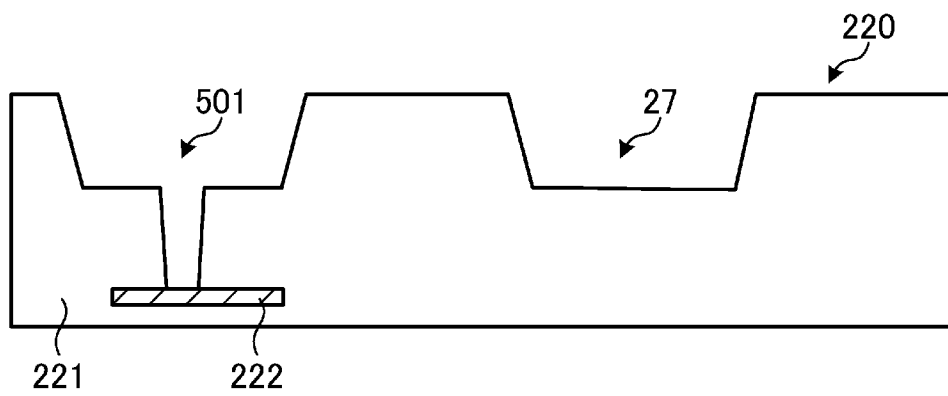
[図3B]



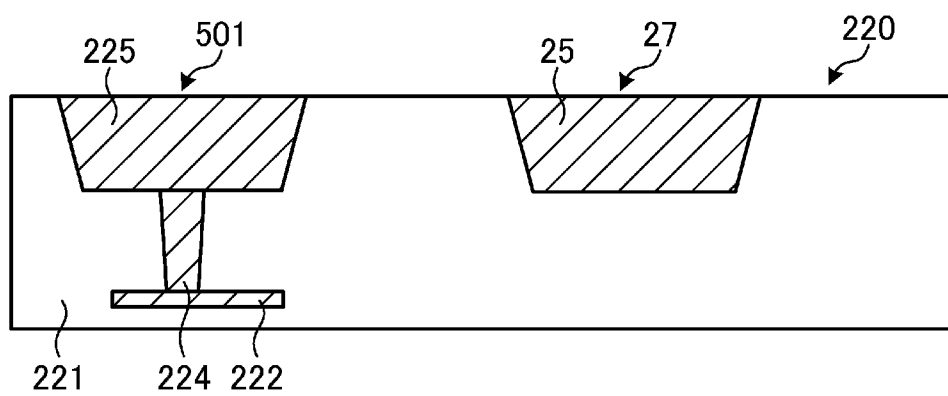
[図4A]



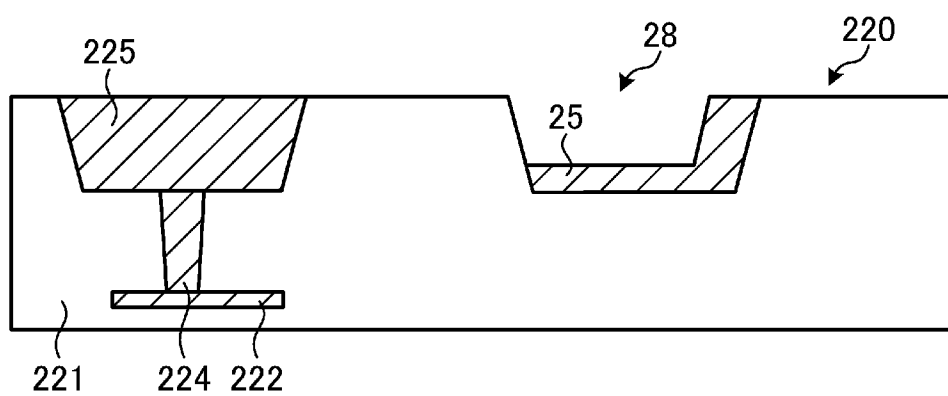
[図4B]



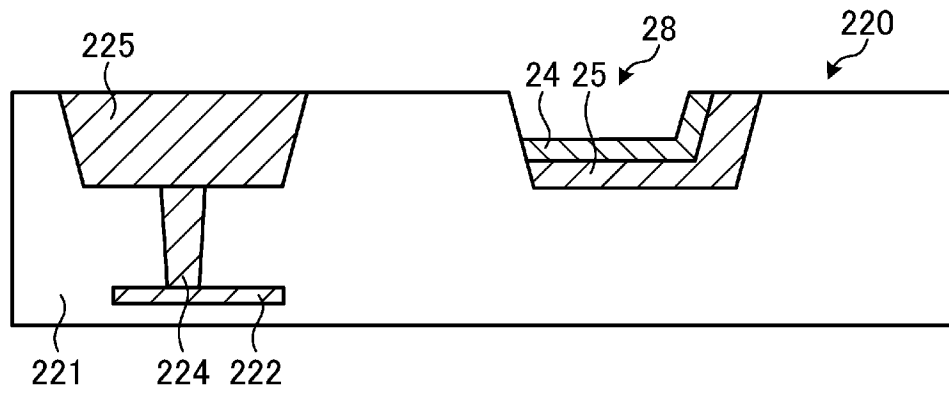
[図4C]



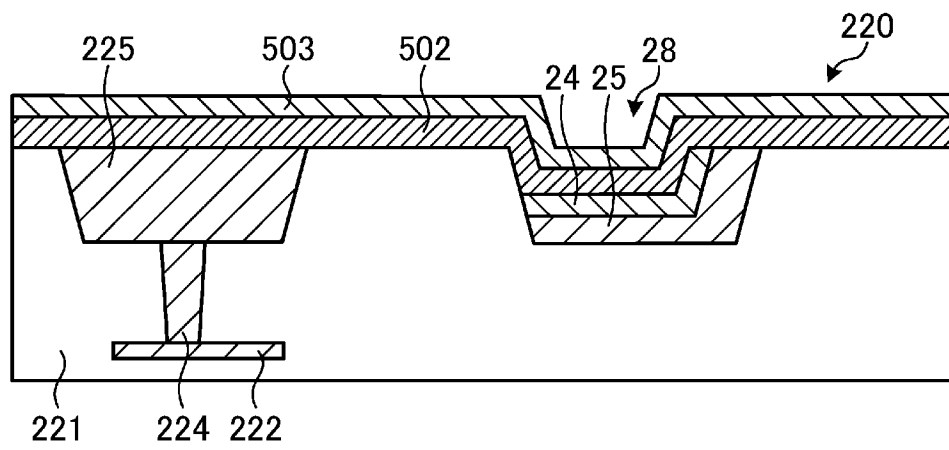
[図4D]



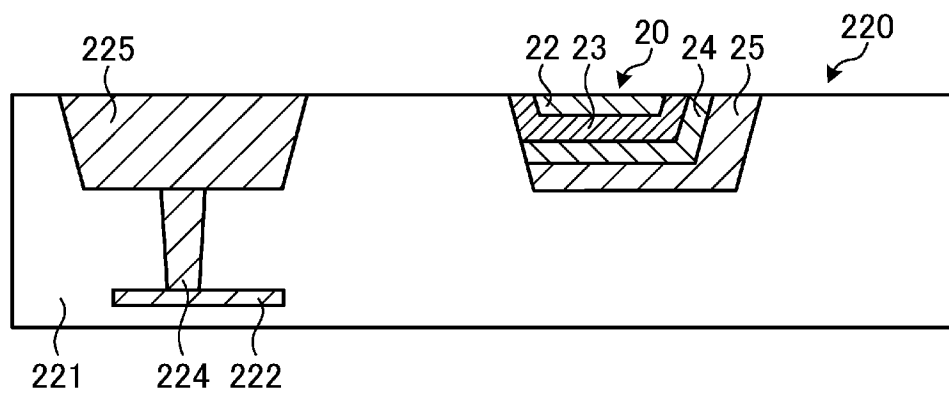
[図4E]



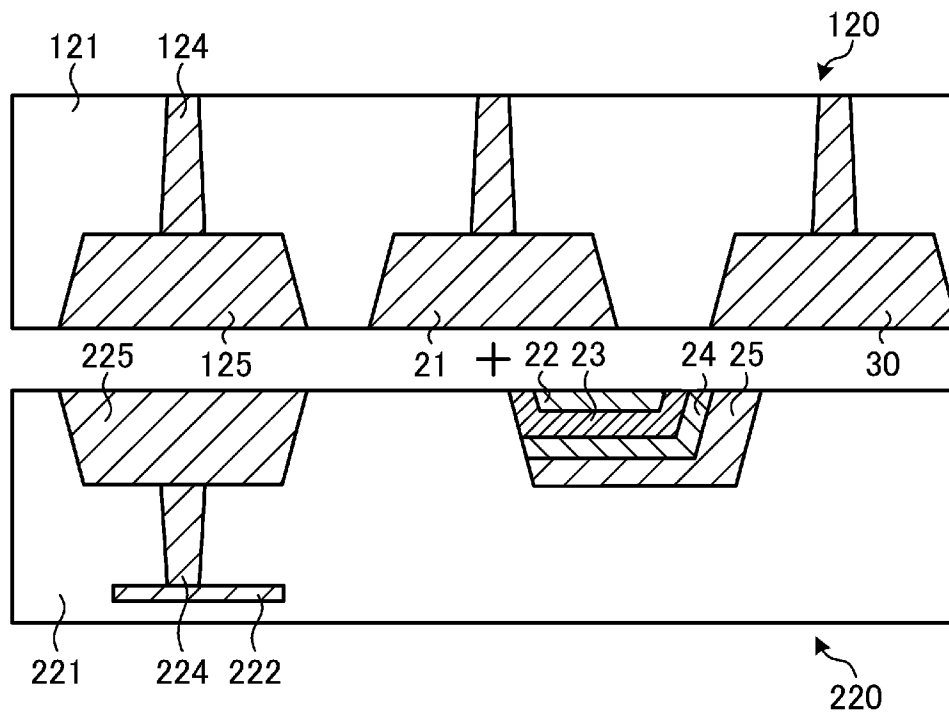
[図4F]



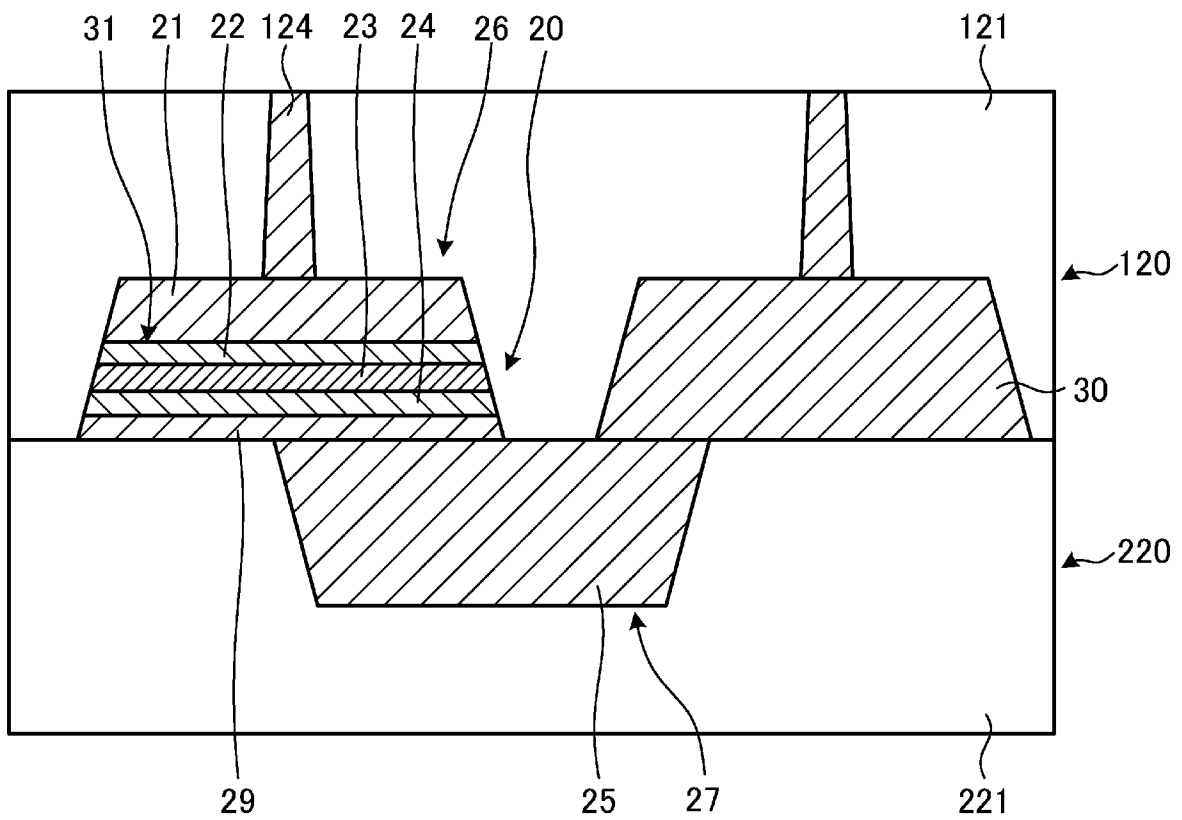
[図4G]



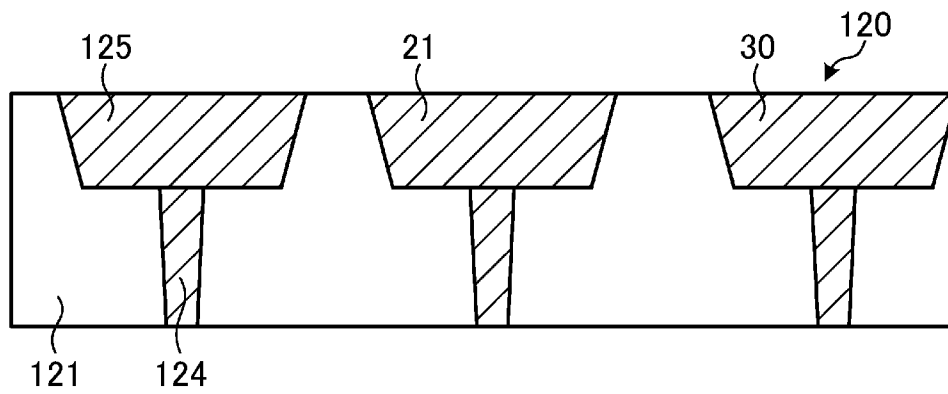
[図4H]



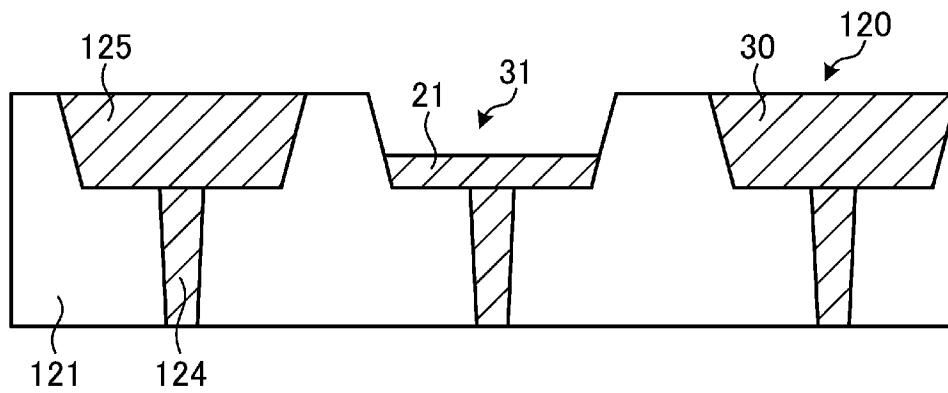
[図5]



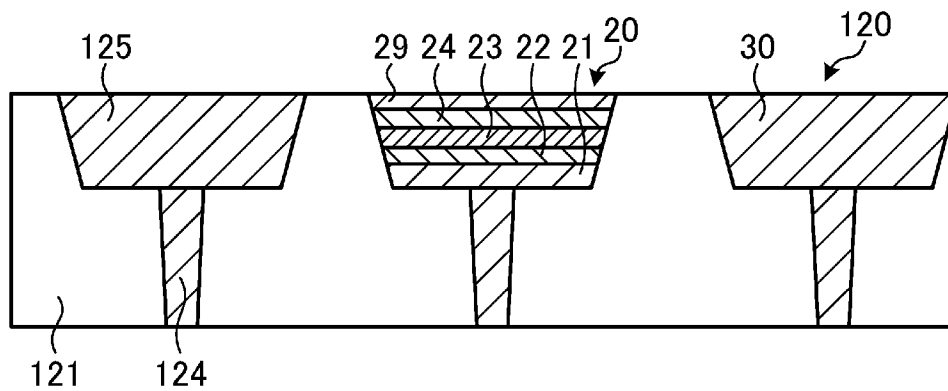
[図6A]



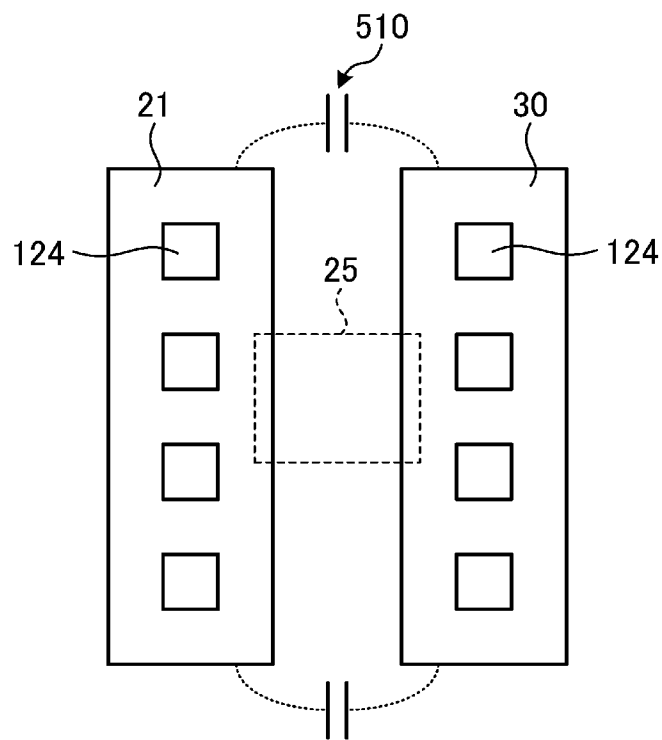
[図6B]



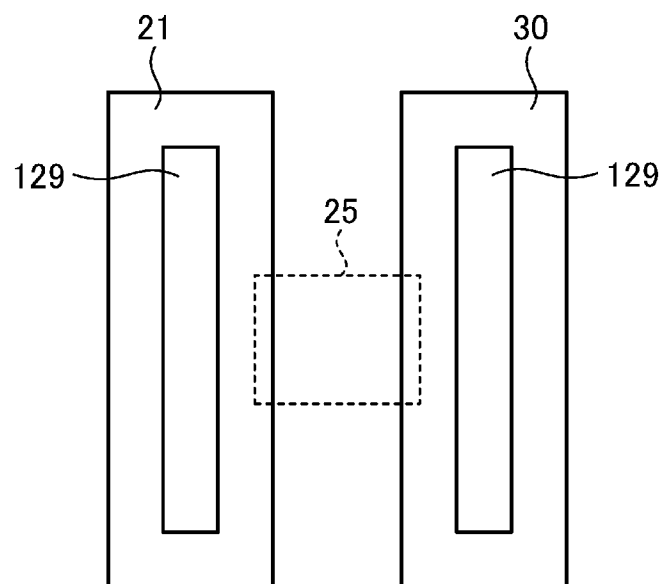
[図6C]



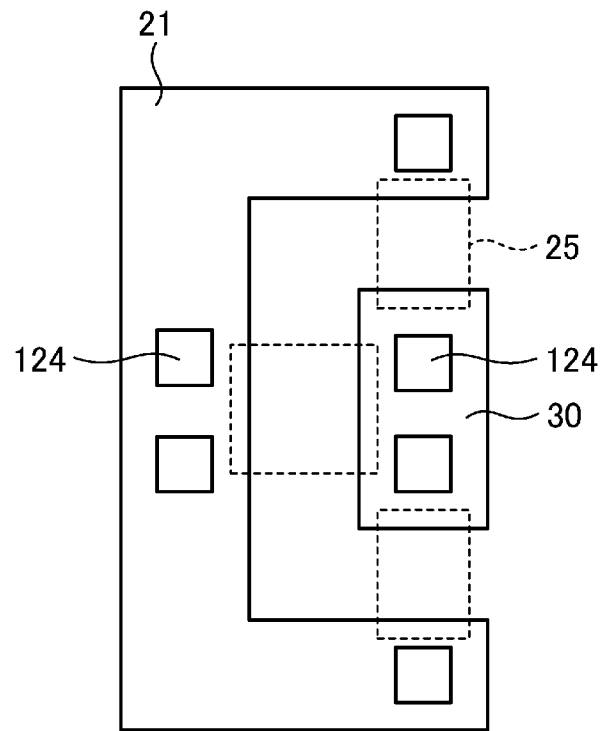
[図7A]



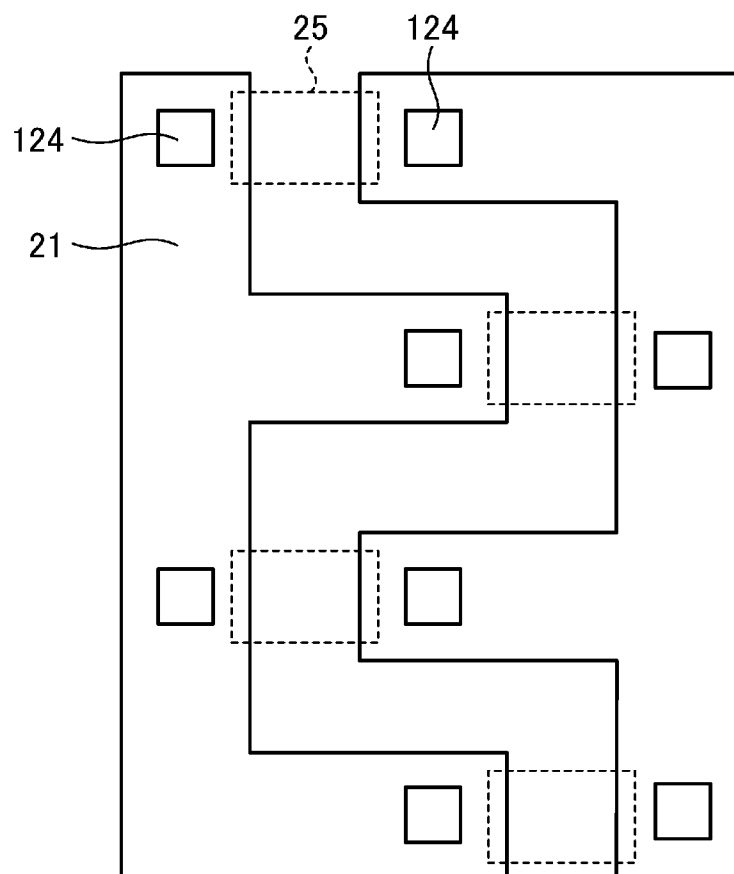
[図7B]



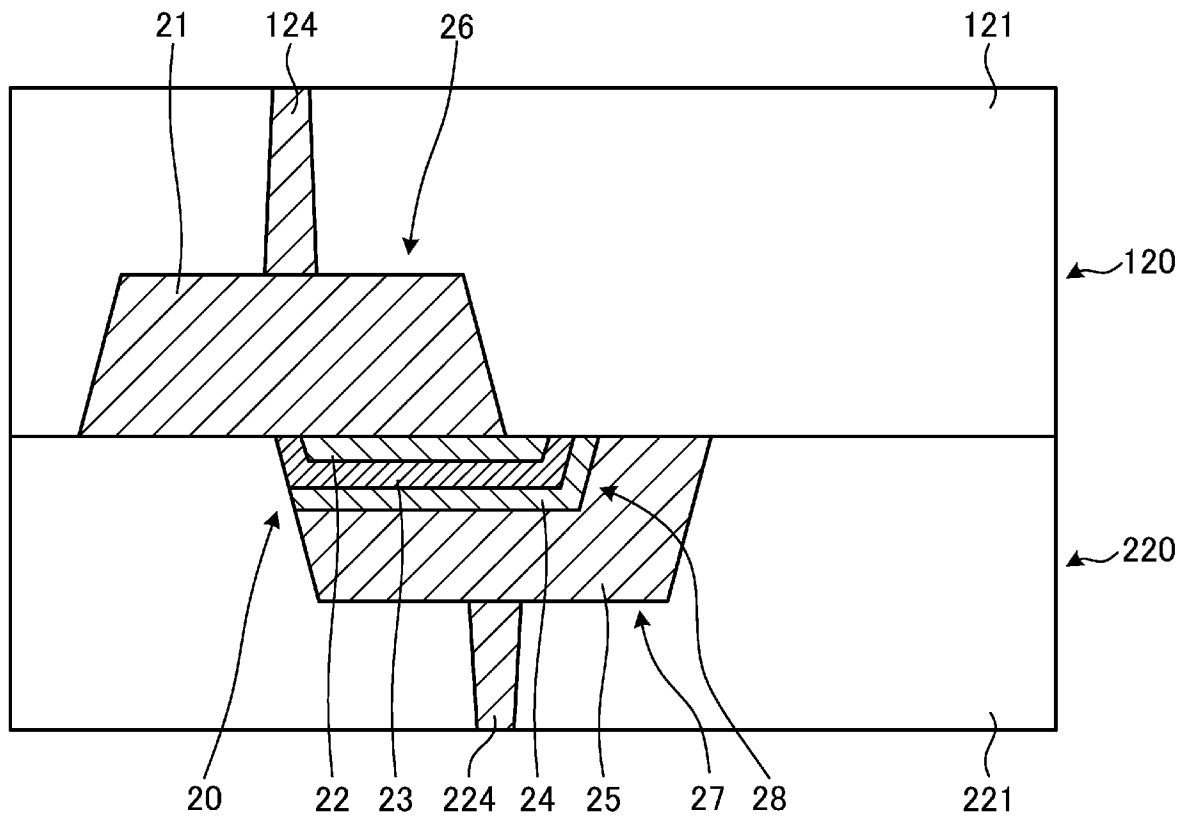
[図8A]



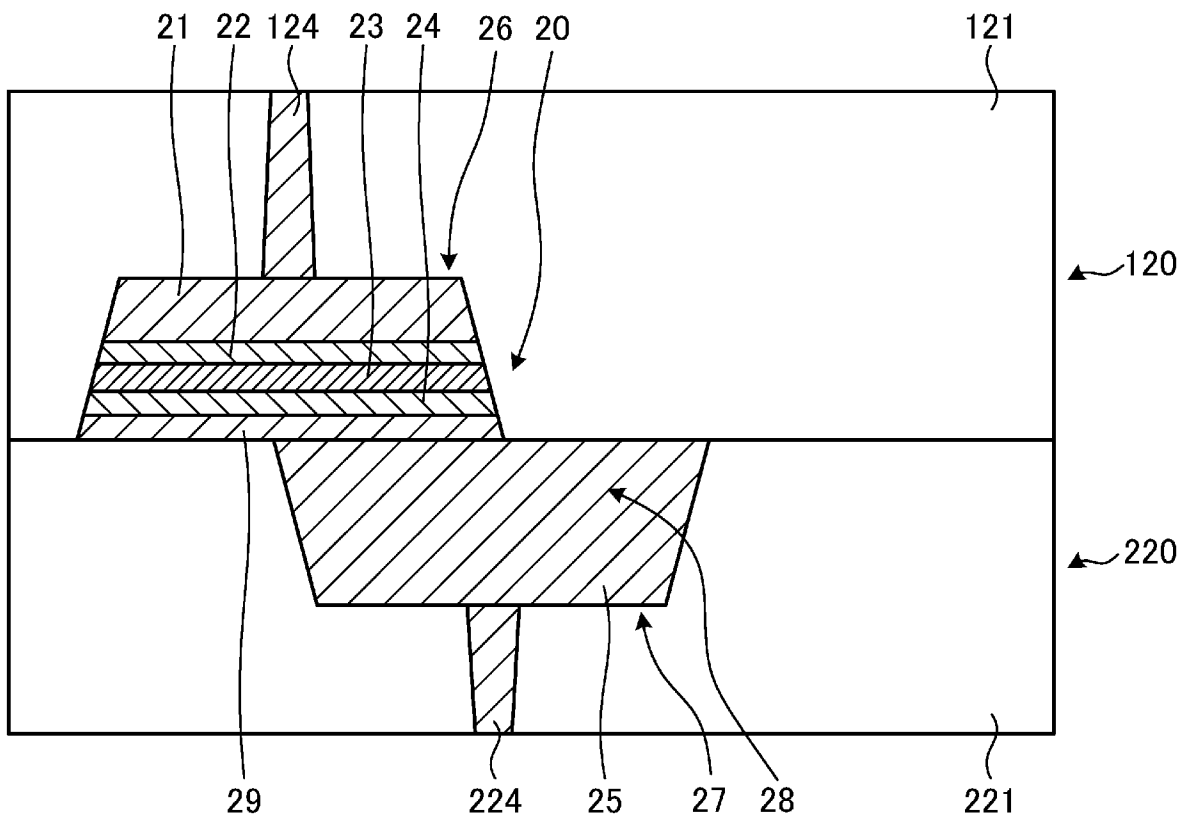
[図8B]



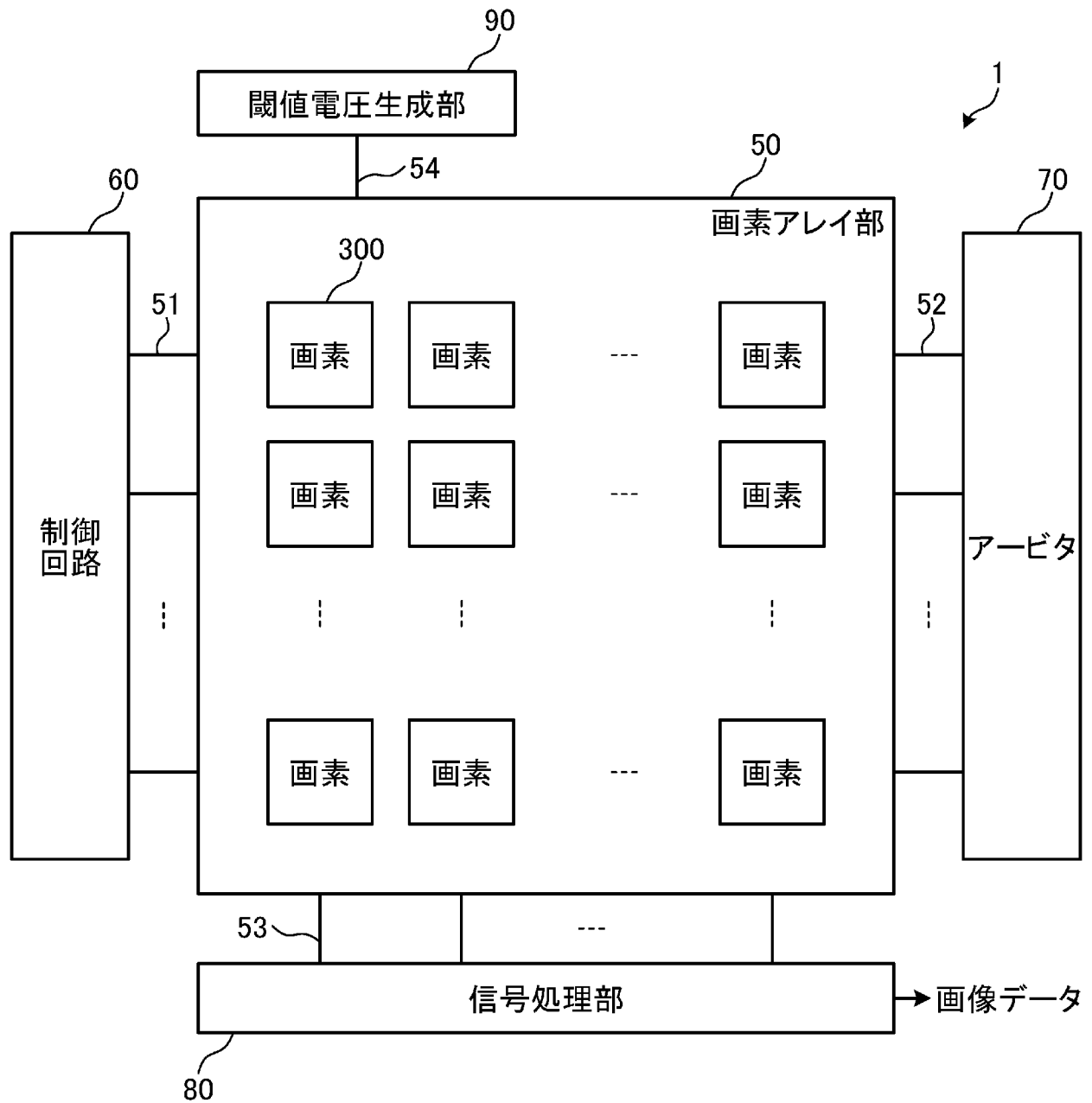
[図9A]



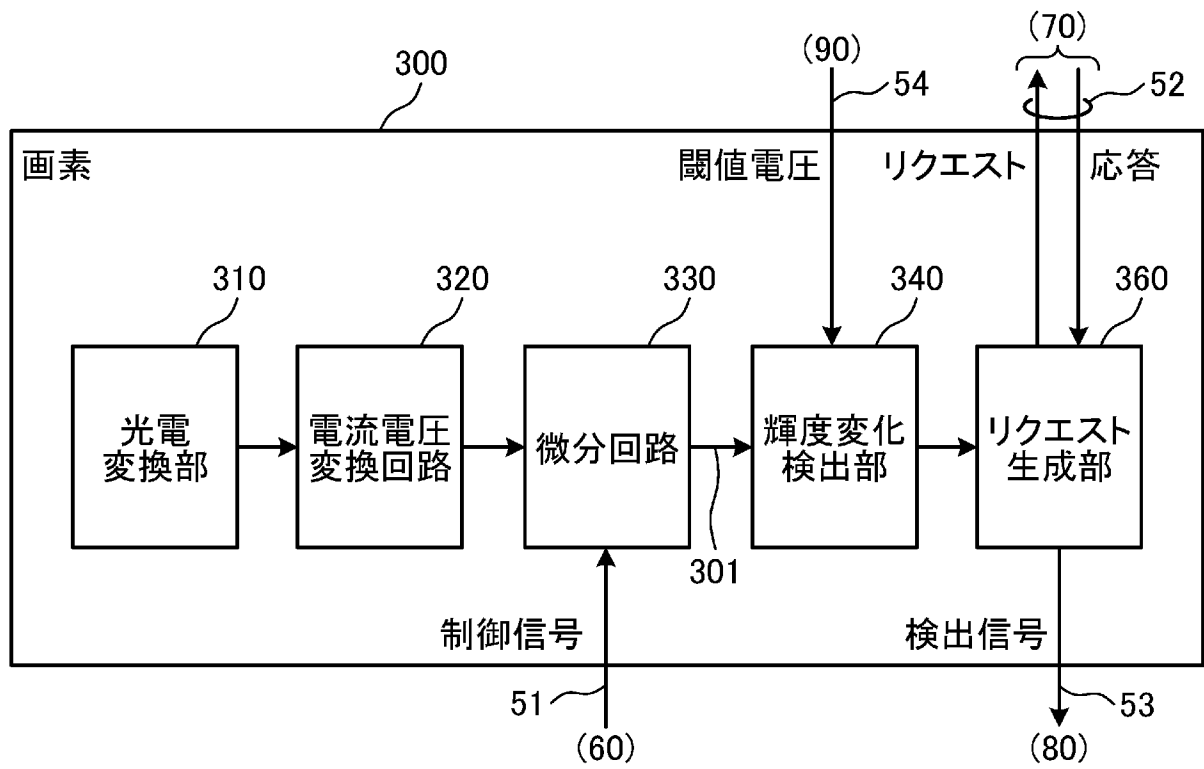
[図9B]



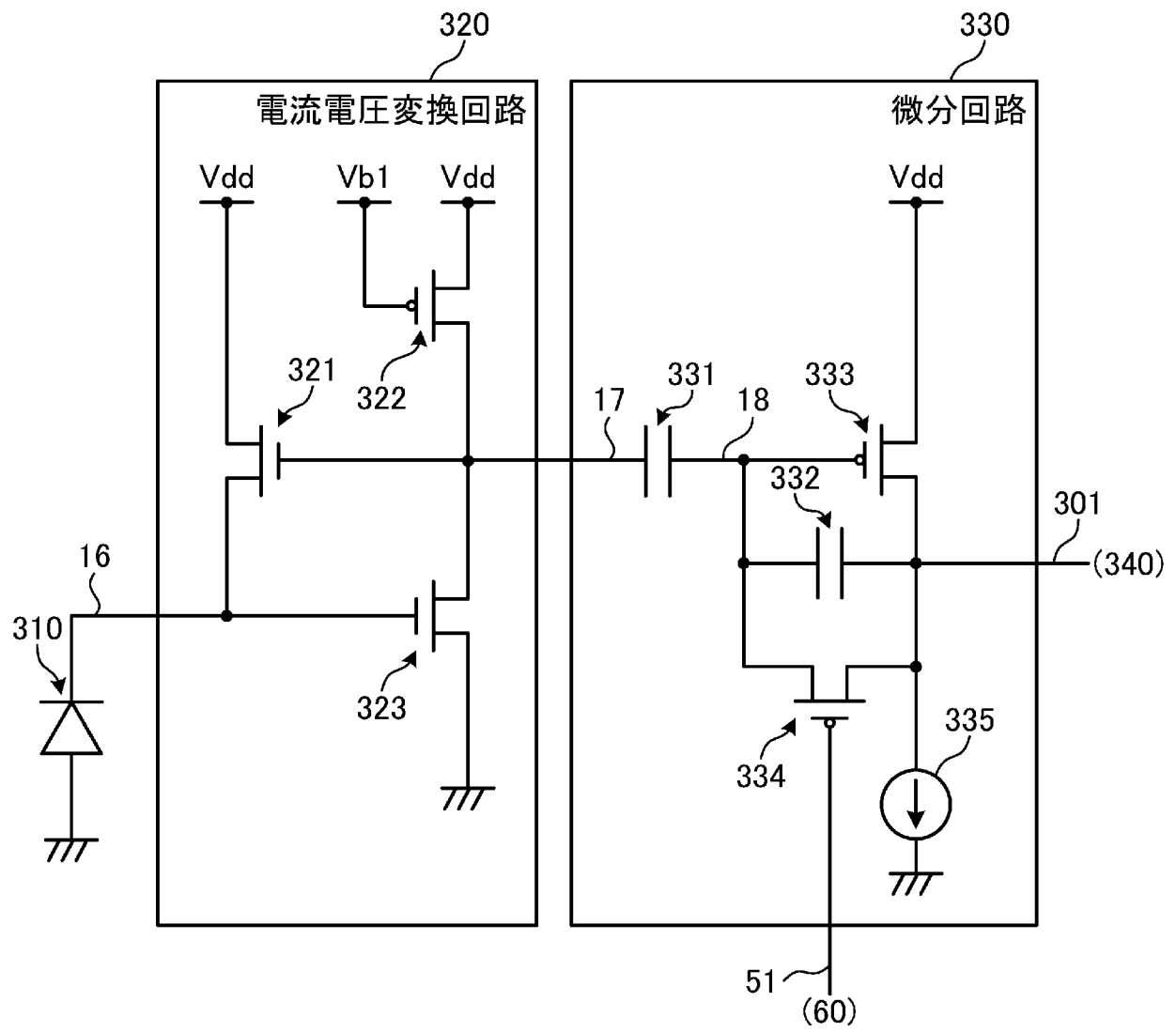
[図10]



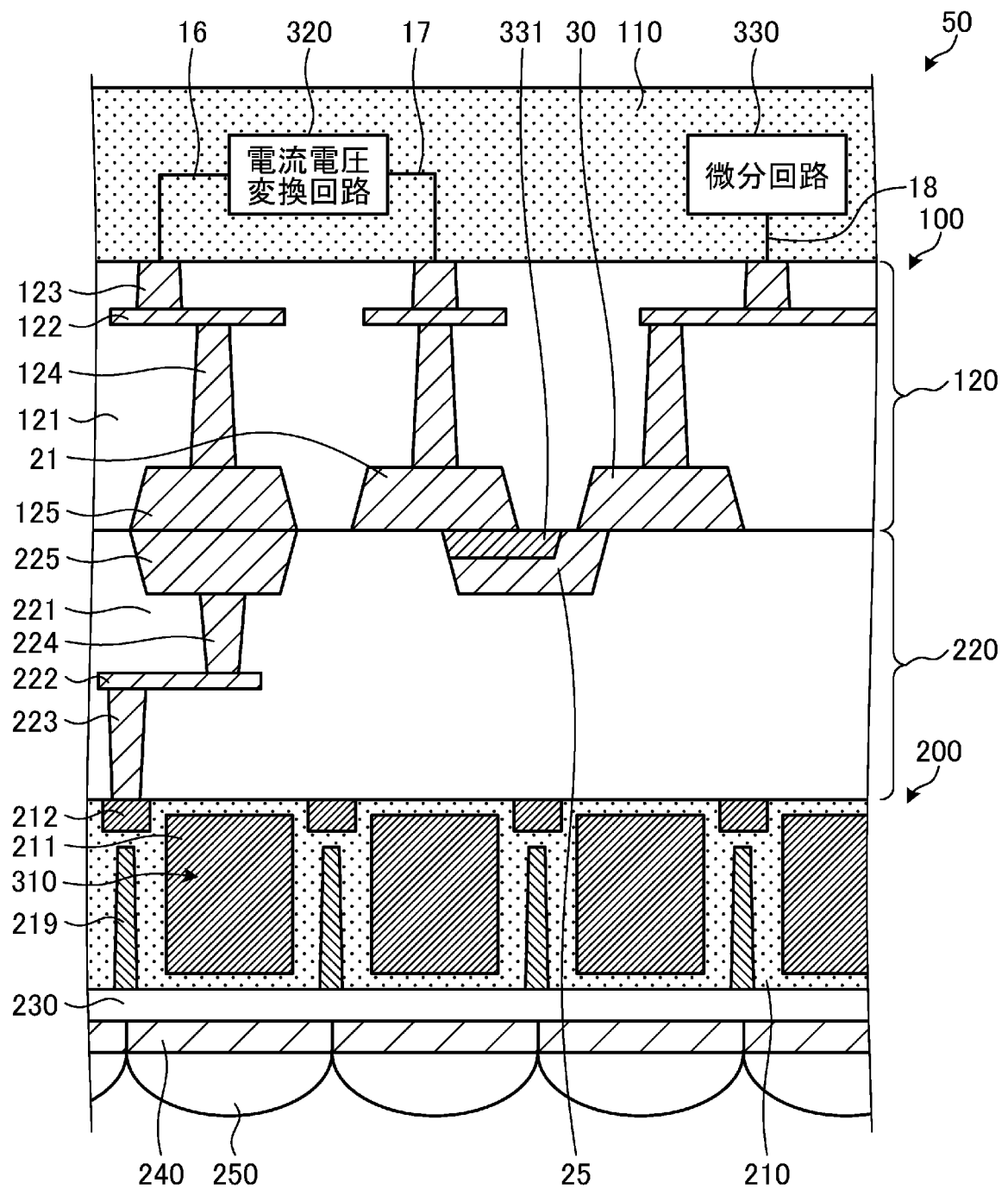
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/048575

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/04(2006.01)i; **H01L 21/3205**(2006.01)i; **H01L 21/768**(2006.01)i; **H01L 23/522**(2006.01)i; **H01L 27/00**(2006.01)i
 FI: H01L27/04 C; H01L27/04 E; H01L27/00 301C; H01L21/88 T

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04; H01L21/3205; H01L21/768; H01L23/522; H01L27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/124112 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 27 June 2019 (2019-06-27) entire text, all drawings	1-6
A	US 2019/0123088 A1 (SAMSUNG ELECTRONICS CO., LTD.) 25 April 2019 (2019-04-25) entire text, all drawings	1-6
A	JP 2021-48204 A (KIOXIA CORP) 25 March 2021 (2021-03-25) entire text, all drawings	1-6
A	WO 2014/184988 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 20 November 2014 (2014-11-20) entire text, all drawings	1-6
A	US 2017/0092620 A1 (INVENSAS CORPORATION) 30 March 2017 (2017-03-30) entire text, all drawings	1-6
A	JP 2009-10388 A (DONGBU HITEK CO LTD) 15 January 2009 (2009-01-15) entire text, all drawings	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

28 February 2023

Date of mailing of the international search report

20 March 2023

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/048575

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-147300 A (TOSHIBA CORP) 26 June 2008 (2008-06-26) entire text, all drawings	1-6

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/048575

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2019/124112	A1	27 June 2019	US	2021/0090987	A1	
				CN	111448649	A	
				KR	10-2020-0100621	A	
US	2019/0123088	A1	25 April 2019	KR	10-2019-0045642	A	
				CN	109698209	A	
JP	2021-48204	A	25 March 2021	US	2021/0082823	A1	
				CN	112530916	A	
				TW	202114150	A	
WO	2014/184988	A1	20 November 2014	US	2016/0043060	A1	
US	2017/0092620	A1	30 March 2017	EP	3357086	A1	
				TW	201721745	A	
				CN	108028246	A	
				KR	10-2018-0049134	A	
JP	2009-10388	A	15 January 2009	DE	102008029794	A1	
				KR	10-0815969	B1	
				CN	101335268	A	
JP	2008-147300	A	26 June 2008	(Family: none)			

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/04(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 27/00(2006.01)i FI: H01L27/04 C; H01L27/04 E; H01L27/00 301C; H01L21/88 T		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/04; H01L21/3205; H01L21/768; H01L23/522; H01L27/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2019/124112 A1 (ソニーセミコンダクタソリューションズ株式会社) 27.06.2019 (2019-06-27) 全文, 全図	1-6
A	US 2019/0123088 A1 (SAMSUNG ELECTRONICS CO., LTD.) 25.04.2019 (2019-04-25) 全文, 全図	1-6
A	JP 2021-48204 A (キオクシア株式会社) 25.03.2021 (2021-03-25) 全文, 全図	1-6
A	WO 2014/184988 A1 (パナソニックIPマネジメント株式会社) 20.11.2014 (2014-11-20) 全文, 全図	1-6
A	US 2017/0092620 A1 (INVENSAS CORPORATION) 30.03.2017 (2017-03-30) 全文, 全図	1-6
A	JP 2009-10388 A (ドンブ ハイテック カンパニー リミテッド) 15.01.2009 (2009-01-15) 全文, 全図	1-6
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 28.02.2023		国際調査報告の発送日 20.03.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-147300 A (株式会社東芝) 26.06.2008 (2008 - 06 - 26) 全文, 全図	1-6

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/048575

引用文献			公表日	パテントファミリー文献			公表日
WO	2019/124112	A1	27.06.2019	US	2021/0090987	A1	
				CN	111448649	A	
				KR	10-2020-0100621	A	
US	2019/0123088	A1	25.04.2019	KR	10-2019-0045642	A	
				CN	109698209	A	
JP	2021-48204	A	25.03.2021	US	2021/0082823	A1	
				CN	112530916	A	
				TW	202114150	A	
WO	2014/184988	A1	20.11.2014	US	2016/0043060	A1	
US	2017/0092620	A1	30.03.2017	EP	3357086	A1	
				TW	201721745	A	
				CN	108028246	A	
				KR	10-2018-0049134	A	
JP	2009-10388	A	15.01.2009	DE	102008029794	A1	
				KR	10-0815969	B1	
				CN	101335268	A	
JP	2008-147300	A	26.06.2008	(ファミリーなし)			