

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】令和4年7月28日(2022.7.28)

【公開番号】特開2021-125276(P2021-125276A)

【公開日】令和3年8月30日(2021.8.30)

【年通号数】公開・登録公報2021-040

【出願番号】特願2020-16356(P2020-16356)

【国際特許分類】

G 11 C 29/02(2006.01)

10

G 11 C 29/24(2006.01)

G 11 C 29/10(2006.01)

【F I】

G 11 C 29/02 130

G 11 C 29/24

G 11 C 29/10 140

【手続補正書】

【提出日】令和4年7月20日(2022.7.20)

20

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

行列状に配置されたメモリアレイと、

メモリセル行にそれぞれ対応して設けられた複数のワード線と、

前記複数のワード線のうちの1本のワード線を駆動するためのワードドライバと、

前記ワードドライバと接続される複数のロウ選択線と、

入力ロウアドレス情報に基づいて前記複数のロウ選択線に対してロウ選択信号を出力するロウデコーダと、

前記複数のワード線と接続され、前記複数のワード線の信号レベルに基づいて第1のロウアドレス情報を生成する第1ロウエンコーダと、

前記複数のワード線と接続され、前記複数のワード線の信号レベルに基づいて前記第1のロウアドレス情報と相補の関係にある第2のロウアドレス情報を生成する第2ロウエンコーダと、

前記第1のロウアドレス情報と前記第2のロウアドレス情報を比較して比較結果に基づく第1ロウ判定信号を出力する第1ロウ判定回路とを備える、半導体装置。

【請求項2】

メモリセル列にそれぞれ対応して設けられた複数のビット線と、

前記複数のビット線のうちの1本のビット線を選択するためのカラム選択回路と、

前記カラム選択回路と接続される複数のカラム選択線と、

入力カラムアドレス情報に基づいて前記複数のカラム選択線に対してカラム選択信号を出力するカラムデコーダと、

前記複数のカラム選択線と接続され、前記複数のカラム選択線の信号レベルに基づいて第1のカラムアドレス情報を生成する第1カラムエンコーダと、

前記複数のカラム選択線と接続され、前記複数のカラム選択線の信号レベルに基づいて前記第1のカラムアドレス情報と相補の関係にある第2のカラムアドレス情報を生成する第2カラムエンコーダと、

40

50

前記第1のカラムアドレス情報と前記第2のカラムアドレス情報を比較して比較結果に基づく第1カラム判定信号を出力する第1カラム判定回路とをさらに備える、請求項1記載の半導体装置。

【請求項3】

前記入力ロウアドレス情報と前記第1のロウアドレス情報を比較して比較結果に基づく第2ロウ判定信号を出力する第2ロウ判定回路と、

前記入力カラムアドレス情報と前記第1のカラムアドレス情報を比較して比較結果に基づく第2カラム判定信号を出力する第2カラム判定回路とをさらに備える、請求項2記載の半導体装置。

【請求項4】

前記第1カラム判定信号と、前記第1のロウアドレス情報とに基づいて出力ロウアドレス情報を生成する出力ロウアドレス情報生成回路と、

前記第1ロウ判定信号と、前記第1のカラムアドレス情報とに基づいて出力カラムアドレス情報を生成する出力カラムアドレス情報生成回路とをさらに備える、請求項2記載の半導体装置。

【請求項5】

前記第1ロウ判定信号と前記第1カラム判定信号とに基づいて比較結果信号を生成する比較結果判定回路と、

前記比較結果信号と、前記第1のロウアドレス情報とに基づいて出力ロウアドレス情報を生成する出力ロウアドレス情報生成回路と、

前記比較結果信号と、前記第1のカラムアドレス情報を比較して出力カラムアドレス情報を生成する出力カラムアドレス情報生成回路とをさらに備える、請求項2記載の半導体装置。

【請求項6】

入力アドレス情報と出力アドレス情報を比較するアドレス比較回路をさらに備え、

前記入力アドレス情報は、前記入力ロウアドレス情報と前記入力カラムアドレス情報を含み、

前記出力アドレス情報は、前記出力ロウアドレス情報と前記出力カラムアドレス情報を含む、請求項4あるいは5記載の半導体装置。

【請求項7】

テスト時に前記第1ロウエンコーダおよび前記第2ロウエンコーダに対してテスト用の第1テストパターン信号を出力する第1テスト回路とをさらに備える、請求項1記載の半導体装置。

【請求項8】

テスト時に前記第1カラムエンコーダおよび前記第2カラムエンコーダに対してテスト用の第2テストパターン信号を出力する第2テスト回路とをさらに備える、請求項2記載の半導体装置。

【請求項9】

行列状に配置されたメモリアレイと、

メモリセル行にそれぞれ対応して設けられた複数のワード線と、

前記複数のワード線のうちの1本のワード線を駆動するためのワードドライバと、

前記ワードドライバと接続される複数のロウ選択線と、

入力ロウアドレス情報を基づいて前記複数のロウ選択線に対してロウ選択信号を出力するロウデコーダと、

第1および第2のデータ線と、

前記複数のワード線にそれぞれ対応して設けられ、前記第1のデータ線と固定電圧との間に設けられた複数の第1のトランジスタと、

前記複数のワード線にそれぞれ対応して設けられ、前記第2のデータ線と前記固定電圧との間に設けられた複数の第2のトランジスタと、

前記第1のデータ線を第1の電流量で駆動する第1カレントミラーレイと、

10

20

30

40

50

前記第2のデータ線を第2の電流量で駆動する第2カレントミラー回路と、
前記第1および第2のデータ線の信号に基づいて第1の判定信号を出力する第1の判定回路とを備え、

前記複数の第1および第2のトランジスタは、前記複数のワード線の信号レベルに従って導通する、半導体装置。

【請求項10】

メモリセル列にそれぞれ対応して設けられた複数のビット線と、

前記複数のビット線のうちの1本のビット線を選択するためのカラム選択回路と、

前記カラム選択回路と接続される複数のカラム選択線と、

入力カラムアドレス情報に基づいて前記複数のカラム選択線に対してカラム選択信号を出力するカラムデコーダと、

第3および第4のデータ線と、

前記複数のカラム選択線にそれぞれ対応して設けられ、前記第3のデータ線と前記固定電圧との間に設けられた複数の第3のトランジスタと、

前記複数のカラム選択線にそれぞれ対応して設けられ、前記第4のデータ線と前記固定電圧との間に設けられた複数の第4のトランジスタと、

前記第3のデータ線を前記第1の電流量で駆動する第3カレントミラー回路と、

前記第4のデータ線を前記第2の電流量で駆動する第4カレントミラー回路と、

前記第3および第4のデータ線の信号に基づいて第2の判定信号を出力する第2の判定回路とを備え、

前記複数の第3および第4のトランジスタは、前記複数のカラム選択線の信号レベルに従って導通する、請求項9記載の半導体装置。

【請求項11】

前記第1および第2の判定回路の前記第1および第2の判定信号に基づく判定結果を出力する合成回路をさらに備える、請求項10記載の半導体装置。

【請求項12】

ダミーワード線と、

前記ダミーワード線に対応して設けられ、前記第1のデータ線と固定電圧との間に設けられた第1のダミートランジスタと、

前記ダミーワード線にそれぞれ対応して設けられ、前記第2のデータ線と前記固定電圧との間に設けられた第2のダミートランジスタとをさらに備え、

前記第1および第2のダミートランジスタは、テスト時に前記ダミーワード線の信号レベルに従って導通する、請求項10記載の半導体装置。

【請求項13】

ダミーカラム選択線と、

前記ダミーカラム選択線に対応して設けられ、前記第3のデータ線と固定電圧との間に設けられた第3のダミートランジスタと、

前記ダミーカラム選択線に対応して設けられ、前記第4のデータ線と前記固定電圧との間に設けられた第4のダミートランジスタとをさらに備え、

前記第3および第4のダミートランジスタは、テスト時に前記ダミーカラム選択線の信号レベルに従って導通する、請求項11記載の半導体装置。

【請求項14】

行列状に配置されたメモリアレイと、

メモリセル行にそれぞれ対応して設けられた複数のワード線と、

前記複数のワード線のうちの1本のワード線を駆動するためのワードドライバと、

前記ワードドライバと接続される複数のロウ選択線と、

入力ロウアドレス情報に基づいて前記複数のロウ選択線に対してロウ選択信号を出力するロウデコーダと、

第1の基準電圧を生成する第1基準電圧生成回路と、

第2の基準電圧を生成する第2基準電圧生成回路と、

10

20

30

40

50

第1のデータ線と、

前記複数のワード線にそれぞれ対応して設けられ、前記第1のデータ線と固定電圧との間に設けられた複数の第1のトランジスタと、

前記第1のデータ線の電圧と前記第1の基準電圧とを比較した第1比較信号を出力する第1センスアンプと、

前記第1のデータ線の電圧と前記第2の基準電圧とを比較する第2比較信号を出力する第2センスアンプと、

前記第1比較信号および第2比較信号に基づいて第1の判定結果を出力する第1の判定回路とを備え、

前記複数の第1のトランジスタは、前記複数のワード線の信号レベルに従って導通する、10
半導体装置。

【請求項15】

メモリセル列にそれぞれ対応して設けられた複数のビット線と、

前記複数のビット線のうちの1本のビット線を選択するためのカラム選択回路と、

前記カラム選択回路と接続される複数のカラム選択線と、

入力カラムアドレス情報に基づいて前記複数のカラム選択線に対してカラム選択信号を出力するカラムデコーダと、

第3の基準電圧を生成する第3基準電圧生成回路と、

第4の基準電圧を生成する第4基準電圧生成回路と、

第2のデータ線と、20

前記複数のビット線にそれぞれ対応して設けられ、前記第2のデータ線と固定電圧との間に設けられた複数の第2のトランジスタと、

前記第2のデータ線の電圧と前記第3の基準電圧とを比較した第3比較信号を出力する第3センスアンプと、

前記第2のデータ線の電圧と前記第4の基準電圧とを比較する第4比較信号を出力する第4センスアンプと、

前記第3比較信号および第4比較信号に基づいて第2の判定結果を出力する第2の判定回路とさらに備え、

前記複数の第2のトランジスタは、前記複数のカラム選択線の信号レベルに従って導通する、請求項14記載の半導体装置。30

【請求項16】

前記第1および第2の判定回路の前記第1および第2判定結果に基づく判定信号を出力する合成回路をさらに備える、請求項15記載の半導体装置。

【請求項17】

行列状に配置されたメモリアレイと、

メモリセル行にそれぞれ対応して設けられた複数のワード線と、

前記複数のワード線のうちの1本のワード線を駆動するためのワードドライバと、

前記ワードドライバと接続される複数のロウ選択線と、

入力ロウアドレス情報に基づいて前記複数のロウ選択線に対してロウ選択信号を出力するロウデコーダと、40

複数のサブロウ選択線と、

前記入力ロウアドレス情報に基づいて前記複数のサブロウ選択線に対してサブデコード信号を出力するサブロウデコーダと、

所定電圧にプリチャージされた第1および第2のデータ線と、

前記複数のワード線にそれぞれ対応して設けられ、前記第1のデータ線と固定電圧との間に設けられた複数の第1のトランジスタと、

前記複数のサブロウ選択線にそれぞれ対応して設けられ、前記第1のデータ線と前記固定電圧との間に前記対応する第1のトランジスタと直列に設けられた複数の第2のトランジスタと、

前記複数のワード線にそれぞれ対応して設けられ、前記第2のデータ線と前記固定電圧と50

の間に設けられた複数の第3のトランジスタと、

前記複数のサブロウ選択線にそれぞれ対応して設けられ、前記第2のデータ線と前記固定電圧との間に前記対応する第1のトランジスタと直列に設けられた複数の第4のトランジスタと、

前記第1および第2のデータ線の信号に基づいて第1の判定結果を出力する第1の判定回路とを備え、

前記複数の第1および第3のトランジスタは、前記複数のワード線の信号レベルに従って導通し、

前記複数の第2のトランジスタは、前記複数のサブロウ選択線の信号レベルに従って導通し、

前記複数の第4のトランジスタは、前記複数のサブロウ選択線の反転信号レベルに従って導通する、半導体装置。

【請求項18】

メモリセル列にそれぞれ対応して設けられた複数のビット線と、

前記複数のビット線のうちの1本のビット線を選択するためのカラム選択回路と、

前記カラム選択回路と接続される複数のカラム選択線と、

入力カラムアドレス情報に基づいて前記複数のカラム選択線に対してカラム選択信号を出力するカラムデコーダと、

複数のサブカラム選択線と、

前記入力ロウアドレス情報に基づいて前記複数のサブカラム選択線に対してサブデコード信号を出力するサブカラムデコーダと、

所定電圧にプリチャージされた第3および第4のデータ線と、

前記複数のカラム選択線にそれぞれ対応して設けられ、前記第3のデータ線と前記固定電圧との間に設けられた複数の第5のトランジスタと、

前記複数のサブカラム選択線にそれぞれ対応して設けられ、前記第3のデータ線と前記固定電圧との間に前記対応する第5のトランジスタと直列に設けられた複数の第6のトランジスタと、

前記複数のカラム選択線にそれぞれ対応して設けられ、前記第4のデータ線と前記固定電圧との間に設けられた複数の第7のトランジスタと、

前記複数のサブロウ選択線にそれぞれ対応して設けられ、前記第4のデータ線と前記固定電圧との間に前記対応する第7のトランジスタと直列に設けられた複数の第8のトランジスタと、

前記第3および第4のデータ線の信号に基づいて第2の判定結果を出力する第2の判定回路とを備え、

前記複数の第5および第7のトランジスタは、前記複数のカラム選択線の信号レベルに従って導通し、

前記複数の第6のトランジスタは、前記複数のサブカラム選択線の信号レベルに従って導通し、

前記複数の第8のトランジスタは、前記複数のサブカラム選択線の反転信号レベルに従って導通する、請求項17記載の半導体装置。

【請求項19】

前記第1および第2の判定回路の前記第1および第2の判定結果に基づく判定信号を出力する合成回路をさらに備える、請求項18記載の半導体装置。