

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】令和 4 年 7 月 28 日(2022.7.28)

【公開番号】特開 2021-125276(P2021-125276A)

【公開日】令和 3 年 8 月 30 日(2021.8.30)

【年通号数】公開・登録公報 2021-040

【出願番号】特願 2020-16356(P2020-16356)

【国際特許分類】

G 1 1 C 29/02(2006.01)

G 1 1 C 29/24(2006.01)

G 1 1 C 29/10(2006.01)

【F I】

G 1 1 C 29/02 1 3 0

G 1 1 C 29/24

G 1 1 C 29/10 1 4 0

【手続補正書】

【提出日】令和 4 年 7 月 20 日(2022.7.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

行列状に配置されたメモリアレイと、

メモリセル行にそれぞれ対応して設けられた複数のワード線と、

前記複数のワード線のうちの 1 本のワード線を駆動するためのワードドライバと、

前記ワードドライバと接続される複数のロウ選択線と、

入力ロウアドレス情報に基づいて前記複数のロウ選択線に対してロウ選択信号を出力するロウデコーダと、

前記複数のワード線と接続され、前記複数のワード線の信号レベルに基づいて第 1 のロウアドレス情報を生成する第 1 ロウエンコーダと、

前記複数のワード線と接続され、前記複数のワード線の信号レベルに基づいて前記第 1 のロウアドレス情報と相補の関係にある第 2 のロウアドレス情報を生成する第 2 ロウエンコーダと、

前記第 1 のロウアドレス情報と前記第 2 のロウアドレス情報とを比較して比較結果に基づく第 1 ロウ判定信号を出力する第 1 ロウ判定回路とを備える、半導体装置。

【請求項 2】

メモリセル列にそれぞれ対応して設けられた複数のビット線と、

前記複数のビット線のうちの 1 本のビット線を選択するためのカラム選択回路と、

前記カラム選択回路と接続される複数のカラム選択線と、

入力カラムアドレス情報に基づいて前記複数のカラム選択線に対してカラム選択信号を出力するカラムデコーダと、

前記複数のカラム選択線と接続され、前記複数のカラム選択線の信号レベルに基づいて第 1 のカラムアドレス情報を生成する第 1 カラムエンコーダと、

前記複数のカラム選択線と接続され、前記複数のカラム選択線の信号レベルに基づいて前記第 1 のカラムアドレス情報と相補の関係にある第 2 のカラムアドレス情報を生成する第 2 カラムエンコーダと、

10

20

30

40

50

前記第 1 のカラムアドレス情報と前記第 2 のカラムアドレス情報とを比較して比較結果に基づく第 1 カラム判定信号を出力する第 1 カラム判定回路とをさらに備える、請求項 1 記載の半導体装置。

【請求項 3】

前記入力ロウアドレス情報と前記第 1 のロウアドレス情報とを比較して比較結果に基づく第 2 ロウ判定信号を出力する第 2 ロウ判定回路と、

前記入力カラムアドレス情報と前記第 1 のカラムアドレス情報とを比較して比較結果に基づく第 2 カラム判定信号を出力する第 2 カラム判定回路とをさらに備える、請求項 2 記載の半導体装置。

【請求項 4】

前記第 1 カラム判定信号と、前記第 1 のロウアドレス情報とに基づいて出力ロウアドレス情報を生成する出力ロウアドレス情報生成回路と、

前記第 1 ロウ判定信号と、前記第 1 のカラムアドレス情報とに基づいて出力カラムアドレス情報を生成する出力カラムアドレス情報生成回路とをさらに備える、請求項 2 記載の半導体装置。

【請求項 5】

前記第 1 ロウ判定信号と前記第 1 カラム判定信号とに基づいて比較結果信号を生成する比較結果判定回路と、

前記比較結果信号と、前記第 1 のロウアドレス情報とに基づいて出力ロウアドレス情報を生成する出力ロウアドレス情報生成回路と、

前記比較結果信号と、前記第 1 のカラムアドレス情報とに基づいて出力カラムアドレス情報を生成する出力カラムアドレス情報生成回路とをさらに備える、請求項 2 記載の半導体装置。

【請求項 6】

入力アドレス情報と出力アドレス情報とを比較するアドレス比較回路とをさらに備え、

前記入力アドレス情報は、前記入力ロウアドレス情報と前記入力カラムアドレス情報とを含み、

前記出力アドレス情報は、前記出力ロウアドレス情報と前記出力カラムアドレス情報とを含む、請求項 4 あるいは 5 記載の半導体装置。

【請求項 7】

テスト時に前記第 1 ロウエンコードおよび前記第 2 ロウエンコードに対してテスト用の第 1 テストパターン信号を出力する第 1 テスト回路とをさらに備える、請求項 1 記載の半導体装置。

【請求項 8】

テスト時に前記第 1 カラムエンコードおよび前記第 2 カラムエンコードに対してテスト用の第 2 テストパターン信号を出力する第 2 テスト回路とをさらに備える、請求項 2 記載の半導体装置。

【請求項 9】

行列状に配置されたメモリアレイと、

メモリセル行にそれぞれ対応して設けられた複数のワード線と、

前記複数のワード線のうちの 1 本のワード線を駆動するためのワードドライバと、

前記ワードドライバと接続される複数のロウ選択線と、

入力ロウアドレス情報に基づいて前記複数のロウ選択線に対してロウ選択信号を出力するロウデコードと、

第 1 および第 2 のデータ線と、

前記複数のワード線にそれぞれ対応して設けられ、前記第 1 のデータ線と固定電圧との間に設けられた複数の第 1 のトランジスタと、

前記複数のワード線にそれぞれ対応して設けられ、前記第 2 のデータ線と前記固定電圧との間に設けられた複数の第 2 のトランジスタと、

前記第 1 のデータ線を第 1 の電流量で駆動する第 1 カレントミラー回路と、

10

20

30

40

50

前記第 2 のデータ線を第 2 の電流量で駆動する第 2 カレントミラー回路と、  
前記第 1 および第 2 のデータ線の信号に基づいて第 1 の判定信号を出力する第 1 の判定回路とを備え、  
前記複数の第 1 および第 2 のトランジスタは、前記複数のワード線の信号レベルに従って導通する、半導体装置。

【請求項 10】

メモリセル列にそれぞれ対応して設けられた複数のビット線と、  
前記複数のビット線のうちの 1 本のビット線を選択するためのカラム選択回路と、  
前記カラム選択回路と接続される複数のカラム選択線と、  
入力カラムアドレス情報に基づいて前記複数のカラム選択線に対してカラム選択信号を出力するカラムデコーダと、  
第 3 および第 4 のデータ線と、  
前記複数のカラム選択線にそれぞれ対応して設けられ、前記第 3 のデータ線と前記固定電圧との間に設けられた複数の第 3 のトランジスタと、  
前記複数のカラム選択線にそれぞれ対応して設けられ、前記第 4 のデータ線と前記固定電圧との間に設けられた複数の第 4 のトランジスタと、  
前記第 3 のデータ線を前記第 1 の電流量で駆動する第 3 カレントミラー回路と、  
前記第 4 のデータ線を前記第 2 の電流量で駆動する第 4 カレントミラー回路と、  
前記第 3 および第 4 のデータ線の信号に基づいて第 2 の判定信号を出力する第 2 の判定回路とを備え、  
前記複数の第 3 および第 4 のトランジスタは、前記複数のカラム選択線の信号レベルに従って導通する、請求項 9 記載の半導体装置。

10

20

【請求項 11】

前記第 1 および第 2 の判定回路の前記第 1 および第 2 の判定信号に基づく判定結果を出力する合成回路をさらに備える、請求項 10 記載の半導体装置。

【請求項 12】

ダミーワード線と、  
前記ダミーワード線に対応して設けられ、前記第 1 のデータ線と固定電圧との間に設けられた第 1 のダミートランジスタと、  
前記ダミーワード線にそれぞれ対応して設けられ、前記第 2 のデータ線と前記固定電圧との間に設けられた第 2 のダミートランジスタとをさらに備え、  
前記第 1 および第 2 のダミートランジスタは、テスト時に前記ダミーワード線の信号レベルに従って導通する、請求項 10 記載の半導体装置。

30

【請求項 13】

ダミーカラム選択線と、  
前記ダミーカラム選択線に対応して設けられ、前記第 3 のデータ線と固定電圧との間に設けられた第 3 のダミートランジスタと、  
前記ダミーカラム選択線に対応して設けられ、前記第 4 のデータ線と前記固定電圧との間に設けられた第 4 のダミートランジスタとをさらに備え、  
前記第 3 および第 4 のダミートランジスタは、テスト時に前記ダミーカラム選択線の信号レベルに従って導通する、請求項 11 記載の半導体装置。

40

【請求項 14】

行列状に配置されたメモリアレイと、  
メモリセル行にそれぞれ対応して設けられた複数のワード線と、  
前記複数のワード線のうちの 1 本のワード線を駆動するためのワードドライバと、  
前記ワードドライバと接続される複数のロウ選択線と、  
入力ロウアドレス情報に基づいて前記複数のロウ選択線に対してロウ選択信号を出力するロウデコーダと、  
第 1 の基準電圧を生成する第 1 基準電圧生成回路と、  
第 2 の基準電圧を生成する第 2 基準電圧生成回路と、

50

第 1 のデータ線と、  
前記複数のワード線にそれぞれ対応して設けられ、前記第 1 のデータ線と固定電圧との間に設けられた複数の第 1 のトランジスタと、  
前記第 1 のデータ線の電圧と前記第 1 の基準電圧とを比較した第 1 比較信号を出力する第 1 センスアンプと、  
前記第 1 のデータ線の電圧と前記第 2 の基準電圧とを比較する第 2 比較信号を出力する第 2 センスアンプと、  
前記第 1 比較信号および第 2 比較信号に基づいて第 1 の判定結果を出力する第 1 の判定回路とを備え、  
前記複数の第 1 のトランジスタは、前記複数のワード線の信号レベルに従って導通する、  
半導体装置。

10

【請求項 15】

メモリセル列にそれぞれ対応して設けられた複数のビット線と、  
前記複数のビット線のうちの 1 本のビット線を選択するためのカラム選択回路と、  
前記カラム選択回路と接続される複数のカラム選択線と、  
入力カラムアドレス情報に基づいて前記複数のカラム選択線に対してカラム選択信号を出力するカラムデコーダと、  
第 3 の基準電圧を生成する第 3 基準電圧生成回路と、  
第 4 の基準電圧を生成する第 4 基準電圧生成回路と、  
第 2 のデータ線と、  
前記複数のビット線にそれぞれ対応して設けられ、前記第 2 のデータ線と固定電圧との間に設けられた複数の第 2 のトランジスタと、  
前記第 2 のデータ線の電圧と前記第 3 の基準電圧とを比較した第 3 比較信号を出力する第 3 センスアンプと、  
前記第 2 のデータ線の電圧と前記第 4 の基準電圧とを比較する第 4 比較信号を出力する第 4 センスアンプと、  
前記第 3 比較信号および第 4 比較信号に基づいて第 2 の判定結果を出力する第 2 の判定回路とをさらに備え、  
前記複数の第 2 のトランジスタは、前記複数のカラム選択線の信号レベルに従って導通する、請求項 14 記載の半導体装置。

20

30

【請求項 16】

前記第 1 および第 2 の判定回路の前記第 1 および第 2 判定結果に基づく判定信号を出力する合成回路をさらに備える、請求項 15 記載の半導体装置。

【請求項 17】

行列状に配置されたメモリアレイと、  
メモリセル行にそれぞれ対応して設けられた複数のワード線と、  
前記複数のワード線のうちの 1 本のワード線を駆動するためのワードドライバと、  
前記ワードドライバと接続される複数のロウ選択線と、  
入力ロウアドレス情報に基づいて前記複数のロウ選択線に対してロウ選択信号を出力するロウデコーダと、  
複数のサブロウ選択線と、  
前記入力ロウアドレス情報に基づいて前記複数のサブロウ選択線に対してサブデコード信号を出力するサブロウデコーダと、  
所定電圧にプリチャージされた第 1 および第 2 のデータ線と、  
前記複数のワード線にそれぞれ対応して設けられ、前記第 1 のデータ線と固定電圧との間に設けられた複数の第 1 のトランジスタと、  
前記複数のサブロウ選択線にそれぞれ対応して設けられ、前記第 1 のデータ線と前記固定電圧との間に前記対応する第 1 のトランジスタと直列に設けられた複数の第 2 のトランジスタと、  
前記複数のワード線にそれぞれ対応して設けられ、前記第 2 のデータ線と前記固定電圧と

40

50

の間に設けられた複数の第 3 のトランジスタと、  
前記複数のサブロウ選択線にそれぞれ対応して設けられ、前記第 2 のデータ線と前記固定電圧との間に前記対応する第 1 のトランジスタと直列に設けられた複数の第 4 のトランジスタと、  
前記第 1 および第 2 のデータ線の信号に基づいて第 1 の判定結果を出力する第 1 の判定回路とを備え、  
前記複数の第 1 および第 3 のトランジスタは、前記複数のワード線の信号レベルに従って導通し、  
前記複数の第 2 のトランジスタは、前記複数のサブロウ選択線の信号レベルに従って導通し、  
前記複数の第 4 のトランジスタは、前記複数のサブロウ選択線の反転信号レベルに従って導通する、半導体装置。

10

【請求項 18】

メモリセル列にそれぞれ対応して設けられた複数のビット線と、  
前記複数のビット線のうちの 1 本のビット線を選択するためのカラム選択回路と、  
前記カラム選択回路と接続される複数のカラム選択線と、  
入力カラムアドレス情報に基づいて前記複数のカラム選択線に対してカラム選択信号を出力するカラムデコードと、  
複数のサブカラム選択線と、  
前記入力ロウアドレス情報に基づいて前記複数のサブカラム選択線に対してサブデコード信号を出力するサブカラムデコードと、  
所定電圧にプリチャージされた第 3 および第 4 のデータ線と、  
前記複数のカラム選択線にそれぞれ対応して設けられ、前記第 3 のデータ線と前記固定電圧との間に設けられた複数の第 5 のトランジスタと、  
前記複数のサブカラム選択線にそれぞれ対応して設けられ、前記第 3 のデータ線と前記固定電圧との間に前記対応する第 5 のトランジスタと直列に設けられた複数の第 6 のトランジスタと、  
前記複数のカラム選択線にそれぞれ対応して設けられ、前記第 4 のデータ線と前記固定電圧との間に設けられた複数の第 7 のトランジスタと、  
前記複数のサブロウ選択線にそれぞれ対応して設けられ、前記第 4 のデータ線と前記固定電圧との間に前記対応する第 7 のトランジスタと直列に設けられた複数の第 8 のトランジスタと、  
前記第 3 および第 4 のデータ線の信号に基づいて第 2 の判定結果を出力する第 2 の判定回路とを備え、  
前記複数の第 5 および第 7 のトランジスタは、前記複数のカラム選択線の信号レベルに従って導通し、  
前記複数の第 6 のトランジスタは、前記複数のサブカラム選択線の信号レベルに従って導通し、  
前記複数の第 8 のトランジスタは、前記複数のサブカラム選択線の反転信号レベルに従って導通する、請求項 17 記載の半導体装置。

20

30

40

【請求項 19】

前記第 1 および第 2 の判定回路の前記第 1 および第 2 の判定結果に基づく判定信号を出力する合成回路をさらに備える、請求項 18 記載の半導体装置。

50