(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3651971号
(P3651971)
(45)発行日　平成17年5月25日(2005.5.25)　(24)登録日　平成17年3月4日(2005.3.4)

(51)Int.Cl.[7]	F I	
G03B 15/05	G03B 15/05	
G03B 15/03	G03B 15/03	X
H05B 41/32	H05B 41/32	K

請求項の数 3　(全 15 頁)

(21)出願番号　特願平7-206739
(22)出願日　平成7年7月21日(1995.7.21)
(65)公開番号　特開平9-33991
(43)公開日　平成9年2月7日(1997.2.7)
審査請求日　平成13年12月26日(2001.12.26)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100082337
弁理士　近島　一夫
(74)代理人　100089510
弁理士　田北　嵩晴
(72)発明者　市原　義郎
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　本田　博幸

最終頁に続く

(54)【発明の名称】電子閃光装置

(57)【特許請求の範囲】

【請求項１】

電源および分割された２つの一次巻線と帰還巻線を有するトランスと、電源電圧の昇圧のためスイッチ動作をさせる２個の発振用ＰＮＰトランジスタと各発振用ＰＮＰトランジスタの動作を制御するスイッチ素子を有するプッシュプル型ＤＣ－ＤＣコンバータ回路を備えた電子閃光装置において、

第１の発振用ＰＮＰトランジスタと第１の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第１のスイッチ素子と第１のスイッチ素子にカソードを接続する第１のダイオードで構成し電池に対して並列に接続する第１の発振制御回路と、第２の発振用ＰＮＰトランジスタと第２の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第２のスイッチ素子と第２のスイッチ素子にカソードを接続する第２のダイオードで構成し前記電池に対し並列に接続する第２の発振制御回路と、一端を前記第２のスイッチ素子の一端に接続し他端を前記第１のスイッチ素子の一端に接続して共用する帰還巻線と前記第１および第２のダイオードにそれぞれ並列に接続する第１および第２の抵抗による帰還回路を設けたことを特徴とする電子閃光装置。

【請求項２】

電源および分割された２つの一次巻線と帰還巻線を有するトランスと、電源電圧の昇圧のためスイッチ動作させる２つの発振用ＰＮＰトランジスタと各発振用ＰＮＰトランジスタの動作を制御するＮＰＮ発振制御トランジスタを有するプッシュプル型ＤＣ－ＤＣコンバータ回路を備えた電子閃光装置において、

第１の発振用ＰＮＰトランジスタと第１の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第１のＮＰＮトランジスタと第１のＮＰＮトランジスタのエミッタにカソードを接続する第１のダイオードで構成し電池に対して並列に接続する第１の発振制御回路と、第２の発振用ＰＮＰトランジスタと第２の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第２のＮＰＮトランジスタと第２のＮＰＮトランジスタのエミッタにカソードを接続する第２のダイオードで構成し前記電池に対して並列に接続する第２の発振制御回路と、一端を前記第２のＮＰＮトランジスタのエミッタに接続し他端を前記第１のＮＰＮトランジスタのエミッタに接続して共用する帰還巻線と前記第１および第２のダイオードにそれぞれ並列に接続する第１および第２の抵抗による帰還回路を設けたことを特徴とする電子閃光装置。

【請求項３】

電源および分割された２つの一次巻線と帰還巻線を有するトランスと、電源電圧の昇圧のためスイッチ動作させる２つの発振用ＰＮＰトランジスタと各発振用ＰＮＰトランジスタの動作を制御するＦＥＴを有するプッシュプル型ＤＣ－ＤＣコンバータ回路を備えた電子閃光装置において、

第１の発振用ＰＮＰトランジスタと第１の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第１のＦＥＴと第１のＦＥＴのソースにカソードを接続する第１のダイオードで構成し電池に対して並列に接続する第１の発振制御回路と、第２の発振用ＰＮＰトランジスタと第２の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第２のＦＥＴと第２のＦＥＴのソースにカソードを接続する第２のダイオードで構成し前記電池に対し並列に接続する第２の発振制御回路と、一端を前記第２のＦＥＴのソースに接続し他端を前記第１のＦＥＴのソースに接続して共用する帰還巻線と前記第１および第２のダイオードにそれぞれ並列に接続する第１および第２の抵抗による帰還回路と、前記第１および第２のＦＥＴのソースより第３および第４のダイオードのアノードを接続してそれぞれのカソードは前記トランスの二次巻線の一方および他端に接続し前記トランスの二次巻線の一方および他端より第５および第６のダイオードのアノードを接続してそれぞれのカソードは共通にした整流回路と、前記第１および第２のＦＥＴのそれぞれのゲートに接続して共通の一端子制御によりオンすることで発振を開始しオフすることで発振を停止する１個の発振制御端子を備えたことを特徴とする電子閃光装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、電源電圧を昇圧するＤＣ－ＤＣコンバータを有するフラッシュ用の電子閃光装置に関する。

【０００２】

【従来の技術】

従来のフラッシュ用のＤＣ－ＤＣコンバータには、発振トランジスタを１個使ったフォワードコンバータやフライバックコンバータ等がある。

【０００３】

図９（ａ）は従来のＤＣ－ＤＣコンバータのブロック図である。

【０００４】

制御回路２７００からの発振制御信号“ＣＧＯＮ”により、発振制御用トランジスタ６００を介して発振用ＰＮＰトランジスタ３００を発振させ、トランス１７００で昇圧して整流ダイオード２００により整流した電流I_{S2}で、主コンデンサ２６００を充電する。充電レベルを検知回路２３００で確認した後、発光回路２４００を動作させる。

【０００５】

この時、主コンデンサ２６００に充電される充電電流I_{S2}は、図９（ｂ）に示すように発振用ＰＮＰトランジスタ３００がオンの期間だけ流れ、オフの間は充電流が流れないので、オフの時間分の充電時間ロスが発生して電圧の低い電池の場合には充電時間が長く掛って充電完了まで撮影できず、フラッシュ撮影を行うカメラの操作性が悪くなる。

【０００６】
このような不都合を解消するものとして、本出願人による特願平７－１０３２１１号が出願されている。
【０００７】
図６、図７にその電子閃光装置の回路ブロック図を示す。
【０００８】
図６に示す電子閃光装置は、分割された２つの一次巻線１７ａ、１７ｂと、分割された帰還巻線１７ｃ、１７ｄを有して、第１の発振制御用ＮＰＮトランジスタ６によって発振制御される第１の発振用ＰＮＰトランジスタ３と、第２のＮＰＮトランジスタ１３によって制御される第２の発振用ＰＮＰトランジスタ１０を有するプッシュプル型のＤＣ－ＤＣコンバータ回路で構成している。
【０００９】
制御回路２７からの発振制御信号“ＣＧＯＮ”による共通制御により、第１、第２の発振制御用トランジスタ６、１３を同時制御して、第１、第２の発振出力を交互に出力させ、出力をダイオード１９～２２によるフリッジ型整流回路で整流して、主コンデンサ２６を充電する。
【００１０】
図８は図６の回路の動作説明図であり、図８（ａ）は発振トランジスタ３オン時の電流の流れを、図８（ｂ）には発振トランジスタ１０オン時の電流の流れを示している。先ず、図８（ａ）の発振トランジスタ３が発振を開始すると、矢印で示すように、発振トランジスタ３から発振制御用トランジスタ６のエミッタを通って一部が帰還巻線１７ｄを介し抵抗１８に流れ、２次側には整流電流I_{S1}が流れて主コンデンサ２６を充電する。次に、発振トランジスタ３がオフすると発振トランジスタ１０がオンして、帰還巻線１７ｃの方を介し電流が抵抗１８に流れ、２次側に整流電流I'_{S1}が流れて主コンデンサ２６を引続き充電する。　このように、第１、第２の発振制御による交互の出力をブリッジ構成の整流回路で整流して充電電流とし、第１、第２の発振制御用トランジスタ６、１３は共通の制御端子から制御されるので、図９（ｂ）のようなオフ時間が解消され、十分な充電電流を供給して充電時間のロスを無くすことができると共に、共通一端子による制御が可能になった。なお、図７に示す回路は、図６の第１、第２の発振制御用トランジスタ６、１３を、ＦＥＴ６０と１３０に換えた以外は構成、動作とも同じである。
【００１１】
【発明が解決しようとする課題】
しかしながら、上記従来例では、充電のための発振起動の際に起動を容易にし、充電負荷が軽くなった時に発振停止（途中停止）を防ぎ、安定した発振を持続させるためにトランス１７には帰還巻線１７ｃ、１７ｄをそれぞれ設け、その帰還巻線１７ｃは一端を第２の発振制御用トランジスタ１３のエミッタに接続し、他端は抵抗１８の一端に接続している。一方の帰還巻線１７ｄは一端を抵抗１８の一端に、他端は第１の発振制御用トランジスタ６のエミッタに接続し、抵抗１８は他端を電池１に接続している。以上のような構成によって、帰還巻線は第１の発振制御回路用に１７ｄ、第２の発振制御回路用に１７ｃというように分割され、それらは別々に独立して動作している。
【００１２】
従って、発振トランスは１次巻線を第１と第２発振回路用に分割すると共に、帰還巻線も分割して端子を出しているので、発振トランスの端子数が多くなり巻き方も複雑になってトランスが大型化してしまうという問題があった。
【００１３】
依って、本発明の目的とするところは、分割された１次巻線と帰還巻線からなるトランスと、電源電圧の昇圧のための２個の発振トランジスタと各発振トランジスタの動作を制御するスイッチ素子を有するプッシュプルＤＣ－ＤＣコンバータで、帰還巻線を分割すること無く発振動作を可能にして、トランスの端子数を減らし小形化することで回路規模を縮小し部品コストを削減できる電子閃光装置を提供することにある。

【００１４】
【課題を解決するための手段】
上記の目的を達成するために、この発明は、発振トランスの端子数を減少させて小形化を可能にし、かつ回路規模の縮小と部品コストの削減を行うものである。
【００１５】
本出願に係る発明の目的を実現する構成は、請求項１記載のように、電源および分割された２つの一次巻線と帰還巻線を有するトランスと、電源電圧の昇圧のためスイッチ動作をさせる２個の発振用ＰＮＰトランジスタと各発振用ＰＮＰトランジスタの動作を制御するスイッチ素子を有するプッシュプル型ＤＣ－ＤＣコンバータ回路を備えた電子閃光装置において、第１の発振用ＰＮＰトランジスタと第１の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第１のスイッチ素子と第１のスイッチ素子にカソードを接続する第１のダイオードで構成し電池に対して並列に接続する第１の発振制御回路と、第２の発振用ＰＮＰトランジスタと第２の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第２のスイッチ素子と第２のスイッチ素子にカソードを接続する第２のダイオードで構成し前記電池に対し並列に接続する第２の発振制御回路と、一端を前記第２のスイッチ素子の一端に接続し他端を前記第１のスイッチ素子の一端に接続して共用する帰還巻線と前記第１および第２のダイオードにそれぞれ並列に接続する第１および第２の抵抗による帰還回路を設けたことを特徴とする電子閃光装置にある。
【００１６】
この構成によれば、第１、第２の発振トランジスタを第１、第２の発振制御用のスイッチ素子によって制御するプッシュプル型ＤＣ－ＤＣコンバータ回路により構成する電子閃光装置において、帰還巻線を分割することなく発振動作が可能になる。
【００１７】
本出願に係る発明の目的を実現する構成は、請求項２記載のように、電源および分割された２つの一次巻線と帰還巻線を有するトランスと、電源電圧の昇圧のためスイッチ動作させる２つの発振用ＰＮＰトランジスタと各発振用ＰＮＰトランジスタの動作を制御するＮＰＮ発振制御トランジスタを有するプッシュプル型ＤＣ－ＤＣコンバータ回路を備えた電子閃光装置において、第１の発振用ＰＮＰトランジスタと第１の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第１のＮＰＮトランジスタと第１のＮＰＮトランジスタのエミッタにカソードを接続する第１のダイオードで構成し電池に対して並列に接続する第１の発振制御回路と、第２の発振用ＰＮＰトランジスタと第２の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第２のＮＰＮトランジスタと第２のＮＰＮトランジスタのエミッタにカソードを接続する第２のダイオードで構成し前記電池に対して並列に接続する第２の発振制御回路と、一端を前記第２のＮＰＮトランジスタのエミッタに接続し他端を前記第１のＮＰＮトランジスタのエミッタに接続して共用する帰還巻線と前記第１および第２のダイオードにそれぞれ並列に接続する第１および第２の抵抗による帰還回路を設けたことを特徴とする電子閃光装置にある。
【００１８】
この構成によれば、第１、第２の発振トランジスタを第１、第２の発振制御用トランジスタによって制御するプッシュプル型ＤＣ－ＤＣコンバータ回路により構成する電子閃光装置において、帰還巻線を分割すること無く発振動作が可能になる。
【００１９】
本出願に係る発明の目的を実現する構成は、請求項３記載のように、電源および分割された２つの一次巻線と帰還巻線を有するトランスと、電源電圧の昇圧のためスイッチ動作させる２つの発振用ＰＮＰトランジスタと各発振用ＰＮＰトランジスタの動作を制御するＦＥＴを有するプッシュプル型ＤＣ－ＤＣコンバータ回路を備えた電子閃光装置において、第１の発振用ＰＮＰトランジスタと第１の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第１のＦＥＴと第１のＦＥＴのソースにカソードを接続する第１のダイオードで構成し電池に対して並列に接続する第１の発振制御回路と、第２の発振用ＰＮＰトランジスタと第２の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第２のＦＥ

Ｔと第２のＦＥＴのソースにカソードを接続する第２のダイオードで構成し前記電池に対し並列に接続する第２の発振制御回路と、一端を前記第２のＦＥＴのソースに接続し他端を前記第１のＦＥＴのソースに接続して共用する帰還巻線と前記第１および第２のダイオードにそれぞれ並列に接続する第１および第２の抵抗による帰還回路と、前記第１および第２のＦＥＴのソースより第３および第４のダイオードのアノードを接続してそれぞれのカソードは前記トランスの二次巻線の一方および他端に接続し前記トランスの二次巻線の一方および他端より第５および第６のダイオードのアノードを接続してそれぞれのカソードは共通にした整流回路と、前記第１および第２のＦＥＴのそれぞれのゲートに接続して共通の一端子制御によりオンすることで発振を開始しオフすることで発振を停止する１個の発振制御端子を備えたことを特徴とする電子閃光装置にある。

【００２０】

この構成によれば、第１、第２の発振トランジスタを第１、第２の発振制御用のＦＥＴによって制御するプッシュプル型のＤＣ－ＤＣコンバータ回路で構成する電子閃光装置において、帰還巻線を分割すること無く発振動作が可能になる。

【００２１】

【実施例】

以下、本発明の実施例を図に基づいて説明する。

図１は本発明の第１実施例に係る電子閃光装置の回路ブロック図である。

図１に示す本実施例は、電源である電池１と、電池１の両端に接続した電源安定用コンデンサ２で構成する電源部を有し、

第１の発振制御回路として、電池１の電圧を昇圧するための第１の発振用ＰＮＰトランジスタ３は、エミッタを電池１の一端にコレクタを発振トランス１７ａに接続し、エミッタ、ベース間にはコンデンサ４と抵抗５を並列に接続している。第１の発振制御用ＮＰＮトランジスタ６は、コレクタを第１の発振用ＰＮＰトランジスタ３のベースに接続して、第１の発振用ＰＮＰトランジスタ３のオン、オフを制御している。このＮＰＮトランジスタ６のベース、エミッタ間には抵抗７を接続し、エミッタに第１のダイオード８のカソードを接続し、このダイオード８のアノードは電池１の他端に接続している。以上により第１の発振制御回路を構成している。

【００２２】

第７のダイオード９はＮＰＮトランジスタ６のベースにカソードを接続し、アノードは抵抗２８の一端と第８のダイオード１６のアノードに接続して一端子制御が行われる。

【００２３】

次に、第２の発振制御回路として、電池１の電圧を昇圧するための第２の発振用ＰＮＰトランジスタ１０は、エミッタを電池１の一端にコレクタを発振トランス１７ｂに接続し、エミッタ、ベース間にはコンデンサ１１と抵抗１２を並列に接続している。第２の発振制御用のＮＰＮトランジスタ１３はコレクタを第２の発振用ＰＮＰトランジスタ１０のベースに接続して、第２の発振用ＰＮＰトランジスタ１０のオン、オフを制御している。このＮＰＮトランジスタ１３のベース、エミッタ間に抵抗１４を接続し、エミッタに第２のダイオード１５のカソードを接続して、このダイオード１５のアノードは電池１の他端に接続している。以上により第２の発振制御回路を構成している。これら、第１、第２の２つの発振制御回路は電池１に対して共に並列接続である。

【００２４】

第８のダイオード１６は第２のＮＰＮトランジスタ１３のベースにカソードを接続し、アノードは抵抗２８の一端と第７のダイオード９のアノードに接続して一端子制御が行われる。

【００２５】

発振昇圧のためのトランス１７の一次巻線は１７ａと、１７ｂに分割されていて、一次巻線１７ａの一端は第１の発振用ＰＮＰトランジスタ３のコレクタに接続し、他端は電池１の他端に接続している。

【００２６】

一次巻線１７ｂの一端は第２の発振用ＰＮＰトランジスタ１０のコレクタに接続し、他端は電池１の他端と一次巻線１７ａの他端に接続している。なお、一次巻線１７ａと第１の発振用ＰＮＰトランジスタ３のコレクタの接続と、一次巻線１７ｂと第２の発振用ＰＮＰトランジスタ１０のコレクタの接続は、前者は巻線の巻き始め（黒点マーク側）に、後者では巻き終りに接続しているように極性が異なっている。

【００２７】

帰還巻線１７ｃは一端を第２の発振制御用ＮＰＮトランジスタ１３のエミッタと抵抗１８に接続し、他端は第１の発振制御用ＮＰＮトランジスタ６のエミッタと抵抗３１に接続している。且つ、この第１のダイオード８と並列接続となる第１の抵抗３１と、第２のダイオード１５に並列接続となる第２の抵抗１８は、それぞれの他端を電池１の他端に接続している。このように、本実施例における帰還巻線１７ｃは従来例のような分割型ではなく、第１の発振制御回路と第２の発振制御回路の共用である。

【００２８】

次に、高圧整流ダイオード１９のカソードを発振トランス１７の二次巻線１７ｅの一端に接続し、そのアノードは第２の発振制御用ＮＰＮトランジスタ１３のエミッタと、発振トランス１７の帰還巻線１７ｃの一端に接続している。高圧整流ダイオード２０のアノードを二次巻線１７ｅの一端と、高圧整流ダイオード１９のカソードに接続している。高圧整流ダイオード２１のカソードを二次巻線１７ｅの他端に接続し、そのアノードは第１の発振制御用ＮＰＮトランジスタ６のエミッタと、帰還巻線１７ｃの他端に接続している。高圧整流ダイオード２２のアノードには二次巻線１７ｅの他端と高圧整流ダイオード２１のカソードを接続し、このダイオード２２のカソードは高圧整流ダイオード２０のカソードと共通に、主コンデンサ２６の一端に接続している。

【００２９】

以上の４個の高圧整流ダイオードによってブリッジ整流回路を構成している。また、以上説明した第１の発振用ＰＮＰトランジスタ３～高圧整流ダイオード２２迄の構成が、昇圧回路として動作するプッシュプル型ＤＣ－ＤＣコンバータ回路である。

【００３０】

電池１の電圧を昇圧回路で昇圧し主コンデンサ２６に充電した時の充電電圧を検知する検知回路２３は、例えば、ツェナーダイオードや分割抵抗等で構成される回路で、検知した充電レベルが信号ＣＧＵＰで制御回路２７に入力される。発光回路２４は主コンデンサ２６に充電された電荷を、閃光放電管２５に放電するため高電圧のトリガパルスを発生する公知のトリガコンデンサやトリガコイル等を含む回路で、制御回路２７のＴＲＧ信号端子より出力するパルス信号により、閃光放電管２５に高圧トリガ信号を与え発光させる。これら検知回路２３と発光回路２４は共に、主コンデンサ２６の両端に接続している。

【００３１】

閃光放電管２５は陽極を主コンデンサ２６の一端に接続し、陰極は主コンデンサ２６の他端に接続して、発光回路２４よりトリガーされる。主コンデンサ２６はフラッシュ発光に必要なエネルギーを充電するコンデンサで、閃光放電管２５の両端に接続している。

【００３２】

制御回路２７はワンチップマイクロコンピュータ等で構成し、ＣＰＵ、ＲＯＭ、ＲＡＭ、入出力制御回路、マルチプレクサ、タイマ回路等を含むマイコン内臓のワンチツプＩＣ回路で、カメラシステムのコントロールをソフトウェアで行えるもの。電源は定電圧回路２９の出力Ｖｃｃを用いる。

【００３３】

制御回路２７のフラッシュに関する信号端子には、ＣＧＯＮ端子、ＣＧＵＰ端子、ＴＲＧ端子があり、ＣＧＯＮ端子は第１と第２の発振制御用ＮＰＮトランジスタ６、１３にドライブ電流を流すための抵抗２８に接続し、Ｌｏ　Ｌｅｖｅｌ（以下、ＬＬと称す）からＨｉ　Ｌｅｖｅｌ（以下、ＨＬと称す）にすることで発振を開始し、ＬＬにすることで発振が停止する１端子制御による発振制御信号である。

【００３４】

ＣＧＵＰ端子は検知回路２３からの入力信号を検知して、主コンデンサ２６の充電電圧をモニタし、レベル検知を行い制御回路２７のＣＰＵで判断して、昇圧回路の発振動作の禁止及び解除を制御する充電検知信号である。

【００３５】

ＴＲＧ端子は発光回路２４に接続した出力信号端子で、ワンショット信号パルスを発光回路２４へ送りトリガコンデンサ、トリガトランスにより高圧のパルス信号を出力して、閃光放電管２５にトリガをかけ発光させるための発光出力端子である。定電圧回路２９は電池１の電圧が変化しても一定の電圧Ｖｃｃを出力するものであり、３０はレリーズスイッチ等のスイッチ回路である。

【００３６】

図２は図１に示す実施例の動作のフローチャートである。

図３は図１に示す実施例の動作説明図である。

【００３７】

つぎに各図を参照して動作について説明する。

先ず、初期設定を行う（Ｓ１）。つまり制御回路２７のマイコンのプログラムのフラグをクリアしたり、メモリの内容をリセットしたりする。

【００３８】

主コンデンサ２６の電圧を検知する検知回路２３よりＣＧＵＰ信号で主コンデンサ２６の充電レベルを検知し、カメラの撮影に充分な発光をするため予め決められた充電完了レベル（以下、充完レベルと略す）に到達したか否かを判別する（Ｓ２）。結果が充完レベル以上でない時はＳ３へ進む。

【００３９】

制御回路２７のＣＧＯＮ端子の出力信号をＬＬからＨＬ（例えば、０Ｖから５Ｖへ）にすることによって、抵抗２８、ダイオード９、ダイオード１６を介して第１のＮＰＮトランジスタ６と第２のトランジスタ１３のベースに電流が流れてオンとなる（Ｓ３）。

【００４０】

この場合、発振制御用の第１、第２のＮＰＮトランジスタ６、１３のオンにより、第１と第２の発振用ＰＮＰトランジスタ３と１０のベース電流が引かれオンするが、タイミング的に発振用ＰＮＰトランジスタ３と発振用ＰＮＰトランジスタ１０の素子のバラツキ（電流増幅率h_{FE}のバラツキ）により、電流増幅率h_{FE}の大きい発振用ＰＮＰトランジスタが先に発振を開始する。例えば、第１の発振トランジスタ３のh_{FE}が第２の発振用ＰＮＰトランジスタ１０のそれより大きいと仮定すると、先ず、第１の発振用ＰＮＰトランジスタ３がオンすることで、電池１よりエミッタ、コレクタを介してトランス１７の一次巻線１７ａに電流I_{P1}を流す。

【００４１】

図３（ａ）は第１の発振用ＰＮＰトランジスタオン時の電流の流れを示す図である。

【００４２】

図３（ｂ）は第２の発振用ＰＮＰトランジスタのオン時の電流の流れを示す図である。図を参照して更に詳細な動作について説明する。

【００４３】

ＮＰＮトランジスタ６がオンすることで、図３（ａ）中に矢印線で示した電流経路に沿って、電池１から電流が発振用ＰＮＰトランジスタ３のエミッタ、ベースを介し、ＮＰＮトランジスタ６のコレクタ、エミッタを通って、一部が帰還巻線１７ｃを介して抵抗１８に流れるが、前述の一次巻線１７ａに流れるI_{P1}により二次巻線１７ｅには誘導電流が流れ、ＮＰＮトランジスタ６のエミッタに流れた電流がダイオード２１を介しトランス１７の二次巻線１７ｅに流れ、ダイオード２０を介して主コンデンサ２６を充電する。この二次電流を図３（ａ）に示すようにI_{S1}とする。

【００４４】

一次巻線１７ａに流れる一次電流I_{P1}は急速に流れるが、ある一定の電流が流れトランス１７が磁気飽和すると、一次電流I_{P1}は阻止され急速に流れなくなってトランス１７の極

性が反転する。

【００４５】

この時、二次巻線１７ｅ、帰還巻線１７ｃともに極性が反転する。従って、二次電流I_{S1}は流れなくなり、第１の発振制御用ＮＰＮトランジスタ６がオフとなり、第１の発振用ＰＮＰトランジスタ３がオフし、第１の発振制御回路が発振を停止する。

【００４６】

しかし、ＣＧＯＮ信号はＨＬなので第２の発振制御用ＮＰＮトランジスタ１３はオン状態であり、トランス１７の帰還巻線１７ｃを介して抵抗３１に電流が流れ、第２の発振用ＰＮＰトランジスタ１０のベース電流を引き、この発振用ＰＮＰトランジスタ１０のオンにより電池１よりエミッタ、コレクタを通して一次巻線１７ｂに、図３（ｂ）に電流経路を示すように電流I'_{P1}が流れる。

【００４７】

同様に一次巻線１７ｂに流れるI'_{P1}により二次巻線１７ｅに誘導電流が流れ、第２の発振用ＰＮＰトランジスタ１０のエミッタ、ベースを介し、ＮＰＮトランジスタ１３のエミッタを流れた電流がダイオード１９を介し二次巻線１７ｅを通り、ダイオード２２を介して主コンデンサ２６を充電する。この二次電流を図３（ｂ）のようにI'_{S1}とする。

【００４８】

そして、一次電流が同様に磁気飽和により切れトランス１７の極性が反転し、同じ動作を繰り返す。このように、第１、第２の発振回路により繰返し主コンデンサ２６を充電する。

【００４９】

ここで、主コンデンサ２６の充電について従来例との差を比較してみると、従来例では、図６～図８に示すように帰還巻線は第１、第２の発振制御回路別に、それぞれ１７ｃ、１７ｄに分割されていて、ＮＰＮトランジスタ６がオンしたときは、図８（ａ）に矢印線で示した電流経過に沿って、電流は電池１から発振用ＰＮＰトランジスタ３のエミッタ・ベースを介しＮＰＮトランジスタ６のコレクタ・エミッタを通って、一部が帰還巻線１７ｄを介して抵抗１８に流れるといった動作を行い、一方、ＮＰＮトランジスタ１３がオンしたときは、図８（ｂ）に矢印線で示した電流経路に沿って、電流は電池１からＰＮＰトランジスタ１０のエミッタ・ベースを介しＮＰＮトランジスタ１３のコレクタ・エミッタを通って、一部が帰還巻線１７ｃを介して抵抗１８に流れるように動作する。このように、従来例では第１の発振制御回路と第２の発振制御回路はそれぞれ独立した帰還巻線１７ｃ、１７ｄを有していた。

【００５０】

本発明では、このような帰還巻線の分割を止め、第１の発振制御回路と第２の発振制御回路を１つの帰還巻線で動作できるように、帰還巻線１７ｃの一端を第２の発振制御用ＮＰＮトランジスタ１３のエミッタと抵抗１８に接続し、他端を第１の発振制御用ＮＰＮトランジスタ６のエミッタと抵抗３１に接続し、抵抗１８と抵抗３１の他端を電池１の他端に接続している。

【００５１】

このように構成することによって、ＮＰＮトランジスタ６がオンの時は電流が帰還巻線１７ｃを介して抵抗１８に流れ、ＮＰＮトランジスタ１３がオンの時は帰還巻線１７ｃを介し抵抗３１に流れることで共有化することができる。

【００５２】

その他、図４に示す図３の回路の充電電流のタイミングチャートのように、図９（ｂ）に示した回路等の場合は、発振トランジスタ３００のオフ期間は電流が流れないので充電時間のロスとなっていたが、本実施例の場合は第１の発振回路の二次電流I_{S1}と、第２の発振回路の二次電流I'_{S1}により充電するので、常に主コンデンサ２６に充電電流を供給していることになり、図９の回路等に比較すれば充電時間が短縮され、両発振回路をＣＧＯＮの１端子制御として端子数も削減されている。

【００５３】

ここで再び図２のフローチャートに戻り、充電完了レベルに達したら、制御回路２７のＣＧＯＮ端子をＨＬからＬＬにして、抵抗２８、ダイオード９、ダイオード１６を介して第１のＮＰＮトランジスタ６と第２のＮＰＮトランジスタ１３のベース電流を断ちオフにする（Ｓ４）。

【００５４】

このとき帰還巻線１７ｃによってＰＮトランジスタ６もしくはＮＰＮトランジスタ１３のエミッタに高電位が発生するが、ダイオード８もしくはダイオード１５によりバイパスされるので、ＮＰＮトランジスタ６もしくは１３が破壊されることはない。ＮＰＮトランジスタ６もしくは１３のオフによって、発振用ＰＮＰトランジスタ３もしくは１０もオフして発振が停止する。レリーズスイッチ３０がオンしているか判定する（Ｓ５）。オンしていれば、公知の測光回路（不図示）で決められたシャッタスピード絞りに応じて、公知のシャッタ絞り駆動回路（不図示）の動作を始める（Ｓ６）。公知の測光回路、測距回路（不図示）で決められた発光タイミングで、制御回路２７のＴＲＧ信号端子よりトリガ出力する（Ｓ７）。トリガ出力により発光回路２４から閃光放電管２５にトリガパルスを出力し発光させる（Ｓ８）。適正光量になったら発光を停止する（Ｓ９）。シャッタ絞り駆動動作を停止する（Ｓ１０）。そして、フラツシュについての動作を終了する。

【００５５】

このように、本実施例によれば、第１、第２の発振制御回路で帰還巻線を分割することなしに、共用の形で発振動作を行うことができると共に、充電時間の短縮も可能になり、共通制御によつて制御用端子の数も削減できる。

【００５６】

つぎに本発明の第２実施例について説明する。

図５は本発明の第２実施例に係る電子閃光装置の回路ブロック図である。

図５に示す第２実施例で前実施例と異なる構成は、前実施例での発振制御用のＮＰＮトランジスタ回路をＦＥＴ（電解効果トランジスタ）回路に置換えた構成であり、第１のＮＰＮトランジスタ６はＦＥＴ６０に、第２のＮＰＮトランジスタ１３はＦＥＴ１３０に置換えられている。

【００５７】

ＦＥＴ６０はドレインを第１の発振用ＰＮＰトランジスタ３のベースに接続し、ゲート、ソース間には保護用抵抗７０とコンデンサ９０を並列に接続している。ＦＥＴ１３０はドレインを第２の発振用ＰＮＰトランジスタ１０のベースに接続し、ゲート、ソース間には保護用抵抗１４０とコンデンサ１６０を並列に接続し、ＦＥＴ６０とＦＥＴ１３０のゲートは共に制御回路２７のＣＧＯＮ端子に接続して一端子制御となっている。

【００５８】

その他の、第１、第２の発振用ＰＮＰトランジスタ回路、帰還回路、整流回路、発光回路等の構成は前実施例と同一なので、同一符号を付し重複する説明は省略する。

【００５９】

動作については、ＦＥＴ６０が前実施例のＮＰＮトランジスタ６の代わりに第１の発振用ＰＮＰトランジスタ３を制御し、ＦＥＴ１３０がＮＰＮトラジスタ１３の代わりに、第２の発振用ＰＮＰトランジスタ１０を制御している以外は全く同一である。

【００６０】

この場合ＦＥＴ６０とＦＥＴ１３０のゲートはＣＧＯＮ端子に接続して一端子制御とし、制御は各コンデンサ９０、１６０を介し電圧制御となっている。

【００６１】

このように、第２実施例では、前実施例と同様に、第１の発振制御回路と第２の発振制御回路で帰還巻線１７ｃを共用して発振動作を行うことができ、双方の二次電流で常に主コンデンサを充電しているので充電時間が短縮され、更に、一端子制御等による部品点数の削減も可能になっている。

【００６２】

【発明の効果】

以上、説明したように、請求項１に記載の発明によれば、電源および分割された２つの一次巻線と帰還巻線を有するトランスと、電源電圧の昇圧のためスイッチ動作をさせる２個の発振用ＰＮＰトランジスタと各発振用ＰＮＰトランジスタの動作を制御するスイッチ素子を有するプッシュプル型ＤＣ－ＤＣコンバータ回路を備えた電子閃光装置において、第１の発振用ＰＮＰトランジスタと第１の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第１のスイッチ素子と第１のスイッチ素子にカソードを接続する第１のダイオードで構成し電池に対して並列に接続する第１の発振制御回路と、第２の発振用ＰＮＰトランジスタと第２の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第２のスイッチ素子と第２のスイッチ素子にカソードを接続する第２のダイオードで構成し前記電池に対し並列に接続する第２の発振制御回路と、一端を前記第２のスイッチ素子の一端に接続し他端を前記第１のスイッチ素子の一端に接続して共用する帰還巻線と前記第１および第２のダイオードにそれぞれ並列に接続する第１および第２の抵抗による帰還回路を設けているので、第１と第２の発振用ＰＮＰトランジスタを第１、第２のスイッチ素子により制御するプッシュプル型のＤＣ－ＤＣコンバータを有する電子閃光装置で、帰還巻線を分割することなく発振動作を行うことが可能となり、発振トランスの端子数を減らして小形化できることで回路規模の縮小と部品コストの削減を図ることができる。

【００６３】

請求項２に記載の発明によれば、電源および分割された２つの一次巻線と帰還巻線を有するトランスと、電源電圧の昇圧のためスイッチ動作させる２つの発振用ＰＮＰトランジスタと各発振用ＰＮＰトランジスタの動作を制御するＮＰＮ発振制御トランジスタを有するプッシュプル型ＤＣ－ＤＣコンバータ回路を備えた電子閃光装置において、第１の発振用ＰＮＰトランジスタと第１の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第１のＮＰＮトランジスタと第１のＮＰＮトランジスタのエミッタにカソードを接続する第１のダイオードで構成し電池に対して並列に接続する第１の発振制御回路と、第２の発振用ＰＮＰトランジスタと第２の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第２のＮＰＮトランジスタと第２のＮＰＮトランジスタのエミッタにカソードを接続する第２のダイオードで構成し前記電池に対して並列に接続する第２の発振制御回路と、一端を前記第２のＮＰＮトランジスタのエミッタに接続し他端を前記第１のＮＰＮトランジスタのエミッタに接続して共用する帰還巻線と前記第１および第２のダイオードにそれぞれ並列に接続する第１および第２の抵抗による帰還回路を設けているので、第１、第２の発振用ＰＮＰトランジスタを第１、第２のＮＰＮトランジスタで制御するプッシュプル型のＤＣ－ＤＣコンバータを有する電子閃光装置で、帰還巻線を分割しないで発振動作を行うことが可能になり、発振トランスの端子数を削減し小形化することで回路規模を縮小して部品コストの削減を図ることができる。

【００６４】

請求項３に記載の発明によれば、電源および分割された２つの一次巻線と帰還巻線を有するトランスと、電源電圧の昇圧のためスイッチ動作させる２つの発振用ＰＮＰトランジスタと各発振用ＰＮＰトランジスタの動作を制御するＦＥＴを有するプッシュプル型ＤＣ－ＤＣコンバータ回路を備えた電子閃光装置において、第１の発振用ＰＮＰトランジスタと第１の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第１のＦＥＴと第１のＦＥＴのソースにカソードを接続する第１のダイオードで構成し電池に対して並列に接続する第１の発振制御回路と、第２の発振用ＰＮＰトランジスタと第２の発振用ＰＮＰトランジスタのベースを制御する発振制御用の第２のＦＥＴと第２のＦＥＴのソースにカソードを接続する第２のダイオードで構成し前記電池に対し並列に接続する第２の発振制御回路と、一端を前記第２のＦＥＴのソースに接続し他端を前記第１のＦＥＴのソースに接続して共用する帰還巻線と前記第１および第２のダイオードにそれぞれ並列に接続する第１および第２の抵抗による帰還回路と、前記第１および第２のＦＥＴのソースより第３および第４のダイオードのアノードを接続してそれぞれのカソードは前記トランスの二次巻線の一方および他端に接続し前記トランスの二次巻線の一方および他端より第５および第６のダイオードのアノードを接続してそれぞれのカソードは共通にした整流回路と、前記第

１および第２のＦＥＴのそれぞれのゲートに接続して共通の一端子制御によりオンすることで発振を開始しオフすることで発振を停止する１個の発振制御端子を備えているので、第１、第２の発振用ＰＮＰトランジスタを第１、第２のＦＥＴにより制御するプッシュプル型のＤＣ－ＤＣコンバータを有する電子閃光装置で、帰還巻線を分割することなく発振動作を行うことが可能になり、発振トランスの端子数を減らして小形化することで回路規模を縮小し部品コストの削減を図ることができる。

【図面の簡単な説明】

【図１】本発明の第１実施例に係る電子閃光装置の回路ブロック図である。

【図２】図１に示す電子閃光装置の動作のフローチャートである。

【図３】図１に示す電子閃光装置の動作の説明図である。

【図４】図３に示す電子閃光装置の充電電流のタイミングチャートである。

【図５】本発明の第２実施例に係る電子閃光装置の回路ブロック図である。

【図６】従来の電子閃光装置の回路ブロック図である。

【図７】従来のＦＥＴを用いた電子閃光装置の回路ブロック図である。

【図８】従来の電子閃光装置の動作の説明図である。

【図９】従来のＤＣ－ＤＣコンバータの回路ブロック図である。

【符号の説明】

１　電池

２，４，１１，９０，１６０　コンデンサ

３　第１の発振用ＰＮＰトランジスタ

５，７，１２，１４，１８，２８，３１，７０，１４０　抵抗

６　第１のＮＰＮトランジスタ

８，９，１５，１６　ダイオード

１０　第２の発振用ＰＮＰトランジスタ

１３　第２のＮＰＮトランジスタ

１７　トランス

１９，２０，２１，２２　高圧整流ダイオード

２３　検知回路

２４　発光回路

２５　閃光放電管

２６　主コンデンサ

２７　制御回路

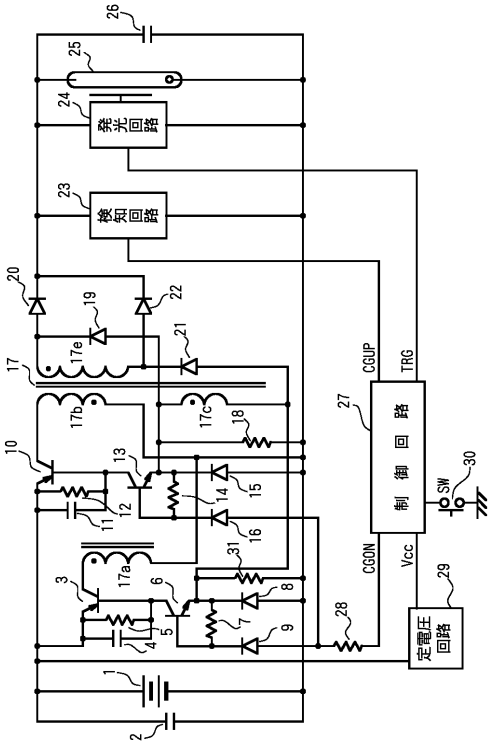
２９　定電圧回路

３０　スイッチ回路

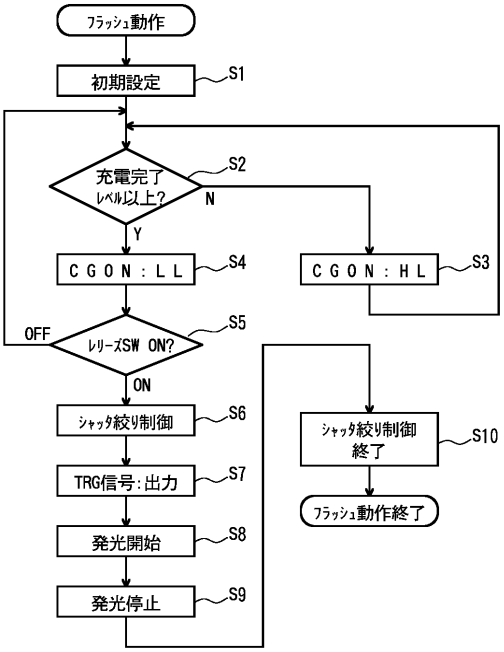
６０　第１のＦＥＴ

１３０　第２のＦＥＴ

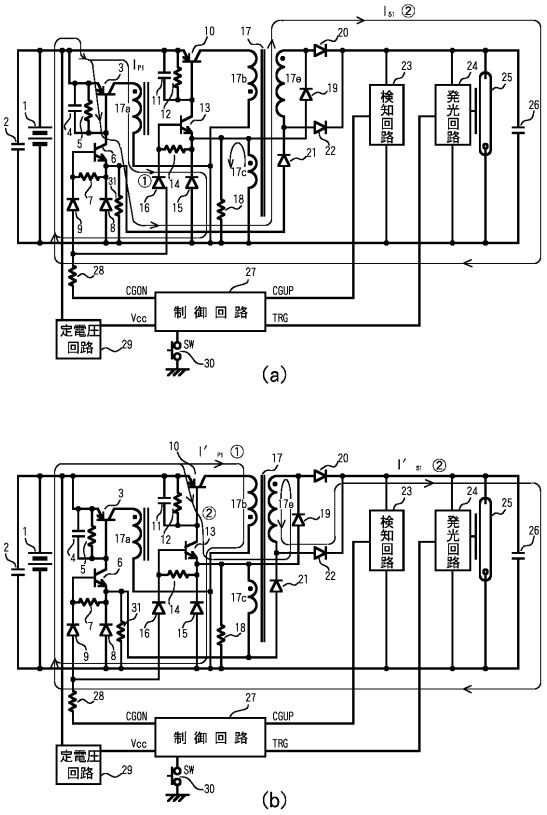
【図１】


発光回路
検知回路
制御回路
CGUP
TRG
CGON
Vcc
SW
定電圧回路

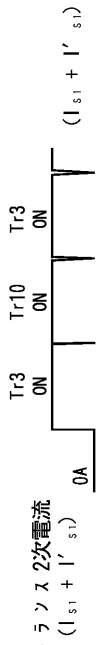
【図２】


フラッシュ動作
初期設定
S1
充電完了 レベル以上?
S2
N
Y
CGON：LL
S4
CGON：HL
S3
OFF
レリーズSW ON?
S5
ON
シャッタ絞り制御
S6
TRG信号:出力
S7
発光開始
S8
発光停止
S9
シャッタ絞り制御終了
S10
フラッシュ動作終了

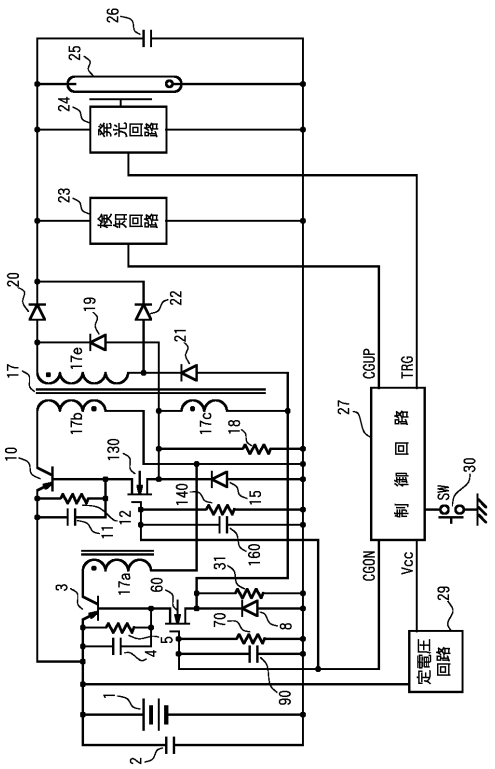
【図３】


検知回路
発光回路
制御回路
CGON
CGUP
TRG
Vcc
SW
定電圧回路
(a)
(b)

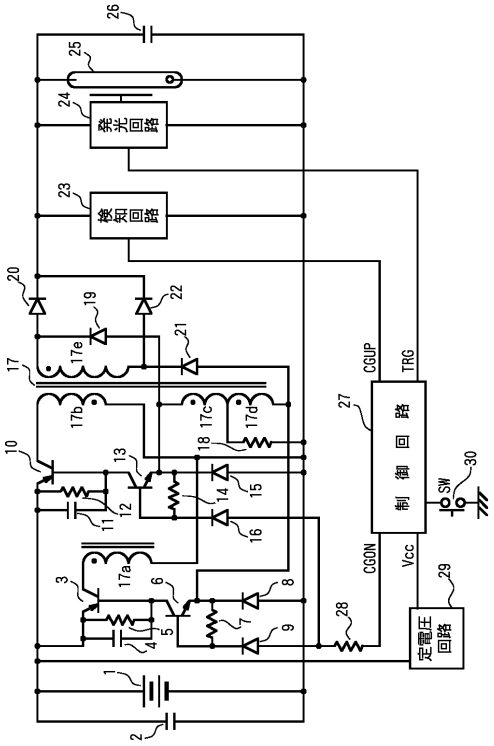
【図４】


Tr3 ON
Tr10 ON
Tr3 ON
0A
トランス2次電流

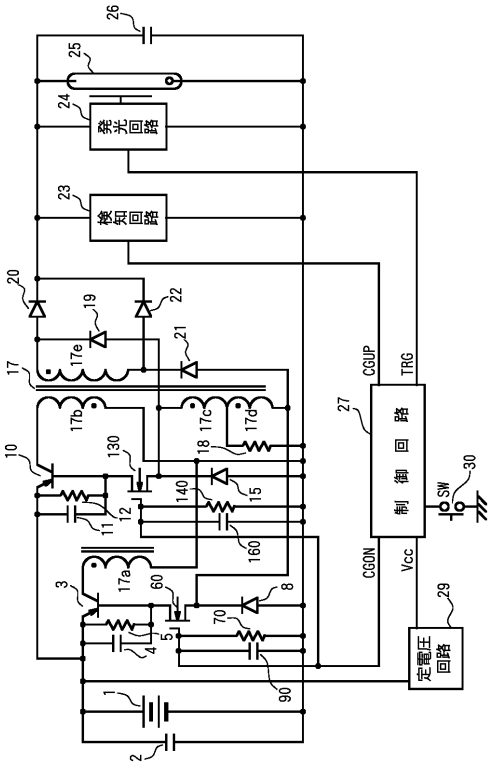
【図５】


発光回路
検知回路
制御回路
定電圧回路
CGUP
TRG
CGON
Vcc
SW

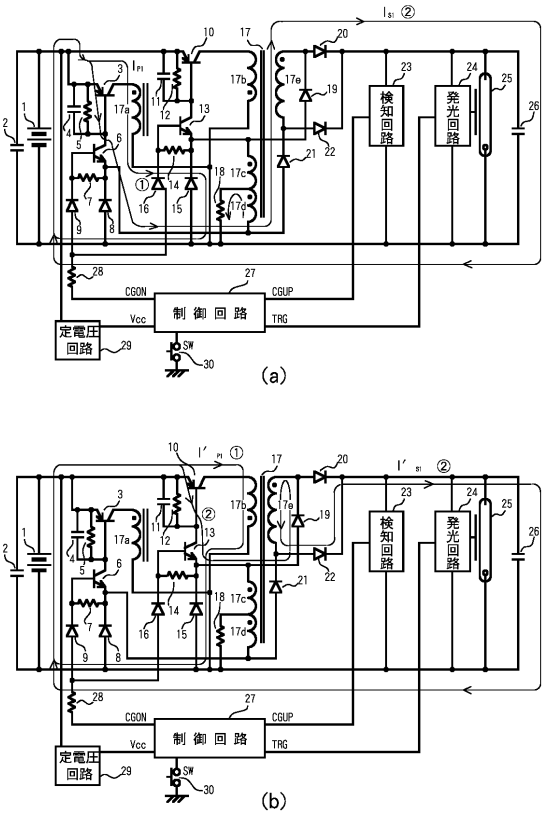
【図６】


発光回路
検知回路
制御回路
定電圧回路
CGUP
TRG
CGON
Vcc
SW

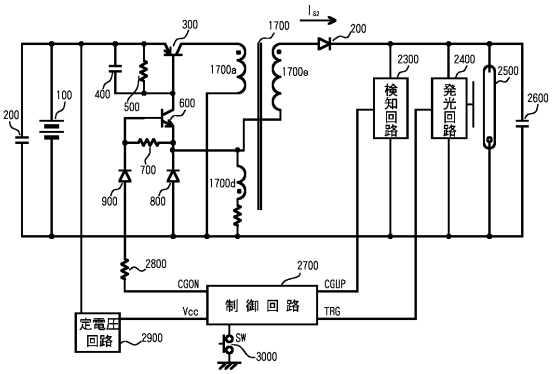
【図７】


発光回路
検知回路
制御回路
定電圧回路
CGUP
TRG
CGON
Vcc
SW

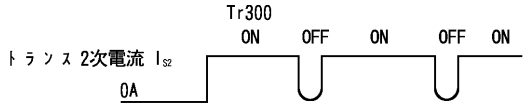
【図８】


検知回路
発光回路
制御回路
定電圧回路
CGON
CGUP
Vcc
TRG
SW
(a)
(b)

【図９】


300
1700
I_{S2}
200
1700a
1700e
2300
2400
2500
2600
検知回路
発光回路
100
200
400
500
600
700
800
900
1700d
2800
2700
CGON
CGUP
制御回路
Vcc
TRG
定電圧回路
2900
SW
3000

(a)


Tr300
ON
OFF
ON
OFF
ON
トランス2次電流 I_{S2}
0A

(b)

フロントページの続き

(56)参考文献 特開平０３－２８７１４９（ＪＰ，Ａ）
特開平０５－２２７７４５（ＪＰ，Ａ）
特開平７－１２３７１３（ＪＰ，Ａ）
特開平０８－２７８５３７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G03B 15/05
G03B 15/03
H05B 41/32