



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2009 021 489.5**

(22) Anmeldetag: **15.05.2009**

(43) Offenlegungstag: **18.11.2010**

(51) Int Cl.<sup>8</sup>: **H01L 21/8234** (2006.01)  
**H01L 27/092** (2006.01)

(71) Anmelder:  
**Globalfoundries Dresden Module One LLC & CO.  
KG, 01109 Dresden, DE; Globalfoundries Inc.,  
Grand Cayman, KY**

(74) Vertreter:  
**Grünecker, Kinkeldey, Stockmair &  
Schwanhäusser, 80802 München**

(72) Erfinder:  
**Reichel, Carsten, 01109 Dresden, DE; Kammler,  
Thorsten, 01458 Ottendorf-Okrilla, DE; Zeun,  
Annekathrin, 01109 Dresden, DE; Kronholz,  
Stephan, 01109 Dresden, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

**DE 10 2006 051492 A1**

**US 2008/02 37 634 A1**

**US 2008/00 79 086 A1**

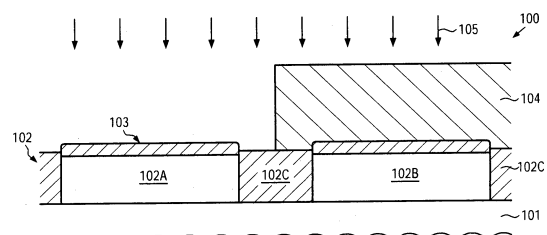
**Isheden, C. [et al.]: pMOSFETs with recessed and  
selectively regrown Si<sub>1-x</sub>G<sub>x</sub> source/drain  
junctions. In: Material Science in  
Semiconductor Processing, Vol. 8, 2005, S.  
359-362. - ISSN 1369-8001**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Erhöhen der Abscheidegleichmäßigkeit für eine Halbleiterlegierung durch einen in-situ-Ätzprozess**

(57) Zusammenfassung: Beim Herstellen komplexer Gateelektrodenstrukturen, die eine schwellwertEinstellende Halbleiterlegierung für eine Art an Transistoren erfordert, wird eine Vertiefung in dem entsprechenden aktiven Gebiet hergestellt, wodurch eine bessere Prozessgleichmäßigkeit während des Abscheidens des Halbleitermaterials erreicht wird. Auf Grund der Vertiefung können freiliegende Seitenwandoberflächenbereiche des aktiven Gebiets während des selektiven epitaktischen Aufwuchsprozesses vermieden werden, wodurch wesentlich zu einer besseren Schwellwertstabilität des resultierenden Transistors, der den Metallgatestapel mit großem  $\epsilon$  enthält, beigetragen wird.



## Beschreibung

Gebiet der vorliegenden Offenbarung

**[0001]** Im Allgemeinen betrifft die vorliegende Offenbarung modernste integrierte Schaltungen mit komplexen Transistorelementen, die Gatestrukturen mit hoher Kapazität mit einer metallenthaltenden Gateelektrode und Dielektrikum mit großem  $\epsilon$  mit erhöhter Permittivität aufweisen.

Beschreibung des Stands der Technik

**[0002]** Die Herstellung moderner integrierter Schaltungen, etwa von CPU's, Speicherbauelementen, ASIC's (anwendungsspezifische integrierte Schaltungen) und dergleichen erfordert, dass eine große Anzahl an Schaltungselementen auf einer vorgegebenen Chipfläche gemäß einem spezifizierten Schaltungsaufbau hergestellt wird, wobei Feldeffekttransistoren eine wichtige Art an Schaltungselementen repräsentieren, die im Wesentlichen das Leistungsverhalten der integrierten Schaltungen bestimmen. Im Allgemeinen werden mehrere Prozesstechnologien aktuell eingesetzt, wobei für viele Arten komplexer Schaltungen mit Feldeffekttransistoren die MOS-Technologie eine der vielversprechendsten Vorgehensweisen auf Grund der guten Eigenschaften im Hinblick auf die Arbeitsgeschwindigkeit und/oder Leistungsaufnahme und/oder Kosteneffizienz ist. Während der Herstellung komplexer integrierter Schaltungen unter Anwendung von beispielsweise der MOS-Technologie werden Millionen Transistoren, beispielsweise n-Kanaltransistoren und/oder p-Kanaltransistoren, auf einem Substrat hergestellt, das eine kristalline Halbleiterschicht aufweist. Ein Feldeffekttransistor enthält, unabhängig davon, ob ein n-Kanaltransistor oder ein p-Kanaltransistor betrachtet wird, sogenannte pn-Übergänge, die durch eine Grenzfläche stark dotierter Gebiete, die als Drain- und Source-Gebiete bezeichnet werden, mit einem leicht dotierten oder nicht dotierten Gebiet, etwa einem Kanalgebiet, gebildet sind, das benachbart zu dem stark dotierten Gebieten angeordnet ist. In einem Feldeffekttransistor ist die Leitfähigkeit des Kanalgebiets, d. h. der Durchlassstrom des leitenden Kanals, durch eine Gateelektrode gesteuert, die benachbart zu dem Kanalgebiet angeordnet und davon durch eine dünne isolierende Schicht getrennt ist. Die Leitfähigkeit des Kanalgebiets beim Aufbau eines leitenden Kanals auf Grund des Anlegens einer geeigneten Steuerspannung an die Gateelektrode hängt von der Dotierstoffkonzentration, der Beweglichkeit der Ladungsträger und – für eine gegebene Abmessung des Kanalgebiets in der Transistorbreitenrichtung – von dem Abstand zwischen dem Sourcegebiet und dem Draingebiet ab, der auch als Kanallänge bezeichnet wird. Somit beeinflusst in Verbindung mit der Fähigkeit, schnell einen leitenden Kanal unter der isolierenden Schicht beim Anlegen der Steuerspan-

nung an der Gateelektrode aufzubauen, die Leitfähigkeit des Kanalgebiets wesentlich das Leistungsverhalten der MOS-Transistoren. Da die Geschwindigkeit des Erzeugens der Kanals, die von der Leitfähigkeit der Gateelektrode abhängt, und der Kanalwiderstand im Wesentlichen die Transistoreigenschaften festlegen, ist die Verringerung der Kanallänge – und damit verknüpft die Verringerung des Kanalwiderstands und die Verringerung des Gatewiderstands – ein wichtiges Entwurfskriterium, um eine Zunahme der Arbeitsgeschwindigkeit integrierter Schaltungen zu erreichen.

**[0003]** Gegenwärtig wird der überwiegende Teil der integrierten Schaltungen auf der Grundlage von Silizium hergestellt und der nahezu unbegrenzten Verfügbarkeit, den gut verstandenen Eigenschaften des Siliziums und zugehöriger Materialien und Prozesse und auf Grund der Erfahrung, die über die letzten 50 Jahre gewonnen wurde. Daher bleibt Silizium mit hoher Wahrscheinlichkeit das Material der Wahl in der absehbaren Zukunft für Schaltungsgenerationen, die für Massenprodukte vorgesehen sind. Ein Grund für die große Bedeutung des Siliziums bei der Herstellung von Halbleiterbauelementen liegt in den guten Eigenschaften einer Silizium/Siliziumdioxid-Grenzfläche, die eine zuverlässige elektrische Isolierung unterschiedlicher Gebiete ermöglicht. Die Silizium/Siliziumdioxidgrenzfläche ist bei höheren Temperaturen stabil und ermöglicht somit das Ausführen nachfolgender Hochtemperatur-Prozesse, wie sie beispielsweise für Ausheizprozesse zur Aktivierung der Dotiermittel und zum Ausheilen von Kristallschäden erforderlich sind, ohne die elektrischen Eigenschaften der Grenzfläche zu beeinträchtigen.

**[0004]** Aus den zuvor dargelegten Gründen wird Siliziumdioxid vorzugsweise als eine Gateisolationschicht in Feldeffekttransistoren verwendet, wie die Gateelektrode, die häufig aus Polysilizium oder einem metallenthaltenden Material aufgebaut ist, von dem Siliziumkanalgebiet trennt. Beim ständigen Verbessern der Bauteileigenschaften von Feldeffekttransistoren wurde die Länge des Kanalgebiets stetig verringert, um die Schaltgeschwindigkeit und den Durchlassstrom zu verbessern. Da das Transistorverhalten durch die Spannung gesteuert ist, die der Gateelektrode zugeführt wird, um die Oberfläche des Kanalgebiets in eine ausreichend hohe Ladungsträgerdichte zu invertieren, um damit den gewünschten Durchlassstrom bei einer vorgegebenen Versorgungsspannung bereitzustellen, ist ein gewisser Grad an kapazitiver Kopplung erforderlich, die durch den Kondensator erreicht wird, der durch die Gateelektrode, das Kanalgebiet und das dazwischen angeordnete Siliziumdioxid gebildet ist. Es zeigt sich, dass die Verringerung der Kanallänge eine Zunahme der kapazitiven Kopplung erfordert, um das sogenannte Kurzkanalverhalten während des Transistorbetriebs zu vermeiden. Das Kurzkanalverhalten kann zu ei-

nem erhöhten Leckstrom führen und ergibt eine ausgeprägte Abhängigkeit der Schwellwertspannung von der Kanallänge. Aggressiv skalierte Transistorbauelemente mit einer relativ geringen Versorgungsspannung und damit mit einer reduzierten Schwellwertspannung weisen einen exponentiellen Anstieg des Leckstromes auf Grund der erforderlichen höheren kapazitiven Kopplung der Gateelektrode an das Kanalgebiet ab, da diese durch Verringern der Dicke der Siliziumdioxidschicht erreicht wird. Z. B. erfordert eine Kanallänge von ungefähr  $0,08 \mu\text{m}$  ein Gatedielektrikum aus Siliziumdioxid mit einer Dicke von ungefähr  $1,2 \text{ nm}$ . Obwohl im Allgemeinen die Verwendung von Hochgeschwindigkeitstransistoren mit einem extrem kurzen Kanal auf Hochgeschwindigkeitssignalwege beschränkt ist, wohingegen Transistorelemente mit einem längeren Kanal für weniger kritische Signalwege eingesetzt werden, erreichen die relativ hohen Leckströme, die durch das direkte Tunneln von Ladungsträgern durch eine sehr dünne Siliziumdioxid-Gateisolationsschicht auftreten bei einer Oxiddicke im Bereich von  $1$  bis  $2 \text{ nm}$  Werte, die nicht mehr mit den Erfordernissen für viele Arten von integrierten Schaltungen kompatibel sind.

**[0005]** Daher wurde das Ersetzen des Siliziumdioxids oder zumindest eines Teils davon als Material für Gateisolationsschichten in Betracht gezogen. Mögliche alternative Dielektrika sind solche Materialien, die eine deutlich höhere Permittivität besitzen, so dass eine physikalisch größere Dicke einer entsprechend gebildeten Gateisolationsschicht dennoch für eine kapazitive Kopplung sorgt, die durch eine extrem dünne Siliziumdioxidschicht erreicht würde. Es wurde daher vorgeschlagen, Siliziumdioxid durch Materialien mit hoher Permittivität zu ersetzen, etwa durch Tantaloxid ( $\text{Ta}_2\text{O}_5$ ) mit einem  $\epsilon$  von ungefähr  $25$ , durch Strontiumtitanoxid ( $\text{SrTiO}_3$ ) mit einem  $\epsilon$  von ungefähr  $150$ , durch Hafniumoxid ( $\text{HfO}_2$ ), durch Hafniumsiliciumoxid ( $\text{HfSiO}$ ), durch Zirkonoxid ( $\text{ZrO}_2$ ) und dergleichen.

**[0006]** Beim Übergang zu aufwendigen Gatearchitekturen auf der Grundlage von Dielektrika mit großem  $\epsilon$  kann das Transistorleistungsverhalten ferner verbessert werden, indem ein geeignetes leitendes Material für die Gateelektrode verwendet wird, um damit das für üblicherweise eingesetzte Polysiliziummaterial zu ersetzen, da Polysiliziummaterial eine Ladungsträgerverarmung in der Nähe der Fläche zum Gatedielektrikum aufweist, wodurch die wirksame Kapazität zwischen dem Kanalgebiet und der Gateelektrode weiter verringert wird. Es wurde daher ein Gatestapel vorgeschlagen, in welchem ein dielektrisches Material mit großem  $\epsilon$  für eine höhere Kapazität selbst bei einer weniger kritischen Dicke im Vergleich zu einer Siliziumdioxidschicht sorgt, während zusätzlich die Leckströme auf einem akzeptablen Niveau gehalten werden. Andererseits kann das metallenthaltende nicht-Polysiliziummaterial, etwa Titanitrid, und dergleichen, so hergestellt werden, dass es

direkt mit dem dielektrischen Material mit großem  $\epsilon$  in Kontakt ist, wodurch die Anwesenheit einer Verarmungszone im Wesentlichen vermieden wird. Daher wird die Schwellwertspannung der Transistoren deutlich durch die Austrittsarbeit des Gatematerials beeinflusst, das mit dem Gatedielektrikumsmaterial in Kontakt ist, und eine geeignete Einstellung der effektiven Austrittsarbeit im Hinblick auf die Leitfähigkeitsart des betrachteten Transistors muss dementsprechend sichergestellt sein.

**[0007]** Beispielsweise werden geeignete metallenthaltende Gateelektrodenmaterialien, etwa Titanitrid, und dergleichen häufig in Verbindung mit geeigneten Metallsorten, etwa Lanthanum, Aluminium, und dergleichen eingesetzt, um die Austrittsarbeit so einzustellen, dass sich für jede Art von Transistoren geeignet ist, d. h. das sie für n-Kanaltransistoren bzw. p-Kanaltransistoren geeignet ist, wobei ein zusätzlicher Bandlückenversatz für den p-Kanaltransistor erforderlich sein können. Aus diesem Grunde wurde auch vorgeschlagen, die Schwellwertspannung der Transistorbauelemente mit einzustellen, indem ein speziell gestaltetes Halbleitermaterial an der Grenzfläche zwischen dem dielektrischen Material mit großem  $\epsilon$  und dem Kanalgebiet des Transistors vorgesehen wird, um in geeigneter Weise die Bandlücke des speziell gestalteten Materials an die Austrittsarbeit des metallenthaltenden Gateelektrodenmaterials „anzupassen“, um damit die gewünschte geringe Schwellwertspannung des Transistors zu erreichen. Typischerweise wird ein entsprechendes speziell gestaltetes Halbleitermaterial, etwa in Form von Silizium/Germanium und dergleichen, mittels einer epitaktischen Aufwachstechnik in einer frühen Fertigungsphase bereitgestellt, was ebenfalls einen zusätzlichen komplexen Prozessschritt bedeutet, wobei jedoch komplexe Prozesse in einer fortgeschrittenen Phase zum Einstellen der Austrittsarbeit und damit der Schwellwertspannungen in einer sehr späten Prozessphase vermieden werden.

**[0008]** Es zeigt sich jedoch, dass die Fertigungssequenz zur Herstellung der schwellwert-einstellenden Halbleiterlegierung einen wesentlichen Einfluss auf die Schwellwertvariabilität und andere Transistoreigenschaften ausübt, wie nachfolgend detaillierter mit Bezug zu den [Fig. 1a](#) bis [1i](#) erläutert ist.

**[0009]** [Fig. 1a](#) zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **100** mit einem Substrat **101**, über welchem ein siliziumbasiertes Halbleitermaterial **102** mit einer geeigneten Dicke vorgesehen ist, um darin und darüber Transistorelemente herzustellen. Des weiteren ist eine Isolationsstruktur **102c** in der Halbleiterschicht **102** gebildet, wodurch aktive Gebiete **102a**, **102b** lateral begrenzt und damit gebildet werden. In diesem Zusammenhang ist ein aktives Gebiet als ein Halbleitermaterial zu verstehen, in welchem ein geeignetes Dotierstoff-

profil erzeugt wird, um damit pn-Übergänge für einen oder mehrere Transistorbauelemente zu bilden. In dem gezeigten Beispiel entspricht das aktive Gebiet **103a** einem p-Kanaltransistor, während das aktive Gebiet **103b** einen n-Kanaltransistor repräsentiert. D. h., die aktiven Gebiete **102a**, **102b** besitzen in der gezeigten Fertigungsphase eine geeignete Basisdotierstoffkonzentration, um die Leitfähigkeitsart eines p-Kanaltransistors bzw. eines n-Kanaltransistors zu erzeugen. Des Weiteren ist eine Maskenschicht **105** auf aktiven Gebieten **102a**, **102b** in Form eines Siliziumdioxidmaterials ausgebildet, das auf den aktiven Gebieten **102a**, **102b** aufgewachsen werden kann. Ferner ist eine Ätzmaske **104** so vorgesehen, dass das aktive Gebiet **102b** abgedeckt ist, während das aktive Gebiet **102a**, d. h. die darauf gebildete Maskenschicht **102**, der Einwirkung einer Ätzumgebung **105** ausgesetzt ist.

[0010] Das in [Fig. 1a](#) gezeigte Halbleiterbauelement **100** kann auf der Grundlage der folgenden konventionellen Prozessstrategien hergestellt werden. Zunächst wird die Isolationsstruktur **102c** auf der Grundlage gut etablierter Lithographie-, Ätz-, Abscheide-, Einebnungs- und Ausheiztechniken hergestellt, in denen beispielsweise ein Graben in der Halbleiterschicht **102** auf der Grundlage von Lithographieprozessen hergestellt wird, der nachfolgend mit einem geeigneten isolierenden Material, etwa Siliziumdioxid, Siliziumnitrid, und dergleichen gefüllt wird. Nach dem Entfernen von überschüssigen Material und dem Einebnen der Oberflächentopographie wird die weitere Bearbeitung typischerweise fortgesetzt, indem mehrere Implantationssequenzen unter Anwendung eines geeigneten Maskierungsschemas ausgeführt werden, um die erforderlichen Dotierstoffsorten zum Erzeugen der Basisdotierstoffkonzentration in den aktiven Gebieten **102a**, **102b** entsprechend der Art der Transistoren, die darin und darüber herzustellen sind, einzuführen. Nach dem Aktivieren der Dotierstoffsorte und dem Rekristallisieren der durch Implantation hervorgerufenen Schäden wird die weitere Bearbeitung fortgesetzt, indem die Maskenschicht **105** auf der Grundlage eines Oxidationsprozesses hergestellt wird, woran sich das Abscheiden des Maskenmaterials, etwa eines Lackmaterials, anschließt, dass nachfolgend in die Maske **104** mittels gut etablierter Lithographietechniken strukturiert wird. Als nächstes wird der Ätzprozess **105** ausgeführt, etwa unter Anwendung eines nasschemischen Ätzrezeptes auf der Grundlage von beispielsweise Flusssäure (HF), die Siliziumdioxidmaterial selektiv zu Siliziummaterial abträgt. Während des Ätzprozesses **105** tritt auch ein Materialverlust in den Isolationsstrukturen **102c** in einem mehr oder minder ausgeprägten Grade abhängig von den Prozessparametern des Ätzprozesses **105** auf.

[0011] [Fig. 1b](#) zeigt schematisch das Halbleiterbauelement **100** nach der zuvor beschriebenen Prozess-

sequenz und nach dem Entfernen der Ätzmaske **104** (siehe [Fig. 1a](#)). Wie zuvor beschrieben ist, wird eine größere Oberflächentopographie während des vorhergehenden Ätzprozesses erzeugt, da typischerweise ein Teil der Seitenwände **102s** des aktiven Gebiets **102a** freigelegt wird, wobei dies von der erforderlichen Nachätzzeit zum zuverlässigen Abtragen der Maskenschicht **103** (siehe [Fig. 1a](#)) von dem aktiven Gebiet **102a** abhängt.

[0012] [Fig. 1c](#) zeigt schematisch das Halbleiterbauelement, wenn es der Einwirkung einer weiteren Prozessumgebung **106** ausgesetzt wird, die typischerweise in einem Abscheidereaktor zum Ausführen eines selektiven epitaktischen Aufwuchsprozesses eingerichtet wird. Beispielsweise werden höhere Temperaturen angewendet und es werden geeignete reaktive Gaskomponenten eingesetzt, um Kontaminationsstoffe und Oxidreste von den freiliegenden Oberflächenbereichen des aktiven Gebiets **102a**, beispielsweise in Form eines natürlichen Oxids und dergleichen, zu entfernen. Während des Prozesses **106** kann somit ebenfalls zusätzliches Material der Isolationsstrukturen **102c**, wie dies durch **102r** angezeigt ist, abgetragen werden und die Dicke der Maskenschicht **103**, die weiterhin das aktive Gebiet **102b** bedeckt, wird verringert. Folglich kann der Prozess **106** zu einer ausgeprägteren Freilegung der Seitenoberfläche **102s** beitragen.

[0013] [Fig. 1d](#) zeigt schematisch das Halbleiterbauelement **100** während eines selektiven epitaktischen Aufwuchsprozesses **108**, in welchem Prozessparameter gemäß gut etablierter Rezepte so gewählt sind, dass eine merkliche Materialabscheidung auf das freigelegte aktive Gebiet **102a** beschränkt ist, während eine Materialabscheidung auf dielektrischen Oberflächenbereichen, etwa der Isolationsstruktur **102c** und der Maskenschicht **103** stark unterdrückt wird. Während des selektiven epitaktischen Aufwuchsprozesses **108** wird eine Silizium/Germanium-Legierung **109** daher selektiv auf dem aktiven Gebiet **102a** aufgewachsen, wobei auf Grund der freiliegenden Seitenwandflächen **102s** eine ausgeprägte Materialabscheidung auch über der Isolationsstruktur **102c** auftreten kann. Im Allgemeinen übt die Materialzusammensetzung der Legierung **106** sowie deren Dicke einen stark Einfluss auf die schließlich erreichte Schwellwertspannung des p-Kanaltransistors aus, der in und über dem aktiven Gebiet **102a** herzustellen ist. Beispielsweise liegt in anspruchsvollen Anwendungen eine Sollstärke der Silizium/Germanium-Legierung **109** in einem Bereich von 10 bis 50 nm, wobei eine Dickenschwankung von mehreren Prozent zu einer deutlichen Variabilität der schließlich erreichten Transistoreigenschaften führen kann. Auf Grund der freiliegenden Seitenoberflächen **102s** kann somit ein unterschiedliches Abscheideverhalten während des Prozesses **108** am Rand des aktiven Gebiets **102a** im Vergleich zu einem zentra-

len Gebiet auftreten, was zu einer ausgeprägten Dickenungleichmäßigkeit beitragen kann.

**[0014]** [Fig. 1e](#) zeigt schematisch das Halbleiterbauelement **100**, wenn es der Einwirkung einer Ätzumgebung **110** ausgesetzt ist, in der die Maske **103** (siehe [Fig. 1e](#)) selektiv in Bezug auf die aktiven Gebiete **102a**, **102b** entfernt wird. Zu diesem Zweck kann Flusssäure oder eine andere geeignete selektive Ätzchemie eingesetzt werden, um nicht in unerwünschter Weise Material der aktiven Gebiete **102a**, **102b** abzutragen. Während des Ätzprozesses **110** kann andererseits die resultierende Oberflächentopographie weiter vergrößert werden durch zusätzliches Abtragen von Material der Isolationsstruktur **102c**, wodurch zu einer noch ausgeprägteren Topographie an einem peripheren Bereich **102p** um das aktive Gebiet **102** herum beigetragen wird. Des Weiteren wird beim Abtragen der Maskenschicht **102** der endgültige Unterschied im Höhengniveau im aktiven Gebiet **102a**, das die Silizium/Germanium-Legierung **109** aufweist, und dem aktiven Gebiet **102b** weiter vergrößert, was zu einem erhöhten Grad an Komplexität während der weiteren Bearbeitung beitragen kann. D. h., nach dem Ätzprozess **110** werden geeignete Gatedielektrikumsmaterialien, die typischerweise ein dielektrisches Material mit großem  $\epsilon$  enthalten, auf der Grundlage von Oxidation in Verbindung mit Abscheidetechniken hergestellt, woran sich das Abscheiden eines komplexen Gateelektrodenstapels anschließt, der typischerweise eine metallenthaltende Deckschicht für das dielektrische Material mit großem  $\epsilon$  und ein oder mehrere zusätzliche Materialien aufweist. Somit führen die unterschiedlichen Höhengniveaus zu einem gewissen Grad an Ungleichmäßigkeit des resultierenden Gatestapels. Während der komplexen Strukturierungssequenz zur Herstellung von Gateelektrodenstrukturen gemäß einer gewünschten kritischen Gatelänge kann somit der Unterschied in den Höhengniveaus zwischen den aktiven Gebieten **102a**, **102b** zu einer unterschiedlichen Gatelänge führen. Des Weiteren besitzt auch die zuvor abgeschiedene Silizium/Germanium-Legierung **109** eine innere Dickenvariabilität auf Grund des Materialwachstums an den freiliegenden Seitenwandbereichen **102s**, was zu einer entsprechenden Schwan-  
kung entlang der Transistorbreitenrichtung, d. h. der Richtung senkrecht zur Zeichenebene der [Fig. 1](#), führt. Auf Grund der starken Abhängigkeit der resultierenden Schwellwertspannung von den Materialeigenschaften der Silizium/Germanium-Legierung **109** kann auch eine ausgeprägte Variabilität des Schwellwertes entlang der Transistorbreitenrichtung beobachtet werden, woraus sich ein hoher Transistorvariabilität und damit ein weniger zuverlässige und weniger vorhersagbare Transistorbetriebsweise ergeben.

**[0015]** Obwohl die Schwellwertspannung von p-Kanaltransistoren, die aufwendige Metallgateestapel mit großem  $\epsilon$  enthalten, effizient ein gestellt werden

kann, indem die Silizium/Germanium-Legierung **109** vorgesehen wird, tritt folglich dennoch eine deutliche Variabilität der Schwellwertspannungen über einen einzelnen Transistor hinweg und auch eine Vielzahl von dicht liegenden Transistoren auf. Als Folge davon kann bei anspruchsvollen Anwendungen, in denen kleine Transistorelemente mit einer Gatelänge von 50 nm und weniger erforderlich sind, die konventionelle Strategie zum Einstellen der Schwellwertspannung von p-Kanaltransistoren, die eine aufwendige Metallgateelektrodenstruktur mit großem  $\epsilon$  enthalten, zu einem ausgeprägten Ausbeuteverlust und der Schwellwertvariabilitäten und der Ungleichmäßigkeit von kritischen Abmessungen, etwa der Gatelänge von p-Kanaltransistoren und n-Kanaltransistoren, führen.

**[0016]** Angesichts der zuvor beschriebenen Situation betrifft die vorliegende Offenbarung Fertigungstechniken von Halbleiterbauelemente, in denen die Schwellwerteinstellung auf der Grundlage einer Halbleiterlegierung erreicht wird, wobei eines oder mehrere der zuvor erkannten Probleme vermieden oder zumindest in der Auswirkung reduziert wird.

#### Überblick über die vorliegende Offenbarung

**[0017]** Im Allgemeinen stellt die vorliegende Offenbarung Halbleiterbauelemente und Fertigungstechniken bereit, in denen die Strukturierungsgleichmäßigkeit modernster Metallgateestapel mit großem  $\epsilon$  und die Schwellwertvariabilität von Transistoren, die eine schwellwerteinstellende Halbleiterlegierung enthalten, deutlich verringert werden, indem die Oberflächentopographie vor dem Bilden des Gatestapels verbessert wird. Zu diesem Zweck wird zumindest das aktive Gebiet, das die schwellwerteinstellende Halbleiterlegierung enthält, abgesenkt bevor die Halbleiterlegierung abgeschieden wird, wodurch das Auftreten von freiliegenden Seitenwandoberflächenbereichen des aktiven Gebiets im Wesentlichen vermieden wird, woraus sich bessere Abscheidebedingungen während des nachfolgenden selektiven epitaktischen Aufwuchsprozesses ergeben. In einigen anschaulichen hierin offenbarten Aspekten wird der Materialabtrag zur Herstellung der Vertiefung in der gleichen Prozesskammer, d. h. in dem Abscheideraktor, ausgeführt, wodurch zu einem sehr effizienten Gesamtfertigungsablauf beigetragen wird. In anderen anschaulichen hierin offenbarten Ausführungsformen wird eine Vertiefung auch in den aktiven Gebieten von Transistoren hergestellt, die die schwellwerteinstellende Halbleiterlegierung nicht erfordern, wodurch die Gleichmäßigkeit des Abscheideprozesses noch weiter verbessert wird, da die „Strukturmusterabhängigkeit“ während des Abscheideprozesses verringert werden kann, d. h. der Einfluss der Strukturmusterdichte auf die Abscheiderate während des selektiven epitaktischen Aufwuchsprozesses wird verringert.



**[0018]** In dieser Hinsicht ist der Begriff „Struktur-  
musterabhängigkeit“ als der Effekt der Variabilität der  
Schichtdicke und/oder der Materialzusammenset-  
zung während eines Abscheideprozesses in Abhän-  
gigkeit von der „Nachbarschaft“ des Bereichs zu ver-  
stehen, auf welchem entsprechendes Material abzu-  
scheiden ist. Auf Grund der Herstellung einer Vertiefung  
kann somit die Halbleiterlegierung mit einer bes-  
seren Dickengleichmäßigkeit abgeschieden werden,  
was sich direkt in einer geringeren Variabilität der  
Transistoreigenschaften ausdrückt.

**[0019]** Ein anschauliches hierin offenbartes Ver-  
fahren umfasst das Entfernen von Material eines aktiven  
Gebiets selektiv zu einer Isolationsstruktur, um eine  
Vertiefung bzw. Aussparung zu bilden, wobei die Iso-  
lationsstruktur das aktive Gebiet in einer Halbleiter-  
schicht eines Halbleiterbauelements lateral begrenzt.  
Das Verfahren umfasst ferner das Bilden einer  
Schicht einer Halbleiterlegierung in der Vertiefung  
und das Bilden einer Gateelektrodenstruktur eines  
Transistors auf der Schicht der Halbleiterlegierung,  
wobei die Gateelektrodenstruktur eine Gateisoli-  
tionsschicht mit einem Dielektrikum mit großem  $\epsilon$  und  
ein metallenthaltendes Gateelektrodenmaterial auf-  
weist, das auf der Gateisolationsschicht mit Dielekt-  
rikum mit großem  $\epsilon$  ausgebildet ist.

**[0020]** Ein noch weiteres anschauliches hierin of-  
fenbartes Verfahren umfasst das Bilden einer Vertiefung  
in einem aktiven Gebiet eines Halbleiterbauele-  
ments durch Erzeugen einer Ätzumgebung in einer  
Prozesskammer. Das Verfahren umfasst ferner das  
Bilden eines schwellwerteeinstellenden Halbleiterma-  
terials in der Vertiefung durch Einrichten einer Ab-  
scheideumgebung in der Prozesskammer. Ferner  
umfasst das Verfahren das Bilden einer Gateelektro-  
denstruktur eines Transistors auf dem schwellwert-  
einstellenden Halbleitermaterial.

**[0021]** Ein anschauliches hierin offenbartes Halblei-  
terbauelement umfasst eine Isolationsstruktur, die in  
einer Halbleiterschicht ausgebildet ist, und umfasst  
ein aktives Gebiet, das in der Halbleiterschicht gebil-  
det ist und das lateral von der Isolationsstruktur be-  
grenzt ist, um damit eine erste Länge und eine Breite  
des aktiven Gebiets festzulegen. Das Halbleiterbaue-  
lement umfasst ferner eine schwellwerteeinstellende  
Halbleiterlegierung, die auf dem aktiven Gebiet aus-  
gebildet ist und sich entlang der Breite des aktiven  
Gebiets erstreckt, so dass im Wesentlichen keine  
Überlappung mit der Isolationsstruktur auftritt, wobei  
die schwellwerteeinstellende Halbleiterlegierung eine  
zweite Länge besitzt, die kleiner ist als die erste Län-  
ge. Des Weiteren umfasst das Halbleiterbauelement  
eine Gateelektrodenstruktur, die auf der schwellwert-  
einstellenden Halbleiterlegierung gebildet ist, wobei  
die Gateelektrodenstruktur ein dielektrisches Materi-  
al mit großem  $\epsilon$  und ein metallenthaltendes Elektro-  
denmaterial aufweist, das über dem dielektrischen

Material mit großem  $\epsilon$  gebildet ist.

#### Kurze Beschreibung der Zeichnungen

**[0022]** Weitere Ausführungsformen der vorliegen-  
den Offenbarung sind in den angefügten Patentan-  
sprüchen definiert und gehen deutlicher aus der fol-  
genden detaillierten Beschreibung hervor, wenn die-  
se mit Bezug zu den begleitenden Zeichnungen stu-  
diert wird, in denen:

**[0023]** [Fig. 1a](#) bis [Fig. 1e](#) schematisch Querschnitt-  
sansichten eines konventionellen Halbleiterbauele-  
ments während diverser Fertigungsphasen bei der  
Herstellung einer Silizium/Germanium-Legierung se-  
lektiv auf dem aktiven Gebiet eines p-Kanaltransis-  
tors zeigen, um die Schwellwertspannung im Zusam-  
menhang mit einem komplexen Metallgatematerial  
mit großem  $\epsilon$  auf der Grundlage konventioneller Pro-  
zesstechniken einzustellen;

**[0024]** [Fig. 2a](#) bis [Fig. 2d](#) schematisch Querschnitt-  
sansichten eines Halbleiterbauelements während di-  
verser Fertigungsphasen bei der Herstellung einer  
schwellwerteeinstellenden Halbleiterlegierung selektiv  
auf einem abgesenkten aktiven Gebiet gemäß an-  
schaulicher Ausführungsformen zeigen;

**[0025]** [Fig. 2e](#) schematisch eine Querschnittsan-  
sicht des Halbleiterbauelements zeigt, wobei Feldef-  
fekttransistoren mit aufwendigen Metallgateelektro-  
den mit großem  $\epsilon$  in einem Schritt entlang der Tran-  
sistorlängsrichtung dargestellt sind;

**[0026]** [Fig. 2f](#) schematisch eine Schnittansicht ent-  
lang der Transistorbreitenrichtung zeigt, wobei eine  
Gateelektrodenstruktur auf einer schwellwerteeinstel-  
lenden Halbleiterlegierung mit einer verbesserten  
Gleichmäßigkeit gemäß anschaulicher Ausführungs-  
formen gebildet ist; und

**[0027]** [Fig. 2g](#) bis [Fig. 2i](#) schematisch Querschnitt-  
sansichten eines Halbleiterbauelements gemäß noch  
weiterer anschaulicher Ausführungsformen zeigen,  
in denen die Prozessgleichmäßigkeit während des  
selektiven epitaktischen Aufwuchsprozesses weiter  
verbessert ist, indem beide aktive Gebiete abgesenkt  
werden und darin die Halbleiterlegierung hergestellt  
wird.

#### Detaillierte Beschreibung

**[0028]** Obwohl die vorliegende Offenbarung mit Be-  
zug zu den Ausführungsformen beschrieben ist, wie  
sie in der folgenden detaillierten Beschreibung sowie  
in den Zeichnungen dargestellt sind, sollte beachtet  
werden, dass die folgende detaillierte Beschreibung  
sowie die Zeichnungen nicht beabsichtigen, den hier-  
in offenbarten Gegenstand auf die speziellen an-  
schaulichen offenbarten Ausführungsformen einzu-

schränken, sondern die beschriebenen anschaulichen Ausführungsformen stellen lediglich beispielhafte die diversen Aspekte der vorliegenden Offenbarung dar, deren Schutzbereich durch die angefügten Patentansprüche definiert ist.

**[0029]** Die vorliegende Offenbarung stellt Halbleiterbauelemente und Techniken bereit, in denen aufwendige Gateelektrodenstrukturen in einer frühen Fertigungsphase auf der Grundlage eines dielektrischen Materials mit großem  $\epsilon$  und auf der Grundlage eines metallenthaltenden Elektrodenmaterials hergestellt werden. In diesem Falle wird die Schwellwertspannung an einer Art an Transistor in Verbindung mit einer geeigneten Metallsorte eingestellt, indem ein geeignetes Halbleitermaterial in dem Kanalgebiet vorgesehen wird, um damit den gewünschten Bandlückenversatz zu erreichen, der zu der erforderlichen Austrittsarbeit führt. Die schwellwert-einstellende Halbleiterlegierung, etwa eine Silizium/Germanium-Legierung, kann auf der Grundlage einer besseren Oberflächentopographie hergestellt werden, was zu besseren Abscheidebedingungen führt, was sich wiederum direkt in einer geringeren Dickenungleichmäßigkeit der Halbleiterlegierung ausdrückt. Zu diesem Zweck wird zumindest das aktive Gebiet einer Transistorart abgesenkt in Bezug auf die Isolationsstruktur, die das aktive Gebiet begrenzt, um damit das Freilegen von Seitenwandbereichen des aktiven Gebiets im Hinblick auf selektive epitaktische Aufwachsatsphäre zu vermeiden, das konventioneller Weise zu einer ausgeprägten Variabilität der Materialzusammensetzung und/oder Dicke der schwellwert-einstellenden Halbleiterlegierung führt. In einer anschaulichen Ausführungsform werden das Absenken und das nachfolgende selektive Abscheiden der Halbleiterlegierung in Form eines in-situ-Prozesses durchgeführt, d. h. in einem Prozess, der in der gleichen Prozesskammer oder dem gleichen Reaktor ausgeführt wird, wodurch zu einer sehr effizienten Prozesssequenz beigetragen wird, ohne dass im Wesentlichen die gesamte Durchlaufzeit im Vergleich zu konventionellen Strategien beeinflusst wird. Z. B. wird eine geeignete Umgebung auf der Grundlage zumindest eines Teils der Prozessgaskomponenten eingerichtet, die auch zum Einrichten der Abscheideumgebung verwendet werden, wodurch das Einführen weiterer zusätzlicher Prozessressourcen im Vergleich zu konventionellen Prozessrezepten vermieden wird.

**[0030]** In einigen anschaulichen Ausführungsformen wird das aktive Gebiet eines Transistors, der die Halbleiterlegierung nicht benötigt, auf der Grundlage einer Hartmaske abgedeckt, die ohne wesentlichen Materialverbrauch der Isolationsstrukturen entfernt wird, wodurch ebenfalls zu einer besseren Oberflächentopographie für das Abscheiden des komplexen Gatestapels und dessen Strukturierung beigetragen wird. Durch das Herstellen der entsprechenden Hart-

maske mittels Abscheidung wird ein ähnliches Höhenniveau für die aktiven Gebiete nach dem Abscheiden der schwellwert-einstellenden Halbleiterlegierung erreicht, was zu besseren Lithographiebedingungen zum Einstellen ähnlicher kritischer Gate-längenabmessungen der Gateelektroden der unterschiedlichen Transistorarten führt.

**[0031]** In noch weiteren anschaulichen Ausführungsformen werden das Absenken und das nachfolgende Abscheiden der schwellwert-einstellenden Halbleiterlegierung für p-Kanaltransistoren und n-Kanaltransistoren ausgeführt, wodurch die gesamte Prozessgleichmäßigkeit weiter verbessert wird, wobei nachfolgend die Halbleiterlegierung selektiv von dem aktiven Gebiet eines der Transistoren abgetragen wird. In Verbindung mit den besseren Prozessbedingungen auf Grund des Vermeidens des Freilegens von Seitenwandbereichen der aktiven Gebiete kann folglich die bessere Gleichmäßigkeit der Abscheiderate auch die gesamte Gleichmäßigkeit des resultierenden schwellwert-einstellenden Materials verbessern, wodurch Transistorschwankungen, etwa im Hinblick auf die Schwellwertschwankungen, weiter verringert werden.

**[0032]** Mit Bezug zu [Fig. 2a](#) bis [Fig. 2i](#) werden nunmehr weitere anschauliche Ausführungsformen detaillierter beschrieben, wobei auch bei Bedarf auf die [Fig. 1a](#) bis [Fig. 1e](#) verwiesen wird.

**[0033]** [Fig. 2a](#) zeigt schematisch das Halbleiterbauelement **200** mit einem Substrat **201**, über welchem eine Halbleiterschicht **202** gebildet ist, die ein beliebiges geeignetes Halbleitermaterial repräsentiert, etwa ein Siliziummaterial und dergleichen. Ferner ist in einigen anschaulichen Ausführungsformen zumindest in einigen Bauteilbereichen des Halbleiterbauelements **200** eine vergrabene isolierende Schicht **201b** zu dem Substrat **201** und der Halbleiterschicht **202** vorgesehen, wodurch eine SOI-Konfiguration bereitgestellt wird, während in anderen Fällen die vergrabene isolierende Schicht **201b** nicht vorhanden ist, wie dies etwa mit Bezug zu dem Bauelement **100** beschrieben ist, wenn auf die [Fig. 1a](#) bis [Fig. 1e](#) verwiesen wird. Die Halbleiterschicht **202** umfasst eine Isolationsstruktur **202c**, etwa eine flache Grabenisolation, die aktive Gebiete **202a**, **202b** lateral begrenzt oder umschließt und damit bildet. Im Hinblick auf das Bilden eines aktiven Gebiets gelten die gleichen Kriterien, wie sie zuvor mit Bezug zu dem Bauelement **100** erläutert sind. In der gezeigten Fertigungsphase ist ferner eine Maskenschicht **303** so gebildet, dass das aktive Gebiet **202b** möglicherweise in Verbindung mit einem Teil der Isolationsstruktur **202c** abgedeckt ist, während das aktive Gebiet **202a** freiliegt, mit Ausnahme von Kontaminationsstoffen oder geringen Materialresten bei einem natürlichen Oxid und dergleichen. In einigen anschaulichen Ausführungsformen ist die Maskenschicht **303** aus einem Oxid-

material aufgebaut, wie dies beispielsweise auch mit Bezug zu [Fig. 1a](#) erläutert ist, während in anderen Fällen die Maskenschicht **203** aus einem anderen geeigneten dielektrischen Material aufgebaut ist, etwa Siliziumdioxid in Form eines abgeschiedenen Materials, Siliziumnitrid und dergleichen. Beispielsweise ermöglicht das Verwenden von Siliziumnitrid als das Maskenmaterial **203** die Strukturierung der Schicht **203** und deren Abtragung in einer späteren Fertigungsphase mit einem deutlich geringeren Grad an Materialverlust der Isolationsstrukturen **202c**.

[0034] Das in [Fig. 2a](#) gezeigte Halbleiterbauelement **200** kann auf der Grundlage gut etablierter Prozesstechniken hergestellt werden, wie sie beispielsweise zuvor mit Bezug zu dem Halbleiterbauelement **100** erläutert sind, wenn die Maskenschicht **203** durch Oxidation hergestellt wird, wie dies [203b](#) gezeigt ist. In diesem Falle kann ein ähnlicher Materialverlust in den Isolationsstrukturen **202c** und dem aktiven Gebiet **202** auftreten, wie dies auch zuvor beschrieben ist. In anderen Fällen wird die Maskenschicht **203** durch Abscheidung hergestellt, wodurch die Menge an Materialverlust in den Isolationsstrukturen **202c** und in dem aktiven Gebiet **202a** verringert wird, selbst wenn diese aus einem ähnlichen Material wie die Isolationsstrukturen **202c** aufgebaut sind. In einigen anschaulichen Ausführungsformen wird die Maskenschicht **203** in Form eines dielektrischen Materials, in Form von Siliziumnitrid, abgeschieden, das ein anderes Ätzverhalten im Vergleich zu der Isolationsstruktur **202c** besitzt. In diesem Falle wird die Maskenschicht **203** auf der Grundlage von beispielsweise einer Lackmaske unter Anwendung selektiver plasmaunterstützter Ätzrezepte oder nasschemischer Ätzrezepte, etwa in Form von heißer Phosphorsäure und dergleichen, strukturiert. In diesem Falle wird eine bessere Oberflächentopographie, d. h. weniger ausgeprägter Materialverlust, erreicht, was die weitere Bearbeitung des Bauelements **200** weiter verbessern kann.

[0035] [Fig. 2b](#) zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist das Halbleiterbauelement **200** in einer geeigneten Fertigungsumgebung angeordnet, etwa einer Prozesskammer oder einem Reaktor, in welchem eine geeignete Temperatur, ein Druck, Gaskomponenten und dergleichen vorhanden sind oder eingeführt werden, um damit eine Ätzumgebung **218** zu errichten. Beispielsweise wird die Prozesskammer oder der Reaktor **220** in Form einer beliebigen gut reduzierten Abscheideanlagen bereitgestellt, die typischerweise zum Ausführen selektiver epitaktischer Abscheideprozesse eingesetzt wird. Vor dem Einrichten der Ätzumgebung **218** kann eine beliebige geeignete reaktive Umgebung eingesetzt werden, um weitere Oberflächenkontaminationsstoffe, etwa Oxidreste und dergleichen abzutragen, wie dies auch zuvor mit Bezug zu dem Halbleiterbauele-

ment **100** erläutert ist. Es sollte beachtet werden, dass in diesem Falle ein gewisser Grad an Materialverlust der Isolationsstrukturen **202c** auftreten kann, und auch die Dicke der Maskenschicht **203** kann verringert werden, wobei dies von der Materialzusammensetzung abhängt. In anderen Fällen wird die Maskenschicht **203** in Form von beispielsweise Siliziumnitridmaterial bereitgestellt, das einen höheren Ätzwiderstand in Bezug auf entsprechende Oberflächenreinigungsprozesse besitzt. Danach wird die Ätzumgebung **218** eingerichtet, was in einer anschaulichen Ausführungsform auf der Grundlage von Prozessgaskomponenten bewerkstelligt wird, die auch in dem nachfolgenden selektiven Abscheideprozess für eine schwellwertestellende Halbleiterlegierung verwendet werden. Es ist gut bekannt, dass Halbleitermaterialien, etwa Silizium/Germanium, Silizium/Kohlenstoff, und dergleichen auf der Grundlage geeigneter Vorstufengase abgeschieden werden, die reduzierbare Gaskomponenten repräsentieren, die in Verbindung mit einer reduzierenden Komponente, etwa Wasserstoff und dergleichen, zu einem Freisetzen der Halbleitersorte führen, die sich dann wiederum auf freiliegenden Oberflächenbereichen anlagert, wobei zusätzlich andere Prozessparameter, etwa Temperatur und dergleichen so eingestellt sind, dass das Abscheiden im Wesentlichen nur auf freigelegten Halbleiteroberflächen auftritt. Somit wird die Ätzumgebung **218** auf der Grundlage ähnlicher Prozessgaskomponenten eingerichtet, indem beispielsweise die reduzierende Gaskomponente weggelassen wird, was zu einem sehr seltenen Ätzprozess zum Entfernen von Material freigelegten aktiven Gebieten **202a** führt. Somit wird eine Vertiefung **218a** während des Ätzprozesses **218** geschaffen. Geeignete Prozessparameter, etwa Ätzzeit und dergleichen, können effizient auf der Grundlage von Experimenten und dergleichen ermittelt werden.

[0036] [Fig. 2c](#) zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase, in der eine Abscheideumgebung **208** in der Prozessumgebung **220** ein gerichtet wird, d. h. in der Prozesskammer oder dem Reaktor **220**. Somit können die Prozesse **218** und **208** als ein in-situ-Prozess betrachtet werden, da das Substrat **201** in der gleichen Prozesskammer bleibt, ohne dass Transportaktivitäten erforderlich sind oder ohne dass eine Einwirkung der Umgebungsatmosphäre stattfindet, wenn die Abscheideumgebung **208** nach dem Ätzprozess **218** (siehe [Fig. 2b](#)) eingerichtet wird. Wie zuvor erläutert ist, kann die Abscheideumgebung **208** auf der Grundlage eines beliebigen selektiven epitaktischen Aufwuchsprozesses eingerichtet werden, wobei ähnliche Prozessgaskomponenten verwendet werden können, wie sie auch während des vorhergehenden Prozesses zum Erzeugen der Vertiefung **218a** angewendet werden, wie dies zuvor erläutert ist. Während des Abscheideprozesses **208** wird folglich eine Halbleiterlegierung **209** selektiv in der Ver-



tiefung **218a** erzeugt, wobei eine bessere Gleichmäßigkeit der Abscheiderate über das gesamte aktive Gebiet **202a** hinweg erreicht wird, da freiliegende Seitenwandoberflächenbereiche nicht vorhanden sind, wie dies in der konventionellen Strategie der Fall ist. Somit wird die Halbleiterlegierung **209**, etwa in Form einer Silizium/Germanium-Legierung, mit einer besseren Dickengleichmäßigkeit bereitgestellt, wobei auch die Gleichmäßigkeit im Hinblick auf die Materialzusammensetzung verbessert ist. Beispielsweise wird das Material **209** mit einer Dicke von 50 nm und weniger einer Variabilität von ungefähr 5% oder deutlich weniger, etwa 2%, im Vergleich zu einer maximalen Dicke der Schicht **209** über das gesamte aktive Gebiet **202a** hinweg aufgebracht. Des Weiteren kann das Material **209** in Form einer Silizium/Germanium-Legierung mit einer Germaniumkonzentration von 25 Atomprozent Germanium oder weniger bereitgestellt werden. Auf Grund der Vertiefung **218a** wird das Material **209** im Wesentlichen durch die Isolationsstruktur **202c** begrenzt und somit wird eine entsprechende Überlappung des Materials **209** mit der Isolationsstruktur **202c** vermieden.

[0037] [Fig. 2d](#) zeigt schematisch das Halbleiterbauelement **200**, wenn es der Einwirkung einer weiteren Ätzumgebung **210** ausgesetzt wird, etwa einem naschemischen Ätzrezept zum Entfernen der Maskenschicht **203** (siehe [Fig. 2c](#)) selektiv zu der Halbleiterlegierung **209** und dem aktiven Gebiet **202b**. Z. B. wird Flußsäure eingesetzt, wenn die Maskenschicht **203** aus Siliziumdioxid aufgebaut ist, während andere Chemien angewendet werden, etwa heiße Phosphorsäure, wenn ein Siliziumnitridmaterial selektiv in Bezug auf die anderen Komponenten abzutragen ist. In diesem Falle kann der Materialverlust der Isolationsstrukturen **202c** auf einem geringen Wert gehalten werden. In diesem Falle wird eine verbesserte Gesamtoberflächentopographie erreicht, da insgesamt der Materialverlust der Isolationsstruktur **202c** im Vergleich zu konventionellen Strategien verringert wird, wobei auch ein Unterschied im Höhenniveau des aktiven Gebietes **202a**, das die Legierung **209** aufweist, und des aktiven Gebietes **202b** im Vergleich zu konventionellen Vorgehensweisen reduziert wird. Während des nachfolgenden Fertigungsprozesses, beispielsweise um aufwendige Gateelektrodenstrukturen zu schaffen, wird somit eine bessere Gleichmäßigkeit der Prozessergebnisse erreicht.

[0038] [Fig. 2e](#) zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist ein Transistor **250a** in und über dem aktiven Gebiet **202a** gebildet, der zumindest zum Teil die Halbleiterlegierung **209** aufweist, während ein Transistor **250b** in und über dem aktiven Gebiet **202b** gebildet ist. Die Transistoren **250a**, **250b** repräsentieren einen p-Kanaltransistor bzw. einen n-Kanaltransistor gemäß anschaulicher Ausführungsformen, wobei diese jeweils eine auf-

wendige Gateelektrodenstruktur **251** auf der Grundlage eines dielektrischen Materials mit großem  $\epsilon$  **253** und auf der Grundlage metallenthaltender Elektrodenmaterialien **254a** bzw. **254b** besitzen. Des Weiteren kann ein zusätzliches Metall oder ein anderes Elektrodenmaterial **255** vorgesehen sein. Beispielsweise ist das dielektrische Material mit großem  $\epsilon$  **253** aus einem oben genannten Materialien aufgebaut möglicherweise in Verbindung mit einem „konventionellen“ dielektrischen Material **252**, etwa in Form Siliziumdioxid, Siliziumnitrid und dergleichen. Ferner ergibt das metallenthaltende Elektrodenmaterial **254a**, dass direkt auf dem dielektrischen Material mit großem  $\epsilon$  **253** gebildet sein kann, in Verbindung mit dem Schwellwerteinstellenden Material **209** eine geeignete Austrittsarbeit, um damit den gewünschten Schwellwert des Transistors **250a** zu erreichen, der wiederum eine deutlich geringere Variabilität entlang der Transistorbreitenrichtung besitzt, d. h. entlang der Richtung senkrecht zu Zeichenebene der [Fig. 2e](#). Andererseits enthält der Transistor **250b** das Elektrodenmaterial **254b**, das zu einer gewünschten Austrittsarbeit des Transistors **250b** führt. Es sollte beachtet werden, dass typischerweise die Schicht **254a**, **254b** aus speziellen Metallsorten aufgebaut sind, wovon zumindest entsprechende Metallsorten in das dielektrische Material mit großem  $\epsilon$  **253** verteilt werden, um damit die erforderlichen Transistor-schwellwertspannungen zu schaffen.

[0039] Ferner ist eine Abstandshalterstruktur **256** an Seitenwänden der Gateelektrodenstrukturen **251** vorgesehen, um als eine Implantationsmaske zur Herstellung von Drain- und Sourcegebieten **257** mit einem gewünschten lateralen und vertikalen Dotierstoffprofil zu dienen. Eine oder beide Transistoren **250a**, **250b** können zusätzliche leistungssteigernde Mechanismen aufweisen, etwa eine verformungsinduzierende Halbleiterlegierung **258**, die in dem aktiven Gebiet, etwa dem aktiven Gebiet **202a**, etwa in Form einer Silizium/Germanium-Legierung und dergleichen vorgesehen ist. In diesem Falle ruft das Material **258** eine gewünschte Art an Verformung in einem Kanalgebiet **259** hervor, wodurch die Ladungsträgerbeweglichkeit erhöht wird, wie dies auch zuvor erläutert ist.

[0040] Das in [Fig. 2e](#) gezeigte Halbleiterbauelement **200** kann auf der Grundlage einer beliebigen geeigneten Fertigungstechnik hergestellt werden, etwa die Herstellung eines Materialstapels für die Gateelektrodenstruktur **351**, der dann auf der Grundlage aufwendiger Strukturierungsverfahren strukturiert wird. Auf Grund der besseren Gleichmäßigkeit des Materials **209** und auf Grund des geringeren Unterschieds im Höhenniveau zwischen den aktiven Gebieten **202a**, **202b** wird eine verbesserte Strukturierungsgleichmäßigkeit erreicht, woraus sich eine Gatelänge **251a**, **251b** ergibt, die eine geringere Variabilität im Hinblick auf einen gewünschten Sollwert

besitzt. Es sollte beachtet werden, dass bei Bedarf des Materials **258** nach dem Strukturieren der Gateelektrodenstruktur gebildet werden kann, beispielsweise in geeignete Aussparungen in dem aktiven Gebiet **202a** geschaffen werden und indem diese mit der gewünschten Halbleiterlegierung gefüllt werden. Daraufhin werden die Drain- und Sourcegebiete **257** in Verbindung mit der Abstandshalterstruktur **256** hergestellt, woran sich Ausheizprozesse zum Aktivieren der Dotierstoffsorten und zum Rekrallisieren durch von Implantation hervorgerufenen Schäden anschließen. Die weitere Bearbeitung wird dann fortgesetzt, indem Metallsilizidgebiete in den Drain- und Sourcegebieten **257** bei Bedarf und auch möglicherweise in dem Material **255** hergestellt werden, wenn dieses einen deutlichen Anteil an Siliziummaterial enthält. Daraufhin wird ein dielektrisches Material aufgebracht, beispielsweise bei Bedarf in einem verspannten Zustand, und es werden Kontaktelemente darin hergestellt, um eine Verbindung zu den Transistoren **250a**, **250b** herzustellen.

[0041] [Fig. 2f](#) zeigt schematisch eine Querschnittsansicht des Transistors **250a** entlang der Transistorbreitenrichtung. Wie gezeigt, erstreckt sich das schwellwertEinstellende Halbleitermaterial **209** entlang der gesamten Breite **202w** des aktiven Gebiets **202a**. Somit überlappt das Material **209** im Wesentlichen nicht mit der Isolationsstruktur **202c**, selbst wenn ein gewisser Grad an Materialverlust in diesen Isolationsstrukturen während des Strukturierens des Transistors **250a** auftritt. Ferner kann, wie gezeigt ist, die Gateelektrodenstruktur **251** über die Isolationsstruktur **202c** abhängig von dem gesamten Schaltungsaufbau des Bauelements **200** ausgebildet sein. Des Weiteren besitzt eine Dicke **209t** eine deutlich geringere Variabilität entlang der Breite **202w** und trägt weniger als ungefähr 5% im Hinblick auf eine maximale Breite **202n**, während in einigen anschaulichen Ausführungsformen eine Dickenschwankung von weniger als ungefähr 2% oder darunter erreicht wird. Folglich wird auch eine entsprechende Schwellwertvariabilität entlang der Breite **202w** im Vergleich zu konventionellen Halbleiterbauelementen verringert.

[0042] Mit Bezug zu den [Fig. 2g](#) bis [Fig. 2i](#) werden nunmehr weitere anschauliche Ausführungsformen beschrieben, in denen eine weitere verbesserte Prozessgleichmäßigkeit erreicht wird, indem die Abscheidenratenvariabilität verringert wird, was auch als Strukturmustereinfluss bezeichnet wird.

[0043] [Fig. 2g](#) zeigt schematisch das Halbleiterbauelement **200** in einer Fertigungsphase, in der das Bauelement **200** der Einwirkung der Ätzumgebung **218** in der Ätzumgebung **220** ausgesetzt ist. Wie gezeigt, ist das aktive Gebiet **202b** nicht durch ein Maskenmaterial abgedeckt, so dass eine entsprechende Oberflächentopographie weniger ausgeprägt ist, da

Prozesse zur Herstellung eines Maskenmaterials und für dessen Strukturierung weggelassen werden. Während des Ätzprozesses **218** wird somit Material der aktiven Gebiete **202a**, **202b** selektiv zu den Isolationsstrukturen **202c** abgetragen, wodurch die Aussparung **218** und eine Aussparung **218b** geschaffen werden. Im Hinblick auf Prozessparameter gelten die gleichen Kriterien, wie sie zuvor erläutert sind.

[0044] [Fig. 2h](#) zeigt schematisch das Halbleiterbauelement **200** während des Abscheideprozesses **208**, wodurch das Halbleitermaterial **209** auf dem aktiven Gebiet **202a** und eine Halbleiterlegierung **209d** auf dem aktiven Gebiet **202b** gebildet wird, wobei die Materialien **209**, **209b** die gleiche Zusammensetzung besitzen. Während des Abscheideprozesses **209** wird eine bessere Prozessgleichmäßigkeit erreicht, da eine ähnliche Abscheiderate für p-Kanaltransistoren ermöglicht wird, da typischerweise ein oder mehrere n-Kanaltransistoren in der Nähe des betrachteten p-Kanaltransistors angeordnet sind, selbst wenn Bauteilgebiete mit unterschiedlicher Packungsdichte betrachtet werden. Somit wird das Material **209** und auch das Material **209b** mit besserer Gleichmäßigkeit aufgebracht.

[0045] [Fig. 2i](#) zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, unterliegt das Bauelement **200** der Einwirkung einer Ätzumgebung **212** auf der Grundlage einer Ätzmaske **213**, die das aktive Gebiet **202a** und somit die Halbleiterlegierung **209** abdeckt. Andererseits liegt das Material **209b** in Bezug auf die Umgebung **212** frei. Beispielsweise sind sehr selektive Ätzrezepte, etwa auf der Grundlage von Tetramethylammoniumhydroxid (TMAH) und dergleichen, verfügbar und können während des Ätzprozesses **212** eingesetzt werden, um das Material **209b** mit einem hohen Grad an Steuerbarkeit abzutragen. Folglich wird das aktive Gebiet **202b** mit einer gut definierten Vertiefung bereitgestellt, während das Material **209** in dem Prozess **212** beibehalten wird und die bessere Gleichmäßigkeit auf Grund des vorhergehenden gemeinsamen Abscheidevorgangs der Materialien **209**, **209b** besitzt. Daraufhin wird die weitere Bearbeitung fortgesetzt, indem die Maske **213** entfernt wird und indem die Gateelektrodenstrukturen hergestellt werden, wie dies zuvor beschrieben ist. Es sollte beachtet werden, dass auf Grund des gut definierten Zustands des aktiven Gebiets **202b** ein entsprechender Unterschied im Höhenniveau zwischen den aktiven Gebieten **202a**, **202b** berücksichtigt werden kann, wenn eine entsprechende Lithografiemaske gestaltet wird, da ein geringer Unterschied in den Belichtungsbedingungen somit kompensiert werden kann, da der entsprechende Unterschied in den Höhenniveaus mit einem hohen Grad an Gleichmäßigkeit und damit Vorhersagbarkeit auftritt.

**[0046]** Es gilt also: Die vorliegende Offenbarung stellt Halbleiterbauelemente und Techniken bereit, in denen eine schwellwerteinstellende Halbleiterlegierung, etwa eine Silizium/Germaniumlegierung, mit erhöhter Gleichmäßigkeit bereitgestellt wird, in dem zumindest das aktive Gebiet einer Transistorart vertieft wird. Folglich können die Dicke und die Materialzusammensetzung der schwellwerteinstellenden Halbleiterlegierung im Vergleich zu konventionellen Strategien verbessert werden, da freiliegende Oberflächenbereiche des aktiven Gebiets vermieden werden. Aus diesem Grund kann die Schwellwertspannungsvariabilität, etwa entlang der Transistorbreitenrichtung, deutlich verringert werden.

**[0047]** Weitere Modifizierungen und Variationen der vorliegenden Offenbarung werden für den Fachmann angesichts dieser Beschreibung offenkundig. Daher ist diese Beschreibung als lediglich anschaulich zu verstehen und ist zu dem Zwecke gedacht, dem Fachmann die allgemeine Art und Weise des Ausführens der vorliegenden Erfindung zu vermitteln. Selbstverständlich sind die hierin gezeigten und beschriebenen Formen der Erfindung als die gegenwärtig bevorzugten Ausführungsformen zu betrachten.

### Patentansprüche

#### 1. Verfahren mit:

Entfernen von Material eines aktiven Gebiets selektiv zu einer Isolationsstruktur, um eine Vertiefung zu bilden, wobei die Isolationsstruktur das aktive Gebiet in einer Halbleiterschicht eines Halbleiterbauelements lateral begrenzt;  
Bilden einer Schicht aus einer Halbleiterlegierung in der Vertiefung; und  
Bilden einer Gateelektrodenstruktur eines Transistors auf der Schicht der Halbleiterlegierung, wobei die Gateelektrodenstruktur eine Gateisolationsschicht mit einem Dielektrikum mit großem  $\epsilon$  und ein metallenthaltendes Gateelektrodenmaterial aufweist, das auf der Gateisolationsschicht mit Dielektrikum mit großem  $\epsilon$  gebildet ist.

2. Verfahren nach Anspruch 1, das ferner umfasst: Bilden einer Maske auf einem zweiten aktiven Gebiet, das in der Halbleiterschicht gebildet ist, vor dem Entfernen des Materials des aktiven Gebiets.

3. Verfahren nach Anspruch 2, das ferner umfasst: Entfernen der Maske nach dem Bilden der Halbleiterlegierung in der Vertiefung und Bilden einer zweiten Gateelektrodenstruktur des zweiten Transistors auf dem zweiten aktiven Gebiet.

4. Verfahren nach Anspruch 1, das ferner umfasst: Entfernen von Material eines zweiten aktiven Gebiets, das in der Halbleiterschicht gebildet ist, um eine zweite Vertiefung zu erzeugen, Bilden der Halbleiterlegierung in der zweiten Vertiefung und Entfer-

nen der Halbleiterlegierung selektiv in dem zweiten aktiven Gebiet.

5. Verfahren nach Anspruch 4, das ferner umfasst: Bilden einer zweiten Gateelektrodenstruktur eines zweiten Transistors in der zweiten Vertiefung des zweiten aktiven Gebiets.

6. Verfahren nach Anspruch 1, wobei Entfernen des Materials des aktiven Gebiets und Bilden der Schicht der Halbleiterlegierung umfasst: Einrichten einer Prozessumgebung in einer einzelnen Prozesskammer.

7. Verfahren nach Anspruch 6, wobei Bilden der Schicht aus Halbleiterlegierung umfasst: Ausführen eines selektiven epitaktischen Aufwuchsprozesses, um eine Materialabscheidung auf der Isolationsstruktur zu unterdrücken.

8. Verfahren nach Anspruch 7, wobei Entfernen von Material des aktiven Gebiets umfasst: Einrichten einer Umgebung der Prozesskammer auf der Grundlage eines Teils der Gaskomponenten, die zum Ausführen des selektiven epitaktischen Aufwuchsprozesses verwendet werden.

9. Verfahren nach Anspruch 1, wobei die Schicht aus Halbleiterlegierung als eine Silizium/Germanium-Legierung gebildet wird.

10. Verfahren nach Anspruch 9, das ferner umfasst: Bilden von Drain- und Sourcegebieten eines p-Kanaltransistors in dem aktiven Gebiet.

#### 11. Verfahren mit:

Bilden einer Vertiefung in einem aktiven Gebiet eines Halbleiterbauelements durch Erzeugen einer Ätzumgebung in einer Prozesskammer;  
Bilden eines schwellwerteinstellenden Halbleitermaterials in der Vertiefung durch Erzeugen einer Abscheideumgebung in der Prozesskammer; und  
Bilden einer Gateelektrodenstruktur eines Transistors auf dem schwellwerteinstellenden Halbleitermaterial.

12. Verfahren nach Anspruch 11, wobei Bilden der Gateelektrodenstruktur umfasst: Bilden eines dielektrischen Materials mit großem  $\epsilon$  über dem schwellwerteinstellenden Halbleitermaterial und Bilden eines metallenthaltenden Elektrodenmaterials auf dem dielektrischen Material mit großem  $\epsilon$ .

13. Verfahren nach Anspruch 11, das ferner umfasst: Bilden einer Maske auf einem zweiten aktiven Gebiet und Bilden der Vertiefung selektiv in dem aktiven Gebiet durch Verwenden der Maske als eine Ätzmaske.

14. Verfahren nach Anspruch 13, wobei Bilden

des schwellwerteeinstellenden Halbleitermaterials in der Vertiefung umfasst: Ausführen eines selektiven epitaktischen Aufwuchsprozesses und Verwenden der Maske als eine Abscheidemaske.

15. Verfahren nach Anspruch 11, das ferner umfasst: Bilden einer zweiten Vertiefung in einem zweiten aktiven Gebiet und Bilden des schwellwerteeinstellenden Halbleitermaterials in der zweiten Vertiefung.

16. Verfahren nach Anspruch 15, das ferner umfasst: Entfernen des schwellwerteeinstellenden Halbleitermaterials selektiv in der zweiten Vertiefung und Bilden einer zweiten Gateelektrodenstruktur auf dem zweiten aktiven Gebiet.

17. Verfahren nach Anspruch 11, wobei die Ätzumgebung auf der Grundlage eines Teils von Gas-komponenten eingerichtet wird, die zum Einrichten der Abscheideumgebung verwendet werden.

18. Verfahren nach Anspruch 16, wobei Entfernen des schwellwerteeinstellenden Halbleitermaterials umfasst: Ausführen eines nasschemischen Ätzprozesses auf der Grundlage von Tetramethylammoniumhydroxid (TMAH).

19. Verfahren nach Anspruch 11, wobei das schwellwerteeinstellende Halbleitermaterial eine Silizium/Germanium-Legierung aufweist.

20. Halbleiterbauelement mit:  
einer Isolationsstruktur, die in einer Halbleiterschicht ausgebildet ist;  
einem aktiven Gebiet, das in der Halbleiterschicht gebildet und lateral durch die Isolationsstruktur begrenzt ist, um eine erste Länge und eine Breite des aktiven Gebiets zu definieren;  
einer schwellwerteeinstellenden Halbleiterlegierung, die auf dem aktiven Gebiet ausgebildet ist und sich entlang der Breite des aktiven Gebiets erstreckt, so dass im Wesentlichen keine Überlappung mit der Isolationsstruktur erfolgt, wobei die schwellwerteeinstellende Halbleiterlegierung eine zweite Länge besitzt, die kleiner ist als die erste; und  
einer Gateelektrodenstruktur, die auf der schwellwerteeinstellenden Halbleiterlegierung ausgebildet ist, wobei die Gateelektrodenstruktur ein dielektrisches Material mit großem  $\epsilon$  und ein metallenthaltendes Elektrodenmaterial, das über dem dielektrischen Material mit großem  $\epsilon$  gebildet ist, aufweist.

21. Halbleiterbauelement nach Anspruch 20, wobei eine Dicke der schwellwerteeinstellenden Halbleiterlegierung entlang der Breite und weniger als ungefähr 5% im Verhältnis zu einer maximalen Dicke variiert.

22. Halbleiterbauelement nach Anspruch 20, wobei die maximale Dicke ungefähr 15 Nanometer (nm)

oder weniger beträgt.

23. Halbleiterbauelement nach Anspruch 22, wobei die Gateelektrodenstruktur ein Teil eines p-Kanaltransistors ist.

24. Halbleiterbauelement nach Anspruch 23, wobei die schwellwerteeinstellende Halbleiterlegierung eine Silizium/Germanium-Legierung mit einer Germaniumkonzentration von ungefähr 20 Atomprozent oder mehr aufweist.

25. Halbleiterbauelement nach Anspruch 24, das ferner ein zweites aktives Gebiet aufweist, das ein Siliziumkanalgebiet und eine zweite Gateelektrodenstruktur, die auf dem Siliziumkanalgebiet gebildet ist, aufweist.

Es folgen 5 Blatt Zeichnungen



Anhängende Zeichnungen

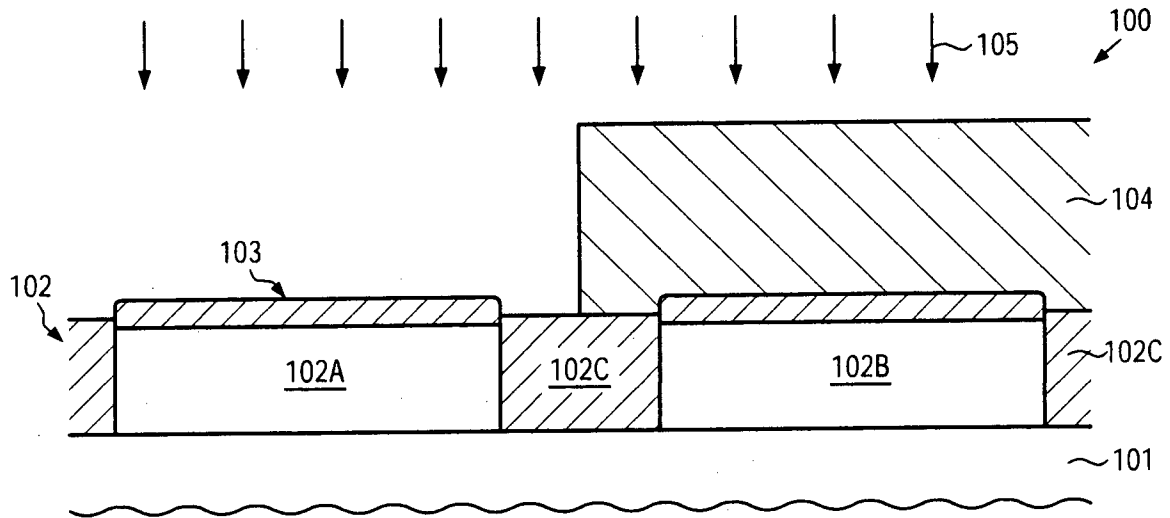


FIG. 1a  
(Stand der Technik)

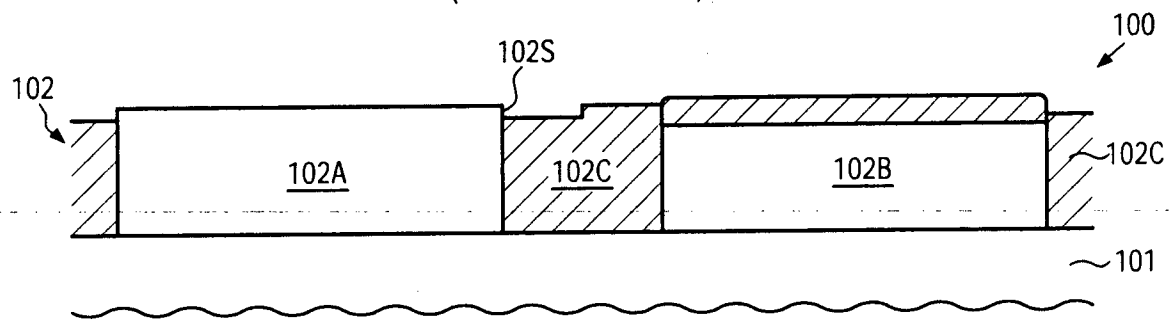


FIG. 1b  
(Stand der Technik)

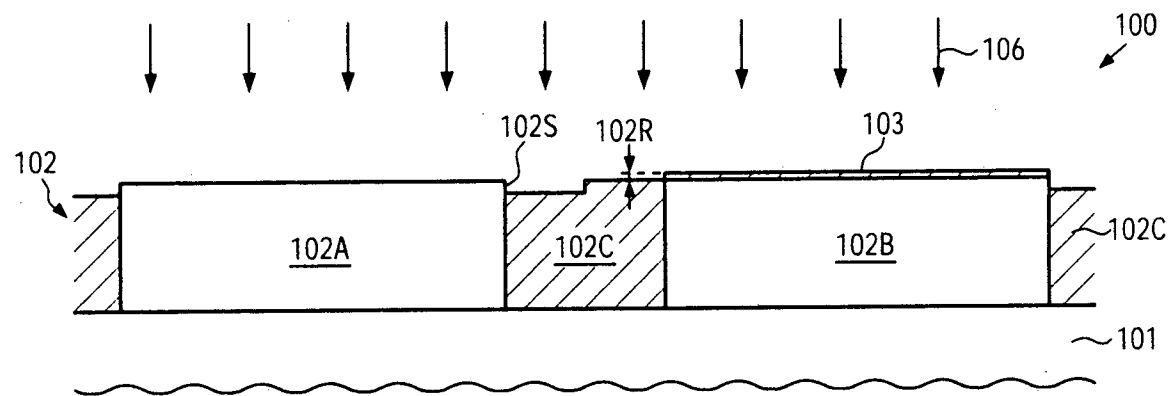


FIG. 1c  
(Stand der Technik)

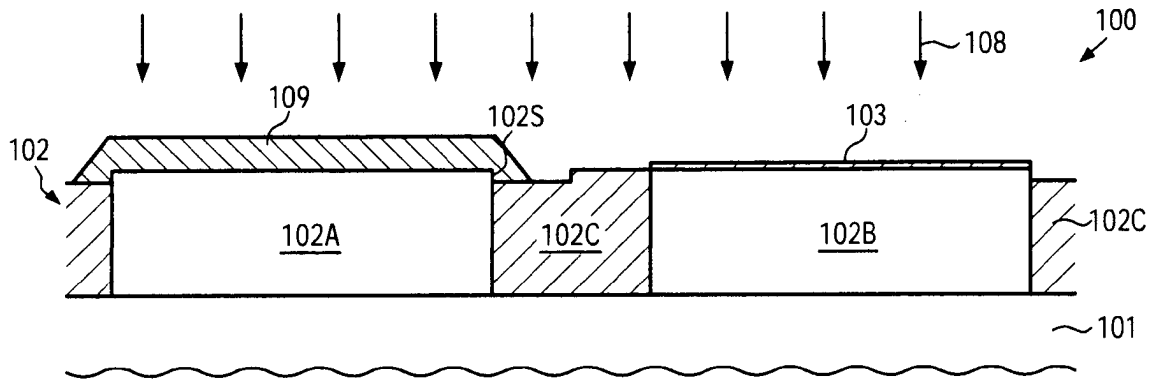


FIG. 1d  
(Stand der Technik)

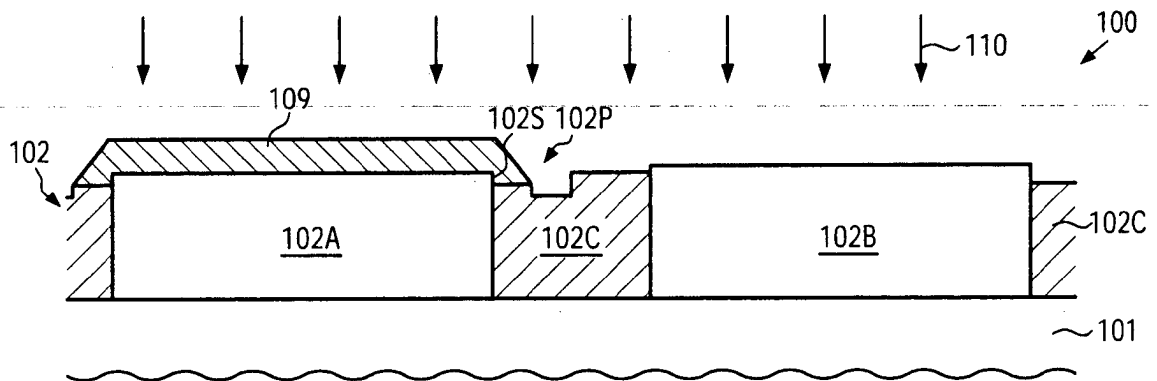


FIG. 1e  
(Stand der Technik)

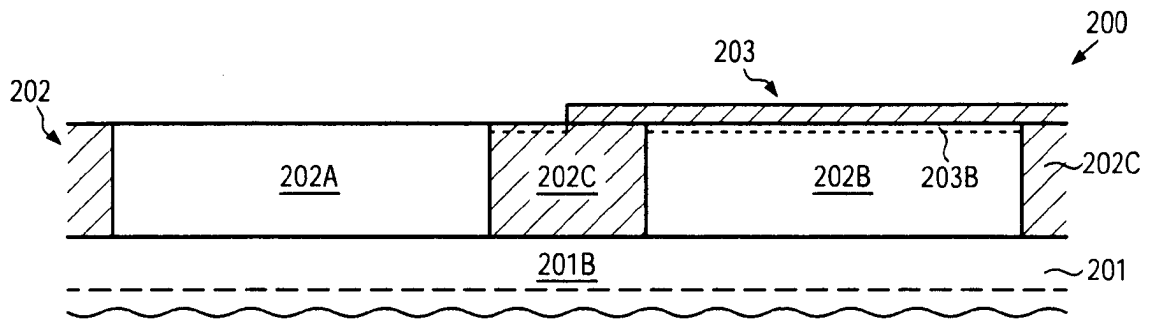


FIG. 2a

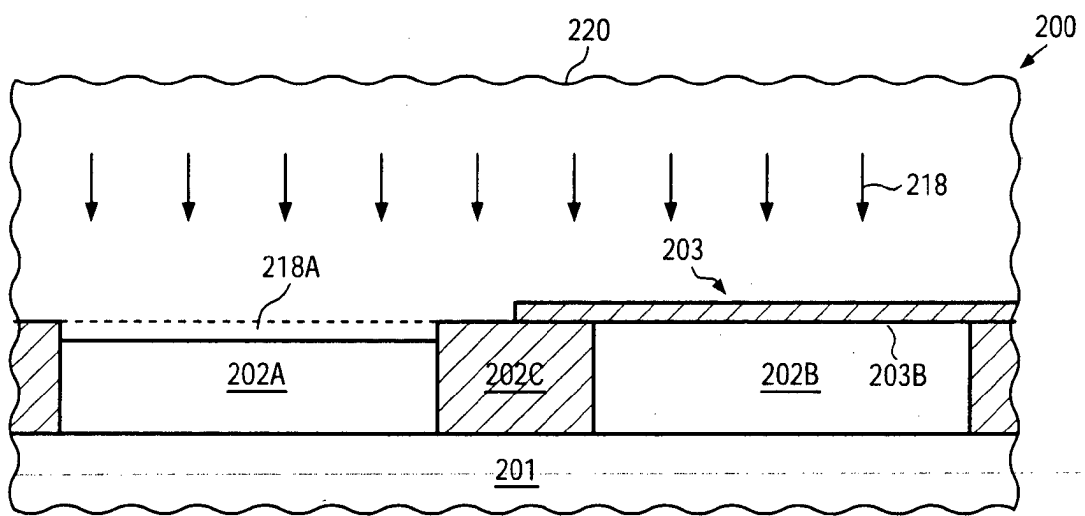


FIG. 2b

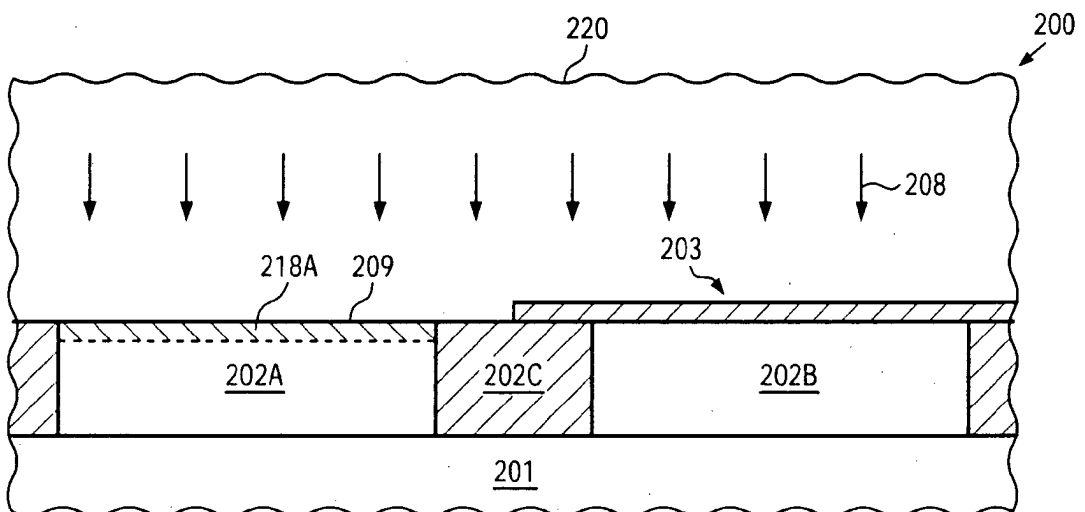


FIG. 2c

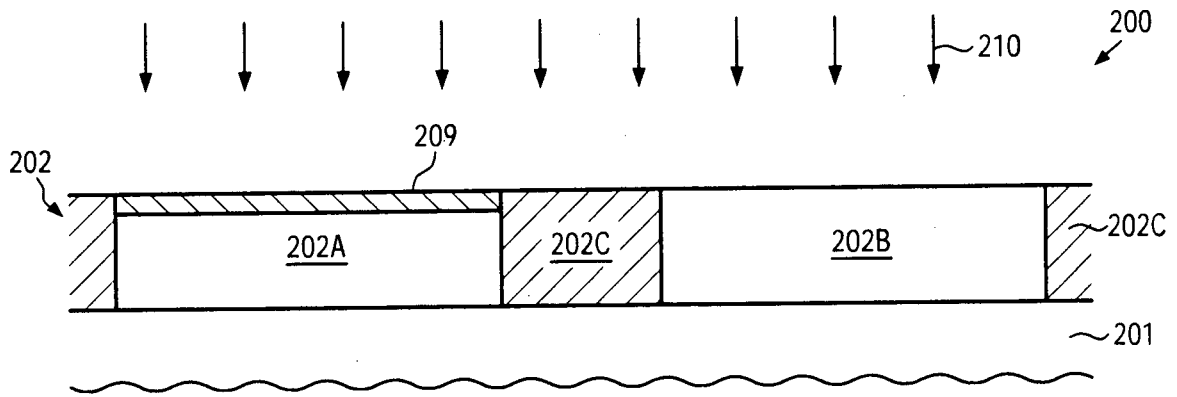


FIG. 2d

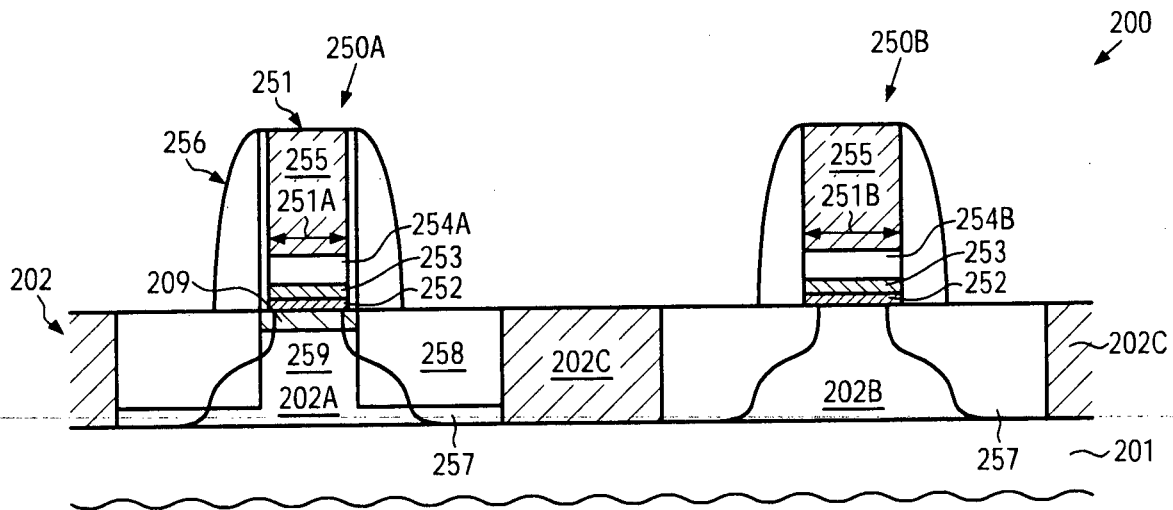


FIG. 2e

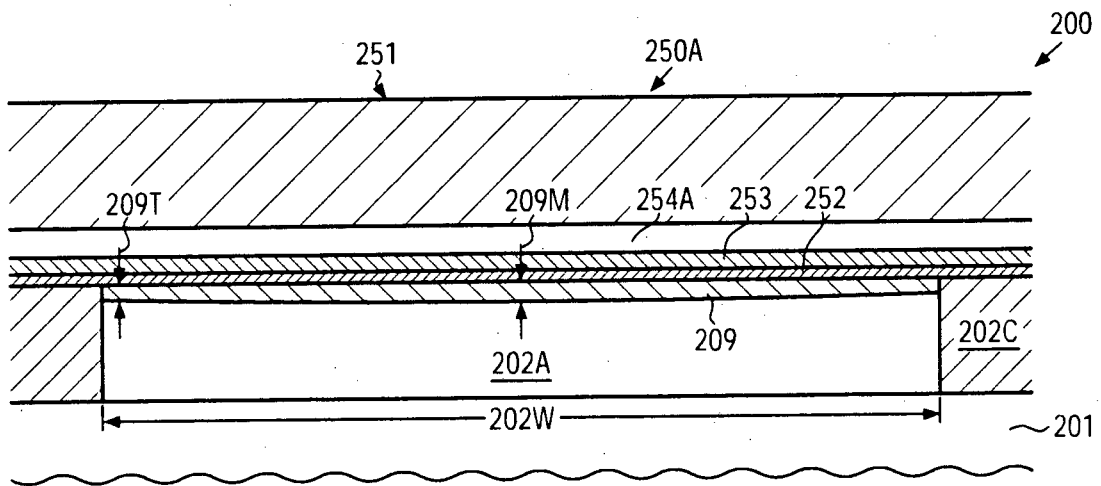


FIG. 2f



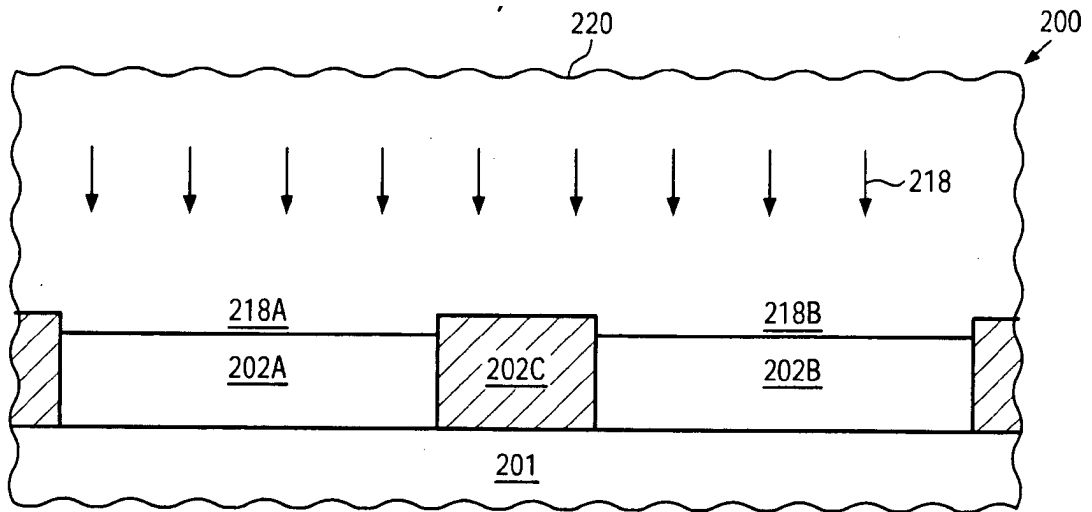


FIG. 2g

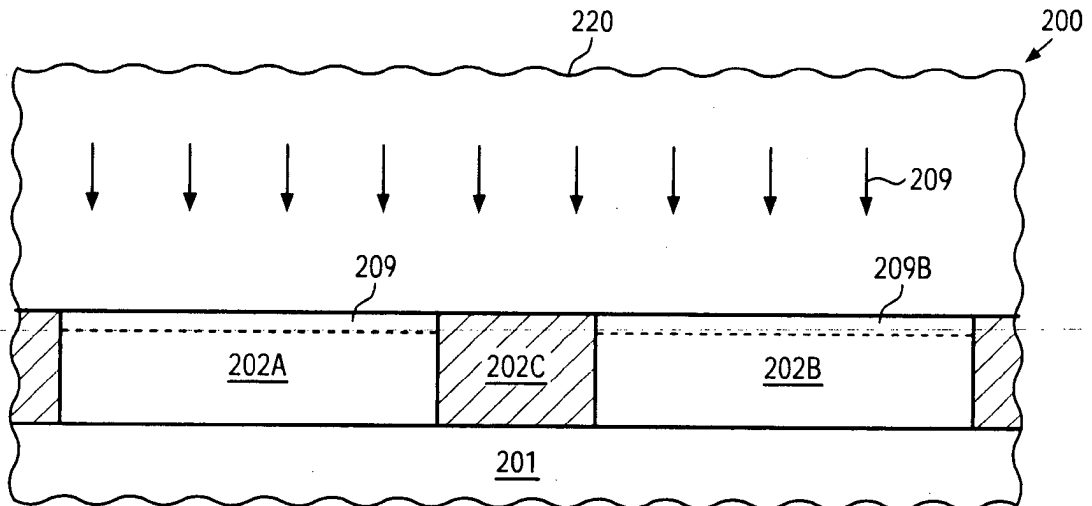


FIG. 2h

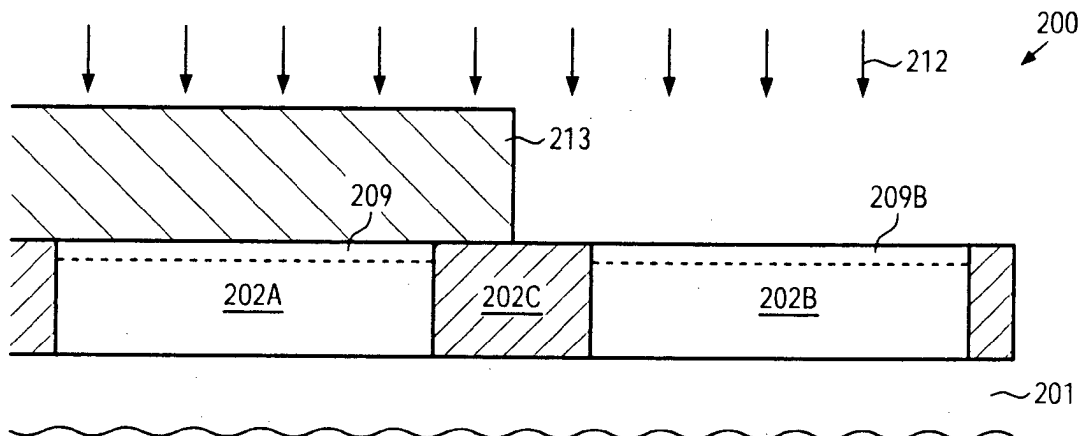


FIG. 2i