

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

**特許第6124156号
(P6124156)**

(45) 発行日 平成29年5月10日(2017.5.10)

(24) 登録日 平成29年4月14日(2017.4.14)

(51) Int.Cl.	F 1
HO 1 L 21/683	(2006.01)
HO 2 N 13/00	(2006.01)
HO 1 L 21/3065	(2006.01)
HO 1 L 21/265	(2006.01)
	HO 1 L 21/68 R
	HO 2 N 13/00 D
	HO 1 L 21/302 1 O 1 G
	HO 1 L 21/265 6 O 3 D

請求項の数 15 (全 37 頁)

(21) 出願番号	特願2015-86807 (P2015-86807)
(22) 出願日	平成27年4月21日 (2015.4.21)
(65) 公開番号	特開2016-207806 (P2016-207806A)
(43) 公開日	平成28年12月8日 (2016.12.8)
審査請求日	平成29年2月23日 (2017.2.23)

早期審査対象出願

(73) 特許権者	000010087 T O T O 株式会社 福岡県北九州市小倉北区中島2丁目1番1号
(74) 代理人	100108062 弁理士 日向寺 雅彦
(74) 代理人	100168332 弁理士 小崎 純一
(74) 代理人	100146592 弁理士 市川 浩
(72) 発明者	穴田 和輝 福岡県北九州市小倉北区中島2丁目1番1号 T O T O 株式会社内

最終頁に続く

(54) 【発明の名称】 静電チャックおよびウェーハ処理装置

(57) 【特許請求の範囲】

【請求項 1】

処理対象物を載置する第1主面と、前記第1主面とは反対側の第2主面と、周端部に設けられ前記第1主面の一部を形成するシールリングと、を有し、多結晶セラミック焼結体であるセラミック誘電体基板と、

前記セラミック誘電体基板の前記第1主面と前記第2主面との間に介設され、前記セラミック誘電体基板に一体焼結された電極層と、

を備え、

前記電極層は、互いに離間して配設された複数の電極要素を含み、

前記第1主面と直交する方向にみて、前記セラミック誘電体基板の外周と、前記電極層の外周と、の間隔が均一となるように前記セラミック誘電体基板の外周が設けられ、 10

前記方向にみて、前記電極層の外周と前記セラミック誘電体基板の外周との間隔が、前記複数の電極要素の間隔よりも狭く、

前記シールリングの幅は、0.3ミリメートル以上3ミリメートル以下であり、

前記方向にみたときに、前記電極層が、前記シールリングと重複する幅は、-0.7ミリメートル以上2ミリメートル以下であることを特徴とする静電チャック。

【請求項 2】

処理対象物を載置する第1主面と、前記第1主面とは反対側の第2主面と、周端部に設けられ前記第1主面の一部を形成するシールリングと、を有し、多結晶セラミック焼結体であるセラミック誘電体基板と、

前記セラミック誘電体基板の前記第1主面と前記第2主面との間に介設され、前記セラミック誘電体基板に一体焼結された電極層と、
を備え、

前記第1主面と直交する方向にみて、前記セラミック誘電体基板の外周と、前記電極層の外周と、の間隔が均一となるように前記セラミック誘電体基板の外周が設けられ、

前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔の相互誤差が200マイクロメートル以下であり、

前記シールリングの幅は、0.3ミリメートル以上3ミリメートル以下であり、

前記方向にみたときに、前記電極層が、前記シールリングと重複する幅は、-0.7ミリメートル以上2ミリメートル以下であることを特徴とする静電チャック。 10

【請求項3】

処理対象物を載置する第1主面と、前記第1主面とは反対側の第2主面と、周端部に設けられ前記第1主面の一部を形成するシールリングと、を有し、多結晶セラミック焼結体であるセラミック誘電体基板と、

前記セラミック誘電体基板の前記第1主面と前記第2主面との間に介設され、前記セラミック誘電体基板に一体焼結された電極層と、

を備え、

前記第1主面と直交する方向にみて、前記セラミック誘電体基板の外周と、前記電極層の外周と、の間隔が均一となるように前記セラミック誘電体基板の外周が設けられ、 20

前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記電極層の外周における外径を外径X5、としたときに、|X1-X2|/X5が0%以上0.07%以下であり、

前記シールリングの幅は、0.3ミリメートル以上3ミリメートル以下であり、

前記方向にみたときに、前記電極層が、前記シールリングと重複する幅は、-0.7ミリメートル以上2ミリメートル以下であることを特徴とする静電チャック。

【請求項4】

処理対象物を載置する第1主面と、前記第1主面とは反対側の第2主面と、周端部に設けられ前記第1主面の一部を形成するシールリングと、を有し、多結晶セラミック焼結体であるセラミック誘電体基板と、

前記セラミック誘電体基板の前記第1主面と前記第2主面との間に介設され、前記セラミック誘電体基板に一体焼結された電極層と、

を備え、

前記第1主面と直交する方向にみて、前記セラミック誘電体基板の外周と、前記電極層の外周と、の間隔が均一となるように前記セラミック誘電体基板の外周が設けられ、

前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔は、2ミリメートル以下とされ、 40

前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔の相互誤差が200マイクロメートル以下であり、

前記シールリングの内周側端部と前記電極層の外周端部との間の直線距離が、-2ミリ以上2ミリメートル以下であることを特徴とする静電チャック。

【請求項5】

前記方向にみたときに、前記電極層が、前記シールリングと重複した領域の面積を面積S1、前記方向にみたときの前記セラミック誘電体基板の面積を面積S2、としたときに、S1/S2が-3.4%以上5%以下であることを特徴とする請求項1~4のいずれか1つに記載の静電チャック。 50

【請求項 6】

前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔は、0ミリメートルよりも長く、1.95ミリメートル以下であることを特徴とする請求項1～5のいずれか1つに記載の静電チャック。

【請求項 7】

前記電極層の外周の長さを周長L×5、前記セラミック誘電体基板の外周の長さを周長L×6、としたときに、L×5/L×6が97.4%以上99.6%以下であることを特徴とする請求項1～6のいずれか1つに記載の静電チャック。

【請求項 8】

前記電極層の外周における外径で規定される円の面積を面積S×5、前記セラミック誘電体基板の外周における外径で規定される円の面積を面積S×6、としたときに、S×5/S×6が95.1%以上99.2%以下であることを特徴とする請求項1～7のいずれか1つに記載の静電チャック。 10

【請求項 9】

前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記電極層の外周における外径を外径X5、としたときに、|X1-X3|/X5が0%以上0.07%以下であることを特徴とする請求項1～8のいずれか1つに記載の静電チャック。 20

【請求項 10】

前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第3仮想線とは反対側に伸ばした第4仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X4、としたときに、||X1-X2|-|X3-X4||が0マイクロメートル以上200マイクロメートル以下であることを特徴とする請求項1～9のいずれか1つに記載の静電チャック。 30

【請求項 11】

前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第3仮想線とは反対側に伸ばした第4仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X4、前記電極層の外周における外径を外径X5、としたときに、||X1-X2|-|X3-X4||/X5が0%以上0.07%以下であることを特徴とする請求項1～10のいずれか1つに記載の静電チャック。 40

【請求項 12】

50

20

30

40

50

前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記電極層の外周における外径を外径X5、としたときに、 $|X_1 + X_3| / X_5$ が0%以上0.15%以下であることを特徴とする請求項1～11のいずれか1つに記載の静電チャック。

【請求項13】

10

前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記電極層の外周における外径を外径X5、としたときに、 $|X_1 \times X_3| / X_5$ が0%以上15%以下であることを特徴とする請求項1～12のいずれか1つに記載の静電チャック。

【請求項14】

20

前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第3仮想線とは反対側に伸ばした第4仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X4、としたときに、 $|X_1 - X_2| / |X_3 - X_4|$ が0以上200以下であることを特徴とする請求項1～13のいずれか1つに記載の静電チャック。

【請求項15】

30

請求項1～14のいずれか1つに記載の静電チャックを備えたことを特徴とするウェーハ処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の態様は、静電チャックおよびウェーハ処理装置に関し、具体的には、吸着保持される処理対象物を所望の温度に維持することができる静電チャックおよびウェーハ処理装置に関する。

40

【背景技術】

【0002】

エッチング、CVD (Chemical Vapor Deposition)、スパッタリング、イオン注入、アッシングなどを行うプラズマ処理チャンバ内では、半導体ウェーハやガラス基板などの処理対象物を吸着保持する手段として、静電チャックが用いられている。

【0003】

静電チャックは、アルミナ等のセラミック基材の間に電極を挟み込み、焼成することで作製される。静電チャックは、内蔵する電極に静電吸着用電力を印加し、シリコンウェーハ等の基板を静電力によって吸着するものである。ウェーハ処理装置は、このような静電チャックを備えている。

50

【0004】

近年、プラズマを用いたエッティング装置においては、プラズマの高出力化の流れがある。プラズマの高出力化に伴い、ウェーハの温度が高くなり、ウェーハ温度ばらつきがプロセス上の歩留まりを低下させる原因の一つとなっている。

【0005】

また、従来から定期的にチャンバ内をプラズマによってクリーニングし、チャンバー内面に付着した残渣及び生成物を除去するようにしている。この際、静電チャックの表面をダミーウェーハで覆わずに処理を行う、いわゆるウェーハレスプラズマクリーニングを行うことがある。ウェーハレスプラズマクリーニングでは、クリーニングの際に静電チャックの表面が直接O₂ガスやC F₄ガスなどのクリーニングプラズマに曝される。

10

【0006】

このような状況において、静電チャックとしては、耐プラズマ性、高い絶縁耐圧及び長寿命であることが求められる。

【0007】

ところで、例えば静電チャックのうちクーロン型の静電チャックでは、電極上のみに吸着力が発生する。したがって、静電チャック表面の最外周に設置されるシールリングの下部に電極を設けることで、シールリング部の吸着力が上がり、効率の良いウェーハ冷却が可能である。さらに、電極に対しては、シールリング部で均一な吸着力を発生させ、ウェーハ温度を均一にするために真円に近い形状が求められている。例えば電極の形状が楕円である場合には、楕円の短軸部の電極面積が楕円の長軸部の電極面積よりも狭いため、短軸部の吸着力が長軸部の吸着力よりも低く、ウェーハを吸着するための吸着力が面内で均一ではなく、ウェーハを均一に冷却することができない。このため、セラミック誘電体基板の外周近くまで電極を均一に配置したい。電極がセラミック誘電体基板の外周近くまで均一に配置されると、ウェーハの広い範囲で均一な吸着力が得られ、ウェーハの温度分布を均一化することができる。ただし、電極をセラミック誘電体基板の外周近くまで配置すると、セラミック誘電体基板の電極と吸着対象物であるウェーハとの間の絶縁距離が短くなる。そのため、たとえば電極の形状が楕円のときには、長軸側の電極とウェーハとの間の絶縁距離が短軸側の電極とウェーハとの間の絶縁距離よりも短くなるため、静電チャックの絶縁耐圧が低下してしまうリスクがある。

20

【0008】

30

特許文献1では、ジョンセンラーベック型の静電チャックにおいて、電極を冷却ガスの溝よりも外側に延在させた構成が開示されている。しかしながら、電極はセラミック誘電体基板の内部に設けられているため、セラミック誘電体基板の外側から電極の位置を容易にかつ正確に検出するのは困難である。例えば、セラミック誘電体基板の内部に設けられた電極の位置を把握するには、超音波探傷器などによって測定する必要があるが、超音波探傷器の測定精度は、例えば0.5mm(ミリメートル)程度である。そのため、0.5ミリメートルよりも小さい寸法の識別は、超音波探傷器の測定では困難である。

【0009】

また、セラミック誘電体基板の焼結後の電極の位置は、焼結の際の電極外径及びセラミック誘電体基板の収縮率などの条件によって異なるため、焼結後のセラミック誘電体基板の外周から内部の電極までの距離はばらつきやすい。このため、セラミック誘電体基板の外周を研削加工する際、電極に近い位置まで加工してしまうと、セラミック誘電体基板の外周から電極の外周までの距離が部分的に短くなる箇所が発生してしまう。これにより、絶縁破壊のリスクが高まるという問題が生じる。

40

【0010】

このように、セラミック誘電体基板の内部の電極の位置を正確に把握して、セラミック誘電体基板の外周を研削加工し、電極の外周とセラミック誘電体基板の外周とをなるべく近づけるには、非常に困難な作業を強いられる。このため、従来の静電チャックにおいては、電極の外周とセラミック誘電体基板の外周との距離に十分な余裕を持たせて、絶縁破壊のリスクを下げている。しかし、電極の外周と誘電体基板の外周との距離が離れると、

50

静電チャック外周部のシールリングで発生する吸着力が低下してしまい、吸着するウェーハの温度が上昇してしまう。さらに、電極の外周と誘電体基板の外周との距離のばらつきが大きいと、ウェーハ外周部の一部または全周を均一に冷却できないという問題がある。

【0011】

特許文献2では、クーロン型の静電チャック断面図において、内蔵電極が最外周シールリングの下にオーバーラップした構成が開示されている。しかし、ウェーハを吸着するための吸着力は、電極とオーバーラップしたシールリングの直上部に発生する。そこで、ウェーハ温度分布を均一にするために、電極がシールリングとオーバーラップした領域の電極の外径が静電チャックの外周に近く、さらに内蔵電極と電極外径とを均一にすることが重要な要素の1つである。

10

【0012】

特許文献3では、内蔵電極が最外周シールリングの下にオーバーラップした構成とするために、シールリング幅を広くした構成が開示されている。しかし、プロセス中のプラズマは、セラミック誘電体をも侵食する。そのため、ウェーハとの直接の接触部であるシールリング表面がプラズマにより侵食され、シールリング部の表面状態が変動することがある。すると、シールリング部での吸着力が低下し、ウェーハ温度分布が不均一になったり、プロセス途中でウェーハ温度が変わるなど、シールリング部の表面状態の変動は、静電チャックの寿命が短時間となる要因となってしまう。

20

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特表2003-504871号公報

【特許文献2】特開2012-235037

【特許文献3】特開2009-302346

【発明の概要】

【発明が解決しようとする課題】

【0014】

本発明は、かかる課題の認識に基づいてなされたものであり、電極の外周をセラミック誘電体基板の外周に近い位置まで正確で均一に配置して、絶縁耐圧を保持しつつ、セラミック誘電体基板外周部に、大きくてかつ一定な吸着力を得ることができ、さらに処理対象物の温度分布を均一化することができる静電チャックを提供することを目的とする。

30

【課題を解決するための手段】

【0015】

第1の発明は、処理対象物を載置する第1主面と、前記第1主面とは反対側の第2主面と、周端部に設けられ前記第1主面の一部を形成するシールリングと、を有し、多結晶セラミック焼結体であるセラミック誘電体基板と、前記セラミック誘電体基板の前記第1主面と前記第2主面との間に介設され、前記セラミック誘電体基板に一体焼結された電極層と、を備え、前記電極層は、互いに離間して配設された複数の電極要素を含み、前記第1主面と直交する方向にみて、前記セラミック誘電体基板の外周と、前記電極層の外周と、の間隔が均一となるように前記セラミック誘電体基板の外周が設けられ、前記方向にみて、前記電極層の外周と前記セラミック誘電体基板の外周との間隔が、前記複数の電極要素の間隔よりも狭く、前記シールリングの幅は、0.3ミリメートル以上3ミリメートル以下であり、前記方向にみたときに、前記電極層が、前記シールリングと重複する幅は、-0.7ミリメートル以上2ミリメートル以下であることを特徴とする静電チャックである。

40

【0016】

この静電チャックによれば、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、セラミック誘電体基板外周部に、大きくてかつ一定な吸着力を得ることができ、さらに処理対象物の温度分布の均一化を図ることができる。また、セラミック誘電体基板の外周に近い位置まで電極層が配置されることで、シールリングの幅が狭くとも、セラミック誘

50

電体基板の外周部における吸着力が一定になる。これにより、ウェーハとセラミック誘電体基板との間の接触面積と、セラミック誘電体基板における吸着力と、が周方向で均一となり、処理対象物の温度の経時変化率の低減と、処理対象物の端部の温度変化の低減と、を両立することができる。

【0017】

第2の発明は、処理対象物を載置する第1主面と、前記第1主面とは反対側の第2主面と、周端部に設けられ前記第1主面の一部を形成するシールリングと、を有し、多結晶セラミック焼結体であるセラミック誘電体基板と、前記セラミック誘電体基板の前記第1主面と前記第2主面との間に介設され、前記セラミック誘電体基板に一体焼結された電極層と、を備え、前記第1主面と直交する方向にみて、前記セラミック誘電体基板の外周と、前記電極層の外周と、の間隔が均一となるように前記セラミック誘電体基板の外周が設けられ、前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔の相互誤差が200マイクロメートル以下であり、前記シールリングの幅は、0.3ミリメートル以上3ミリメートル以下であり、前記方向にみたときに、前記電極層が、前記シールリングと重複する幅は、-0.7ミリメートル以上2ミリメートル以下であることを特徴とする静電チャックである。10

【0018】

この静電チャックによれば、セラミック誘電体基板の外周と、電極の外周との間隔のばらつきが少ないため、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、セラミック誘電体基板外周部に、大きくてかつ一定な吸着力を得ることができ、さらに処理対象物の温度分布の均一化を図ることができる。また、セラミック誘電体基板の外周に近い位置まで電極層が配置されることで、シールリングの幅が狭くとも、セラミック誘電体基板の外周部における吸着力が一定になる。これにより、ウェーハとセラミック誘電体基板との間の接触面積と、セラミック誘電体基板における吸着力と、が周方向で均一となり、処理対象物の温度の経時変化率の低減と、処理対象物の端部の温度変化の低減と、を両立することができる。20

【0019】

第3の発明は、処理対象物を載置する第1主面と、前記第1主面とは反対側の第2主面と、周端部に設けられ前記第1主面の一部を形成するシールリングと、を有し、多結晶セラミック焼結体であるセラミック誘電体基板と、前記セラミック誘電体基板の前記第1主面と前記第2主面との間に介設され、前記セラミック誘電体基板に一体焼結された電極層と、を備え、前記第1主面と直交する方向にみて、前記セラミック誘電体基板の外周と、前記電極層の外周と、の間隔が均一となるように前記セラミック誘電体基板の外周が設けられ、前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記電極層の外周における外径を外径X5、としたときに、|X1 - X2| / X5 が0%以上0.07%以下であり、前記シールリングの幅は、0.3ミリメートル以上3ミリメートル以下であり、前記方向にみたときに、前記電極層が、前記シールリングと重複する幅は、-0.7ミリメートル以上2ミリメートル以下であることを特徴とする静電チャックである。3040

【0020】

この静電チャックによれば、セラミック誘電体基板の外周と、電極の外周との間隔の、電極外径に対するばらつきが少ないため、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、セラミック誘電体基板外周部に、大きくてかつ一定な吸着力を得ることができ、さらに処理対象物の温度分布の均一化を図ることができる。また、セラミック誘電体基板の外周に近い位置まで電極層が配置されることで、シールリングの幅が狭くとも、セラミック誘電体基板の外周部における吸着力が一定になる。これにより、ウェーハとセラ50

ミック誘電体基板との間の接触面積と、セラミック誘電体基板における吸着力と、が周方向で均一となり、処理対象物の温度の経時変化率の低減と、処理対象物の端部の温度変化の低減と、を両立することができる。

【0021】

第4の発明は、処理対象物を載置する第1正面と、前記第1正面とは反対側の第2正面と、周端部に設けられ前記第1正面の一部を形成するシールリングと、を有し、多結晶セラミック焼結体であるセラミック誘電体基板と、前記セラミック誘電体基板の前記第1正面と前記第2正面との間に介設され、前記セラミック誘電体基板に一体焼結された電極層と、を備え、前記第1正面と直交する方向にみて、前記セラミック誘電体基板の外周と、前記電極層の外周と、の間隔が均一となるように前記セラミック誘電体基板の外周が設けられ、前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔は、2ミリメートル以下とされ、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔の相互誤差が200マイクロメートル以下であり、前記シールリングの内周側端部と前記電極層の外周端部との間の直線距離が、-2ミリ以上2ミリメートル以下であることを特徴とする静電チャックである。10

【0022】

この静電チャックによれば、セラミック誘電体基板の外周と、電極の外周と、の間隔の、電極外径に対するばらつきが少ない。そのため、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、セラミック誘電体基板の外周部に、大きくてかつ一定な吸着力を得ることができる。さらに、処理対象物の温度分布の均一化を図ることができる。また、セラミック誘電体基板の外周に近い位置まで電極層が配置されることで、シールリングの幅が狭くとも、セラミック誘電体基板の外周部における吸着力が一定になる。これにより、ウェーハとセラミック誘電体基板との間の接触面積と、セラミック誘電体基板における吸着力と、が周方向で均一となり、処理対象物の温度の経時変化率の低減と、処理対象物の端部の温度変化の低減と、を両立することができる。20

【0023】

第5の発明は、第1～4のいずれか1つの発明において、前記方向にみたときに、前記電極層が、前記シールリングと重複した領域の面積を面積S1、前記方向にみたときの前記セラミック誘電体基板の面積を面積S2、としたときに、 S_1 / S_2 が-3.4%以上5%以下であることを特徴とする静電チャックである。30

【0024】

この静電チャックによれば、セラミック誘電体基板の外周に近い位置まで電極層が配置されることで、シールリングの幅が狭くとも、セラミック誘電体基板の外周部における吸着力が一定になる。これにより、処理対象物の温度の経時変化率の低減と、処理対象物の端部の温度変化の低減と、を両立することができる。

【0025】

第6の発明は、第1～5のいずれか1つの発明において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔は、0ミリメートルよりも長く、1.95ミリメートル以下であることを特徴とする静電チャックである。40

【0026】

この静電チャックによれば、電極がセラミック誘電体基板の外周近くまで配置されているため、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、処理対象物の温度分布の均一化を図ることができる。

【0027】

第7の発明は、第1～6のいずれか1つの発明において、前記電極層の外周の長さを周長L×5、前記セラミック誘電体基板の外周の長さを周長L×6、としたときに、 $L \times 5 / L \times 6$ が97.4%以上99.6%以下であることを特徴とする静電チャックである。

【0028】

この静電チャックによれば、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ50

、処理対象物の温度分布の均一化を図ることができる。

【0029】

第8の発明は、第1～7のいずれか1つの発明において、前記電極層の外周における外径で規定される円の面積を面積S×5、前記セラミック誘電体基板の外周における外径で規定される円の面積を面積S×6、としたときに、S×5/S×6が95.1%以上99.2%以下であることを特徴とする静電チャックである。

【0030】

この静電チャックによれば、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、処理対象物の温度分布の均一化を図ることができる。

【0031】

第9の発明は、第1～8のいずれか1つの発明において、前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記電極層の外周における外径を外径X5、としたときに、|X1-X3|/X5が0%以上0.07%以下であることを特徴とする静電チャックである。

10

【0032】

この静電チャックによれば、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、セラミック誘電体基板外周部に、大きくてかつ一定な吸着力を得ることができ、さらに処理対象物の温度分布の均一化を図ることができる。

【0033】

第10の発明は、第1～9のいずれか1つの発明において、前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第3仮想線とは反対側に伸ばした第4仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X4、としたときに、||X1-X2|-|X3-X4||が0マイクロメートル以上200マイクロメートル以下であることを特徴とする静電チャックである。

20

【0034】

この静電チャックによれば、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、処理対象物の温度分布の均一化を図ることができる。

30

【0035】

第11の発明は、第1～10のいずれか1つの発明において、前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第3仮想線とは反対側に伸ばした第4仮想線上において、前

40

50

記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X4、前記電極層の外周における外径を外径X5、としたときに、| | X1 - X2 | - | X3 - X4 | / X5 が0%以上0.07%以下であることを特徴とする静電チャックである。

【0036】

この静電チャックによれば、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、処理対象物の温度分布の均一化を図ることができる。

【0037】

第12の発明は、第1～11のいずれか1つの発明において、前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記電極層の外周における外径を外径X5、としたときに、| X1 + X3 | / X5 が0%以上0.15%以下であることを特徴とする静電チャックである。10

【0038】

この静電チャックによれば、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、処理対象物の温度分布の均一化を図ることができる。20

【0039】

第13の発明は、第1～12のいずれか1つの発明において、前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記電極層の外周における外径を外径X5、としたときに、| X1 × X3 | / X5 が0%以上15%以下であることを特徴とする静電チャックである。30

【0040】

この静電チャックによれば、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、処理対象物の温度分布の均一化を図ることができる。

【0041】

第14の発明は、第1～13のいずれか1つの発明において、前記セラミック誘電体基板の中央から外周方向に伸ばした第1仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X1、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線とは反対側に伸ばした第2仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X2、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第1仮想線と直交する方向に伸ばした第3仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X3、前記セラミック誘電体基板の中央から外周方向に伸ばした仮想線であって前記第3仮想線とは反対側に伸ばした第4仮想線上において、前記電極層の外周と、前記セラミック誘電体基板の外周と、の間隔を間隔X4、としたときに、| X1 - X2 | / | X3 - X4 | が0以上200以下であることを特徴とする請求項1～13のいずれか1つに記載の静電チャックである。40

【0042】

この静電チャックによれば、セラミック誘電体基板の外周部での絶縁耐圧を保持しつつ、処理対象物の温度分布の均一化を図ることができる。50

【0043】

第15の発明は、第1～14のいずれか1つの発明の静電チャックを備えたことを特徴とするウェーハ処理装置である。

【0044】

このウェーハ処理装置によれば、ウェーハ(処理対象物)の面内温度分布が均一となり、ウェーハ(処理対象物)の歩留まりを低下させずに所定のプロセスを行うことができる。

【発明の効果】**【0045】**

本発明の態様によれば、電極の外周をセラミック誘電体基板の外周に近い位置まで正確で均一に配置して、絶縁耐圧を保持しつつ、セラミック誘電体基板外周部に、大きくてかつ一定な吸着力を得ることができ、さらに処理対象物の温度分布を均一化することができる静電チャックが提供される。 10

【図面の簡単な説明】**【0046】**

【図1】図1は、本実施形態に係る静電チャックの構成を例示する模式的断面図である。

【図2】図2(a)及び(b)は、電極層の構成を例示する模式的平面図である。

【図3】図3は、セラミック誘電体基板および電極層の第1の配置関係を例示する模式的平面図である。

【図4】図4は、セラミック誘電体基板および電極層の第2の配置関係を例示する模式的平面図である。 20

【図5】図5は、セラミック誘電体基板と電極層との間隔の相互誤差を表す図である。

【図6】図6は、セラミック誘電体基板および電極層の第3の配置関係を例示する模式的平面図である。

【図7】図7は、セラミック誘電体基板の外径に対する電極層の間隔の第1の相互誤差割合を表す図である。

【図8】図8は、セラミック誘電体基板の外径に対する電極層の間隔の第2の相互誤差割合を表す図である。

【図9】図9は、セラミック誘電体基板と電極層との間隔の相互誤差の差を表す図である。 30

【図10】図10は、セラミック誘電体基板の外径に対する電極層の間隔の第3の相互誤差割合を表す図である。

【図11】図11は、セラミック誘電体基板の外径に対する電極層の間隔の第4の相互誤差割合を表す図である。

【図12】図12は、セラミック誘電体基板の外径に対する電極層の間隔の第5の相互誤差割合を表す図である。

【図13】図13は、セラミック誘電体基板と電極層との間隔の相互誤差の比を表す図である。

【図14】図14は、電極層とセラミック誘電体基板との間の同軸度を表す図である。

【図15】図15は、セラミック誘電体基板および電極層の変形例を表す模式的平面図である。 40

【図16】図16は、セラミック誘電体基板および電極層の他の変形例を表す模式的平面図である。

【図17】図17は、電極層のさらに他の変形例を表す模式的平面図である。

【図18】図18は、セラミック誘電体基板および電極層の第4の配置関係を例示する模式的平面図である。

【図19】図19は、セラミック誘電体基板および電極層の外周長さの比を表す図である。 50

【図20】図20は、セラミック誘電体基板および電極層の面積の比を表す図である。

【図21】図21は、図1に表した領域A1を拡大した模式的拡大図である。

【図22】図22は、シールリングの幅と、処理対象物の温度の経時変化率と、の間の関係、およびシールリングの幅と、処理対象物の端部の温度変化と、の間の関係を表すグラフ図である。

【図23】図23は、重複距離と、処理対象物の温度の経時変化率と、の間の関係、および重複距離と、処理対象物の端部の温度変化と、の間の関係を表すグラフ図である。

【図24】図24は、図21に表した矢印A3の方向にセラミック誘電体基板の周端部をみたときの模式的平面図である。

【図25】図25は、セラミック誘電体基板および電極層の第2の面積比と、処理対象物の温度の経時変化率と、の間の関係、および第2の面積比と、処理対象物の端部の温度変化と、の間の関係を表すグラフ図である。 10

【図26】図26は、シールリングの端部と、電極層の端部と、の間の直線距離を説明する模式的断面図である。

【図27】図27は、本実施形態シールリングの端部を説明する模式的断面図である。

【図28】図28は、シールリングの端部と、電極層の端部と、の間の直線距離の符号を説明する模式的断面図である。

【図29】図29は、直線距離D14と、処理対象物の温度の経時変化率と、の間の関係、および直線距離D14と、処理対象物の端部の温度変化と、の間の関係を表すグラフ図である。

【図30】図30は、本発明の他の実施の形態にかかるウェーハ処理装置を表す模式的断面図である。 20

【発明を実施するための形態】

【0047】

以下、本発明の実施の形態について図面を参照しつつ説明する。なお、各図面中、同様の構成要素には同一の符号を付して詳細な説明は適宜省略する。

【0048】

図1は、本実施形態に係る静電チャックの構成を例示する模式的断面図である。

図1に表したように、本実施形態に係る静電チャック110は、セラミック誘電体基板11と、電極層12と、を備える。

【0049】

セラミック誘電体基板11は、例えば多結晶セラミック焼結体による平板状の基材であり、半導体ウェーハ等の処理対象物Wを載置する第1主面11aと、この第1主面11aとは反対側の第2主面11bと、を有する。 30

【0050】

電極層12は、セラミック誘電体基板11の第1主面11aと、第2主面11bと、の間に介設されている。すなわち、電極層12は、セラミック誘電体基板11の中に挿入されるように形成される。電極層12は、セラミック誘電体基板11に一体焼結されている。静電チャック用基板100は、セラミック誘電体基板11と、セラミック誘電体基板11に設けられた電極層12と、を含む板状の構造物である。

【0051】

静電チャック110は、例えばクーロン型静電チャックである。セラミック誘電体基板11の体積抵抗率は、例えば、 $1 \times 10^{14} \text{ } \cdot \text{ cm}$ 以上である。静電チャック110は、この電極層12に吸着保持用電圧80を印加することによって、電極層12の第1主面11a側に電荷を発生させ、静電力によって処理対象物Wを吸着保持する。 40

【0052】

ここで、本実施形態の説明においては、第1主面11aと第2主面11bとを結ぶ方向をZ方向、Z方向と直交する方向の1つをX方向、Z方向及びX方向に直交する方向をY方向ということにする。

【0053】

電極層12は、セラミック誘電体基板11の第1主面11a及び第2主面11bに沿って設けられている。電極層12は、処理対象物Wを吸着保持するための吸着電極である。 50

電極層 1 2 は、単極型でも双極型でもよい。また、三極型やその他の多極型であってもよい。電極層 1 2 の数や配置は適宜選択される。図 1 に表した電極層 1 2 は双極型であり、同一面上に 2 極の電極層 1 2 が設けられている。

【 0 0 5 4 】

セラミック誘電体基板 1 1 は、電極層 1 2 と第 1 主面 1 1 a との間の第 1 誘電層 1 1 1 と、電極層 1 2 と第 2 主面 1 1 b との間の第 2 誘電層 1 1 2 と、を有する。セラミック誘電体基板 1 1 のうち少なくとも第 1 誘電層 1 1 1 における可視光の透過率は、例えば 0 % よりも大きく、3 . 7 % 以下であることが好ましい。ここで、可視光の透過率は、厚さ 1 ミリメートルの誘電体に波長約 6 0 0 ナノメートルの光を照射した場合の透過率である。

【 0 0 5 5 】

セラミック誘電体基板 1 1 のうち少なくとも第 1 誘電層 1 1 1 における可視光の透過率が上記の範囲内にあることで、セラミック誘電体基板 1 1 の内部に設けられた電極層 1 2 の位置を、セラミック誘電体基板 1 1 の外部から容易に確認することができるようになる。

セラミック誘電体基板 1 1 のうち第 2 誘電層 1 1 2 における可視光の透過率が上記の範囲内にあれば、セラミック誘電体基板 1 1 とベースプレート 5 0 との接合前に、第 2 主面 1 1 b 側から電極層 1 2 の位置を確認することができる。

【 0 0 5 6 】

本実施形態で適用されるセラミック誘電体基板 1 1 においては、例えば超音波探傷器などの微細寸法測定に不向きな測定装置を使って電極層 1 2 の位置を測定するのではなく、X 線 C T などのような測定方法により電極層 1 2 の位置を測定することは可能である。但し、大量生産に不向きな測定装置を使って測定するのではなく、工場顕微鏡などの一般的な測定機によってセラミック誘電体基板 1 1 の外部から内部の電極層 1 2 の位置を測定することができることが好ましい。したがって、セラミック誘電体基板 1 1 を焼結した後、セラミック誘電体基板 1 1 の外周を研削加工する際、セラミック誘電体基板 1 1 の内部の電極層 1 2 の位置（例えば、外周の位置）を容易かつ正確に測定した上で研削加工を行うことができる。言い換えれば、発生し得る位置ずれや収縮寸法誤差を補正しながら加工することができる。このため、本実施形態で適用されるセラミック誘電体基板 1 1 においては、Z 方向にみて、セラミック誘電体基板 1 1 の外周と、電極層 1 2 の外周と、の間隔が均一になっている。ここで、本実施形態において「均一」とは、製造上の誤差を含む意味である。「製造上の誤差」は、例えば約 2 0 0 μm (マイクロメートル) 以下程度である。

【 0 0 5 7 】

ここで、静電チャック 1 1 0 の具体的な構成例について説明する。

図 1 に表したように、静電チャック 1 1 0 は、ベースプレート 5 0 の上に取り付けられている。静電チャック 1 1 0 をベースプレート 5 0 に取り付けるには、シリコーン等の耐熱性樹脂、インジウム接合、及び、ろう付などが用いられる。接着材料は、使用温度帯やコスト等の観点から適宜選択されるが、熱伝導率が大きい材料がより好ましい。

【 0 0 5 8 】

ベースプレート 5 0 は、例えば、アルミニウム製の上部 5 0 a と下部 5 0 b とに分けられており、上部 5 0 a と下部 5 0 b との間に連通路 5 5 が設けられている。連通路 5 5 は、一端側が入力路 5 1 に接続され、他端側が出力路 5 2 に接続される。

【 0 0 5 9 】

ベースプレート 5 0 は、静電チャック 1 1 0 の温度調整を行う役目を果たす。例えば、静電チャック 1 1 0 を冷却する場合には、入力路 5 1 から冷却媒体を流入し、連通路 5 5 を通過させ、出力路 5 2 から流出させる。これにより、冷却媒体によってベースプレート 5 0 の熱を吸収し、その上に取り付けられた静電チャック 1 1 0 を冷却することができる。

【 0 0 6 0 】

一方、静電チャック 1 1 0 を保温する場合には、連通路 5 5 内に保温媒体を入れること

10

20

30

30

40

50

も可能である。または、静電チャック 110 やベースプレート 50 に発熱体を内蔵させることも可能である。このように、ベースプレート 50 を介して静電チャック 110 の温度が調整されると、静電チャック 110 で吸着保持される処理対象物 W の温度を容易に調整することができる。

【0061】

また、セラミック誘電体基板 11 の第 1 主面 11a 側には、必要に応じて凸部 13 が設けられており、凸部 13 の間に溝 14 が設けられている。この溝 14 は連通していて、静電チャック 110 に搭載された処理対象物 W の裏面と溝 14 との間に空間が形成される。

【0062】

溝 14 には、ベースプレート 50 及びセラミック誘電体基板 11 を貫通する導入路 53 が接続されている。処理対象物 W を吸着保持した状態で導入路 53 からヘリウム (He) 等の伝達ガスを導入すると、処理対象物 W と溝 14 との間に設けられた空間に伝達ガスが流れ、処理対象物 W を伝達ガスによって直接冷却することができるようになる。

【0063】

ここで、凸部 13 の高さ（溝 14 の深さ）、凸部 13 及び溝 14 の面積比率、形状等を適宜選択することで、処理対象物 W の温度や処理対象物 W に付着するパーティクルを好ましい状態にコントロールすることができる。

【0064】

セラミック誘電体基板 11 の第 2 主面 11b には接続部 20 が設けられる。接続部 20 の位置と対応するベースプレート 50 の上部 50a にはコンタクト電極 61 が設けられている。したがって、静電チャック 110 をベースプレート 50 の上部 50a に取り付けると、コンタクト電極 61 が接続部 20 と接触し、これによりコンタクト電極 61 と電極層 12 とが、接続部 20 を介して電気的に導通することになる。

【0065】

コンタクト電極 61 には、例えば可動式プローブが用いられている。これにより、コンタクト電極 61 と接続部 20 との確実な接触と、コンタクト電極 61 が接触することによる接続部 20 へのダメージを最小限に抑制している。なお、コンタクト電極 61 は、上記に限定されず、接続部 20 と単に接触するだけの構成や、接続部 20 と嵌合または螺合によって接続されるものなど、どのような形態であってもよい。

【0066】

次に、セラミック誘電体基板 11 について具体的に説明する。

セラミック誘電体基板 11 に含まれる結晶の材料は、例えば Al_2O_3 、 Y_2O_3 及び YAG のいずれかである。この材料を用いることで、セラミック誘電体基板 11 における可視光透過性、絶縁耐性及びプラズマ耐久性を高めることができる。

【0067】

セラミック誘電体基板 11 のうち第 1 誘電層 111 の厚さは例えば 100 マイクロメートル以上である。第 1 誘電層 111 の厚さが 100 マイクロメートル以上あると、静電チャック 110 における十分な絶縁耐圧を維持することができる。第 1 誘電層 111 の厚さは吸着力に大きく影響し、処理対象物 W の温度を所望の温度にするために、適宜設定することができる。実施形態では、第 1 誘電層 111 の厚さは、例えば 100 マイクロメートルから 1000 マイクロメートル、より好ましくは 100 マイクロメートルから 500 マイクロメートルに設定することができる。

【0068】

セラミック誘電体基板 11 のうち第 2 誘電層 112 の厚さも同様に適宜設定できる。セラミック誘電体基板 11 に電極層 12 を設けた静電チャック用基板 100 の全体の厚さは、セラミック誘電体基板 11 の機械的強度と冷却性を考慮して、例えば 0.5 ミリメートルから 7 ミリメートルが好ましい。

【0069】

次に、電極層 12 について具体的に説明する。

図 2 (a) 及び (b) は、電極層の構成を例示する模式的平面図である。

10

20

30

40

50

図2(a)及び(b)では、説明の便宜上、セラミック誘電体基板11及び電極層12の外形を実線で表している。

図2(a)には、単極型の電極層12の例が表される。電極層12は、Z方向にみて略円形に設けられる。セラミック誘電体基板11のZ方向にみた外形も略円形である。電極層12は、セラミック誘電体基板11と同心円上に配置される。

【0070】

図2(b)には、双極型の電極層12の例が表される。電極層12は、第1の電極要素121と、第2の電極要素122と、を有する。第1の電極要素121と、第2の電極要素122とは、互いに離間して配置される。第1の電極要素121及び第2の電極要素122のそれぞれの形状は、略半円形である。

10

【0071】

第1の電極要素121は、第1外周辺121rと、第1直線辺121sとを有する。第1外周辺121rは、略半円形の外形の円弧部分の辺である。第1直線辺121sは、略半円形の外形の直線部分の辺である。

【0072】

第2の電極要素122は、第2外周辺122rと、第2直線辺122sとを有する。第2外周辺122rは、略半円形の外形の円弧部分の辺である。第2直線辺122sは、略半円形の外形の直線部分の辺である。

【0073】

第1直線辺121sと、第2直線辺122sとは、互いに向かい合うように配置される。第1の電極要素121と第2の電極要素122との隙間を含めた電極層12の外形は、略円形である。

20

【0074】

セラミック誘電体基板11は、焼成後に研削加工される。例えば、セラミック誘電体基板11の外形は、セラミック誘電体基板11を回転させながら外周を研削することによって形成される。

【0075】

図2(a)に表した例においては、セラミック誘電体基板11の外周11rと、電極層12の外周12rとの間隔dが、外周11rのほぼ全体にわたり均一になるよう設けられる。図2(b)に表した例においては、セラミック誘電体基板11の外周11rと第1の電極要素121の第1外周辺121rとの間隔d1及びセラミック誘電体基板11の外周11rと第2の電極要素122の第2外周辺122rとの間隔d2が、外周11rにわたり均一になるよう設けられる。すなわち、間隔d1及び間隔d2は、外周11rにわたり均一である。

30

【0076】

本実施形態で適用されるセラミック誘電体基板11においては、可視光を透過する材料が用いられているため、セラミック誘電体基板11の外周11rを研削加工する際、セラミック誘電体基板11の内部に設けられた電極層12の外周12r(第1外周辺121r、第2外周辺122r)の位置を確認しながら正確に研削加工を行うことができる。これにより、間隔d、d1及びd2を外周11rのほぼ全体にわたり均一に形成することができる。

40

【0077】

なお、図2(a)及び(b)では、電極層12として単極型及び双極型の例を説明したが、3極以上の電極層12であっても適用可能である。3極以上の電極層12では、各極に対応した複数の電極要素において、電極要素間の隙間を含む外形が略円形に設けられていればよい。

【0078】

次に、セラミック誘電体基板11と電極層12との配置関係について説明する。

図3は、セラミック誘電体基板および電極層の第1の配置関係を例示する模式的平面図である。

50

図3では、説明の便宜上、セラミック誘電体基板11及び電極層12の外形を実線で表している。

【0079】

図3に表した電極層12は双極型であり、第1の電極要素121と、第2の電極要素122と、を有する。ここで、第1の電極要素121の第1直線辺121sと、第2の電極要素の第2直線辺122sとの間隔を間隔d5とする。また、先に説明したように、第1外周辺121rとセラミック誘電体基板11の外周11rとの間隔は間隔d1、第2外周辺122rとセラミック誘電体基板11の外周11rとの間隔は間隔d2である。

【0080】

図3に表した例において、間隔d1及びd2は、間隔d5よりも狭い。すなわち、間隔d1及びd2は、外周11rにわたり均一であるとともに、間隔d5よりも狭くなっている。これにより、電極層12が、セラミック誘電体基板11の外周11rに非常に近い位置まで配置されるとともに、電極層12よりも外側に設けられる誘電体（セラミック誘電体基板11の一部）の幅が均一になり、さらにシールリング13a（図21参照）の下部に電極層12を均一に配置することが可能となる。これにより、セラミック誘電体基板11の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

【0081】

図4は、セラミック誘電体基板および電極層の第2の配置関係を例示する模式的平面図である。

図4では、説明の便宜上、セラミック誘電体基板11及び電極層12の外形を実線で表している。

【0082】

図4に表した電極層12は単極型である。この電極層12において、セラミック誘電体基板11の中央の位置Cから外周11rの方向に伸ばした仮想線の1つの第1仮想線L1とする。また、第1仮想線L1上において、電極層12の外周12rとセラミック誘電体基板11の外周11rとの間隔を間隔X1とする。図4に表した例において、間隔X1の相互誤差は200マイクロメートル以下である。間隔X1の相互誤差とは、位置Cを中心として、互いに異なる角度の第1仮想線L1を設定した場合に、それぞれの第1仮想線L1上での間隔X1の相互の誤差のことをいう。

【0083】

ここで、図4に表した電極層12及びセラミック誘電体基板11において、位置Cから外周11rに向けて伸ばした仮想線のうち第1仮想線L1とは反対側に伸ばした仮想線を第2仮想線L2、第1仮想線L1と直交する方向に伸ばした仮想線の1つを第3仮想線L3、第3仮想線L3とは反対側に伸ばした仮想線を第4仮想線L4とする。

【0084】

また、第2仮想線L2上において、電極層12の外周12rとセラミック誘電体基板11の外周11rとの間隔を間隔X2とする。また、第3仮想線L3上において、電極層12の外周12rとセラミック誘電体基板11の外周11rとの間隔を間隔X3とする。また、第4仮想線L4上において、電極層12の外周12rとセラミック誘電体基板11の外周11rとの間隔を間隔X4とする。

【0085】

図5は、セラミック誘電体基板と電極層との間隔の相互誤差を表す図である。

図5には、参考例に係るセラミック誘電体基板での間隔の相互誤差と、本実施形態に係るセラミック誘電体基板11での間隔の相互誤差とが表される。参考例に係るセラミック誘電体基板は、焼結の際のセラミック誘電体基板及び電極層の収縮のみを調整したものである。

【0086】

図5の縦軸は、セラミック誘電体基板11と電極層12との間隔の相互誤差である。間隔の相互誤差は、間隔X1 - 間隔X2の絶対値、及び間隔X3 - 間隔X4の絶対値のうち

10

20

30

40

50

の最大値である。単位はマイクロメートルである。図5には、参考例及び本実施形態のそれぞれについて、30個のサンプルについて間隔の相互誤差を計測した結果が表される。図5に表したように、参考例に係るセラミック誘電体基板では、200マイクロメートル以上520マイクロメートル以下程度の間隔の相互誤差がある。一方、本実施形態に係るセラミック誘電体基板11では、200マイクロメートル以下の間隔の相互誤差になっている。

【0087】

このように、本実施形態においては、セラミック誘電体基板11の外周11rと電極層12の外周12rとの間隔の相互誤差を非常に小さくすることができる。これにより、電極層12を、セラミック誘電体基板11の外周11rに非常に近い位置まで形成でき、しかも、電極層12よりも外側に設けられる誘電体（セラミック誘電体基板11の一部）の幅を均一にすることができる、さらにシールリング13aの下部に電極層12を均一に配置することが可能となる。これにより、セラミック誘電体基板11の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

【0088】

図6は、セラミック誘電体基板および電極層の第3の配置関係を例示する模式的平面図である。

図6では、説明の便宜上、セラミック誘電体基板11及び電極層12の外形を実線で表している。

【0089】

図6に表した電極層12は単極型である。この電極層12において、電極層12の外周12rにおける外径を外径X5とする。ここで、外径X5は、電極層12の最外形を円と仮定した場合における外径である。言い換えれば、外径X5は、電極層12の最外形の円相当径である。図6に表した例においては、|間隔X1 - 間隔X2| / 外径X5が0%以上0.07%以下である。

【0090】

図7は、セラミック誘電体基板の外径に対する電極層の間隔の第1の相互誤差割合を表す図である。

図7には、参考例に係るセラミック誘電体基板での外径X5に対する間隔X1 - 間隔X2の絶対値の割合（以下、単に「第1の相互誤差割合」と言う。）と、本実施形態に係るセラミック誘電体基板11での第1の相互誤差割合とが表される。参考例に係るセラミック誘電体基板は、焼結の際のセラミック誘電体基板及び電極層の収縮のみを調整したものである。

【0091】

図7の縦軸は、セラミック誘電体基板11の外径に対する電極層12の間隔の第1の相互誤差割合（|間隔X1 - 間隔X2| / 外径X5）である。単位は%である。図7には、参考例及び本実施形態のそれぞれについて、30個のサンプルについて第1の相互誤差割合を計測した結果が表される。図7に表したように、参考例に係るセラミック誘電体基板では、0.08%以上0.18%以下程度の第1の相互誤差割合になる。一方、本実施形態に係るセラミック誘電体基板11では、0%以上0.07%以下の第1の相互誤差割合になる。

【0092】

このように、本実施形態においては、セラミック誘電体基板11の外径に対する電極層12の間隔の第1の相互誤差割合を非常に小さくすることができる。これにより、電極層12の外径X5を基準として、電極層12を、セラミック誘電体基板11の外周11rに非常に近い位置まで形成でき、しかも、電極層12よりも外側に設けられる誘電体（セラミック誘電体基板11の一部）の幅を均一にすることができる、さらにシールリング13aの下部に電極層12を均一に配置することが可能となる。これにより、セラミック誘電体基板11の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着

10

20

30

40

50

力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

【0093】

なお、上記説明した第1の配置関係において、第1外周辺 $121r$ と外周 $11r$ との間隔 d_1 及び第2外周辺 $122r$ と外周 $11r$ との間隔 d_2 を、0ミリメートルよりも長く、1.95ミリメートル以下にしてもよい。より好ましくは、間隔 d_1 および間隔 d_2 を1.45ミリメートル以下、さらに好ましくは0.95ミリメートル以下にしてもよい。また、上記説明した第2～第3の配置関係において、電極層 12 の外周 $12r$ とセラミック誘電体基板 11 の外周 $11r$ との間隔 $X_1 \sim X_4$ を、0ミリメートルよりも長く、1.95ミリメートル以下にしてもよい。より好ましくは、間隔 $X_1 \sim X_4$ を1.45ミリメートル以下、さらに好ましくは0.95ミリメートル以下にしてもよい。

10

【0094】

このように、間隔 d_1 、 d_2 、 $X_1 \sim X_4$ を0ミリメートルよりも長く、1.95ミリメートル以下にすることで、電極層 12 が、セラミック誘電体基板 11 の外周 $11r$ に非常に近い位置まで設けられることになり、処理対象物Wを広い範囲で均一に吸着することができるようになる。したがって、吸着した際の処理対象物Wの温度分布を均一化することができるようになる。

【0095】

本実施形態によれば、絶縁耐圧を保持しつつ、シールリング $13a$ の下部に電極層 12 を均一に配置することが可能となり、吸着保持される処理対象物を所望の温度に維持することができる静電チャックを提供することができる。

20

【0096】

図8は、セラミック誘電体基板の外径に対する電極層の間隔の第2の相互誤差割合を表す図である。

図6を参照しつつ、セラミック誘電体基板 11 の外径に対する電極層 12 の間隔の第2の相互誤差割合について説明する。図8には、参考例に係るセラミック誘電体基板での外径 X_5 に対する間隔 $X_1 - 間隔X_3$ の絶対値の割合（以下、単に「第2の相互誤差割合」と言う。）と、本実施形態に係るセラミック誘電体基板 11 での第2の相互誤差割合と、が表される。参考例に係るセラミック誘電体基板は、焼結の際のセラミック誘電体基板及び電極層の収縮のみを調整したものである。

30

【0097】

図8の縦軸は、セラミック誘電体基板 11 の外径に対する電極層 12 の間隔の第2の相互誤差割合（|間隔 $X_1 - 間隔X_3$ | / 外径 X_5 ）である。単位は%である。図8には、参考例及び本実施形態のそれぞれについて、30個のサンプルについて第2の相互誤差割合を計測した結果が表される。図8に表したように、参考例に係るセラミック誘電体基板では、0.08%以上0.180%以下程度の第2の相互誤差割合になる。一方、本実施形態に係るセラミック誘電体基板 11 では、0%以上0.07%以下の第2の相互誤差割合になる。

【0098】

このように、本実施形態においては、セラミック誘電体基板 11 の外径に対する電極層 12 の間隔の第2の相互誤差割合を非常に小さくすることができる。これにより、電極層 12 の外径 X_5 を基準として、電極層 12 を、セラミック誘電体基板 11 の外周 $11r$ に非常に近い位置まで形成でき、しかも、電極層 12 よりも外側に設けられる誘電体（セラミック誘電体基板 11 の一部）の幅を均一にすることができる、さらに、シールリング $13a$ の下部に電極層 12 を均一に配置することが可能となる。これにより、セラミック誘電体基板 11 の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

40

【0099】

なお、第2の相互誤差割合は、セラミック誘電体基板での外径 X_5 に対する間隔 $X_1 - 間隔X_4$ の絶対値の割合（|間隔 $X_1 - 間隔X_4$ | / 外径 X_5 ）で表されてもよい。この場合においても、参考例に係るセラミック誘電体基板では、0.08%以上0.180%

50

以下程度の第2の相互誤差割合になる。一方、本実施形態に係るセラミック誘電体基板11では、0%以上0.07%以下の第2の相互誤差割合になる。

【0100】

図9は、セラミック誘電体基板と電極層との間隔の相互誤差の差を表す図である。

図6を参照しつつ、セラミック誘電体基板11と電極層12との間隔の相互誤差の差について説明する。図9には、参考例に係るセラミック誘電体基板での間隔の相互誤差の差と、本実施形態に係るセラミック誘電体基板11での間隔の相互誤差の差と、が表される。参考例に係るセラミック誘電体基板は、焼結の際のセラミック誘電体基板及び電極層の収縮のみを調整したものである。

【0101】

10

図9の縦軸は、セラミック誘電体基板11と電極層12との間隔の相互誤差の差である。間隔の相互誤差の差は、間隔X1 - 間隔X2の絶対値と、間隔X3 - 間隔X4の絶対値と、の間の差の絶対値(|| 間隔X1 - 間隔X2 | - | 間隔X3 - 間隔X4 ||)である。単位はマイクロメートルである。図9には、参考例及び本実施形態のそれぞれについて、30個のサンプルについて相互誤差の差を計測した結果が表される。図9に表したように、参考例に係るセラミック誘電体基板では、235マイクロメートル以上525マイクロメートル以下程度の相互誤差の差になる。一方、本実施形態に係るセラミック誘電体基板11では、0マイクロメートル以上200マイクロメートル以下の相互誤差の差になる。

【0102】

20

このように、本実施形態においては、セラミック誘電体基板11と電極層12との間隔の相互誤差の差を非常に小さくすることができる。これにより、電極層12の外径X5を基準として、電極層12を、セラミック誘電体基板11の外周11rに非常に近い位置まで形成でき、しかも、電極層12よりも外側に設けられる誘電体(セラミック誘電体基板11の一部)の幅を均一にすることができる、さらにシールリング13aの下部に電極層12を均一に配置することが可能となる。これにより、セラミック誘電体基板11の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

【0103】

図10は、セラミック誘電体基板の外径に対する電極層の間隔の第3の相互誤差割合を表す図である。

30

図6を参照しつつ、セラミック誘電体基板11の外径に対する電極層12の間隔の第3の相互誤差割合について説明する。図10には、参考例に係るセラミック誘電体基板での外径X5に対する間隔の相互誤差の差(|| 間隔X1 - 間隔X2 | - | 間隔X3 - 間隔X4 ||)の割合(以下、単に「第3の相互誤差割合」と言う。)と、本実施形態に係るセラミック誘電体基板11での第3の相互誤差割合と、が表される。参考例に係るセラミック誘電体基板は、焼結の際のセラミック誘電体基板及び電極層の収縮のみを調整したものである。

【0104】

40

図10の縦軸は、セラミック誘電体基板11の外径に対する電極層12の間隔の第3の相互誤差割合(|| 間隔X1 - 間隔X2 | - | 間隔X3 - 間隔X4 || / X5)である。単位は%である。図10には、参考例及び本実施形態のそれぞれについて、30個のサンプルについて第3の相互誤差割合を計測した結果が表される。図10に表したように、参考例に係るセラミック誘電体基板では、0.08%以上0.18%以下程度の第3の相互誤差割合になる。一方、本実施形態に係るセラミック誘電体基板11では、0%以上0.07%以下の第3の相互誤差割合になる。

【0105】

このように、本実施形態においては、セラミック誘電体基板11の外径に対する電極層12の間隔の第3の相互誤差割合を非常に小さくすることができる。これにより、電極層12の外径X5を基準として、電極層12を、セラミック誘電体基板11の外周11rに

50

非常に近い位置まで形成でき、しかも、電極層 12 よりも外側に設けられる誘電体（セラミック誘電体基板 11 の一部）の幅を均一にすることができ、さらにシールリング 13a の下部に電極層 12 を均一に配置することができる。これにより、セラミック誘電体基板 11 の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

【0106】

図 11 は、セラミック誘電体基板の外径に対する電極層の間隔の第 4 の相互誤差割合を表す図である。

図 6 を参照しつつ、セラミック誘電体基板 11 の外径に対する電極層 12 の間隔の第 4 の相互誤差割合について説明する。図 11 には、参考例に係るセラミック誘電体基板での外径 X5 に対する間隔 X1 + 間隔 X3 の絶対値の割合（以下、単に「第 4 の相互誤差割合」と言う。）と、本実施形態に係るセラミック誘電体基板 11 での第 4 の相互誤差割合と、が表される。参考例に係るセラミック誘電体基板は、焼結の際のセラミック誘電体基板及び電極層の収縮のみを調整したものである。

10

【0107】

図 11 の縦軸は、セラミック誘電体基板 12 の外径に対する電極層 12 の間隔の第 4 の相互誤差割合（| 間隔 X1 + 間隔 X3 | / 外径 X5）である。単位は % である。図 11 には、参考例及び本実施形態のそれぞれについて、30 個のサンプルについて第 4 の相互誤差割合を計測した結果が表される。図 11 に表したように、参考例に係るセラミック誘電体基板では、0.16% 以上 0.27% 以下程度の第 4 の相互誤差割合になる。一方、本実施形態に係るセラミック誘電体基板 11 では、0% 以上 0.15% 以下の第 4 の相互誤差割合になる。

20

【0108】

このように、本実施形態においては、第 4 の相互誤差割合を非常に小さくすることができる。これにより、電極層 12 の外径 X5 を基準として、電極層 12 を、セラミック誘電体基板 11 の外周 11r に非常に近い位置まで形成でき、しかも、電極層 12 よりも外側に設けられる誘電体（セラミック誘電体基板 11 の一部）の幅を均一にすることができ、さらにシールリング 13a の下部に電極層 12 を均一に配置することができる。これにより、セラミック誘電体基板 11 の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

30

【0109】

図 12 は、セラミック誘電体基板の外径に対する電極層の間隔の第 5 の相互誤差割合を表す図である。

図 6 を参照しつつ、セラミック誘電体基板 11 の外径に対する電極層 12 の間隔の第 5 の相互誤差割合について説明する。図 12 には、参考例に係るセラミック誘電体基板での外径 X5 に対する間隔 X1 × 間隔 X3 の絶対値の割合（以下、単に「第 5 の相互誤差割合」と言う。）と、本実施形態に係るセラミック誘電体基板 11 での第 5 の相互誤差割合と、が表される。参考例に係るセラミック誘電体基板は、焼結の際のセラミック誘電体基板及び電極層の収縮のみを調整したものである。

40

【0110】

図 12 の縦軸は、セラミック誘電体基板 11 の外径に対する電極層 12 の間隔の第 5 の相互誤差割合（| 間隔 X1 × 間隔 X3 | / 外径 X5）である。単位は % である。図 12 には、参考例及び本実施形態のそれぞれについて、30 個のサンプルについて第 5 の相互誤差割合を計測した結果が表される。図 12 に表したように、参考例に係るセラミック誘電体基板では、16% 以上 27% 以下程度の第 5 の相互誤差割合になる。一方、本実施形態に係るセラミック誘電体基板 11 では、15% 以下の第 5 の相互誤差割合になる。

【0111】

このように、本実施形態においては、セラミック誘電体基板 11 の外径に対する電極層 12 の間隔の第 5 の相互誤差割合を非常に小さくすることができる。これにより、電極層

50

12の外径X5を基準として、電極層12を、セラミック誘電体基板11の外周11rに非常に近い位置まで形成でき、しかも、電極層12よりも外側に設けられる誘電体(セラミック誘電体基板11の一部)の幅を均一にすることができ、さらにシールリング13aの下部に電極層12を均一に配置することができる。これにより、セラミック誘電体基板11の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

【0112】

図13は、セラミック誘電体基板と電極層との間隔の相互誤差の比を表す図である。

図6を参照しつつ、セラミック誘電体基板11と電極層12との間隔の相互誤差の比について説明する。図13には、参考例に係るセラミック誘電体基板での間隔の相互誤差の比と、本実施形態に係るセラミック誘電体基板11での間隔の相互誤差の比と、が表される。参考例に係るセラミック誘電体基板は、焼結の際のセラミック誘電体基板及び電極層の収縮のみを調整したものである。

【0113】

図13の縦軸は、セラミック誘電体基板11と電極層12との間隔の相互誤差の比である。間隔の相互誤差の比は、間隔X3-間隔X4の絶対値に対する間隔X1-間隔X2の絶対値の比率(|間隔X1-間隔X2| / |間隔X3-間隔X4|)である。単位はない。つまり、間隔の相互誤差の比は、無次元数である。図13には、参考例及び本実施形態のそれぞれについて、30個のサンプルについて相互誤差の比を計測した結果が表される。図13に表したように、参考例に係るセラミック誘電体基板では、230以上520以下程度の相互誤差の比になる。一方、本実施形態に係るセラミック誘電体基板11では、0以上200以下の相互誤差の比になる。

【0114】

このように、本実施形態においては、相互誤差の比を非常に小さくすることができる。これにより、電極層12の外径X5を基準として、電極層12を、セラミック誘電体基板11の外周11rに非常に近い位置まで形成でき、しかも、電極層12よりも外側に設けられる誘電体(セラミック誘電体基板11の一部)の幅を均一にすることができ、さらにシールリング13aの下部に電極層12を均一に配置することができる。これにより、セラミック誘電体基板11の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

【0115】

図14は、電極層とセラミック誘電体基板との間の同軸度を表す図である。

図4を参照しつつ、電極層とセラミック誘電体基板との間の同軸度について説明する。図14には、参考例に係るセラミック誘電体基板での電極層とセラミック誘電体基板との間の同軸度と、本実施形態に係るセラミック誘電体基板11での電極層とセラミック誘電体基板との間の同軸度と、が表される。電極層とセラミック誘電体基板との間の同軸度(以下、単に「同軸度」と言う。)とは、電極層の中心位置とセラミック誘電体基板の中心位置との間のずれ量をいう。参考例に係るセラミック誘電体基板は、焼結の際のセラミック誘電体基板及び電極層の収縮のみを調整したものである。

【0116】

図14の縦軸は、同軸度である。単位はマイクロメートルである。図14には、参考例及び本実施形態のそれぞれについて、30個のサンプルについて同軸度を計測した結果が表される。図14に表したように、参考例では、230マイクロメートル以上520マイクロメートル以下程度の同軸度になる。一方、本実施形態では、200マイクロメートル以下の同軸度になる。

なお、図14では、セラミック誘電体基板の外径から3ミリメートル以内の電極層において前述した同軸度を計測している。

【0117】

このように、本実施形態においては、セラミック誘電体基板11および電極層12の同

10

20

30

40

50

軸度を非常に小さくすることができる。これにより、電極層 12 の外径 X 5 を基準として、電極層 12 を、セラミック誘電体基板 11 の外周 11 r に非常に近い位置まで形成でき、しかも、電極層 12 よりも外側に設けられる誘電体（セラミック誘電体基板 11 の一部）の幅を均一にすることができ、さらにシールリング 13 a の下部に電極層 12 を均一に配置することができる。これにより、セラミック誘電体基板 11 の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

【0118】

次に、セラミック誘電体基板および電極層の変形例について、図面を参照しつつ説明する。

10

図 15 は、セラミック誘電体基板および電極層の変形例を表す模式的平面図である。

図 15 (a) は、電極層の変形例を説明する模式的平面図である。図 15 (b) は、セラミック誘電体基板の変形例を説明する模式的平面図である。

【0119】

図 15 (a) に表したように、電極層 12 の外周 12 r の一部にオリフラ（オリエンテーション・フラット）部 12 c が設けられることがある。この場合には、図 2 (a) に関して前述した間隔 d、図 2 (b) に関して前述した間隔 d 1 および間隔 d 2、図 3 に関して前述した間隔 d 1 および間隔 d 2、図 4 に関して前述した間隔 X 1、間隔 X 2、間隔 X 3、および間隔 X 4、ならびに図 6 に関して前述した間隔 X 1、間隔 X 2、間隔 X 3、および間隔 X 4 は、オリフラ部 12 c が設けられた部分を除いた部分で測定される間隔であるとする。

20

【0120】

図 15 (b) に表したように、セラミック誘電体基板 11 の外周 11 r の一部にオリフラ部 11 c が設けられ、電極層 12 の外周 12 r の一部にオリフラ部 12 c が設けられることがある。この場合には、図 2 (a) に関して前述した間隔 d、図 2 (b) に関して前述した間隔 d 1 および間隔 d 2、図 3 に関して前述した間隔 d 1 および間隔 d 2、図 4 に関して前述した間隔 X 1、間隔 X 2、間隔 X 3、および間隔 X 4、ならびに図 6 に関して前述した間隔 X 1、間隔 X 2、間隔 X 3、および間隔 X 4 は、オリフラ部 11 c およびオリフラ部 12 c が設けられた部分を除いた部分で測定される間隔であるとする。

【0121】

30

図 16 は、セラミック誘電体基板および電極層の他の変形例を表す模式的平面図である。

図 16 に表したように、Z 方向にみたとき、セラミック誘電体基板 11 が矩形を呈することがある。また、Z 方向にみたとき、電極層 12 が矩形を呈することがある。この場合には、セラミック誘電体基板 11 の中央の位置 C から外周 11 r の第 1 の辺 114 r に対して垂直に伸ばした仮想線を第 1 仮想線 L 1 とする。セラミック誘電体基板 11 の中央の位置 C から外周 11 r の第 2 の辺 115 r に対して垂直に伸ばした仮想線を第 2 仮想線 L 2 とする。セラミック誘電体基板 11 の中央の位置 C から外周 11 r の第 3 の辺 116 r に対して垂直に伸ばした仮想線を第 3 仮想線 L 3 とする。セラミック誘電体基板 11 の中央の位置 C から外周 11 r の第 4 の辺 117 r に対して垂直に伸ばした仮想線を第 4 仮想線 L 4 とする。

40

【0122】

第 2 の辺 115 r は、第 1 の辺 114 r と平行する辺である。第 3 の辺 116 r は、第 1 の辺 114 r および第 2 の辺 115 r と交わる辺である。第 4 の辺 117 r は、第 1 の辺 114 r および第 2 の辺 115 r と交わる辺である。

【0123】

図 4 および図 6 に関して前述した間隔 X 1 は、第 1 仮想線 L 1 上において、電極層 12 の外周 12 r とセラミック誘電体基板 11 の外周 11 r との間隔であるとする。図 4 および図 6 に関して前述した間隔 X 2 は、第 2 仮想線 L 2 上において、電極層 12 の外周 12 r とセラミック誘電体基板 11 の外周 11 r との間隔であるとする。図 4 および図 6 に關

50

して前述した間隔 X 3 は、第 1 仮想線 L 3 上において、電極層 1 2 の外周 1 2 r とセラミック誘電体基板 1 1 の外周 1 1 r との間隔であるとする。図 4 および図 6 に関して前述した間隔 X 4 は、第 1 仮想線 L 4 上において、電極層 1 2 の外周 1 2 r とセラミック誘電体基板 1 1 の外周 1 1 r との間隔であるとする。

【 0 1 2 4 】

図 1 7 は、電極層のさらに他の変形例を表す模式的平面図である。

図 1 7 に表した電極層 1 2 は、双極型の電極層であり、第 1 の電極要素 1 2 1 と、第 2 の電極要素 1 2 2 と、を有する。図 1 7 に表したように、第 1 の電極要素 1 2 1 および第 2 の電極要素 1 2 2 のそれぞれは、くし歯形状を有する。第 1 の電極要素 1 2 1 のくし歯が第 2 の電極要素のくし歯と噛み合うように、第 1 の電極要素 1 2 1 および第 2 の電極要素 1 2 2 は、配設されている。10

【 0 1 2 5 】

第 2 の電極要素 1 2 2 の第 2 外周辺 1 2 2 r の一部には、オリフラ部 1 2 2 c が設けられている。オリフラ部は、第 2 の電極要素 1 2 2 ではなく第 1 の電極要素 1 2 1 に設けられてもよい。

【 0 1 2 6 】

図 1 7 に表した電極層 1 2 では、図 6 に関して前述した外径 X 5 は、第 1 の電極要素 1 2 1 の第 1 外周辺 1 2 1 r および第 2 の電極要素 1 2 2 の第 2 外周辺 1 2 2 r の少なくともいすれかにおける外径に相当する。このように、本実施形態では、電極層 1 2 の形状は、特には限定されない。20

【 0 1 2 7 】

図 1 8 は、セラミック誘電体基板および電極層の第 4 の配置関係を例示する模式的平面図である。

図 1 8 では、説明の便宜上、セラミック誘電体基板 1 1 及び電極層 1 2 の外形を実線で表している。

【 0 1 2 8 】

図 1 8 に表した電極層 1 2 は、単極型である。この電極層 1 2 の外周 1 2 r における外径を外径 X 5 とする。ここで、外径 X 5 は、電極層 1 2 の最外形を円と仮定した場合における外径である。言い換えれば、外径 X 5 は、電極層 1 2 の最外形の円相当径である。外径 X 5 で規定される外周 1 2 r の長さを周長 L X 5 とする。外径 X 5 で規定される円の面積を面積 S X 5 とする。30

【 0 1 2 9 】

また、セラミック誘電体基板 1 1 の外周 1 1 r における外径を外径 X 6 とする。外径 X 6 で規定される外周 1 1 r の長さを周長 L X 6 とする。外径 X 6 で規定される円の面積を面積 S X 6 とする。

【 0 1 3 0 】

図 1 9 は、セラミック誘電体基板および電極層の外周長さの比を表す図である。

図 1 9 には、参考例に係るセラミック誘電体基板での周長 L X 6 に対する周長 L X 5 の比（以下、単に「周長比」と言う。）と、本実施形態に係るセラミック誘電体基板 1 1 での周長比と、が表される。参考例に係るセラミック誘電体基板は、焼結の際のセラミック誘電体基板及び電極層の収縮のみを調整したものである。40

【 0 1 3 1 】

図 1 9 の縦軸は、セラミック誘電体基板 1 1 および電極層 1 2 の周長比（L X 5 / L X 6）である。単位は%である。図 1 9 には、参考例及び本実施形態のそれぞれについて、30 個のサンプルについて周長比を計測した結果が表される。図 1 9 に表したように、参考例に係るセラミック誘電体基板では、92.8%以上 96.1%以下程度の周長比になる。一方、本実施形態に係るセラミック誘電体基板 1 1 では、97.4%以上 99.6%以下の周長比になる。

【 0 1 3 2 】

このように、本実施形態においては、セラミック誘電体基板 1 1 および電極層 1 2 の周50

長比を非常に大きくすることができる。これにより、電極層12の外径×5を基準として、電極層12を、セラミック誘電体基板11の外周11rに非常に近い位置まで形成でき、しかも、電極層12よりも外側に設けられる誘電体（セラミック誘電体基板11の一部）の幅を均一にすることができ、さらにシールリング13aの下部に電極層12を均一に配置することができる。これにより、セラミック誘電体基板11の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

【0133】

図20は、セラミック誘電体基板および電極層の面積の比を表す図である。

図20には、参考例に係るセラミック誘電体基板での面積S_X6に対する面積S_X5の比（以下、単に「第1の面積比」と言う。）と、本実施形態に係るセラミック誘電体基板11での第1の面積比と、が表される。参考例に係るセラミック誘電体基板は、焼結の際のセラミック誘電体基板及び電極層の収縮のみを調整したものである。

【0134】

図20の縦軸は、セラミック誘電体基板11および電極層12の第1の面積比（S_X5/S_X6）である。単位は%である。図20には、参考例及び本実施形態のそれについて、30個のサンプルについて第1の面積比を計測した結果が表される。図20に表したように、参考例に係るセラミック誘電体基板では、90.8%以上94.6%以下程度の第1の面積比になる。一方、本実施形態に係るセラミック誘電体基板11では、95.1%以上99.2%以下の第1の面積比になる。

【0135】

このように、本実施形態においては、セラミック誘電体基板11および電極層12の第1の面積比を非常に大きくすることができる。これにより、電極層12の外径×5を基準として、電極層12を、セラミック誘電体基板11の外周11rに非常に近い位置まで形成でき、しかも、電極層12よりも外側に設けられる誘電体（セラミック誘電体基板11の一部）の幅を均一にすることができ、さらにシールリング13aの下部に電極層12を均一に配置することができる。これにより、セラミック誘電体基板11の外周部での絶縁耐圧を保持しつつ、処理対象物の広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物の温度分布を均一化することができるようになる。

【0136】

図21は、図1に表した領域A1を拡大した模式的拡大図である。

図1に関して前述したように、本実施形態にかかる静電チャック110は、例えばクーロン型静電チャックである。クーロン型の静電チャックでは、電極層12上のみに吸着力が発生する。このため、セラミック誘電体基板11の外周11rに近い位置まで電極層12を配置することが望まれる。

【0137】

ここで、図3、図5、図7、図8～図14、図19、および図20に関して前述したように、本実施形態では、電極層12を、セラミック誘電体基板11の外周11rに非常に近い位置まで形成することができる。そのため、セラミック誘電体基板11の周端部に設けられた凸部13（シールリング13a）の幅D1をより小さくすることができる。シールリング13aは、ヘリウム（He）等の伝達ガスが処理対象物Wと溝14との間に設けられた空間から漏れることを抑制する。

【0138】

シールリング13aの幅D1がより小さいと、処理対象物Wがシールリング13aと接触する面積が小さくなる。すると、静電チャック110の使用中におけるシールリング13aが処理対象物Wとの摩擦によって生じる総摩耗量を抑えることができる。これにより、シールリング13aの経時変化を抑えることができる。さらに、処理対象物Wに付着するパーティクルも抑制できる。

【0139】

シールリング13aの表面が処理対象物Wとの摩擦によって生じる摩耗を抑えることが

10

20

30

40

50

できるため、ヘリウム(He)等の伝達ガスが処理対象物Wと溝14との間に設けられた空間から漏れることをより抑制することができる。つまり、シールリング13aの製造ばらつきによって生じるヘリウム(He)等の伝達ガスの漏れ量のばらつきを抑え、シールリング13aの管理をより容易に行うことができる。

【0140】

また、シールリング13aが設けられた部分における処理対象物Wの吸着を安定化させることができる。したがって、プロセスを通じて処理対象物Wの温度が変わらない状態を維持できる。これにより、処理対象物Wの広い範囲にわたり均一な吸着力を得て、吸着した際の処理対象物Wの温度分布を均一化することができる。

シールリング13aについて、図面を参照しつつさらに説明する。

10

【0141】

図22は、シールリングの幅と、処理対象物の温度の経時変化率と、の間の関係、およびシールリングの幅と、処理対象物の端部の温度変化と、の間の関係を表すグラフ図である。

図22(a)は、本実施形態に係る静電チャックにおいて、シールリングの幅と、処理対象物の温度の経時変化率と、の間の関係、およびシールリングの幅と、処理対象物の端部の温度変化と、の間の関係を表すグラフ図である。図22(b)は、本実施形態に係る静電チャックおよび比較例に係る静電チャックにおいて、シールリングの幅と、処理対象物の温度の経時変化率と、の間の関係、およびシールリングの幅と、処理対象物の端部の温度変化と、の間の関係を表すグラフ図である。

20

【0142】

図22(a)および図22(b)に表したグラフ図の横軸は、シールリング13aの幅D1(mm)である。図22(a)および図22(b)に表したグラフ図の左縦軸は、処理対象物Wの温度の経時変化率(%)である。図22(a)および図22(b)に表したグラフ図の右縦軸は、処理対象物Wの端部の温度変化(%)である。

なお、図22(a)および図22(b)は、処理開始から100時間後のグラフ図である。また、図22(a)および図22(b)では、シールリング13aの幅D1と、重複距離D2と、の間の差(D1 - D2)が1.0ミリメートルを想定している。重複距離D2の詳細については、後述する。

【0143】

30

「処理対象物Wの温度の経時変化率」とは、静電チャック110の使用条件下でのプラズマ環境下において、シールリング13aの処理対象物Wとの接触面13b(図21参照)の表面状態が変化し熱伝達率が変化することにより、処理対象物Wの温度が変化することをいう。あるいは、「処理対象物Wの温度の経時変化率」とは、処理対象物Wの中心部の平均温度と、処理対象物Wのうちでシールリング13aよりも外側に出た部分Wa(端部あるいは外周部)の温度と、の間の比率をいう。

「処理対象物Wの端部の温度変化」とは、処理対象物Wのうちでシールリング13aよりも外側に出た部分Waの温度上昇を抑える効果がシールリング13aの幅D1に応じて変化することをいう。あるいは、「処理対象物Wの端部の温度変化」とは、処理対象物Wの中心部の平均温度に対する処理対象物Wの部分Waの温度の上昇率をいう。

40

【0144】

図22(a)および図22(b)に表したように、シールリング13aの幅D1が比較的小ないと、シールリング13aの接触面13bの面積が比較的狭くなるため、接触面13bにおける熱伝達率が変化したときの処理対象物Wの温度の経時変化率は、比較的小い。また、シールリング13aの幅D1が比較的小ないと、接触面13bと処理対象物Wとの接触面積が小さくなるため、付着するパーティクルの量も少なくできる。一方で、シールリング13aの幅D1が比較的大きいと、接触面13bの面積が比較的広くなるため、処理対象物Wの部分Waの温度上昇は、比較的低い。そのため、シールリング13aの幅D1が比較的大きいと、処理対象物Wの端部の温度変化は、比較的小さいが、接触面13bと処理対象物Wとの接触面積が増えるため、処理対象物Wに付着するパーティクル量

50

が多くなってしまう。

またシールリング 13a の幅 D1 が広いと、プロセス中にウェーハとの接触面である誘電体表面がプラズマで消耗しやすく、誘電体表面状態の変化によりウェーハ温度が変動したり、誘電体表面とウェーハとの間に封入するガス流量が変化する。すると、想定される静電チャックの寿命を早めてしまうことにつながる。

【0145】

本発明者は、処理対象物 W を冷却することができる許容値の下限と、処理対象物 W とセラミック誘電体基板 11 との間の熱伝達率が変化可能な境界と、を考慮し、処理対象物 W の中心部の平均温度と処理対象物 W の部分 Wa の温度との間の比率が 10 % 以下であることを閾値として設定した。本発明者が得た知見によれば、処理対象物 W の部分 Wa は、処理対象物 W の中心部と比較すると、経時変化を受けやすい。処理対象物 W の中心部の平均温度と処理対象物 W の部分 Wa の温度との間の比率が 10 % 以下であると、処理対象物 W のプロセス上の歩留まりの低下を抑えることができる。また、処理対象物 W の中心部の平均温度に対する処理対象物 W の部分 Wa の温度の上昇率が 10 % 以下であると、処理対象物 W のプロセス上の歩留まりの低下を抑えることができる。10

これによれば、図 22(a) および図 22(b) に表したように、シールリング 13a の幅 D1 は、0.3 ミリメートル以上 3.0 ミリメートル以下になる。なお、0.3 ミリメートル以上 3.0 ミリメートル以下のシールリング 13a の幅 D1 には、シールリング 13a の端部における最大 1 ミリメートルの C 面（面取り）が含まれる。20

【0146】

図 22(b) に表した第 1 の比較例および第 2 の比較例に係る静電チャックにおける差 (D1 - D2) は、本実施形態に係る静電チャック 110 における差 (D1 - D2) よりも大きい。この場合には、図 22(b) に表したように、第 1 の比較例および第 2 の比較例に係る静電チャックにおける処理対象物 W の部分 Wa の温度変化は、本実施形態に係る静電チャック 110 における処理対象物 W の部分 Wa の温度変化よりも大きい。図 22(b) に表した領域 A2 は、第 1 比較例および第 2 の比較例における処理対象物 W の部分 Wa の温度変化の範囲を表す。20

これによれば、本実施形態に係る静電チャック 110 では、第 1 の比較例および第 2 の比較例に係る静電チャックと比較すると、処理対象物 W の部分 Wa を効率的に冷却することができる。30

【0147】

図 23 は、重複距離と、処理対象物の温度の経時変化率と、の間の関係、および重複距離と、処理対象物の端部の温度変化と、の間の関係を表すグラフ図である。

図 23 に表したグラフ図の横軸は、重複距離 D2 (mm) である。図 23 に表したグラフ図の左縦軸は、処理対象物 W の温度の経時変化率 (%) である。図 23 に表したグラフ図の右縦軸は、処理対象物 W の端部の温度変化 (%) である。重複距離 D2 とは、Z 方向にみたときに、電極層 12 がシールリング 13a と重複した距離（幅）をいう（図 21 参照）。

【0148】

「処理対象物 W の温度の経時変化率」は、図 22(a) および図 22(b) に関して前述した通りである。「処理対象物 W の端部の温度変化」は、図 22(a) および図 22(b) に関して前述した通りである。40

【0149】

図 23 に表したように、重複距離 D2 が比較的短いと、処理対象物 W がシールリング 13a に吸着される面積が比較的狭い。そのため、処理対象物 W がシールリング 13a に吸着される力は比較的弱く、処理対象物 W の温度の経時変化率は、比較的小さい。一方で、重複距離 D2 が比較的長いと、処理対象物 W がシールリング 13a に吸着される面積が比較的広い。そのため、処理対象物 W の部分 Wa の温度上昇は、比較的低い。そのため、重複距離 D2 が比較的長いと、処理対象物 W の端部の温度変化は、比較的小さい。

【0150】

50

30

40

50

図22(a)および図22(b)に関して前述したように、本発明者は、処理対象物Wの中心部の平均温度と処理対象物Wの部分Waの温度との間の比率が10%以下であることを閾値として設定した。

これによれば、図23に表したように、重複距離D2は、-0.7ミリメートル以上2.0ミリメートル以下になる。なお、負の重複距離D2は、Z方向にみたときに、電極層12がシールリング13aと重複せずに離間している状態を表す。

【0151】

図24は、図21に表した矢印A3の方向にセラミック誘電体基板の周端部をみたときの模式的平面図である。

図24(a)は、電極層12がシールリング13aと重複した領域の面積を説明する模式的平面図である。図24(b)は、電極層12の外径を説明する模式的平面図である。図24(c)は、シールリング13aの内径を説明する模式的平面図である。

図24(a)～図24(c)では、説明の便宜上、セラミック誘電体基板11及び電極層12の外形を実線で表している。

【0152】

図24(a)に表したように、電極層12の外径を外径D11とする。また、電極層12がシールリング13aと重複した領域の面積を面積S1とする。また、電極層12がシールリング13aと重複していない場合には、電極層12の外径の端部と、シールリング13aの中心側の端部との間の領域の面積を面積-S1とする。また、Z方向にみたときのセラミック誘電体基板11の面積(全面積)を面積S2とする。

【0153】

ここで、図24(b)に表したように、電極層12の端部が円形ではない場合には、電極層12の最外形の円相当径を第1の外径D11とする。また、電極層12の端部が円形ではない場合には、電極層12の端部のうちで最も内側の位置の円相当径を第2の外径D12とする。

図24(c)に表したように、シールリング13aの内側の端部が円形ではない場合には、シールリング13aの内側の端部のうちの最も内側の位置の円相当径を内径D13とする。

【0154】

図24(b)に表したように、電極層12の端部が円形ではない場合には、第1の外径D11と第2の外径D12とで囲まれる領域を算出する。続いて、第1の外径D11と第2の外径D12とで囲まれる領域がシールリング13aと重複した領域の面積を算出する。図24(c)に表したように、シールリング13aの内側の端部が円形ではない場合には、第1の外径D11と第2の外径D12とで囲まれる領域が、内径D13よりも外側の位置のシールリング13aと重複した領域の面積を算出する。このようにして算出した面積を、前述した面積S1とする。

【0155】

なお、Z方向にみたときの電極層12の形状が円形ではない場合(異形電極の場合)には、電極層12の外径D11は、超音波探傷器を用いて測定される。超音波探傷器を用いて測定された外径D11に基づいて、電極層12がシールリング13aと重複した領域の面積S1が算出される。

【0156】

図25は、セラミック誘電体基板および電極層の第2の面積比と、処理対象物の温度の経時変化率と、の間の関係、および第2の面積比と、処理対象物の端部の温度変化との間の関係を表すグラフ図である。

図25(a)は、本実施形態に係る静電チャックにおいて、セラミック誘電体基板11および電極層12の第2の面積比と、処理対象物の温度の経時変化率と、の間の関係、および第2の面積比と、処理対象物の端部の温度変化との間の関係を表すグラフ図である。図25(b)は、比較例に係る静電チャックにおいて、第2の面積比と、処理対象物の温度の経時変化率との間の関係、および第2の面積比と、処理対象物の端部の温度変化

10

20

30

40

50

と、の間の関係を表すグラフ図である。

図25(a)および図25(b)に表したグラフ図の横軸は、面積S2に対する面積S1の比(以下、単に「第2の面積比」と言う。)である。図25(a)および図25(b)に表したグラフ図の左縦軸は、処理対象物Wの温度の経時変化率(%)である。図25(a)および図25(b)に表したグラフ図の右縦軸は、処理対象物Wの端部の温度変化(%)である。

【0157】

「処理対象物Wの温度の経時変化率」は、図22(a)および図22(b)について前述した通りである。「処理対象物Wの端部の温度変化」は、図22(a)および図22(b)について前述した通りである。

10

【0158】

図25(a)および図25(b)に表したように、第2の面積比(S1/S2)が比較的低いと、処理対象物Wがシールリング13aに吸着される面積が比較的狭い。そのため、処理対象物Wがシールリング13aに吸着される力は比較的弱く、処理対象物Wの温度の経時変化率は、比較的小さい。一方で、第2の面積比(S1/S2)が比較的高いと、シールリング13a上に作用する処理対象物Wの吸着力は大きくなるが、吸着力が大きくなりすぎるために処理対象物Wの端部が経時変化に弱くなってしまう。しかし、処理対象物Wの端部の温度上昇を抑制するためには十分な吸着力を得られるため、処理対象物Wの端部の温度変化は、比較的小さい。

【0159】

図22(a)および図22(b)について前述したように、本発明者は、処理対象物Wの中心部の平均温度と処理対象物Wの部分Waの温度との間の比率が10%以下であることを閾値として設定した。

20

これによれば、図25(a)に表したように、本実施形態に係る静電チャック110の第2の面積比(S1/S2)は、-3.4%以上5%以下になる。

【0160】

一方で、比較例に係る静電チャックにおける面積S1を本実施形態に係る静電チャック110における面積S1と同じとすると、シールリング13aの幅D1を大きくする必要がある。そのため、図25(b)に表したように、比較例に係る静電チャックにおける処理対象物Wの温度の経時変化率は、本実施形態に係る静電チャック110における処理対象物Wの温度の経時変化率よりも大きい。そのため、図25(b)に表した比較例では、第2の面積比が5%のときには、処理対象物Wの中心部の平均温度と処理対象物Wの部分Waの温度との間の比率が10%よりも高い。

30

【0161】

図26は、シールリングの端部と、電極層の端部と、の間の直線距離を説明する模式的断面図である。

図27は、本実施形態シールリングの端部を説明する模式的断面図である。

図28は、シールリングの端部と、電極層の端部と、の間の直線距離の符号を説明する模式的断面図である。

図26および図28は、図1に表した領域A1を拡大した模式的拡大図に相当する。

40

図28(a)は、シールリングの端部と、電極層の端部と、の間の直線距離の符号が正(+)である場合を表す。図28(b)は、シールリングの端部と、電極層の端部と、の間の直線距離の符号が正(-)である場合を表す。

【0162】

図26に表したように、電極層12の外周部から発生する吸着力は、一定の範囲12bにわたって広がっている。この場合には、範囲12bの内側のシーリング13aの一定の領域13dにおいて、吸着力11dが発生する。なお、第1誘電層111の厚さD15は、吸着面(接触面)13bと、電極層12の境界面12dと、の間の距離に相当し、図1について前述したように例えば100マイクロメートル以上である。境界面12dは、電極層12の表面であって、電極層12からみて吸着面(接触面)13bの側の面である。

50

【0163】

本実施形態では、シールリング13aの内周側の端部13cと、電極層12の外周側の端部12aと、の間の直線距離を距離D14とする。本実施形態にかかる静電チャック110では、距離D14は、-2ミリメートル以上、2ミリメートル以下である。距離D14は、処理対象物Wを冷却することができる最大の重複長さに相当する。距離D14について、図面を参照しつつさらに説明する。

【0164】

図27に表した模式的断面図において、シールリング13aの内周側の端部13cは、シールリング13aの吸着面（接触面）13bを延長した線L1と、サンドブラスト等で形成された側面13eを延長した線L2との交点である。または、シールリング13aの内周側の端部13cは、シールリング13aの吸着面（接触面）13bを延長した線L1と、ブラスト等で形成される曲面13fを延長した線L2との交点である。これによれば、シールリング13aの角部におけるC面の有無や、ブラストで形成された側面の曲率などを考慮した上で、シールリング13aの内周側の端部13cを定義することができる。

【0165】

図28(a)および図28(b)に表した模式的断面図において、電極層12の外周側の端部12aは、電極層12の境界面12dと、電極層12の最外周部12eから電極層12の境界面12dへ引かれた法線と、の交点である。図28(a)に表したように、Z方向にみたときに、シールリング13aの内周側の端部13cよりも外側における距離D14に正(+)の符号を付す。一方で、図28(b)に表したように、Z方向にみたときに、シールリング13aの内周側の端部13cよりも内側における距離D14に負(-)の符号を付す。

【0166】

図29は、直線距離D14と、処理対象物の温度の経時変化率と、の間の関係、および直線距離D14と、処理対象物の端部の温度変化と、の間の関係を表すグラフ図である。

図29に表したグラフ図の横軸は、シールリング13aの内周側の端部13cと、電極層12の外周側の端部12aとの間の直線距離D14(mm)である。

【0167】

「処理対象物Wの温度の経時変化率」は、図22(a)および図22(b)に関して前述した通りである。「処理対象物Wの端部の温度変化」は、図22(a)および図22(b)に関して前述した通りである。

【0168】

図29に表したように、距離D14の符号が正(+)である場合には、距離D14の絶対値が大きくなると、処理対象物Wの温度の経時変化率は、高くなる。一方で、距離D14の符号が負(-)である場合には、距離D14の絶対値が大きくなると、処理対象物Wの端部の温度変化は、大きくなる。

【0169】

図22(a)および図22(b)に関して前述したように、本発明者は、処理対象物Wの中心部の平均温度と処理対象物Wの部分W_aの温度との間の比率が10%以下であることを閾値として設定した。

これによれば、距離D14は、-2ミリメートル以上、2ミリメートル以下となる。

【0170】

本実施形態にかかる静電チャック110によれば、セラミック誘電体基板11の外周と、電極層12の外周と、の間隔の、電極層12の外径に対するばらつきが少ない。そのため、セラミック誘電体基板11の外周部での絶縁耐圧を保持しつつ、セラミック誘電体基板11の外周部に、大きくてかつ一定な吸着力11dを得ることができる。さらに、処理対象物Wの温度分布の均一化を図ることができる。また、セラミック誘電体基板11の外周に近い位置まで電極層12が配置されることで、シールリング13aの幅が狭くとも、セラミック誘電体基板11の外周部における吸着力11dが一定になる。これにより、処

10

20

30

40

50

理対象物Wとセラミック誘電体基板11との間の接触面積と、セラミック誘電体基板11における吸着力11dと、が周方向で均一となり、処理対象物Wの温度の経時変化率の低減と、処理対象物Wの端部の温度変化の低減と、を両立することができる。

【0171】

図30は、本発明の他の実施の形態にかかるウェーハ処理装置を表す模式的断面図である。

本実施形態にかかるウェーハ処理装置200は、処理容器201と、上部電極210と、図1～図29に関して前述した静電チャック110と、を備えている。処理容器201の天井には、処理ガスを内部に導入するための処理ガス導入口202が設けられている。処理容器201の底板には、内部を減圧排気するための排気口203が設けられている。
また、上部電極210および静電チャック110には高周波電源204が接続され、上部電極210と静電チャック110とを有する一対の電極が、互いに所定の間隔を隔てて平行に対峙するようになっている。
10

【0172】

本実施形態にかかるウェーハ処理装置200において、上部電極210と静電チャック110とに高周波電圧が印加されると、高周波放電が起こり処理容器201内に導入された処理ガスがプラズマにより励起、活性化されて、処理対象物Wが処理されることになる。尚、処理対象物Wとしては、半導体基板(ウェーハ)を例示することができる。但し、処理対象物Wは、半導体基板(ウェーハ)には限定されず、例えば、液晶表示装置に用いられるガラス基板等であってもよい。
20

【0173】

ウェーハ処理装置200のような構成の装置は、一般に平行平板型RIE(Reactive Ion Etching)装置と呼ばれるが、本実施形態にかかる静電チャック110は、この装置への適用に限定されるわけではない。例えば、ECR(Electron Cyclotron Resonance)エンチニアリング装置、誘電結合プラズマ処理装置、ヘリコン波プラズマ処理装置、プラズマ分離型プラズマ処理装置、表面波プラズマ処理装置、プラズマCVD(Chemical Vapor Deposition)装置などのいわゆる減圧処理装置に広く適応することができる。また、本実施形態にかかる静電チャック110は、露光装置や検査装置のように大気圧下で処理や検査が行われる基板処理装置に広く適用することもできる。ただし、本実施形態にかかる静電チャック110の有する高い耐プラズマ性を考慮すると、静電チャック110をプラズマ処理装置に適用させることができが好ましい。尚、これらの装置の構成の内、本実施形態にかかる静電チャック110以外の部分には公知の構成を適用することができるので、その説明は省略する。
30

【0174】

本実施形態にかかるウェーハ処理装置200によれば、ウェーハ(処理対象物W)の面内温度分布が均一となり、ウェーハ(処理対象物W)の歩留まりを低下させずに所定のプロセスを行うことができる。

【0175】

以上、本発明の実施形態について説明した。しかし、本発明はこれらの記述に限定されるものではない。また、前述の実施形態に関して、たとえば数箇所だけ内蔵電極の外径と誘電体の外径との間の距離を変えたものなど、当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。また、前述した実施形態が備える各要素は、技術的に可能な限りにおいて組み合わせることができ、これらを組み合わせたものも本発明の特徴を含む限り本発明の範囲に包含される。
40

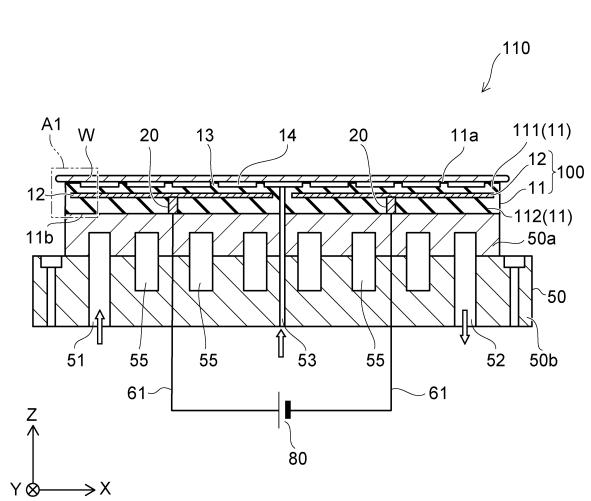
【符号の説明】

【0176】

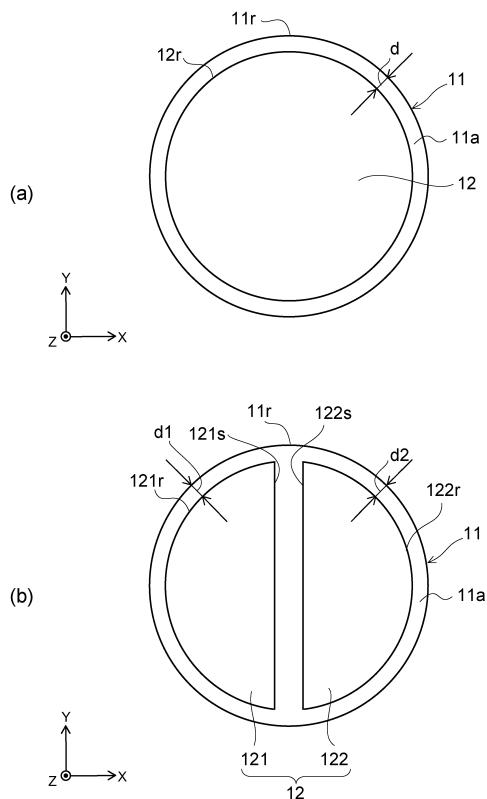
11...セラミック誘電体基板、11a...第1主面、11b...第2主面、11c...オリフラ部、11d...吸着力、11r...外周、12...電極層、12a...端部、12b...範囲、12c...オリフラ部、12d...境界面、12e...最外周部、12r...外周、13...凸部、13a...シールリング、13b...接触面、13c...端部、13d...領域、13e...端面、1
50

3 f ... 曲面、 1 4 ... 溝、 2 0 ... 接続部、 5 0 ... ベースプレート、 5 0 a ... 上部、 5 0 b ... 下部、 5 1 ... 入力路、 5 2 ... 出力路、 5 3 ... 導入路、 5 5 ... 連通路、 6 1 ... コンタクト電極、 8 0 ... 吸着保持用電圧、 1 0 0 ... 静電チャック用基板、 1 1 0 ... 静電チャック、 1 1 1 ... 第 1 誘電層、 1 1 2 ... 第 2 誘電層、 1 1 4 r ... 第 1 の辺、 1 1 5 r ... 第 2 の辺、 1 1 6 r ... 第 3 の辺、 1 1 7 r ... 第 4 の辺、 1 2 1 ... 第 1 の電極要素、 1 2 1 r ... 第 1 外周辺、 1 2 1 s ... 第 1 直線辺、 1 2 2 ... 第 2 の電極要素、 1 2 2 c ... オリフラ部、 1 2 2 r ... 第 2 外周辺、 1 2 2 s ... 第 2 直線边、 2 0 0 ... ウェーハ処理装置、 2 0 1 ... 処理容器、 2 0 2 ... 処理ガス導入路、 2 0 3 ... 排気口、 2 0 4 ... 高周波電源、 2 1 0 ... 上部電極、 W ... 処理対象物

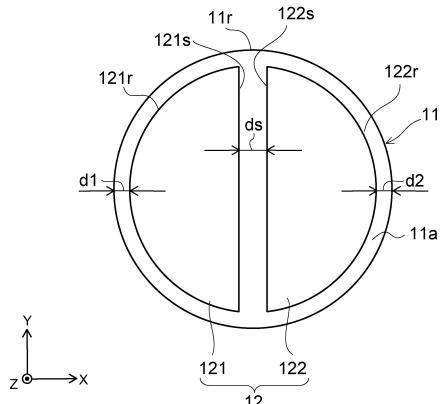
【図 1】



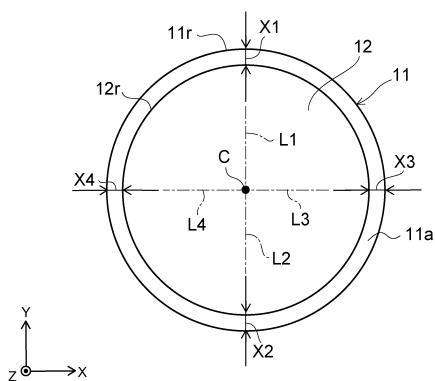
【図 2】



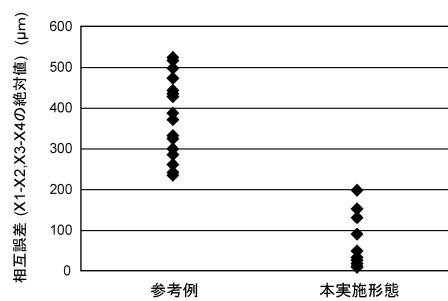
【図3】



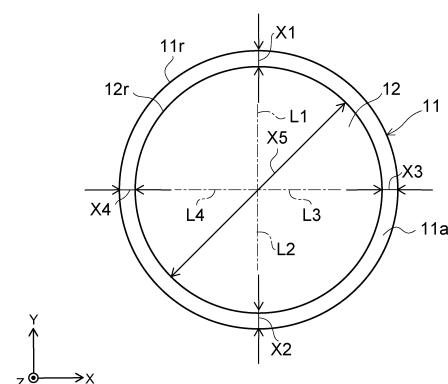
【図4】



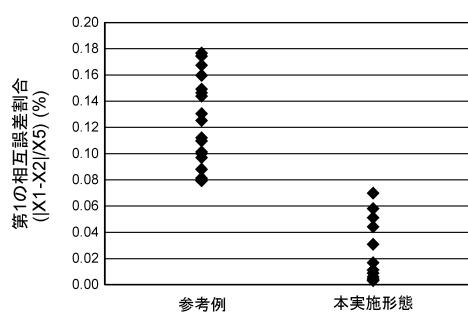
【図5】



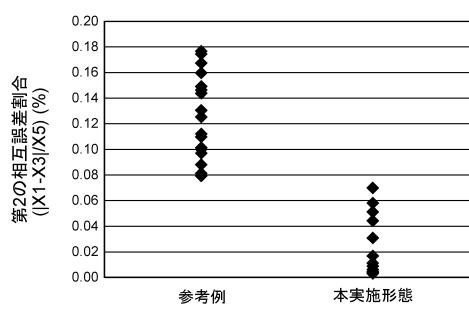
【図6】



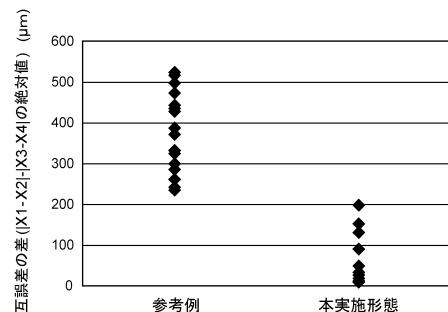
【図7】



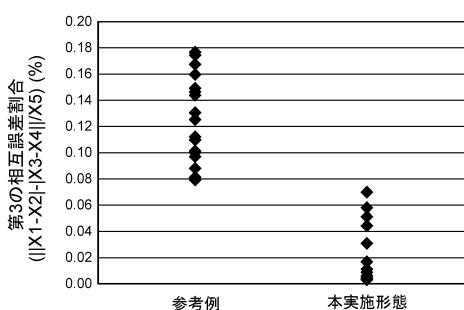
【図8】



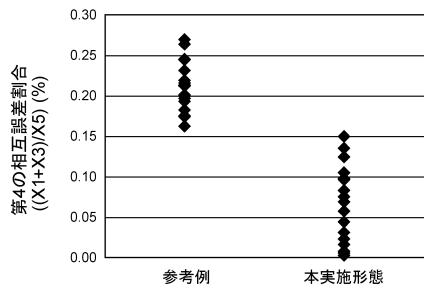
【図9】



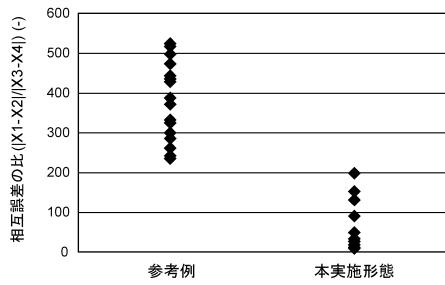
【図10】



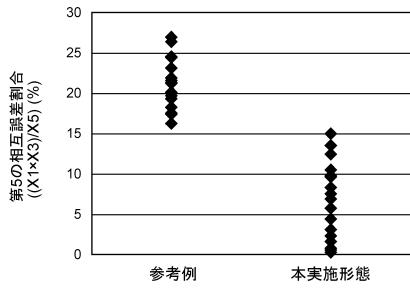
【図11】



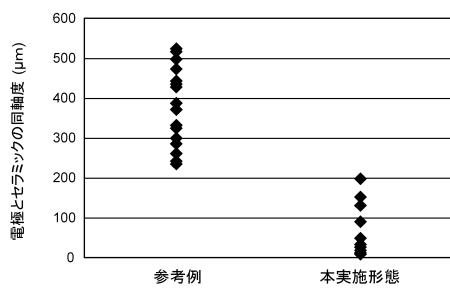
【図13】



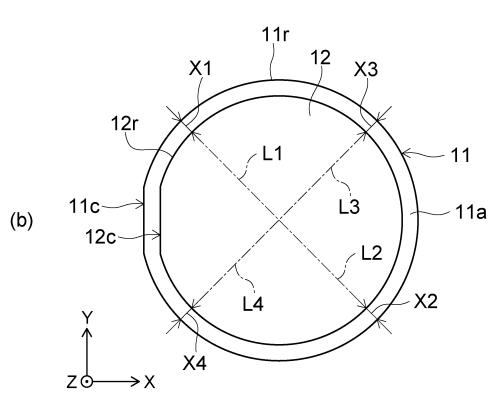
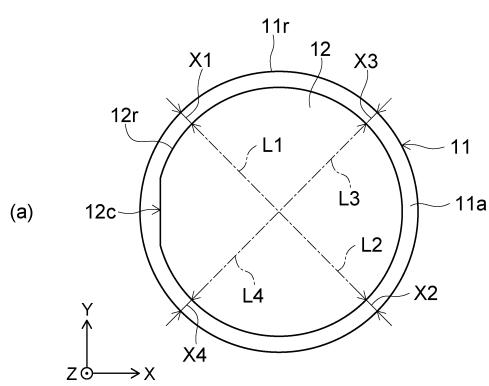
【図12】



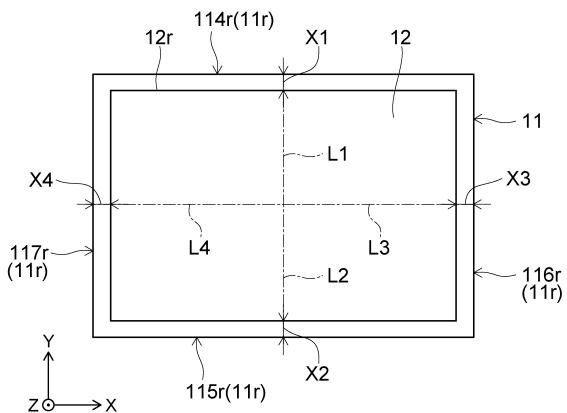
【図14】



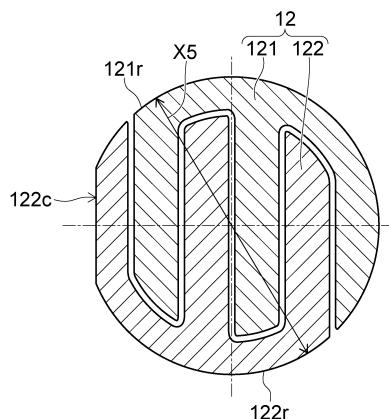
【図15】



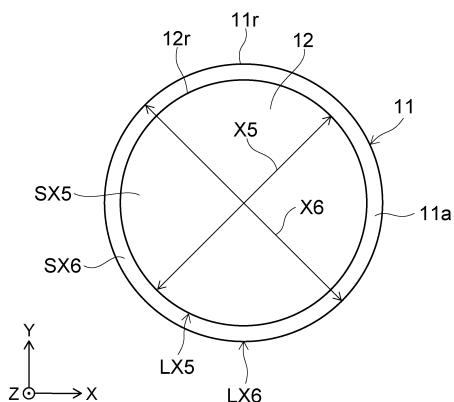
【図16】



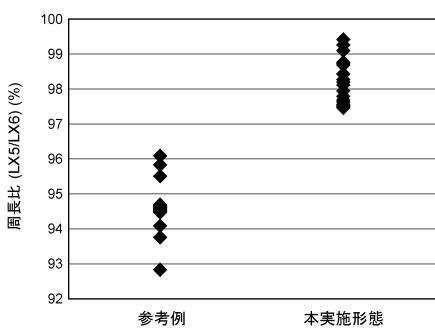
【図17】



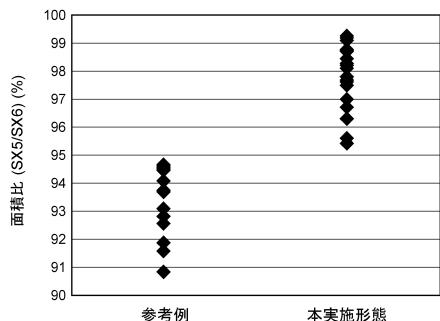
【図18】



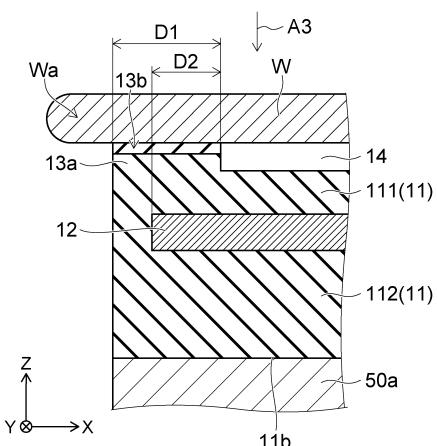
【図19】



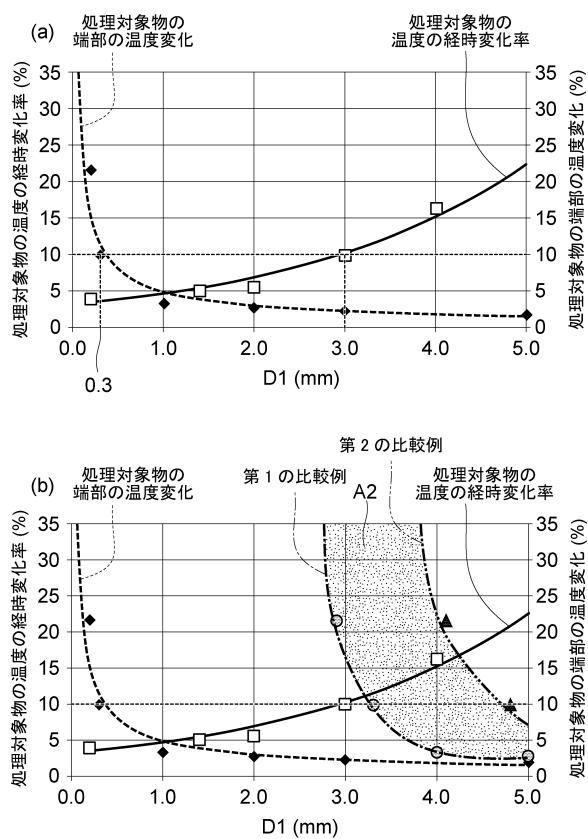
【図20】



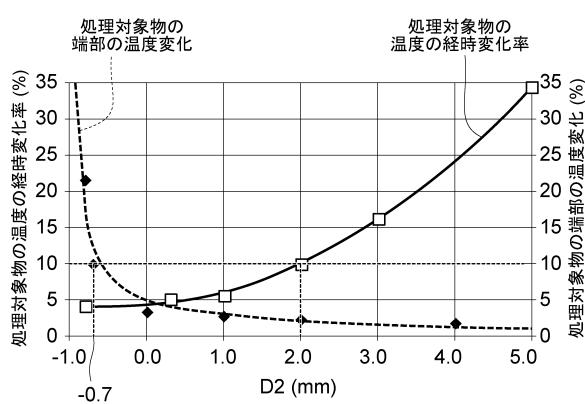
【図21】



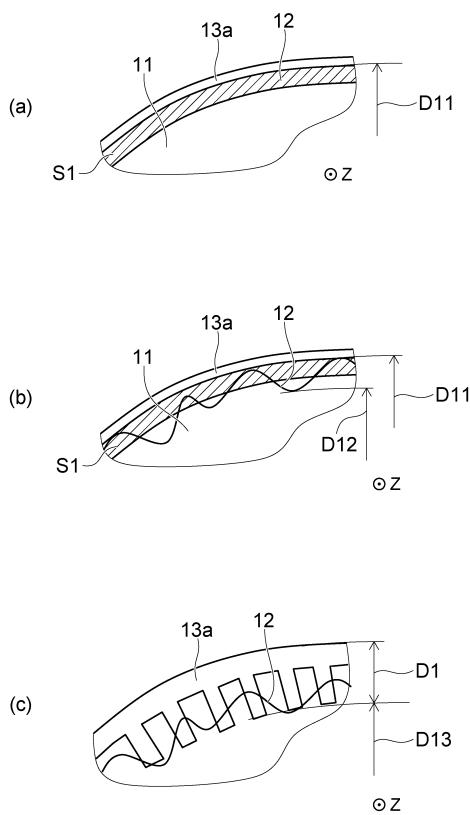
【 図 2 2 】



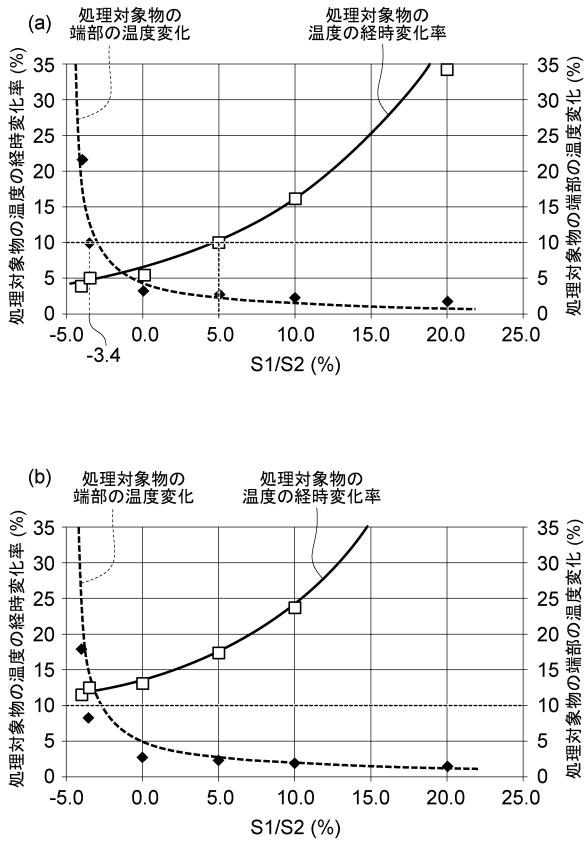
【図23】



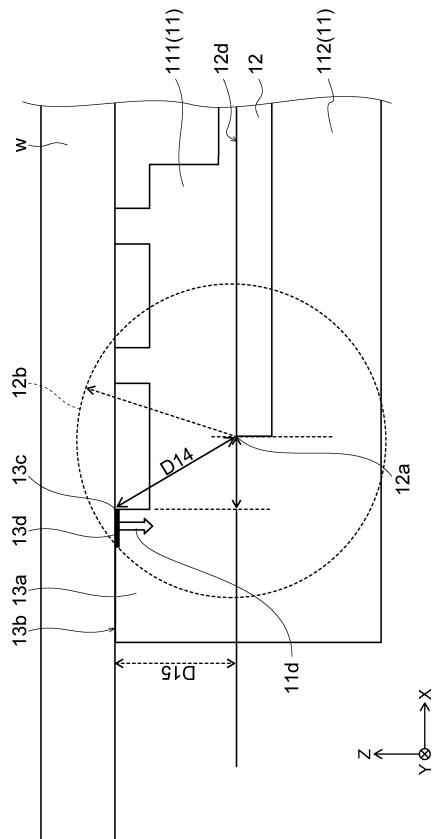
【図24】



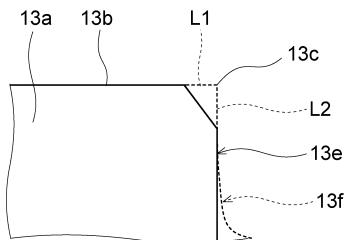
【図25】



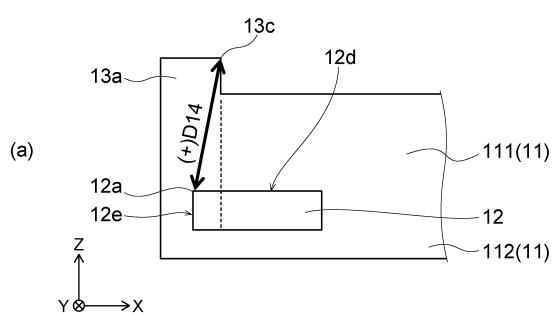
【図26】



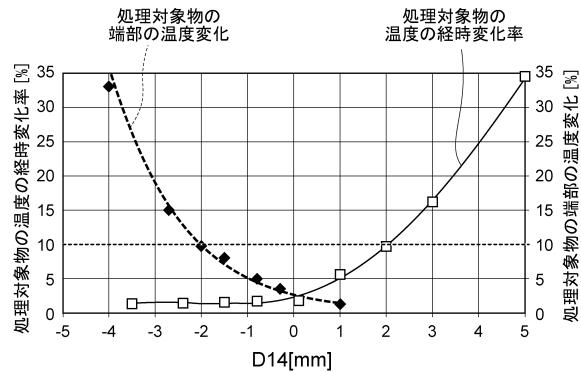
【図27】



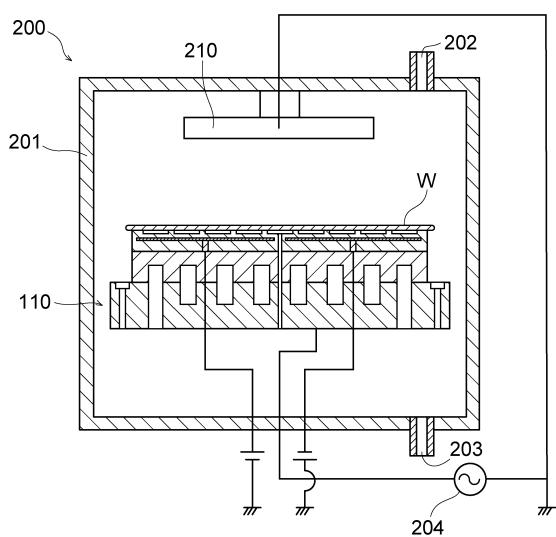
【図28】



【図29】



【図30】



フロントページの続き

(72)発明者 吉井 雄一
福岡県北九州市小倉北区中島2丁目1番1号 TOTO株式会社内

(72)発明者 和田 孜真
福岡県北九州市小倉北区中島2丁目1番1号 TOTO株式会社内

審査官 内田 正和

(56)参考文献 特開2015-88743 (JP, A)
特開2012-235037 (JP, A)
国際公開第2014 / 157571 (WO, A1)