

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-77812

(P2013-77812A)

(43) 公開日 平成25年4月25日(2013.4.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 L	4M104
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5C094
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 6 V	5F033
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 7 1 Z	5F083
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 6 7 1 C	5F101

審査請求 未請求 請求項の数 4 O L (全 32 頁) 最終頁に続く

(21) 出願番号 特願2012-199077 (P2012-199077)
 (22) 出願日 平成24年9月11日 (2012.9.11)
 (31) 優先権主張番号 特願2011-199652 (P2011-199652)
 (32) 優先日 平成23年9月13日 (2011.9.13)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 肥塚 純一
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 大野 普司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 佐藤 優一
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 手塚 祐朗
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

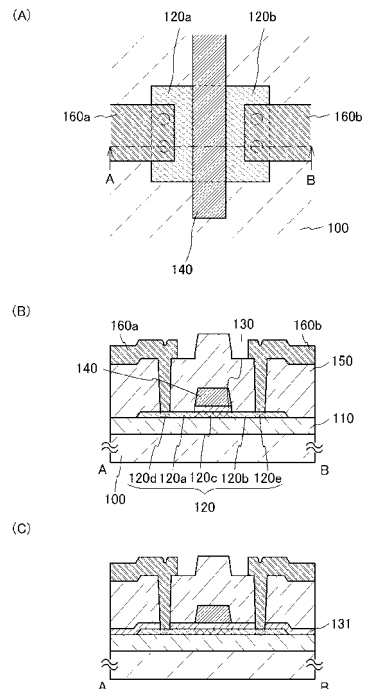
(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 酸化物半導体膜と金属膜との接触抵抗を低減する。オン特性の優れた酸化物半導体膜を用いたトランジスタを提供する。高速動作が可能な半導体装置を提供する。

【解決手段】 酸化物半導体膜を用いたトランジスタにおいて、酸化物半導体膜に窒素プラズマ処理を行うことで酸化物半導体膜を構成する酸素の一部が窒素に置換された酸窒化領域を形成し、該酸窒化領域に接して金属膜を形成する。該酸窒化領域は酸化物半導体膜の他の領域と比べ低抵抗となり、また、接触する金属膜との界面に高抵抗の金属酸化物を形成しにくい。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁表面上に酸化物半導体膜を形成し、
 前記酸化物半導体膜上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜を介して前記酸化物半導体膜と重畳するゲート電極を形成し、
 前記ゲート電極をマスクとして前記酸化物半導体膜の一部を低抵抗化する処理を行うこと
 で低抵抗化領域を形成した後、前記酸化物半導体膜、前記ゲート絶縁膜および前記ゲ
 ート電極を覆って層間絶縁膜を形成し、
 前記層間絶縁膜および前記ゲート絶縁膜を加工して前記酸化物半導体膜の前記低抵抗化
 領域に達する開口部を形成し、
 露出された前記酸化物半導体膜の前記低抵抗化領域に対して窒素プラズマ処理を行った
 後、露出された前記酸化物半導体膜の前記低抵抗化領域と接する金属膜を形成することを
 特徴とする半導体装置の作製方法。

10

【請求項 2】

請求項 1 において、
 前記プラズマ処理は、マイクロ波放電窒素プラズマ処理であることを特徴とする半導体
 装置の作製方法。

【請求項 3】

絶縁表面上に設けられた酸化物半導体膜と、
 前記酸化物半導体膜上に設けられたゲート絶縁膜と、
 前記ゲート絶縁膜上に設けられ、前記ゲート絶縁膜と概略同様の上面形状を有するゲ
 ート電極と、
 前記酸化物半導体膜および前記ゲート電極上に設けられ、前記酸化物半導体膜に達する
 開口部を有する層間絶縁膜と、
 前記層間絶縁膜上に設けられ、前記層間絶縁膜に設けられた前記開口部において前記酸
 化物半導体膜と接して設けられた配線と、を有し、
 前記酸化物半導体膜の前記配線と接する領域が、前記酸化物半導体膜を構成する酸素の
 一部が窒素で置換された領域であることを特徴とする半導体装置。

20

【請求項 4】

絶縁表面上に設けられた酸化物半導体膜と、
 前記酸化物半導体膜を覆って設けられたゲート絶縁膜と、
 前記ゲート絶縁膜を介して前記酸化物半導体膜と重畳して設けられたゲート電極と、
 前記酸化物半導体膜および前記ゲート電極上に設けられ、前記酸化物半導体膜に達する
 開口部を有する層間絶縁膜と、
 前記層間絶縁膜上に設けられ、前記層間絶縁膜に設けられた前記開口部において前記酸
 化物半導体膜と接して設けられた配線と、を有し、
 前記酸化物半導体膜の前記配線と接する領域が、前記酸化物半導体膜を構成する酸素の
 一部が窒素で置換された領域であることを特徴とする半導体装置。

30

【発明の詳細な説明】

【技術分野】

40

【0001】

半導体装置および半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能し得る装置
 全般をいい、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

トランジスタに適用可能な半導体薄膜の材料としてシリコン系半導体材料が広く知られて
 いるが、その他の材料として酸化物半導体が注目されている。

【0004】

50

表示装置には、製造技術の確立されている非晶質シリコンを用いたトランジスタを利用することが多いが、非晶質シリコンを用いたトランジスタは電界効果移動度が低く、表示装置の高精細化および低消費電力化などに課題がある。

【0005】

また、非晶質シリコンを用いたトランジスタは、温度変化や繰り返しの動作に伴う電気特性の劣化が著しい（信頼性が低い）といった問題もある。

【0006】

また、高い電界効果移動度を有する単結晶シリコンを用いたトランジスタを利用する半導体装置（半導体記憶装置など）は、スケーリング則に沿った高集積化や回路の複雑化に伴い、消費電力の増大が問題となっている。

10

【0007】

また、酸化物半導体を用いたトランジスタは、非晶質シリコンを用いたトランジスタと比較して、高い電界効果移動度を有することが知られている。酸化物半導体は、スパッタリング法などにより、大面積への成膜が容易であるため、表示装置への応用の検討が盛んになっている。

【0008】

ところで、酸化物半導体とアルミニウム系合金配線とを直接接続した場合、高抵抗のアルミニウム酸化物が生成し、接触抵抗が増大することが指摘されている（特許文献1参照）。

【0009】

また、比較的酸化しにくい金属や酸化物が導電性を有する金属を用いた場合にも、後の工程における加熱処理などにより酸化物半導体との界面に高抵抗の金属酸化物が形成され、少なからず接触抵抗が増大することがある。

20

【0010】

このように、金属と酸化物半導体との接触抵抗が高いことで、トランジスタのオン特性が低下してしまうことが問題となっている。

【0011】

また、接触抵抗を低減させるために、酸化物半導体と金属との間に低抵抗のバッファ層を設ける技術が開示されている。また、バッファ層として窒素を含む酸化物半導体が開示されている（特許文献2参照）。

30

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2011-49542号公報

【特許文献2】特開2011-9724号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

酸化物半導体膜を用いたトランジスタは、非晶質シリコン膜を用いたトランジスタと比べ、高いオン特性（オン電流など）を有するが、単結晶シリコンを用いたトランジスタと比べると、十分に高いオン特性を有するとは言い難い。

40

【0014】

一方で、単結晶シリコンを用いたトランジスタで構成される半導体装置においても、単結晶シリコンが必須となるほど高いトランジスタのオン特性が要求されないものもある。そのような半導体装置において、酸化物半導体膜を用いたトランジスタを適用する場合、トランジスタのオン特性が低いことにより十分な性能を引き出すことができないことがある。

【0015】

具体的には、キャリアの移動を阻害する要因によって、本来得られるはずのトランジスタのオン特性に対し、30%から70%程度、場合によっては10%以下までトランジスタ

50

のオン特性が低下することがある。なお、キャリアの移動を阻害する要因の一つが酸化物半導体膜と金属膜との接触抵抗である。

【0016】

そのため、酸化物半導体膜を用いたトランジスタにおいては、オン特性を低下させる要因となる、酸化物半導体膜と金属膜との接触抵抗を低減することが望まれている。

【0017】

そこで、酸化物半導体膜と金属膜との接触抵抗を低減することを課題の一とする。

【0018】

また、オン特性の優れた酸化物半導体膜を用いたトランジスタを提供することを課題の一とする。

10

【0019】

また、高速動作が可能な半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0020】

そこで、本発明の一態様に係る半導体装置は、絶縁表面上に設けられた酸化物半導体膜と、酸化物半導体膜上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられ、ゲート絶縁膜と概略同様の上面形状を有するゲート電極と、酸化物半導体膜およびゲート電極上に設けられ、酸化物半導体膜の一部に達する開口部を有する層間絶縁膜と、層間絶縁膜上に設けられ、層間絶縁膜に設けられた開口部において酸化物半導体膜と接して設けられた配線と、を有し、酸化物半導体膜の配線と接する領域が酸窒化領域である。

20

【0021】

または、本発明の一態様に係る半導体装置は、絶縁表面上に設けられた酸化物半導体膜と、酸化物半導体膜を覆って設けられたゲート絶縁膜と、ゲート絶縁膜を介して酸化物半導体膜と重畳して設けられたゲート電極と、酸化物半導体膜およびゲート電極上に設けられ、酸化物半導体膜の一部に達する開口部を有する層間絶縁膜と、層間絶縁膜上に設けられ、層間絶縁膜に設けられた開口部において酸化物半導体膜と接して設けられた配線と、を有し、酸化物半導体膜の前記配線と接する領域が酸窒化領域である。

【0022】

または、本発明の一態様に係る半導体装置は、酸化物半導体膜を用いたトランジスタにおいて、酸化物半導体膜に窒素プラズマ処理を行うことで酸化物半導体膜を構成する酸素の一部が窒素に置換された酸窒化領域を形成し、該酸窒化領域に接して金属膜を形成する。

30

【0023】

なお、窒素プラズマ処理は、マイクロ波放電窒素プラズマにより行うと、酸化物半導体膜へのダメージが小さく、また効率よく酸窒化領域が形成されるため好ましい。

【0024】

酸窒化領域は酸化物半導体膜の他の領域と比べ低抵抗となる。また、成膜直後の酸化物半導体膜よりも酸素の組成が小さくなるため、接触する金属膜との界面に高抵抗の金属酸化物を形成しにくい。そのため、酸化物半導体膜と金属膜との接触抵抗を低減することができる。

【0025】

具体的には、本発明の一態様に係る半導体装置は、絶縁表面上に酸化物半導体膜を形成し、酸化物半導体膜上にゲート絶縁膜を形成し、ゲート絶縁膜を介して酸化物半導体膜と重畳するゲート電極を形成し、ゲート電極をマスクとして酸化物半導体膜の一部を低抵抗化する処理を行い、酸化物半導体膜、ゲート絶縁膜およびゲート電極を覆って層間絶縁膜を形成し、層間絶縁膜およびゲート絶縁膜を加工して酸化物半導体膜の低抵抗化領域に達する開口部を形成し、露出された酸化物半導体膜の低抵抗化領域に対して窒素プラズマ処理を行った後、露出された酸化物半導体膜の低抵抗化領域と接する金属膜を形成することで作製する。

40

【0026】

なお、絶縁表面と酸化物半導体膜との間のゲート電極と重畳しない領域に、金属電極を設

50

けると好ましい。該金属電極は、トランジスタのソース電極およびドレイン電極として機能する。

【0027】

酸窒化領域は、窒素プラズマ処理の処理条件や、酸化物半導体膜の膜質および厚さなどの条件によって、形成される厚さが異なる。具体的には、窒素プラズマ処理の強度が低く、酸化物半導体膜の厚さが十分に厚い場合は、酸化物半導体膜の表面近傍から比較的浅い範囲で酸窒化領域が形成される。また、窒素プラズマ処理の強度が高く、酸化物半導体膜の厚さが薄い場合（例えば5nm以下）は、酸化物半導体膜と、酸化物半導体膜の下地との界面まで酸窒化領域が形成される。

【0028】

また、酸化物半導体膜の下地と酸化物半導体膜との間の、ゲート電極と重畳しない領域に金属電極を設ける場合、酸化物半導体膜と下地との界面まで酸窒化領域を形成すると接触抵抗が低減されるため好ましい。

【発明の効果】

【0029】

酸化物半導体膜に酸窒化領域が形成されることにより、酸化物半導体膜と金属膜との接触抵抗を低減することができる。

【0030】

接触抵抗が低減されることにより、オン特性の優れた酸化物半導体膜を用いたトランジスタを提供することができる。

【0031】

オン特性の優れた酸化物半導体膜を用いたトランジスタにより、高速動作が可能な半導体装置を提供することができる。

【図面の簡単な説明】

【0032】

【図1】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図2】本発明の一態様に係るトランジスタの作製工程の一例を示す断面図。

【図3】本発明の一態様に係るトランジスタの作製工程の一例を示す断面図。

【図4】本発明の一態様に係るトランジスタの作製工程の一例を示す断面図。

【図5】本発明の一態様に係るトランジスタの作製工程の一例を示す断面図。

【図6】本発明の一態様に係るトランジスタの作製工程の一例を示す断面図。

【図7】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図8】本発明の一態様に係るトランジスタの作製工程の一例を示す断面図。

【図9】本発明の一態様に係るトランジスタを用いた半導体記憶装置の一例を示す回路図および電気特性を示す図。

【図10】本発明の一態様に係るトランジスタを用いた半導体記憶装置の一例を示す回路図および電気特性を示す図。

【図11】本発明の一態様に係るトランジスタを用いたCPUの具体例を示すブロック図およびその一部の回路図。

【図12】本発明の一態様に係る電子機器の一例を示す斜視図。

【図13】試料の作製方法を説明する断面図。

【図14】試料の上面図および断面図。

【図15】マイクロ波放電可能な装置の一例。

【図16】STEMによる試料の断面形状を示すTE像。

【図17】STEMによる試料の断面形状を示すTE像。

【図18】酸化物半導体膜の表面結合状態を示すXPSスペクトル。

【発明を実施するための形態】

【0033】

(実施の形態1)

本実施の形態では、本発明の一態様に係る半導体装置であるトランジスタおよびその作製

10

20

30

40

50

方法について図 1 乃至図 6 を用いて説明する。

【0034】

図 1 は、本発明の一態様に係るトランジスタの上面図および断面図である。図 1 (A) に示すトランジスタの上面図に示す一点鎖線 A - B に対応する A - B 断面を図 1 (B) および図 1 (C) に示す。なお、図 1 (B) および図 1 (C) は、ゲート絶縁膜 130 およびゲート絶縁膜 131 の形状が異なる。なお、図 1 (A) は、わかりやすさのため、層間絶縁膜 150、ゲート絶縁膜 130、ゲート絶縁膜 131 および下地絶縁膜 110 を省略して示す。

【0035】

図 1 (B) に示すトランジスタは、基板 100 上に設けられた下地絶縁膜 110 と、下地絶縁膜 110 上に設けられた酸化物半導体膜 120 と、酸化物半導体膜 120 上に設けられたゲート絶縁膜 130 と、ゲート絶縁膜 130 上に設けられ、ゲート絶縁膜 130 と概略同様の上面形状を有するゲート電極 140 と、酸化物半導体膜 120 およびゲート電極 140 上に設けられ、酸化物半導体膜 120 に達する開口部を有する層間絶縁膜 150 と、層間絶縁膜 150 上に設けられ、層間絶縁膜 150 に設けられた開口部において酸化物半導体膜 120 と接して設けられた配線 160 a および配線 160 b と、を有する。なお、下地絶縁膜 110 を設けない構造としても構わない。

10

【0036】

図 1 (C) に示すトランジスタは、基板 100 上に設けられた下地絶縁膜 110 と、下地絶縁膜 110 上に設けられた酸化物半導体膜 120 と、酸化物半導体膜 120 を覆って設けられたゲート絶縁膜 131 と、ゲート絶縁膜 131 を介して酸化物半導体膜 120 と重畳して設けられたゲート電極 140 と、酸化物半導体膜 120 およびゲート電極 140 上に設けられ、酸化物半導体膜 120 に達する開口部を有する層間絶縁膜 150 と、層間絶縁膜 150 上に設けられ、層間絶縁膜 150 に設けられた開口部において酸化物半導体膜 120 と接して設けられた配線 160 a および配線 160 b と、を有する。なお、下地絶縁膜 110 を設けない構造としても構わない。

20

【0037】

ここで、酸化物半導体膜 120 は、低抵抗領域 120 a、低抵抗領域 120 b、高抵抗領域 120 c、酸窒化領域 120 d および酸窒化領域 120 e を含む。

【0038】

低抵抗領域 120 a および低抵抗領域 120 b は、酸化物半導体膜を低抵抗化する不純物を含む領域である。例えば、低抵抗領域 120 a および低抵抗領域 120 b は、水素、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を含む領域である。

30

【0039】

低抵抗領域 120 a および低抵抗領域 120 b が、低抵抗であることにより、酸化物半導体膜 120 を用いたトランジスタのオン特性の低下を抑制できる。例えば、低抵抗領域 120 a および低抵抗領域 120 b は、シート抵抗が $30 \text{ k} / \text{s q}$ 以下、好ましくは $10 \text{ k} / \text{s q}$ 以下、さらに好ましくは $1 \text{ k} / \text{s q}$ 以下、さらに好ましくは $0.7 \text{ k} / \text{s q}$ 以下である。

40

【0040】

高抵抗領域 120 c は、酸化物半導体膜の主成分以外の成分、即ち不純物の濃度が低い領域である。例えば、高抵抗領域 120 c は、各不純物濃度が $1 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下の領域である。ただし、主成分と不純物を厳密に分けることは困難であるため、本明細書では 1 原子% 以上含まれる元素を主成分とする。

【0041】

また、高抵抗領域 120 c は、欠陥密度の低い領域である。例えば、高抵抗領域 120 c は、酸素欠損密度が $1 \times 10^{16} \text{ 個} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} \text{ 個} / \text{cm}^3$ 以

50

下、さらに好ましくは 1×10^{14} 個 / cm^3 以下の領域である。

【0042】

高抵抗領域 120c は、不純物濃度が低く、かつ欠陥密度が低い。なお、図 1 (B) および図 1 (C) に示すトランジスタは、高抵抗領域 120c にチャネル領域が形成されるため、電気特性および信頼性に優れる。また、トランジスタのオフ電流値は低くなる。例えば、チャネル長が $3 \mu\text{m}$ 、チャネル幅 $1 \mu\text{m}$ のときのオフ電流値が 1×10^{-18} A 以下、好ましくは 1×10^{-21} A 以下、さらに好ましくは 1×10^{-24} A 以下であるトランジスタとすることができる。

【0043】

酸窒化領域 120d および酸窒化領域 120e は、酸化物半導体膜を構成する酸素の一部が窒素で置換された領域である。例えば、酸窒化領域 120d および酸窒化領域 120e は、5 原子% 以上、好ましくは 10 原子% 以上、さらに好ましくは 15 原子% 以上の濃度の窒素を含む酸化物半導体膜の領域である。

【0044】

酸窒化領域 120d および酸窒化領域 120e は、図 1 (B) および図 1 (C) においては、酸化物半導体膜 120 の厚さと同様の厚さを有するように示されているが、これに限定されない。例えば、酸化物半導体膜 120 の表面近傍 (深さ 1 nm 以上 5 nm 以下程度まで) にのみ設けられていても構わない。また、酸窒化領域 120d および酸窒化領域 120e は、厚さ方向に窒素濃度勾配を有しても構わない。その場合、基板 100 側の窒素濃度が低くなる。

【0045】

なお、酸窒化領域 120d および酸窒化領域 120e は、層間絶縁膜 150 に設けられた開口部と同様の上面形状となる。そのため、配線 160a および配線 160b は、それぞれ酸化物半導体膜 120 の酸窒化領域 120d および酸窒化領域 120e と接する。

【0046】

ここで、酸化物半導体膜 120 として、例えば、In - Zn - O 化合物、Sn - Zn - O 化合物、Al - Zn - O 化合物、Zn - Mg - O 化合物、Sn - Mg - O 化合物、In - Mg - O 化合物、In - Ga - O 化合物、Sn - Ga - Zn - O 化合物、Al - Ga - Zn - O 化合物、Sn - Al - Zn - O 化合物、In - Sn - Ga - Zn - O 化合物、In - Hf - Ga - Zn - O 化合物、In - Al - Ga - Zn - O 化合物、In - Sn - Al - Zn - O 化合物、In - Sn - Hf - Zn - O 化合物、In - Hf - Al - Zn - O 化合物、In - Zr - Y - Zn - O 化合物を用いればよい。

【0047】

なお、In - Zn - O 化合物とは、In および Zn を主成分として有する酸化物という意味であり、In および Zn の原子数比は問わない。

【0048】

または、酸化物半導体膜 120 として、In - M - Zn - O 化合物を用いると好ましい。ここで、M は、Ga、Al、Sn、Hf、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Ni、Ti、Y または Zr である。好ましくは、M が Ga または Sn である In - M - Zn - O 化合物を用いる。

【0049】

M は、In および Zn と比べ、酸素との結合エネルギーが高い元素であると好ましい。M を含むことで、M と酸素との結合エネルギーが高いことから、酸化物半導体膜において酸素欠損が生じにくくなる。

【0050】

また、In - M - Zn - O 化合物において、組成が In : M : Zn = 3 : 1 : 2 [原子数比] に近い材料を用いると、トランジスタの電界効果移動度を高くできるため好ましい。

【0051】

酸化物半導体膜 120 は、単結晶、多結晶 (ポリクリスタルともいう。) または非晶質などの状態をとる。

10

20

30

40

50

【0052】

好ましくは、酸化半導体膜120は、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜とする。

【0053】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

10

【0054】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

20

【0055】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0056】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

30

【0057】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0058】

基板100に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI (Silicon On Insulator) 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板100として用いると好ましい。

40

【0059】

また、基板100として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

【0060】

下地絶縁膜110は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコ

50

ン、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化ジルコニウム、酸化イットリウム、酸化ランタン、酸化セシウム、酸化タンタルおよび酸化マグネシウムの一種以上を選択して、単層または積層で用いられたい。

【0061】

下地絶縁膜110は十分な平坦性を有することが好ましい。具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、さらに好ましくは0.1nm以下となるように下地となる膜を設ける。上述の数値以下のRaとすることで、酸化物半導体膜120に結晶領域が形成されやすくなる。なお、Raは、JIS B 0601:2001 (ISO 4287:1997)で定義されている算術平均粗さを曲面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、数式1で定義される。

10

【0062】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (\text{数式1})$$

【0063】

ここで、指定面とは、粗さ計測の対象となる面であり、座標 $(x_1, y_1, f(x_1, y_1))$ 、 $(x_1, y_2, f(x_1, y_2))$ 、 $(x_2, y_1, f(x_2, y_1))$ 、 $(x_2, y_2, f(x_2, y_2))$ の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積を S_0 、基準面の高さ(指定面の平均の高さ)を Z_0 とする。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

20

【0064】

酸化窒化シリコンとは、その組成において、窒素よりも酸素の含有量が多いものを示し、例えば、酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、シリコンが25原子%以上35原子%以下、水素が0原子%以上10原子%以下の範囲に含まれるものをいう。また、窒化酸化シリコンとは、その組成において、酸素よりも窒素の含有量が多いものを示し、例えば、酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、シリコンが25原子%以上35原子%以下、水素が10原子%以上25原子%以下の範囲に含まれるものをいう。但し、上記範囲は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)や、水素前方散乱法(HFS: Hydrogen Forward Scattering Spectrometry)を用いて測定した場合のものである。また、構成元素の組成は、その合計が100原子%を超えない値をとる。

30

【0065】

また、下地絶縁膜110は、加熱処理により酸素を放出する絶縁膜を用いると好ましい。

【0066】

「加熱処理により酸素を放出する」とは、TDS分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上であることをいう。

40

【0067】

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0068】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料の基準値との比較により、気体の全放出量を計算することができる。

【0069】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、およ

50

び測定試料のTDS分析結果から、測定試料の酸素分子の放出量(N_{O_2})は、数式2で求めることができる。ここで、TDS分析で得られる質量数32で検出されるガスの全てが酸素分子由来と仮定する。質量数32のものとしてほかに CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0070】

【数2】

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha \quad (\text{数式2})$$

10

【0071】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N_{H_2}/S_{H_2} とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。数式2の詳細に関しては、特開平6-275697号公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として 1×10^{16} atoms/cm³の水素原子を含むシリコンウェハを用いて測定した。

20

【0072】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0073】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0074】

下地絶縁膜110から酸化物半導体膜120に酸素が供給されることで、酸化物半導体膜120と下地絶縁膜110との界面準位密度を低減できる。この結果、トランジスタの動作などに起因して、酸化物半導体膜120と下地絶縁膜110との界面にキャリアが捕獲されることを抑制することができ、信頼性の高いトランジスタを得ることができる。

30

【0075】

さらに、酸化物半導体膜120の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体膜120の酸素欠損は、一部がドナーとなりキャリアである電子を放出する。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そこで、下地絶縁膜110から酸化物半導体膜120に酸素が十分に供給され、好ましくは酸化物半導体膜120に酸素が過剰に含まれていることにより、しきい値電圧がマイナス方向へシフトする要因である、酸化物半導体膜120の酸素欠損密度を低減することができる。

40

【0076】

ゲート絶縁膜130およびゲート絶縁膜131は、下地絶縁膜110と同様の方法および同様の材料によって形成すればよい。

【0077】

ゲート電極140は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびW、それらの窒化物、酸化物ならびに合金から一種以上選択し、単層または積層で用いればよい。または、少なくともInおよびZnを含む酸化物または酸窒化物を用いても構わない。例えば、In-Ga-Zn-O-N化合物などを用いればよい。

【0078】

層間絶縁膜150は、下地絶縁膜110と同様の方法および同様の材料により形成する。

50

【0079】

層間絶縁膜150は、比誘電率が低く、かつ十分な厚さを有すると好ましい。例えば、比誘電率が3.8程度である酸化シリコン膜を用い、300nm以上1000nm以下の厚さとするればよい。層間絶縁膜150の表面は、大気成分などの影響でわずかに電荷を有し、その影響により、トランジスタのしきい値電圧が変動することがある。そのため、層間絶縁膜150は、表面に生じる電荷の影響が十分に小さくなるような範囲の比誘電率および厚さとするのが好ましい。同様の理由で、層間絶縁膜150上に樹脂膜を形成することで、表面に生じる電荷の影響を低減しても構わない。

【0080】

配線160aおよび配線160bは、ゲート電極140と同様の方法および同様の材料によって形成すればよい。なお、配線160aおよび配線160bは、同一層で形成すればよい。

10

【0081】

ここで、配線160aおよび配線160bが、それぞれ酸化物半導体膜120の酸窒化領域120dおよび酸窒化領域120eと接することにより、該接触界面に異層(配線160aおよび配線160bの材料の酸化物など)が生じにくいいため、接触抵抗を低減できる。

【0082】

次に、図1(B)に示したトランジスタの作製方法について図2乃至図5を用いて説明する。

20

【0083】

まず、基板100上に下地絶縁膜110を成膜する(図2(A)参照。)。下地絶縁膜110は、化学気相成長(CVD: Chemical Vapor Deposition)法、スパッタリング法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法またはパルスレーザ堆積(PLD: Pulsed Laser Deposition)法で成膜すればよく、スパッタリング法を用いると好ましい。なお、基板100によっては、下地絶縁膜110を設けなくても構わない。

【0084】

次に、酸化物半導体膜121を成膜する(図2(B)参照。)。酸化物半導体膜121は、CVD法、スパッタリング法、MBE法またはPLD法で成膜すればよく、スパッタリング法を用いると好ましい。

30

【0085】

酸化物半導体膜121をCAAC-OS膜とする場合、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜すればよい。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

【0086】

スパッタリング用ターゲットの一例として、In-Ga-Zn-O化合物ターゲットについて以下に示す。

40

【0087】

InO_x粉末、GaO_y粉末およびZnO_z粉末を所定のmol数で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn-O化合物ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、所定のmol数比は、例えば、InO_x粉末、GaO_y粉末およびZnO_z粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3または3:1:2である。なお、粉末の種類、およびその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

50

【 0 0 8 8 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 0 8 9 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 8 0 以下、好ましくは - 1 0 0 以下である成膜ガスを用いる。

【 0 0 9 0 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 1 0 0 以上 7 4 0 以下、好ましくは 2 0 0 以上 5 0 0 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

10

【 0 0 9 1 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、3 0 体積 % 以上、好ましくは 1 0 0 体積 % とする。以上のようにして C A A C - O S 膜である酸化物半導体膜 1 2 1 を成膜すればよい。

【 0 0 9 2 】

次に、第 1 の加熱処理を行うと好ましい。第 1 の加熱処理を行うと、酸化物半導体膜 1 2 1 の結晶化度が高まる、または / および酸化物半導体膜 1 2 1 中の不純物濃度を低減し、欠陥密度を低減することができる。

20

【 0 0 9 3 】

第 1 の加熱処理は、酸化性雰囲気、不活性雰囲気、減圧雰囲気および乾燥空気雰囲気を 1 種、または 2 種以上組み合わせればよい。好ましくは、不活性雰囲気または減圧雰囲気にて加熱処理を行い、その後酸化性雰囲気または乾燥空気雰囲気にて加熱処理を行う。第 1 の加熱処理の温度は、1 5 0 以上 6 5 0 以下、好ましくは 2 5 0 以上 5 0 0 以下、さらに好ましくは 3 0 0 以上 4 5 0 以下の温度で行えばよい。第 1 の加熱処理は、抵抗加熱方式、ランプヒータ方式、加熱ガス方式などを適用すればよい。

【 0 0 9 4 】

酸化性雰囲気とは、酸化性ガスを含む雰囲気をいう。酸化性ガスとは、酸素、オゾンまたは亜酸化窒素などであって、水、水素などが含まれないことが好ましい。例えば、熱処理装置に導入する酸素、オゾン、亜酸化窒素の純度を、8 N (9 9 . 9 9 9 9 9 9 %) 以上、好ましくは 9 N (9 9 . 9 9 9 9 9 9 9 %) 以上とする。酸化性雰囲気には、酸化性ガスと不活性ガスが混合されていてもよい。その場合、酸化性ガスが少なくとも 1 0 p p m 以上含まれる雰囲気とする。酸化性雰囲気で加熱処理を行うことで、酸化物半導体膜 1 2 1 の酸素欠損密度を低減することができる。

30

【 0 0 9 5 】

不活性雰囲気とは、窒素、希ガスなどの不活性ガスを主成分とする雰囲気をいう。具体的には、酸化性ガスなどの反応性ガスが 1 0 p p m 未満である雰囲気とする。不活性雰囲気で加熱処理を行うことで、酸化物半導体膜 1 2 1 に含まれる不純物濃度を低減することができる。

40

【 0 0 9 6 】

減圧雰囲気とは、処理室の圧力が 1 0 P a 以下の雰囲気をいう。減圧雰囲気で加熱処理を行うことで、不活性雰囲気よりもさらに酸化物半導体膜 1 2 1 に含まれる不純物濃度を低減することができる。

【 0 0 9 7 】

乾燥空気雰囲気とは、露点 - 4 0 以下、好ましくは露点 - 5 0 以下の酸素 2 0 % 程度および窒素 8 0 % 程度含まれる雰囲気をいう。酸化性雰囲気の一種であり、比較的 low cost であるため量産に適している。

50

【0098】

次に、酸化物半導体膜121を加工して酸化物半導体膜122を形成する(図2(C)参照。)。なお、「加工する」とは、例えば、フォトリソグラフィ法によって形成したレジストマスクを用い、エッチング処理を行って、所望の形状の膜を得ることをいう。

【0099】

次に、ゲート絶縁膜131を成膜する(図3(A)参照。)。ゲート絶縁膜131は、CVD法、スパッタリング法、MBE法、PLD法で成膜すればよく、スパッタリング法を用いると好ましい。

【0100】

次に、導電膜141を成膜する(図3(B)参照。)。導電膜141は、CVD法、スパッタリング法、MBE法またはPLD法で成膜すればよく、スパッタリング法を用いると好ましい。

10

【0101】

次に、導電膜141を加工してゲート電極140を形成する(図3(C)参照。)

【0102】

次に、ゲート電極140と同様の上面形状にゲート絶縁膜131を加工し、ゲート絶縁膜130を形成する(図4(A)参照。)。なお、ゲート絶縁膜130の加工は、ゲート電極140またはゲート電極140の加工に用いたレジストマスクをマスクとすればよい。

【0103】

次に、ゲート電極140をマスクとして、酸化物半導体膜122に酸化物半導体膜を低抵抗化する不純物を添加し、低抵抗領域122aおよび低抵抗領域122bを形成する(図4(B)参照。)。なお、酸化物半導体膜を低抵抗化する不純物の添加されない領域は高抵抗領域122cとなる。

20

【0104】

酸化物半導体膜を低抵抗化する不純物として、水素、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。なお、その方法は、イオン注入法、イオンドーピング法で行えばよい。または、酸化物半導体膜を低抵抗化する不純物を含む雰囲気でのプラズマ処理もしくは加熱処理を行えばよい。好ましくはイオン注入法を用いる。なお、イオン注入法にて酸化物半導体膜を低抵抗化する不純物を添加した後

30

【0105】

次に、層間絶縁膜151を成膜する(図4(C)参照。)。層間絶縁膜151は、CVD法、スパッタリング法、MBE法、PLD法またはスピンコート法で成膜すればよく、CVD法またはスパッタリング法を用いると好ましい。

【0106】

次に、層間絶縁膜151を加工して低抵抗領域122aおよび低抵抗領域122bに達する開口部を有する層間絶縁膜150を形成する(図5(A)参照。)

【0107】

次に、マイクロ波放電窒素プラズマ170による処理を行う(図5(B)参照。)。マイクロ波放電窒素プラズマ170による処理は、マイクロ波放電が可能な装置であれば、特に装置の限定はなく、例えばCVD装置、エッチング装置を用いればよい。マイクロ波放電窒素プラズマ170による処理は具体的には、窒素、または窒素およびアルゴンを含む圧力が1Pa以上1000Pa以下、好ましくは1Pa以上100Pa以下の雰囲気下において、基板を設置するステージ温度を室温以上600以下、好ましくは300以上450以下とし、電力を100W以上10000W以下、好ましくは2000W以上4000W以下として行えばよい。なお、マイクロ波の周波数は、2GHz以上4GHz以下を用いればよく、例えば2.45GHzとすればよい。

40

【0108】

なお、本実施の形態では、マイクロ波放電窒素プラズマを用いて処理しているが、これに

50

限定されない。例えば、酸化物半導体膜を構成する酸素の一部を窒素に置換することが可能な窒素プラズマ処理を適用しても構わない。

【0109】

前述のマイクロ波放電窒素プラズマ170による処理によって、酸化物半導体膜120の一部に酸窒化領域120dおよび酸窒化領域120eを形成することができる(図5(C)参照。)。なお、酸化物半導体膜120は、そのほかに低抵抗領域120a、低抵抗領域120bおよび高抵抗領域120cを含む。低抵抗領域120aおよび低抵抗領域120bは、低抵抗領域122aおよび低抵抗領域122bに酸窒化領域120dおよび酸窒化領域120eが形成された領域である。また、高抵抗領域120cと高抵抗領域122cとは、便宜上符号を変更しているが、組成および形状の変更はない。

10

【0110】

次に、配線160aおよび配線160bを形成することで、図1(B)に示すトランジスタを作製することができる。なお、得られたトランジスタを樹脂で覆っても構わない。

【0111】

同様に、図1(C)に示すトランジスタの作製方法について、図2、図3および図6を用いて説明する。

【0112】

図2および図3までは図1(B)に示すトランジスタを同様の作製方法であるため、説明を省略する。

【0113】

図3(C)にて、ゲート電極140を形成した後、酸化物半導体膜122に酸化物半導体膜を低抵抗化する不純物を添加し、低抵抗領域122aおよび低抵抗領域122bを形成する(図6(A)参照。)。なお、酸化物半導体膜を低抵抗化する不純物の添加されない領域は高抵抗領域122cとなる。

20

【0114】

次に、層間絶縁膜150を形成し、マイクロ波放電窒素プラズマ170による処理を行う(図6(B)参照。)。)

【0115】

前述のマイクロ波放電窒素プラズマ170による処理によって、酸化物半導体膜120に酸窒化領域120dおよび酸窒化領域120eを形成することができる(図6(C)参照。)。なお、酸化物半導体膜120は、そのほかに低抵抗領域120a、低抵抗領域120bおよび高抵抗領域120cを含む。

30

【0116】

次に、配線160aおよび配線160bを形成することで、図1(C)に示すトランジスタを作製することができる。なお、得られたトランジスタを樹脂で覆っても構わない。

【0117】

以上のように酸化物半導体膜と金属膜との接触抵抗を低減することができる。また、酸化物半導体膜と金属膜との接触抵抗が低いことによって、オン特性の優れた酸化物半導体膜を用いたトランジスタを提供することができる。

【0118】

本実施の形態は、適宜他の実施の形態または他の実施例と組み合わせて用いることができる。

40

【0119】

(実施の形態2)

本実施の形態では、実施の形態1で示したトランジスタと異なる構造のトランジスタおよびその作製方法について図7および図8を用いて説明する。

【0120】

図7は、本発明の一態様に係る半導体装置であるトランジスタの上面図および断面図である。図7(A)に示すトランジスタの上面図に示す一点鎖線A-Bに対応するA-B断面を図7(B)および図7(C)に示す。なお、図7(B)および図7(C)は、ゲート絶

50

縁膜 130 およびゲート絶縁膜 131 の形状が異なる。なお、図 7 (A) は、わかりやすさのため、層間絶縁膜 150、ゲート絶縁膜 130、ゲート絶縁膜 131、電極 180 a、電極 180 b および下地絶縁膜 111 を省略して示す。

【0121】

図 7 (B) に示すトランジスタは、基板 100 上に設けられた凹部を有する下地絶縁膜 111 と、下地絶縁膜 111 の凹部に設けられた電極 180 a および電極 180 b と、下地絶縁膜 111、電極 180 a および電極 180 b 上に設けられた酸化物半導体膜 120 と、酸化物半導体膜 120 上に設けられたゲート絶縁膜 130 と、ゲート絶縁膜 130 上に設けられ、ゲート絶縁膜 130 と概略同様の上面形状を有するゲート電極 140 と、酸化物半導体膜 120 およびゲート電極 140 上に設けられ、酸化物半導体膜 120 に達する開口部を有する層間絶縁膜 150 と、層間絶縁膜 150 上に設けられ、層間絶縁膜 150 に設けられた開口部において酸化物半導体膜 120 と接して設けられた配線 160 a および配線 160 b と、を有する。

10

【0122】

図 7 (C) に示すトランジスタは、基板 100 上に設けられた凹部を有する下地絶縁膜 111 と、下地絶縁膜 111 の凹部に設けられた電極 180 a および電極 180 b と、下地絶縁膜 111、電極 180 a および電極 180 b 上に設けられた酸化物半導体膜 120 と、酸化物半導体膜 120 を覆って設けられたゲート絶縁膜 131 と、ゲート絶縁膜 131 を介して酸化物半導体膜 120 と重畳して設けられたゲート電極 140 と、酸化物半導体膜 120 およびゲート電極 140 上に設けられ、酸化物半導体膜 120 に達する開口部を有する層間絶縁膜 150 と、層間絶縁膜 150 上に設けられ、層間絶縁膜 150 に設けられた開口部において酸化物半導体膜 120 と接して設けられた配線 160 a および配線 160 b と、を有する。

20

【0123】

電極 180 a および電極 180 b は、ゲート電極 140 と同様の方法および同様の材料によって形成すればよい。なお、電極 180 a および電極 180 b は、同一層で形成すればよい。

【0124】

下地絶縁膜 111 に設けられた凹部の深さと、電極 180 a および電極 180 b の厚さは概略同程度とする。こうすることで、下地絶縁膜 111、電極 180 a および電極 180 b 上に設けられる酸化物半導体膜 120 を平坦な面に設けることが可能となる。ただし、下地絶縁膜 111 に設けられた凹部の深さと、電極 180 a および電極 180 b の厚さが異なっても構わない。

30

【0125】

電極 180 a および電極 180 b を有することで、実施の形態 1 で示したトランジスタと比べ、電極接触面積が増大することにより、さらにトランジスタのオン特性を向上させることが可能となる。

【0126】

次に、図 7 (B) および図 7 (C) に示したトランジスタの作製方法について図 2 乃至図 6 および図 8 を用いて説明する。

40

【0127】

なお、本実施の形態に示すトランジスタと、実施の形態 1 に示すトランジスタとは、下地絶縁膜 111、電極 180 a および電極 180 b が設けられている点が異なる。

【0128】

そのため、トランジスタの作製方法の一部は実施の形態 1 の説明を参酌すればよい。

【0129】

図 8 は、下地絶縁膜 111、電極 180 a および電極 180 b の形成方法である。

【0130】

まず、基板 100 上に下地絶縁膜 110 を成膜する (図 2 (A) 参照。)。

【0131】

50

次に、下地絶縁膜 110 を加工し、凹部を有する下地絶縁膜 111 を形成する（図 8（A）参照。）。

【0132】

次に、導電膜 180 を成膜する（図 8（B）参照。）。導電膜 180 は、CVD 法、スパッタリング法、MBE 法または PLD 法で成膜すればよく、スパッタリング法を用いると好ましい。

【0133】

次に、導電膜 180 を加工し、電極 180a および電極 180b を形成する（図 8（C）参照。）。なお、導電膜 180 の加工は、化学機械研磨（CMP：Chemical Mechanical Polishing）処理によって行えばよい。CMP 処理によって、下地絶縁膜 111 の最上面と電極 180a および電極 180b の最上面との高さを概略一致させることができる。

10

【0134】

なお、導電膜 180 を加工して電極 180a および電極 180b を形成する方法は、CMP 処理に限定されない。例えば、導電膜 180 上に平坦化膜を成膜し、下地絶縁膜 111 の凸部に達するまで平坦化膜の一部、および導電膜 180 の一部をエッチングすることで、電極 180a および電極 180b を形成しても構わない。その場合、平坦化膜、および導電膜 180 のエッチングは、平坦膜と導電膜 180 とのエッチングレートが同程度となる条件で行うと好ましい。

【0135】

以降の作製方法は、実施の形態 1 を参酌すればよい。

20

【0136】

なお、電極 180a および電極 180b を有することで、例えば、層間絶縁膜 150 の形成時（開口部の形成時）に、酸化物半導体膜 122 を貫通して開口部を設けてしまった場合にも、トランジスタを動作させることができる。そのためトランジスタの歩留まりを高めることができる。

【0137】

以上のように酸化物半導体膜と金属膜との接触抵抗を低減することができる。また、接触抵抗が低いことによって、オン特性の優れた酸化物半導体膜を用いたトランジスタを提供することができる。

30

【0138】

本実施の形態は、適宜他の実施の形態または他の実施例と組み合わせて用いることができる。

【0139】

（実施の形態 3）

本実施の形態では、実施の形態 1 または実施の形態 2 で示したトランジスタを用いて、半導体記憶装置を作製する例について説明する。

【0140】

揮発性半導体記憶装置の代表的な例としては、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する DRAM（Dynamic Random Access Memory）、フリップフロップなどの回路を用いて記憶内容を保持する SRAM（Static Random Access Memory）がある。

40

【0141】

不揮発性半導体記憶装置の代表例としては、トランジスタのゲートとチャネル領域との間にノードを有し、当該ノードに電荷を保持することで記憶を行うフラッシュメモリがある。

【0142】

上述した半導体記憶装置に含まれるトランジスタの一部に実施の形態 1 または実施の形態 2 で示したトランジスタを適用することができる。

50

【0143】

まずは、実施の形態1または実施の形態2で示したトランジスタを適用した半導体記憶装置のメモリセルについて図9を用いて説明する。

【0144】

メモリセルは、トランジスタ T_r と、キャパシタ C と、を有し、トランジスタ T_r のソースまたはドレインの一方はビット線 B_L と接続し、トランジスタ T_r のゲートはワード線 W_L と接続し、トランジスタ T_r のソースまたはドレインの他方はキャパシタ C と接続し、ビット線 B_L はセンスアンプ S_Amp と接続する(図9(A)参照。)

【0145】

キャパシタ C に保持された電圧の時間変化は、トランジスタ T_r のオフ電流によって図9(B)に示すように徐々に低減していくことが知られている。当初 V_0 から V_1 まで充電された電圧は、時間が経過すると $data_1$ を読み出す限界点である V_A まで低減する。この期間を保持期間 T_{-1} とする。即ち、2値のメモリセルの場合、保持期間 T_{-1} の間にリフレッシュをする必要がある。

10

【0146】

ここで、トランジスタ T_r に実施の形態1または実施の形態2で示したトランジスタを適用すると、オフ電流が小さいため、保持期間 T_{-1} を長くすることができる。即ち、リフレッシュ期間の頻度を少なくすることが可能となるため、消費電力を低減することができる。例えば、オフ電流が 1×10^{-21} A以下、好ましくは 1×10^{-24} A以下となった酸化物半導体膜を用いたトランジスタを適用すると、電力を供給せずに数日間から数十年間に渡ってデータを保持することが可能なメモリセルとなる。

20

【0147】

以上のように、本発明の一態様によって、信頼性が高く、消費電力の小さい半導体記憶装置を得ることができる。

【0148】

また、実施の形態1または実施の形態2で示したオン特性の優れたトランジスタを適用することで、キャパシタ C への電荷の蓄積が速やかに行われ、高速動作が可能な半導体記憶装置を得ることができる。

【0149】

次に、実施の形態1または実施の形態2で示したトランジスタを適用した半導体記憶装置のメモリセルについて図10を用いて説明する。

30

【0150】

図10(A)は、メモリセルの回路図である。当該メモリセルは、トランジスタ T_{r_1} と、トランジスタ T_{r_2} と、キャパシタ C と、を有し、トランジスタ T_{r_1} のゲートはワード線 W_L_1 と接続し、トランジスタ T_{r_1} のソースはソース線 S_L_1 と接続し、トランジスタ T_{r_2} のソースはソース線 S_L_2 と接続し、トランジスタ T_{r_2} のドレインはドレイン線 D_L_2 と接続し、キャパシタ C の一端は容量線 C_L と接続し、キャパシタ C の他端、トランジスタ T_{r_1} のドレインおよびトランジスタ T_{r_2} のゲートはノード N を介して接続する。

【0151】

なお、当該メモリセルは、ノード N の電位に応じて、トランジスタ T_{r_2} の見かけ上のしきい値電圧が変動することを利用したものである。例えば、図10(B)は容量線 C_L の電圧 V_{c_L} と、トランジスタ T_{r_2} を流れるドレイン電流 I_{d_2} との関係を説明する図である。

40

【0152】

ここで、ノード N は、トランジスタ T_{r_1} を介して電圧を調整することができる。例えば、ソース線 S_L_1 の電位を V_{DD} とする。このとき、ワード線 W_L_1 の電位をトランジスタ T_{r_1} のしきい値電圧 V_{th} に V_{DD} を加えた電位以上とすることで、ノード N の電圧をHIGHにすることができる。また、ワード線 W_L_1 の電位をトランジスタ T_{r_1} のしきい値電圧 V_{th} 以下とすることで、ノード N の電位をLOWにすることが

50

できる。

【0153】

そのため、 $N = LOW$ で示した $V_{CL} - I_{d_2}$ カーブと、 $N = HIGH$ で示した $V_{CL} - I_{d_2}$ カーブのいずれかを得ることができる。即ち、 $N = LOW$ では、 $V_{CL} = 0V$ にて I_{d_2} が小さいため、データ0となる。また、 $N = HIGH$ では、 $V_{CL} = 0V$ にて I_{d_2} が大きいため、データ1となる。このようにして、データを記憶することができる。

【0154】

ここで、トランジスタ Tr_1 に実施の形態1または実施の形態2で示したトランジスタを適用すると、該トランジスタはオフ電流を極めて小さくすることができるため、ノードNに蓄積された電荷がトランジスタ Tr_1 のソースおよびドレイン間を意図せずにリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。また、本発明の一態様を用いることでトランジスタ Tr_1 のしきい値電圧が調整されるため、書き込みに必要な電圧を低減することが可能となり、フラッシュメモリなどと比較して消費電力を低減することができる。

10

【0155】

なお、トランジスタ Tr_2 に、実施の形態1または実施の形態2で示したトランジスタを適用しても構わない。該トランジスタは、オン特性に優れる。そのため、該トランジスタを用いた半導体記憶装置は高速動作が可能となる。

【0156】

以上のように、本発明の一態様によって、長期間の信頼性が高く、消費電力が小さく、集積度が高い半導体記憶装置を得ることができる。

20

【0157】

本実施の形態は、適宜他の実施の形態または他の実施例と組み合わせて用いることができる。

【0158】

(実施の形態4)

実施の形態1または実施の形態2で示したトランジスタまたは実施の形態3に示した半導体記憶装置を少なくとも一部に用いてCPU (Central Processing Unit) を構成することができる。

30

【0159】

図11(A)は、CPUの具体的な構成を示すブロック図である。図11(A)に示すCPUは、基板1190上に、演算回路(ALU: Arithmetic Logic Unit) 1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F) 1198、書き換え可能なROM 1199、およびROMインターフェース(ROM I/F) 1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM 1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図11(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

40

【0160】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0161】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ1192は、ALU 1191の動作を制御するた

50

めの信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行う。

【0162】

また、タイミングコントローラ 1195 は、ALU 1191、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、およびレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号 CLK 1 を元に、内部クロック信号 CLK 2 を生成する内部クロック生成部を備えており、クロック信号 CLK 2 を上記各種回路に供給する。

10

【0163】

図 11 (A) に示す CPU では、レジスタ 1196 に、記憶素子が設けられている。レジスタ 1196 の記憶素子には、実施の形態 3 に示す半導体記憶装置を用いることができる。

【0164】

図 11 (A) に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作を行う。即ち、レジスタ 1196 が有する記憶素子において、フリップフロップによるデータの保持を行うか、キャパシタによるデータの保持を行う。フリップフロップによってデータが保持されている場合、レジスタ 1196 内の記憶素子への、電源電圧の供給が行われる。キャパシタによってデータが保持されている場合、キャパシタへのデータの書き換えが行われ、レジスタ 1196 内の記憶素子への電源電圧の供給を停止することができる。

20

【0165】

電源停止に関しては、図 11 (B) または図 11 (C) に示すように、記憶素子群と、電源電位 VDD または電源電位 VSS の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 11 (B) および図 11 (C) の回路の説明を行う。

【0166】

図 11 (B) および図 11 (C) では、記憶素子への電源電位の供給を制御するスイッチング素子に実施の形態 1 または実施の形態 2 に示すトランジスタを用いた構成の一例を示す。

30

【0167】

図 11 (B) に示す記憶装置は、スイッチング素子 1141 と、記憶素子 1142 を複数有する記憶素子群 1143 とを有している。具体的に、それぞれの記憶素子 1142 には、実施の形態 3 に示す記憶素子を用いることができる。記憶素子群 1143 が有するそれぞれの記憶素子 1142 には、スイッチング素子 1141 を介して、ハイレベルの電源電位 VDD が供給されている。さらに、記憶素子群 1143 が有するそれぞれの記憶素子 1142 には、信号 IN の電位と、ローレベルの電源電位 VSS の電位が与えられている。

40

【0168】

図 11 (B) では、スイッチング素子 1141 として、酸化物半導体などのバンドギャップの大きい半導体を活性層に有するトランジスタを用いており、該トランジスタは、そのゲートに与えられる信号 Sig A によりスイッチングが制御される。

【0169】

なお、図 11 (B) では、スイッチング素子 1141 がトランジスタを一つだけ有する構成を示しているが、これに限定されず、トランジスタを複数有していてもよい。スイッチング素子 1141 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

【0170】

50

また、図 1 1 (C) には、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 に、スイッチング素子 1 1 4 1 を介して、ローレベルの電源電位 V S S が供給されている、記憶装置の一例を示す。スイッチング素子 1 1 4 1 により、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 への、ローレベルの電源電位 V S S の供給を制御することができる。

【 0 1 7 1 】

記憶素子群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設け、一時的に C P U の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、C P U の動作を停止することができ、それにより消費電力を低減することができる。

10

【 0 1 7 2 】

ここでは、C P U を例に挙げて説明したが、D S P (D i g i t a l S i g n a l P r o c e s s o r)、カスタム L S I、F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y) などの L S I にも応用可能である。

【 0 1 7 3 】

本実施の形態は、適宜他の実施の形態または他の実施例と組み合わせて用いることができる。

【 0 1 7 4 】

20

(実施の形態 5)

本実施の形態では、実施の形態 1 乃至実施の形態 4 に示すトランジスタ、半導体記憶装置および C P U の一種以上を含む電子機器の例について説明する。

【 0 1 7 5 】

図 1 2 (A) は携帯型情報端末である。図 1 2 (A) に示す携帯型情報端末は、筐体 9 3 0 0 と、ボタン 9 3 0 1 と、マイクロフォン 9 3 0 2 と、表示部 9 3 0 3 と、スピーカ 9 3 0 4 と、カメラ 9 3 0 5 と、を具備し、携帯型電話機としての機能を有する。

【 0 1 7 6 】

図 1 2 (B) は、ディスプレイである。図 1 2 (B) に示すディスプレイは、筐体 9 3 1 0 と、表示部 9 3 1 1 と、を具備する。

30

【 0 1 7 7 】

図 1 2 (C) は、デジタルスチルカメラである。図 1 2 (C) に示すデジタルスチルカメラは、筐体 9 3 2 0 と、ボタン 9 3 2 1 と、マイクロフォン 9 3 2 2 と、表示部 9 3 2 3 と、を具備する。

【 0 1 7 8 】

図 1 2 (D) は 2 つ折り可能な携帯情報端末である。図 1 2 (D) に示す 2 つ折り可能な携帯情報端末は、筐体 9 6 3 0、表示部 9 6 3 1 a、表示部 9 6 3 1 b、留め具 9 6 3 3、操作スイッチ 9 6 3 8、を有する。

【 0 1 7 9 】

表示部 9 6 3 1 a または / および表示部 9 6 3 1 b は、一部または全部をタッチパネルとすることができ、表示された操作キーに触れることでデータ入力などを行うことができる。

40

【 0 1 8 0 】

本発明の一態様を用いることで、電子機器の性能を高め、かつ信頼性を高めることができる。

【 0 1 8 1 】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【 実施例 1 】

【 0 1 8 2 】

本実施例では、酸化物半導体膜と金属膜との接触抵抗を測定した。

50

【0183】

以下に図13および図14を用いて測定試料の作製方法を示す。

【0184】

まず、ガラス200上に酸化シリコン膜210を成膜した。酸化シリコン膜210はスパッタリング法によって300nmの厚さで成膜した。

【0185】

次に、酸化物半導体膜であるIn-Ga-Zn-O膜を成膜した。In-Ga-Zn-O膜は、スパッタリング法によって、In-Ga-Zn-Oターゲット(In:Ga:Zn=3:1:2[原子数比])を用いて50nmの厚さで成膜した。

【0186】

次に、In-Ga-Zn-O膜を加工し、島状のIn-Ga-Zn-O膜を形成した。

【0187】

次に、酸化窒化シリコン膜231を成膜した。酸化窒化シリコン膜は、CVD法によって10nmの厚さで成膜した。

【0188】

次に、酸化窒化シリコン膜231を介して、In-Ga-Zn-O膜へ、リンイオンを添加し、島状のIn-Ga-Zn-O膜を低抵抗化し、In-Ga-Zn-O膜222を形成した(図13(A)参照。)。リンイオンは、イオン注入装置によって、加速電圧を30kV、ドーズ量を 1×10^{15} ions/cm²として添加した。

【0189】

次に、酸化窒化シリコン膜を成膜した。該酸化窒化シリコン膜は、CVD法によって300nmの厚さで成膜した。次に、該酸化窒化シリコン膜および酸化窒化シリコン膜231を加工してIn-Ga-Zn-O膜222に達する開口部(開口部290など)を有する酸化窒化シリコン膜250および酸化窒化シリコン膜230を形成した。ここで、開口部290の上面形状は2μm×2μmとした。

【0190】

次に、マイクロ波放電窒素プラズマ270による処理を行い(図13(B)参照。)、In-Ga-Zn-O膜222を低抵抗領域220aおよび酸化窒化領域220bを有するIn-Ga-Zn-O膜220を形成した。マイクロ波放電窒素プラズマ270による処理は、アルゴンを1000sccmおよび窒素を500sccmとし、圧力を6Paとし、試料ステージ温度を450とし、3000W(2.45GHz)の電力をアンテナ電極に印加して180秒行った。

【0191】

なお、マイクロ波放電窒素プラズマ270による処理には、図15に示す装置を用いた。図15に示す装置は、装置外部からガスを供給する供給口と、試料を載せる試料ステージと、遅波板としての機能を有する石英と、石英に覆われたマイクロ波を受けるアンテナ電極と、を有する。

【0192】

次に、金属膜を成膜し、加工して測定パッド260a、測定パッド260b、測定パッド260cおよび測定パッド260dを有する金属膜を形成し、試料を作製した(図14(A)および図14(B)参照。)。なお、金属膜として、厚さが50nmのチタン膜と、厚さが100nmのアルミニウム膜と、厚さが50nmのチタン膜とを積層して用いた。

【0193】

図14(B)に示すA-B断面は、図14(A)に示す上面図の一点鎖線A-Bに対応する。

【0194】

次に、試料をクリーンルーム雰囲気にて300の温度で1時間、加熱処理を行った。

【0195】

以下に図14(A)を用いて試料における、金属膜とIn-Ga-Zn-O膜との接触抵抗 R_c の測定方法について説明する。

10

20

30

40

50

【0196】

測定パッド260dと測定パッド260bとの電圧を0.25Vとしたときの測定パッド260cと測定パッド260aとの間を流れる電流を測定し、0.25Vを測定した電流値で除したものを接触抵抗 R_c とした。

【0197】

別途作製したマイクロ波放電窒素プラズマ270による処理を行っていない以外は本実施例で示した試料と同様の作製方法および構造を有する試料の接触抵抗 R_c は564.6であった。また、本実施例で作製したマイクロ波放電窒素プラズマ270で処理を行った試料の接触抵抗 R_c は172.2であった。なお、接触抵抗 R_c は、同条件で作製した試料5点の平均値である。

10

【0198】

以上により、酸化物半導体膜であるIn-Ga-Zn-O膜にマイクロ波放電窒素プラズマ処理を行うことで、In-Ga-Zn-O膜と金属膜との接触抵抗を低減できることがわかる。

【実施例2】

【0199】

本実施例では、酸化物半導体膜をマイクロ波放電窒素プラズマ処理したときの表面結合状態について評価した。

【0200】

以下のように試料を作製した。

20

【0201】

まず、ガラス上に酸化シリコン膜を成膜した。酸化シリコン膜はスパッタリング法によって300nmの厚さで成膜した。

【0202】

次に、酸化物半導体膜であるIn-Ga-Zn-O膜を成膜した。In-Ga-Zn-O膜は、スパッタリング法によって、In-Ga-Zn-Oターゲット(In:Ga:Zn=3:1:2[原子数比])を用いて10nmの厚さで成膜した。

【0203】

次に、In-Ga-Zn-O膜に対し、マイクロ波放電窒素プラズマ処理を行った。マイクロ波放電窒素プラズマ処理は、アルゴンを1000sccmおよび窒素を200sccmとし、圧力を100Paとし、試料ステージ温度を350とし、3000W(2.45GHz)の電力をアンテナ電極に印加して180秒行った。

30

【0204】

以上のように作製した試料、およびマイクロ波放電窒素プラズマ処理を行っていない以外は同様の方法で作製した比較試料の表面結合状態をX線光電子分光(XPS: X-ray Photoelectron Spectroscopy)により評価し、図18にXPSスペクトルに示す。

【0205】

図18において、シンボルが三角のスペクトルが比較試料を表し、シンボルが丸のスペクトルが本実施例で作製した試料を表す。

40

【0206】

図18より、Metal-N結合を示す397eV付近にピークを比較すると、比較試料はほとんどピークが観測されないのに対し、本実施例で作製した試料では明瞭なピークが観測された。

【0207】

以上より、酸化物半導体膜に対しマイクロ波放電窒素プラズマ処理を行うことで、窒素と一部の金属に結合が生じることがわかる。

【実施例3】

【0208】

本実施例では、マイクロ波放電窒素プラズマ処理有無による酸化物半導体膜と金属膜との

50

界面状態について評価した。

【0209】

以下のように試料を作製した。

【0210】

まず、ガラス300上に酸化シリコン膜301を成膜した。酸化シリコン膜301はスパッタリング法によって330nmの厚さで成膜した。

【0211】

次に、酸化シリコン膜301の表面をCMP処理により30nm研磨し、平坦化した。

【0212】

次に、酸化物半導体膜であるIn-Ga-Zn-O膜を成膜した。In-Ga-Zn-O膜は、スパッタリング法によって、In-Ga-Zn-Oターゲット(In:Ga:Zn=3:1:2[原子数比])を用いて30nmの厚さで成膜した。

10

【0213】

次に、窒素雰囲気にて、450の温度で1時間の加熱処理を行った後、酸素雰囲気にて450の温度で1時間の加熱処理を行った。

【0214】

次に、In-Ga-Zn-O膜を加工し、島状のIn-Ga-Zn-O膜を形成した。

【0215】

次に、酸化窒化シリコン膜を成膜した。酸化窒化シリコン膜は、CVD法によって20nmの厚さで成膜した。

20

【0216】

次に、酸化窒化シリコン膜を介して、In-Ga-Zn-O膜へ、ホウ素イオンを添加し、島状のIn-Ga-Zn-O膜を低抵抗化し、In-Ga-Zn-O膜302を形成した。ホウ素イオンは、イオン注入装置によって、加速電圧を15kV、ドーズ量を 1×10^{15} ions/cm²として添加した。

【0217】

次に、酸化窒化シリコン膜を成膜した。酸化窒化シリコン膜は、CVD法によって300nmの厚さで成膜した。このようにして前述の20nmの厚さの酸化シリコン膜と、300nmの厚さの酸化シリコン膜の積層である酸化シリコン膜303を形成した。

【0218】

次に、酸化シリコン膜303にIn-Ga-Zn-O膜302に達する開口部を設けた。

30

【0219】

次に、In-Ga-Zn-O膜302の露出された領域に対し、マイクロ波放電窒素プラズマ処理を行った。マイクロ波放電窒素プラズマ処理は、アルゴンを1000sccmおよび窒素を200sccmとし、圧力を40Paとし、試料ステージ温度を300とし、2000W(2.45GHz)の電力をアンテナ電極に印加して180秒行った。

【0220】

次に、微量のニッケルおよび微量のランタンを含むアルミニウム合金膜を成膜した。アルミニウム合金膜は、スパッタリング法によって300nmの厚さで成膜した。

【0221】

次に、アルミニウム合金膜を加工し、金属膜304を形成した。

40

【0222】

次に、試料をクリーンルーム雰囲気にて300の温度で1時間、加熱処理を行った。

【0223】

以上のように作製した試料、およびマイクロ波放電窒素プラズマ処理を行っていない以外は同様の方法で作製した比較試料の断面形状を走査透過型電子顕微鏡(STEM: Scanning Transmission Electron Microscope)によって観察した。

【0224】

ここで、比較試料の断面形状の位相コントラスト像(透過電子像(Transmitte

50

d Electron:TE像)ともいう。)を図16に示す。なお、図16(A)におけるIn-Ga-Zn-O膜302と金属膜304との界面近傍を図16(B)に拡大して示す。

【0225】

同様に、本実施例で作製した試料の断面形状のTE像を図17に示す。なお、図17(A)におけるIn-Ga-Zn-O膜312と金属膜304との界面近傍を図17(B)に拡大して示す。

【0226】

図16(B)より、In-Ga-Zn-O膜302と金属膜304との界面に、いずれの膜とも異なる層(異層)が数nmの厚さで形成されていることがわかった。

10

【0227】

図17(B)より、In-Ga-Zn-O膜312と金属膜304との界面に異層がほとんど形成されないことがわかった。

【0228】

以上により、酸化物半導体膜をマイクロ波放電窒素プラズマ処理してから金属膜を形成することで、酸化物半導体膜と金属膜との界面に異層が生じにくくなることがわかる。

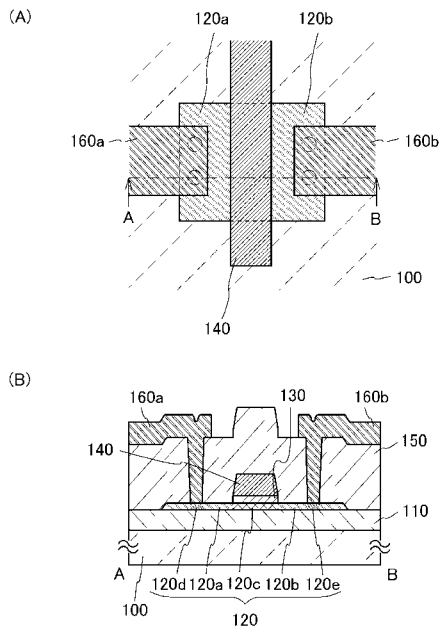
【符号の説明】

【0229】

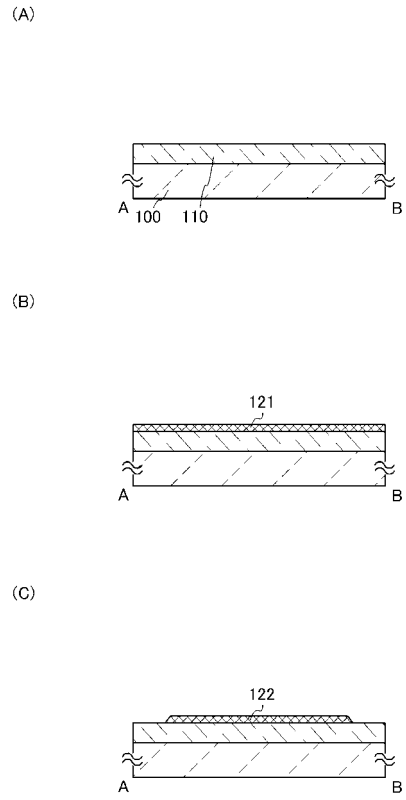
100	基板	
110	下地絶縁膜	20
111	下地絶縁膜	
120	酸化物半導体膜	
120a	低抵抗領域	
120b	低抵抗領域	
120c	高抵抗領域	
120d	酸窒化領域	
120e	酸窒化領域	
121	酸化物半導体膜	
122	酸化物半導体膜	
122a	低抵抗領域	30
122b	低抵抗領域	
122c	高抵抗領域	
130	ゲート絶縁膜	
131	ゲート絶縁膜	
140	ゲート電極	
141	導電膜	
150	層間絶縁膜	
151	層間絶縁膜	
160a	配線	
160b	配線	40
170	マイクロ波放電窒素プラズマ	
180	導電膜	
180a	電極	
180b	電極	
200	ガラス	
210	酸化シリコン膜	
220	In-Ga-Zn-O膜	
220a	低抵抗領域	
220b	酸窒化領域	
222	In-Ga-Zn-O膜	50

2 3 0	酸化窒化シリコン膜	
2 3 1	酸化窒化シリコン膜	
2 5 0	酸化窒化シリコン膜	
2 6 0 a	測定パッド	
2 6 0 b	測定パッド	
2 6 0 c	測定パッド	
2 6 0 d	測定パッド	
2 7 0	マイクロ波放電窒素プラズマ	
2 9 0	開口部	
3 0 0	ガラス	10
3 0 1	酸化シリコン膜	
3 0 2	In - Ga - Zn - O 膜	
3 0 3	酸化シリコン膜	
3 0 4	金属膜	
3 1 2	In - Ga - Zn - O 膜	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	20
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
9 3 0 0	筐体	30
9 3 0 1	ボタン	
9 3 0 2	マイクロフォン	
9 3 0 3	表示部	
9 3 0 4	スピーカ	
9 3 0 5	カメラ	
9 3 1 0	筐体	
9 3 1 1	表示部	
9 3 2 0	筐体	
9 3 2 1	ボタン	
9 3 2 2	マイクロフォン	40
9 3 2 3	表示部	
9 6 3 0	筐体	
9 6 3 1 a	表示部	
9 6 3 1 b	表示部	
9 6 3 3	留め具	
9 6 3 8	操作スイッチ	

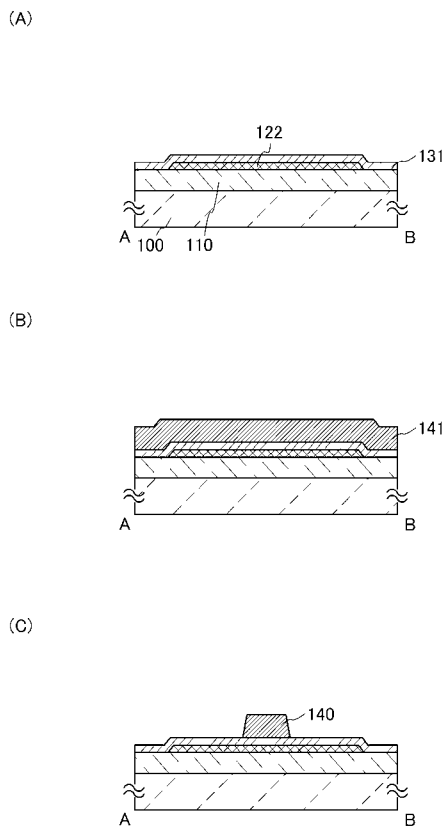
【 図 1 】



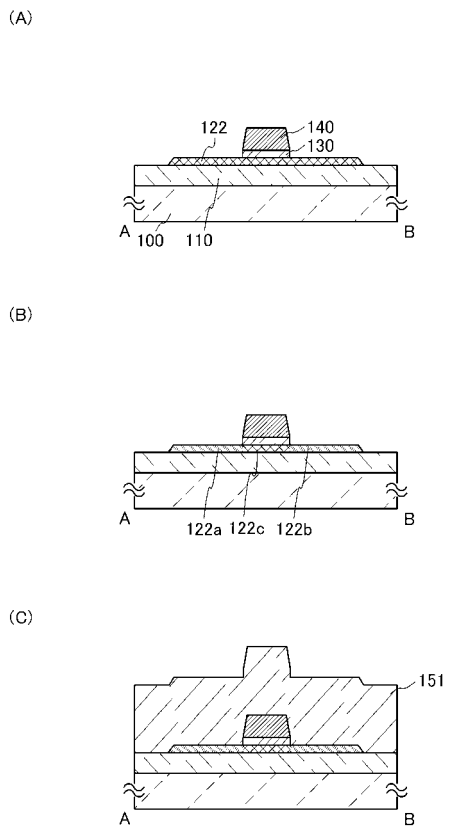
【 図 2 】



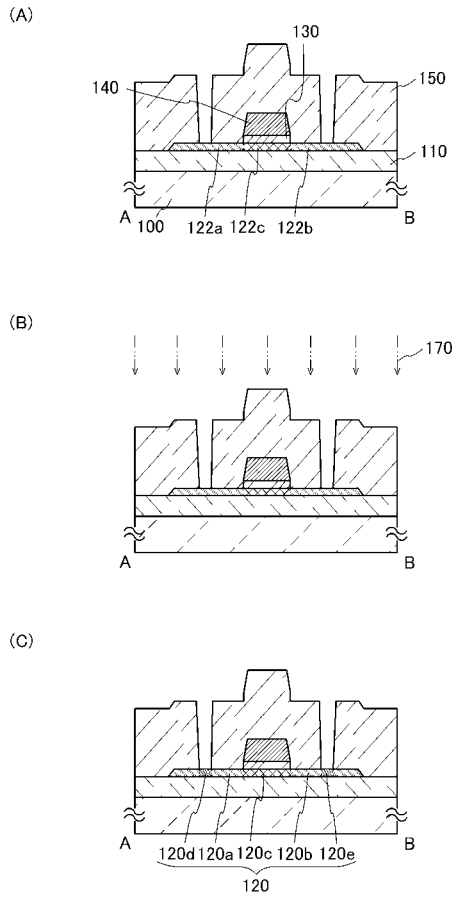
【 図 3 】



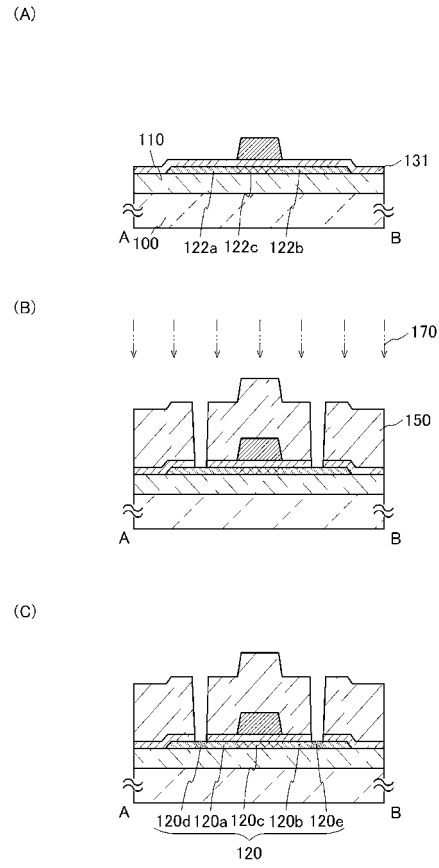
【 図 4 】



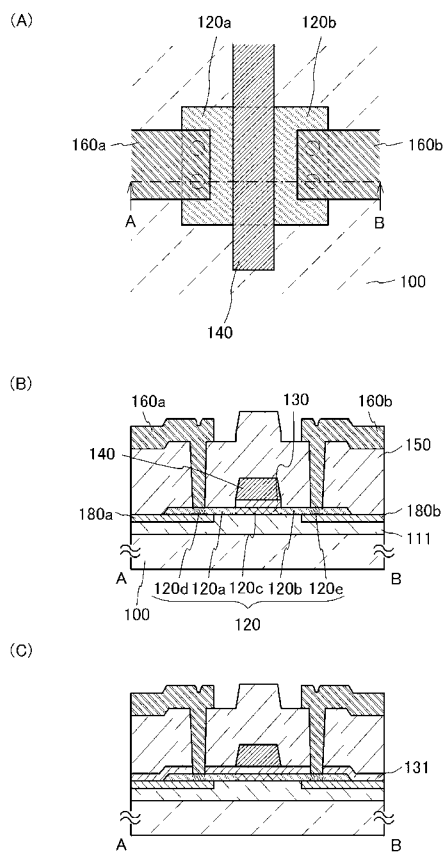
【 図 5 】



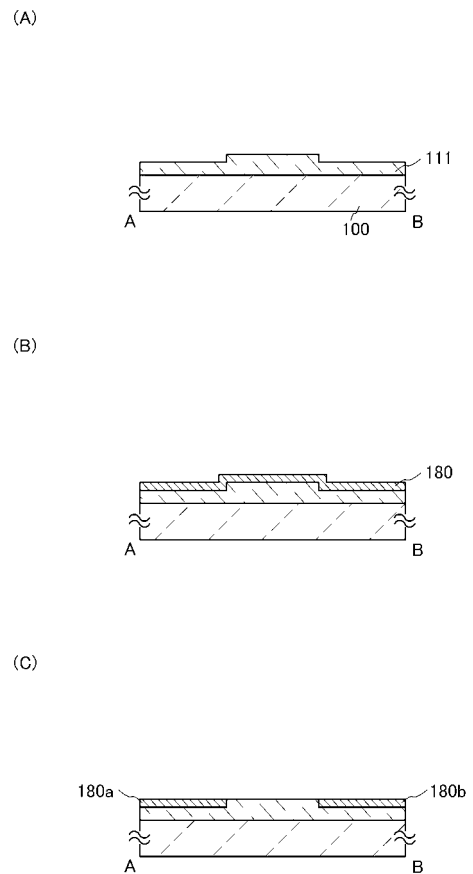
【 図 6 】



【 図 7 】

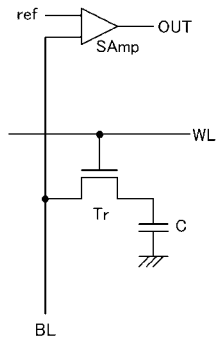


【 図 8 】

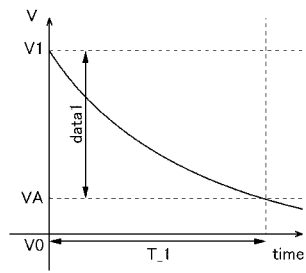


【 図 9 】

(A)

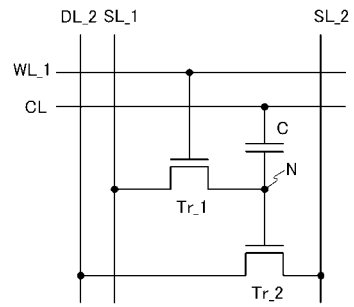


(B)

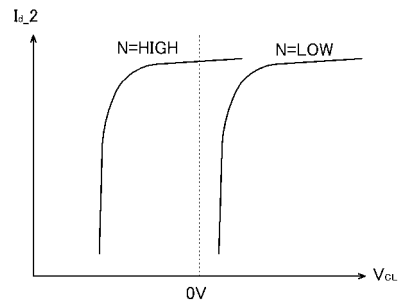


【 図 1 0 】

(A)

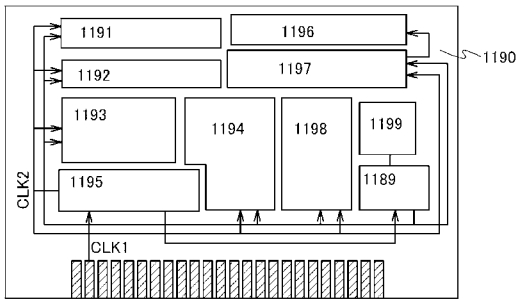


(B)

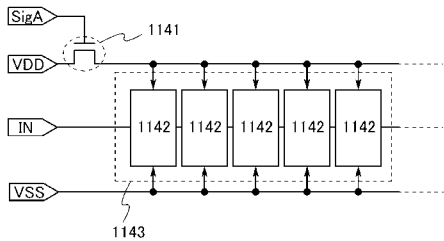


【 図 1 1 】

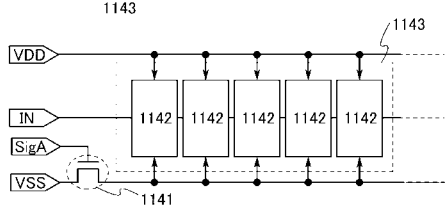
(A)



(B)

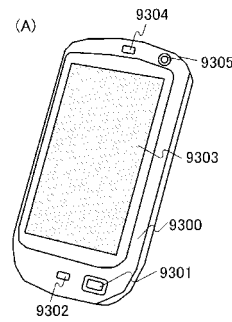


(C)

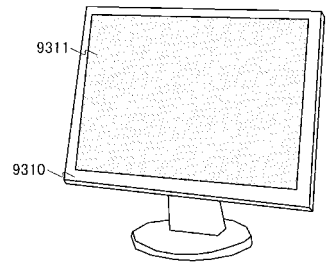


【 図 1 2 】

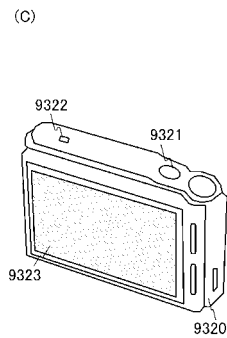
(A)



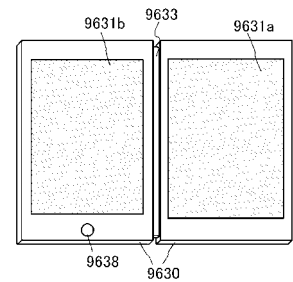
(B)



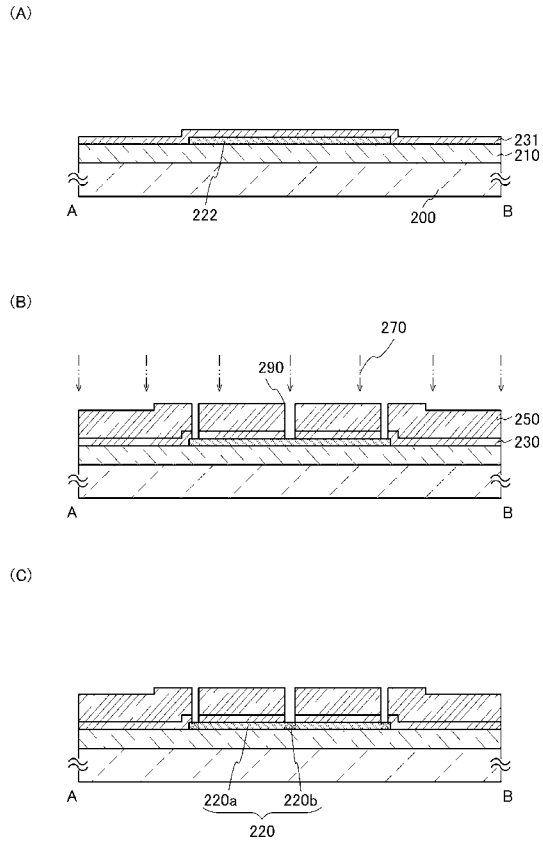
(C)



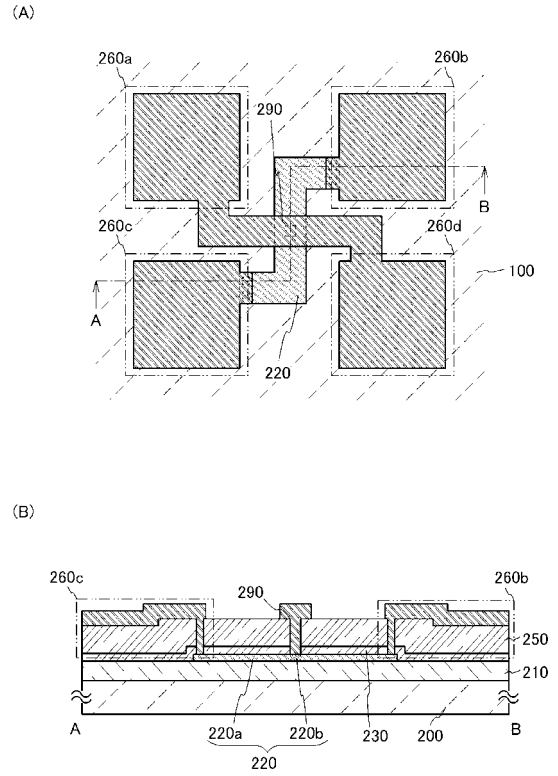
(D)



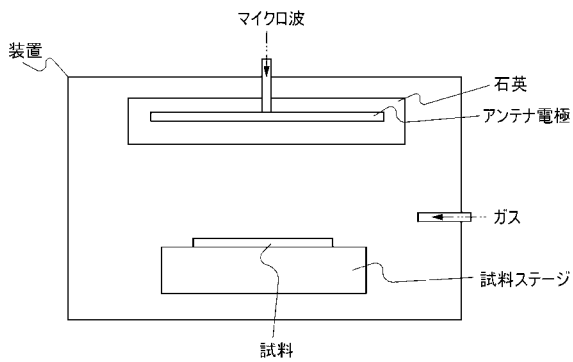
【 図 1 3 】



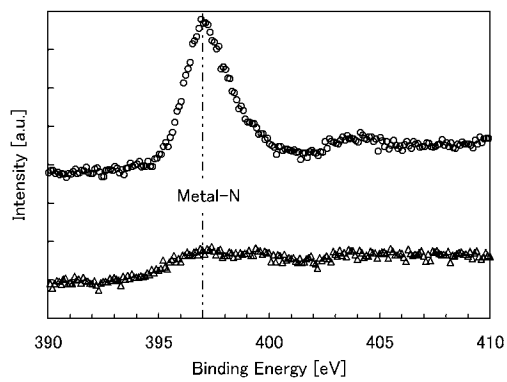
【 図 1 4 】



【 図 1 5 】

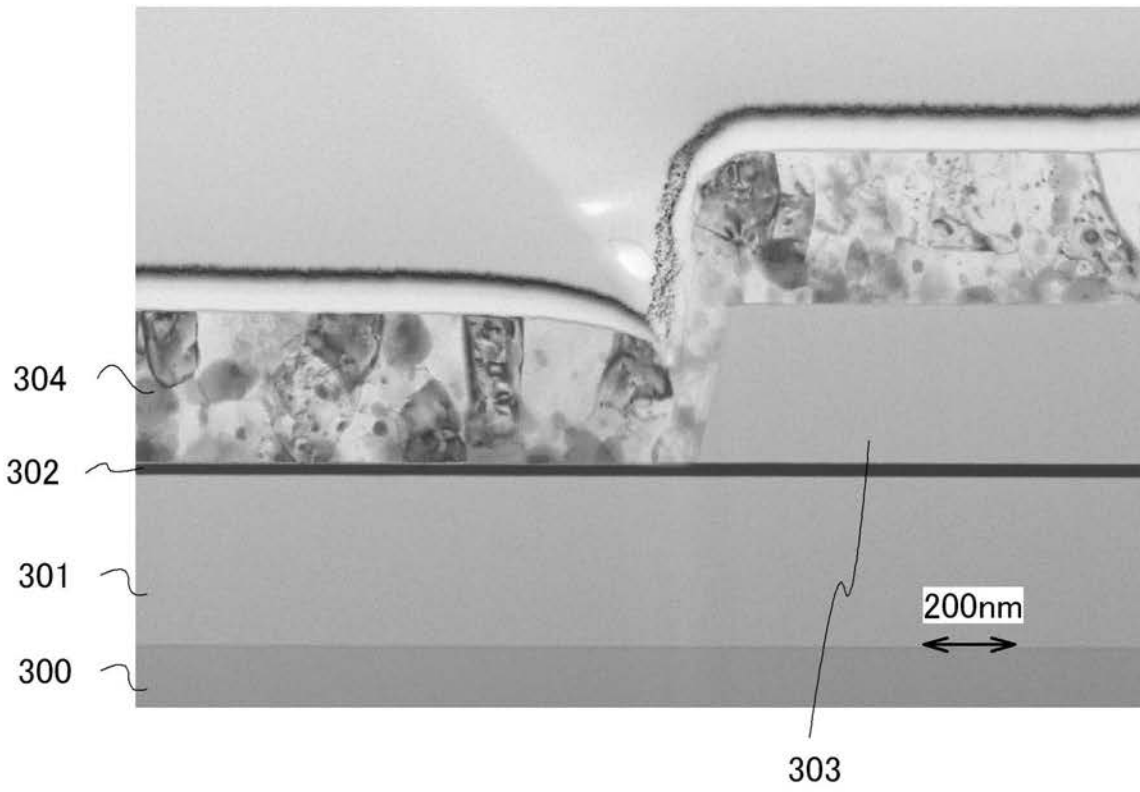


【 図 1 8 】

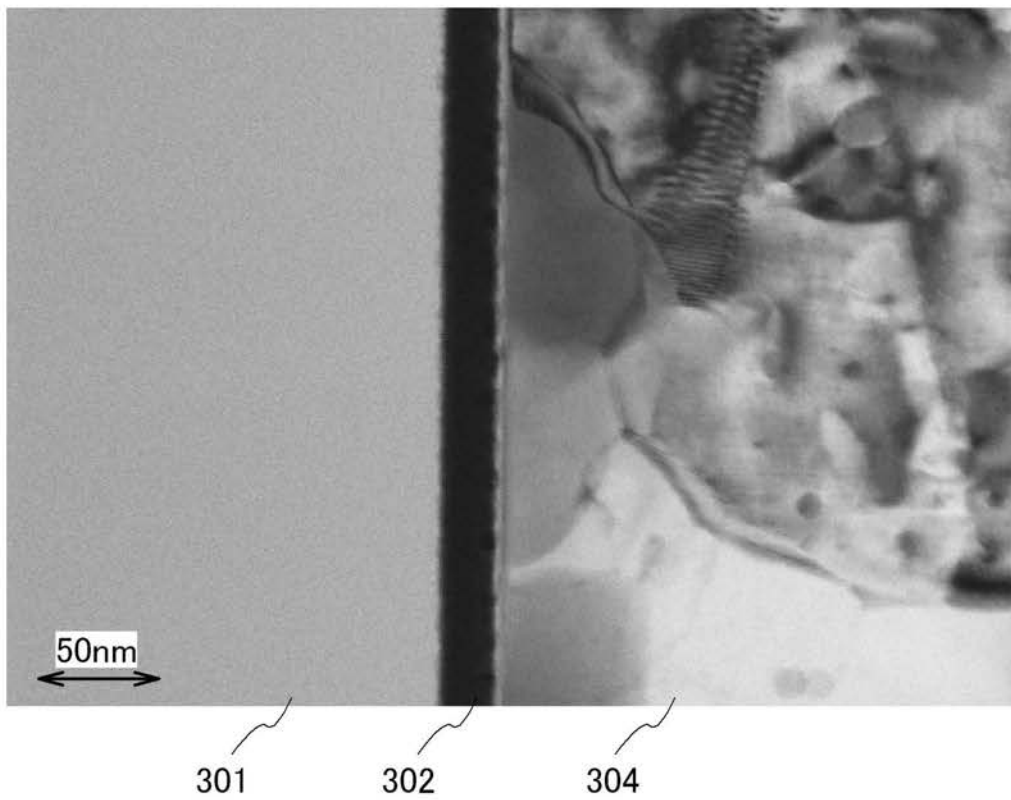


【図16】

(A)

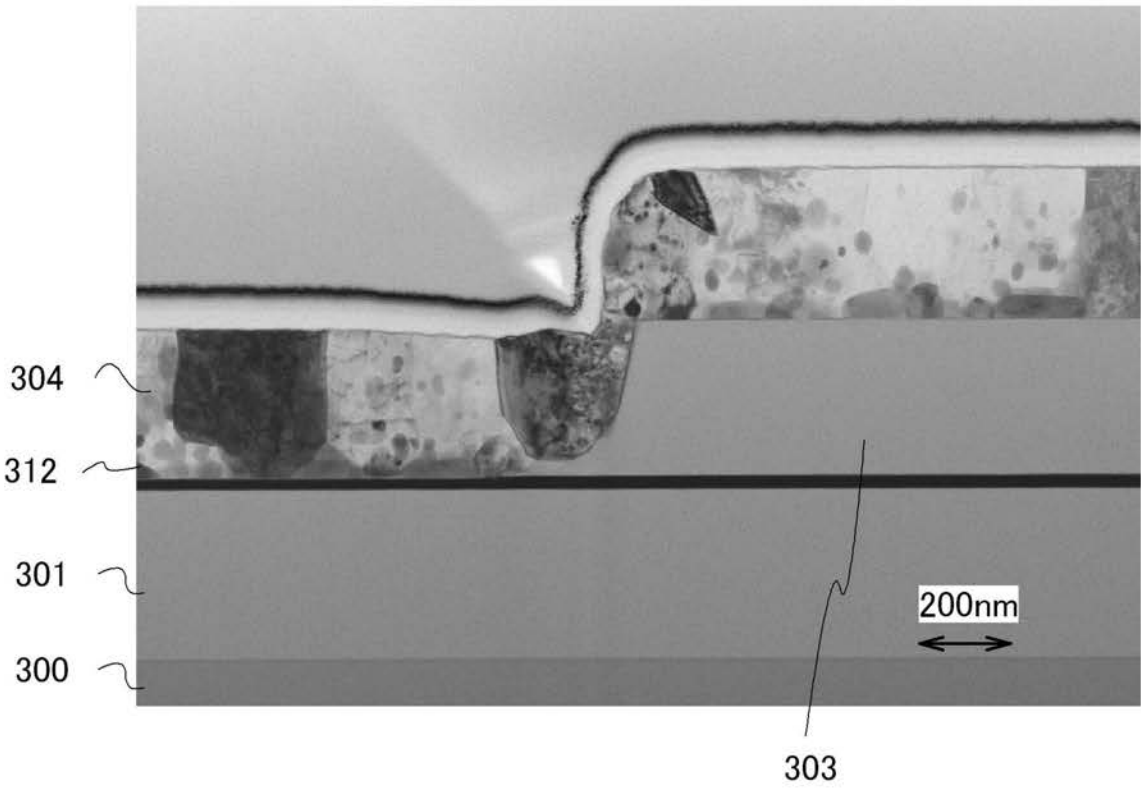


(B)

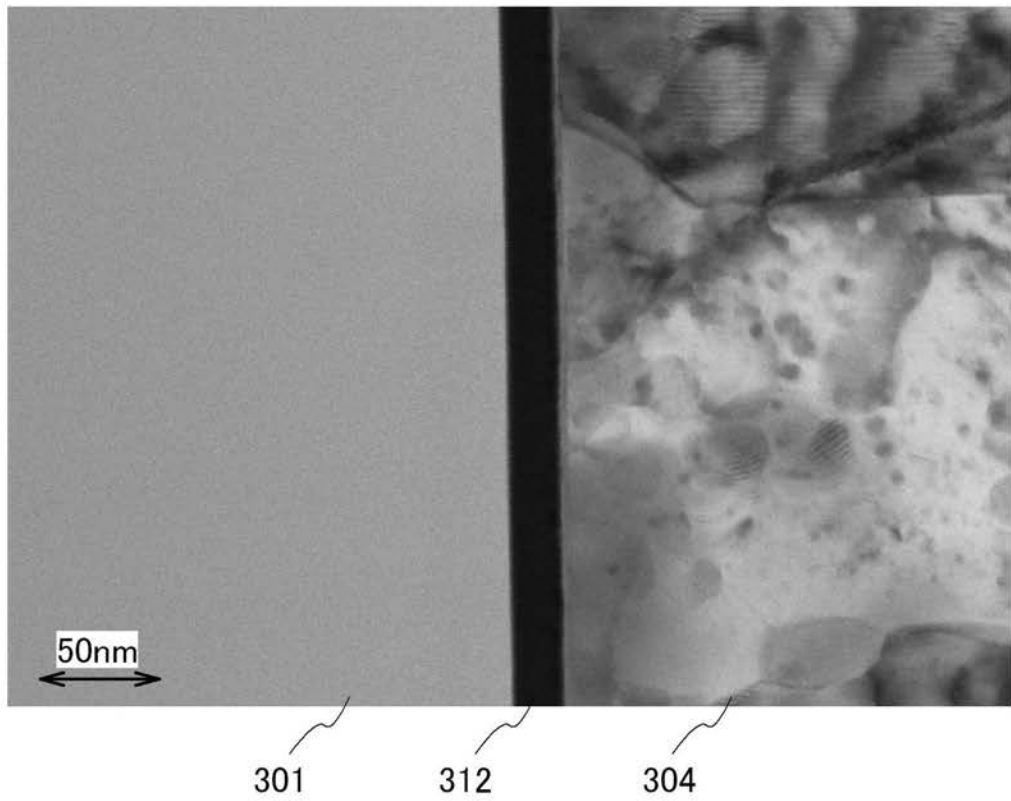


【図17】

(A)



(B)



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 27/115 (2006.01)</i>	H 0 1 L 27/10 3 2 1	5 F 1 1 0
<i>H 0 1 L 29/788 (2006.01)</i>	H 0 1 L 27/10 4 3 4	
<i>H 0 1 L 29/792 (2006.01)</i>	H 0 1 L 29/78 3 7 1	
<i>H 0 1 L 29/417 (2006.01)</i>	H 0 1 L 29/50 M	
<i>H 0 1 L 21/768 (2006.01)</i>	H 0 1 L 21/90 D	
<i>H 0 1 L 23/522 (2006.01)</i>	H 0 1 L 21/28 3 0 1 B	
<i>H 0 1 L 21/28 (2006.01)</i>	G 0 9 F 9/30 3 3 8	
<i>G 0 9 F 9/30 (2006.01)</i>		

(72)発明者 横井 智和

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 志野 裕亮

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

Fターム(参考) 4M104 AA03 AA08 AA09 BB02 BB05 BB08 BB14 BB16 BB17 BB18
BB30 BB31 BB32 BB33 BB36 CC01 DD16 DD17 DD18 DD20
DD22 DD26 DD28 DD36 DD37 DD43 DD46 DD63 DD75 DD81
FF02 FF22 FF26 FF31 GG09 GG16 HH12 HH14 HH15
5C094 AA04 AA13 AA22 AA25 AA43 AA53 BA03 BA43 DA15 DB04
EA10 FB14 GB10
5F033 GG01 GG04 HH08 HH11 HH14 HH15 HH18 HH19 HH20 HH21
HH33 HH34 HH35 JJ01 JJ08 JJ11 JJ14 JJ15 JJ18 JJ19
JJ20 JJ21 JJ33 JJ34 JJ35 KK01 KK31 LL02 LL03 LL04
MM13 NN07 NN12 PP06 PP15 PP20 QQ08 QQ09 QQ10 QQ37
QQ48 QQ53 QQ58 QQ62 QQ64 QQ65 QQ66 QQ73 QQ82 QQ84
QQ85 QQ90 RR03 RR04 RR06 RR08 RR21 SS08 SS11 SS21
VV15 VV16 XX01 XX03 XX09 XX20
5F083 AD02 AD69 EP02 EP22 GA02 GA06 GA27 HA02 HA06 JA04
JA05 JA06 JA19 JA36 JA37 JA39 JA40 JA42 JA56 MA06
MA16 PR22 PR33 PR40
5F101 BA17 BB20 BD02 BD30 BE02 BE05 BH16
5F110 AA03 AA06 BB03 BB05 CC02 DD03 DD04 DD05 DD13 DD14
DD15 DD17 DD21 EE03 EE04 EE06 EE08 EE43 EE44 EE45
FF02 FF04 FF28 FF29 GG01 GG12 GG15 GG25 GG28 GG29
GG34 GG43 HJ06 HJ22 HL26 NN04 NN24 NN34 PP01 PP10
QQ11 QQ19