

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5906418号
(P5906418)

(45) 発行日 平成28年4月20日 (2016. 4. 20)

(24) 登録日 平成28年4月1日 (2016. 4. 1)

(51) Int. Cl.	F I
HO2M 3/28 (2006.01)	HO2M 3/28 H
HO2M 3/335 (2006.01)	HO2M 3/28 Q
	HO2M 3/335 E

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2012-136174 (P2012-136174)	(73) 特許権者	314012076 パナソニックIPマネジメント株式会社 大阪府大阪市中央区城見2丁目1番61号
(22) 出願日	平成24年6月15日 (2012. 6. 15)	(74) 代理人	100087767 弁理士 西川 恵清
(65) 公開番号	特開2014-3764 (P2014-3764A)	(72) 発明者	佐貫 每哉 宮城県仙台市泉区明通二丁目5番地 株式会社パナソニックモバイル開発研究所内
(43) 公開日	平成26年1月9日 (2014. 1. 9)	(72) 発明者	増田 拓也 宮城県仙台市泉区明通二丁目5番地 株式会社パナソニックモバイル開発研究所内
審査請求日	平成27年2月19日 (2015. 2. 19)	(72) 発明者	武藤 圭佑 宮城県仙台市泉区明通二丁目5番地 株式会社パナソニックモバイル開発研究所内

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

入出力間において電力を伝達するトランスと、
前記トランスの一方の巻線と直列に接続された共振用のキャパシタと、
前記トランスの前記一方の巻線と前記キャパシタとの直列回路に流す電流を入切するスイッチング回路と、
前記トランスの他方の巻線に誘起された電力を整流して出力する整流回路と、
前記キャパシタに並列に接続された第1のスイッチと、
前記トランスの前記一方の巻線と前記キャパシタとの直列回路に電流を流す期間および前記第1のスイッチのオンオフを制御する制御部と、
前記キャパシタに並列接続された第2のスイッチおよび抵抗の直列回路とを備え、
前記制御部は、前記第1のスイッチをオフにし前記スイッチング回路の動作周波数を制御する第1の変換回路を構成する動作と、前記第1のスイッチをオンにし前記スイッチング回路から前記トランスの前記一方の巻線への通電期間を制御する第2の変換回路を構成する動作とを選択し、前記第1の変換回路の動作から前記第2の変換回路の動作に移行させる際に、前記第2のスイッチをオンにした後、前記第1のスイッチをオンにする
ことを特徴とする電力変換装置。

【請求項2】

前記制御部は、前記第1の変換回路の動作と前記第2の変換回路の動作とを切り替える際に、前記スイッチング回路の動作を、前記第1の変換回路の動作と前記第2の変換回路

の動作とは異なる動作とする移行期間を設ける

ことを特徴とする請求項 1 記載の電力変換装置。

【請求項 3】

前記制御部は、前記第 1 の変換回路の動作における前記スイッチング回路の動作周波数と、前記第 2 の変換回路の動作における前記トランスの前記一方の巻線への前記スイッチング回路からの通電期間とを、入力電圧と出力電圧との関係に対応付けて記憶しており、

前記第 1 の変換回路の動作と前記第 2 の変換回路の動作とを切り替える際に、切替後の入力電圧と出力電圧との関係を、切替前の入力電圧と出力電圧との関係と一致させるように、記憶している動作周波数および通電期間に応じて前記スイッチング回路を制御する

ことを特徴とする請求項 1 又は 2 記載の電力変換装置。

10

【請求項 4】

前記制御部は、前記第 1 の変換回路の動作における変換効率と、前記第 2 の変換回路の動作における変換効率とを、入力電圧と出力電圧との電圧比に対応付けて記憶しており、

入力電圧と出力電圧との関係が、前記第 1 の変換回路の動作と前記第 2 の変換回路の動作との両方の動作範囲であるときに、記憶している変換効率が高いほうの動作を選択することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の電力変換装置。

【請求項 5】

前記トランスの前記一方の巻線と前記スイッチング回路との間に接続される共振用のインダクタをさらに備える

ことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の電力変換装置。

20

【請求項 6】

前記トランスの前記一方の巻線と前記スイッチング回路との間に接続される共振用の複数個のインダクタと、

前記インダクタのうちの少なくとも 1 個を短絡する第 3 のスイッチとをさらに備える

ことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の電力変換装置。

【請求項 7】

前記キャパシタは、

前記トランスの前記一方の巻線と前記スイッチング回路との間に接続される共振用の複数個の第 2 のキャパシタと、

前記第 2 のキャパシタのうちの少なくとも 1 個を短絡する第 4 のスイッチとを備える

ことを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の電力変換装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング素子を用いて電力変換を行い、入出力間でトランスを介して電力を伝達する電力変換装置に関するものである。

【背景技術】

【0002】

従来から、スイッチング素子を用いて電力変換を行い、かつ入出力間でトランスを介して電力を伝達する電力変換装置が知られている。たとえば、特許文献 1 には、この種の電力変換装置として、直流電力を双方向に伝達する双方向 DC / DC コンバータが開示されている。特許文献 1 に記載された電力変換装置は、トランスを挟んで一次側回路と二次側回路とが設けられている。

40

【0003】

一次側回路と二次側回路とは、それぞれ逆導通型半導体スイッチ（スイッチング素子）により構成されるブリッジ回路を備えている。この電力変換装置は、一次側回路と二次側回路とのスイッチング素子のオンデューティを制御することにより、所望の直流電力を双方向に伝達することが可能になっている。

【先行技術文献】

【特許文献】

50

【0004】

【特許文献1】特開2011-234541号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、特許文献1に記載された電力変換装置は、スイッチング素子のオンデューティを制御することにより、一次側回路と二次側回路との間で所望の直流電力を伝達することはできるが、入出力の電圧比はトランスの巻比に依存している。すなわち、一次側回路と二次側回路とにブリッジ回路を用い、オンデューティを制御しているだけであるから、入力電圧を昇圧して出力することはできず、電流の調節が行われるのみである。

10

【0006】

一方、電動機を動力源に持つ自動車に搭載される蓄電池、あるいは建物に付設して使用される蓄電池などの電力を利用するために用いられる電力変換装置には、入力電圧と出力電圧との関係を広範囲に調節する機能が要求される。

【0007】

本発明は、スイッチングにより電力変換を行い、かつ入出力間でトランスを介して電力の伝達を行う構成であって、用途に応じて入力電圧と出力電圧との関係を広範囲に調節することが可能である電力変換装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明に係る電力変換装置は、入出力間において電力を伝達するトランスと、前記トランスの一方の巻線と直列に接続された共振用のキャパシタと、前記トランスの前記一方の巻線と前記キャパシタとの直列回路に流す電流を入切するスイッチング回路と、前記トランスの他方の巻線に誘起された電力を整流して出力する整流回路と、前記キャパシタに並列に接続された第1のスイッチと、前記トランスの前記一方の巻線と前記キャパシタとの直列回路に電流を流す期間および前記第1のスイッチのオンオフを制御する制御部と、前記キャパシタに並列接続された第2のスイッチおよび抵抗の直列回路とを備え、前記制御部は、前記第1のスイッチをオフにし前記スイッチング回路の動作周波数を制御する第1の変換回路を構成する動作と、前記第1のスイッチをオンにし前記スイッチング回路から前記トランスの前記一方の巻線への通電期間を制御する第2の変換回路を構成する動作と

20

30

を選択し、前記第1の変換回路の動作から前記第2の変換回路の動作に移行させる際に、前記第2のスイッチをオンにした後、前記第1のスイッチをオンにすることを特徴とする。

【0011】

この電力変換装置において、前記制御部は、前記第1の変換回路の動作と前記第2の変換回路の動作とを切り替える際に、前記スイッチング回路の動作を、前記第1の変換回路の動作と前記第2の変換回路の動作とは異なる動作とする移行期間を設けることが好ましい。

【0012】

この電力変換装置において、前記制御部は、前記第1の変換回路の動作における前記スイッチング回路の動作周波数と、前記第2の変換回路の動作における前記トランスの前記一方の巻線への前記スイッチング回路からの通電期間とを、入力電圧と出力電圧との関係に対応付けて記憶しており、前記第1の変換回路の動作と前記第2の変換回路の動作とを切り替える際に、切替後の入力電圧と出力電圧との関係を、切替前の入力電圧と出力電圧との関係と一致させるように、記憶している動作周波数および通電期間に応じて前記スイッチング回路を制御することが好ましい。

40

【0013】

この電力変換装置において、前記制御部は、前記第1の変換回路の動作における変換効率と、前記第2の変換回路の動作における変換効率とを、入力電圧と出力電圧との電圧比に対応付けて記憶しており、入力電圧と出力電圧との関係が、前記第1の変換回路の動作

50

と前記第2の変換回路の動作との両方の動作範囲であるときに、記憶している変換効率が
高いほうの動作を選択することが好ましい。

【0014】

この電力変換装置において、前記トランスの前記一方の巻線と前記スイッチング回路と
の間に接続される共振用のインダクタをさらに備えることが好ましい。

【0015】

この電力変換装置において、前記トランスの前記一方の巻線と前記スイッチング回路と
の間に接続される共振用の複数個のインダクタと、前記インダクタのうちの少なくとも1
個を短絡する第3のスイッチとをさらに備えることが好ましい。

【0016】

この電力変換装置において、前記キャパシタは、前記トランスの前記一方の巻線と前記
スイッチング回路との間に接続される共振用の複数個の第2のキャパシタと、前記第2の
キャパシタのうちの少なくとも1個を短絡する第4のスイッチとを備えることが好ましい
。

【発明の効果】

【0017】

本発明の構成によれば、スイッチングにより電力変換を行い、かつ入出力間でトランス
を介して電力の伝達を行う構成であって、第1の変換回路の動作と第2の変換回路との動
作とを選択することにより、用途に応じて入力電圧と出力電圧との関係を広範囲に調節す
ることが可能になるという効果が期待できる。

【図面の簡単な説明】

【0018】

【図1】実施形態1を示す回路図である。

【図2】同上の一例を示す具体回路図である。

【図3】同上のLLC共振型変換回路としての動作説明図である。

【図4】同上のフェーズシフト型変換回路としての動作説明図である。

【図5】同上のフェーズシフト型変換回路としての動作説明図である。

【図6】同上に用いるスイッチの切替タイミングを示す動作説明図である。

【図7】同上におけるスイッチング回路の動作説明図である。

【図8】実施形態2を示す回路図である。

【図9】実施形態3を示す回路図である。

【図10】同上の他の構成例を示す回路図である。

【図11】実施形態4を示す回路図である。

【図12】同上の他の構成例を示す回路図である。

【発明を実施するための形態】

【0019】

(実施形態1)

以下に説明する実施形態は、電力変換装置がDC-DC変換を一方向で行う場合を例と
して説明するが、DC-AC変換を行う電力変換装置、双方向に電力変換を行う電力変換
装置であっても、以下に説明する技術思想は適用可能である。また、以下に説明する電力
変換装置は、電動機を動力源に持つ自動車に搭載される蓄電池、あるいは建物に付設して
使用される蓄電池などの電力を利用するために用いることを想定しているが、用途を限定
する趣旨ではない。たとえば、太陽光発電装置や燃料電池のような分散電源において、以
下に説明する電力変換装置の技術を採用することも可能である。

【0020】

本実施形態の電力変換装置は、図1に示すように、トランスT1を挟んでスイッチング
回路1と整流回路2とを備える。スイッチング回路1は、後述するスイッチング素子を備
え、スイッチング素子を制御するためにスイッチング回路1には制御部3が付設される。
トランスT1の第1巻線n1は、キャパシタC1とインダクタL1との直列回路を介して
スイッチング回路1と接続される。整流回路2は、トランスT1の第2巻線n2に接続さ

10

20

30

40

50

れる。さらに、キャパシタC 1にはスイッチS W 1が並列に接続される。制御部3は、スイッチS W 1のオンオフも制御する。

【0021】

スイッチング回路1および整流回路2は、たとえば、図2に示す構成を備える。図2に示す構成は、スイッチング回路1および整流回路2の構成を限定する趣旨ではなく一例として示している。また、スイッチング回路1は入力電源として直流電源が接続される。この直流電源は、蓄電池、燃料電池、太陽電池などのほか、商用交流電源を整流した直流電源であってもよい。また、整流回路2から出力される直流電力は、負荷に供給するほか、蓄電池の充電に用いてもよい。

【0022】

図示例のスイッチング回路1は、4個のスイッチング素子Q 1 1 ~ Q 1 4からなるブリッジ回路を備える。スイッチング素子Q 1 1, Q 1 2の直列回路と、スイッチング素子Q 1 3, Q 1 4の直列回路とは平滑用のキャパシタC 1 1と並列に接続される。

【0023】

また、図示例の整流回路2は、スイッチング回路1と同構成の回路を用いている。すなわち、整流回路2は、スイッチング素子Q 2 1 ~ Q 2 4からなるブリッジ回路を備える。スイッチング素子Q 2 1, Q 2 2の直列回路と、スイッチング素子Q 2 3, Q 2 4の直列回路とは平滑用のキャパシタC 2 1と並列に接続される。この整流回路2は、スイッチング素子Q 2 1 ~ Q 2 4のオンオフを制御すれば、トランスT 1を介して双方向に電力の伝達が可能になるが、本実施形態では、双方向に電力変換を行う動作については説明を省略する。

【0024】

スイッチング素子Q 1 1 ~ Q 1 4, Q 2 1 ~ Q 2 4は、M O S F E Tを想定している。ただし、スイッチング素子Q 1 1 ~ Q 1 4, Q 2 1 ~ Q 2 4として、バイポーラトランジスタのエミッタ - コレクタ間にダイオードを逆並列に接続した構成、あるいはI G B Tなどを用いてもよい。これらのスイッチング素子Q 1 1 ~ Q 1 4, Q 2 1 ~ Q 2 4は、オン時に一方向あるいは双方向に通電可能であり、オフ時には他方向に通電可能になる。たとえば、スイッチング素子Q 1 1 ~ Q 1 4, Q 2 1 ~ Q 2 4がM O S F E Tである場合、オフ時には、ボディダイオード(寄生ダイオード)を通る経路で通電可能である。

【0025】

図示例の整流回路2は、スイッチング素子Q 2 1 ~ Q 2 4のオフ時の機能を利用して全波整流を行う。ただし、スイッチング素子Q 2 1 ~ Q 2 4のオンオフを制御すれば、同期整流を行うことも可能である。

【0026】

制御部3は、プログラムに従って動作するプロセッサ(マイコン、D S P (Digital Signal Processor)、F P G A (Field-Programmable Gate Array)などから選択される)を備える。制御部3は、整流回路2の出力電流を適宜箇所(図示せず)の出力により監視する機能を有し、電流検出器から出力されるアナログ情報をプロセッサで扱うためにデジタル情報に変換するA D変換器を備える。スイッチング素子Q 1 1 ~ Q 1 4は、制御部3から与えられるパルス信号によりオンオフが制御され、パルス信号は、周波数と位相とが調節可能になっている。すなわち、制御部3は、パルス信号を生成するパルス生成器を備え、プロセッサからパルス生成器に指示を与えることにより、スイッチング回路1のP F M (Pulse Frequency Moduration)制御とP P M (Pulse Phase shift Moduration)制御とを選択して行う。さらに、制御部3は、プロセッサを動作させるプログラム、プロセッサの動作条件を定めるデータ、プロセッサの動作中に発生するデータなどを格納するためのメモリを備える。

【0027】

スイッチング素子Q 1 1 ~ Q 1 4をオンオフさせる周波数は、数十H z ~ 数百k H zの範囲で適宜に選択される。ここに、スイッチS W 1は、スイッチング素子Q 1 1 ~ Q 1 4のオンオフのタイミングに基づいて制御されるから、指示から数 μ s ~ 数十ms程度の時

10

20

30

40

50

間内で応答することが要求される。そのため、スイッチSW1は、機械式接点を備える電磁継電器を用いるよりも、応答時間の短い半導体スイッチを用いるほうが望ましい。

【0028】

ところで、スイッチSW1がオフであるときには、キャパシタC1はインダクタL1とトランスT1の第1巻線n1との間に接続され、キャパシタC1はインダクタL1とトランスT1とにより共振回路が形成される。したがって、この共振回路の共振周波数に対して、スイッチング回路1の周波数を適宜に調節すれば、この回路は、トランスT1の第2巻線n2に出力される電圧が変化する第1の変換回路として動作する。このように1個のキャパシタC1に対してインダクタL1とともにトランスT1を用いて構成した共振回路を用いて、スイッチング回路1の動作周波数を調節することにより整流回路2の出力電圧を変化させる構成を、以下では「LLC共振型変換回路」と呼ぶ。

10

【0029】

以下では、図2に示す構成において、トランスT1の第1巻線n1を挟んで直列に接続された位置関係の2個のスイッチング素子Q11, Q14およびQ12, Q13を「相対するスイッチング素子」と呼ぶ。LLC共振型変換回路として動作するときには、相対するスイッチング素子Q11, Q14のオンオフが同時に行われ、相対するスイッチング素子Q12, Q13のオンオフが同時に行われる。また、直列接続されたスイッチング素子Q11, Q12は同時にオンにならず、直列接続されたスイッチング素子Q13, Q14が同時にオンになることもない。

【0030】

20

図3は、LLC共振型変換回路におけるスイッチング回路1の動作周波数と、整流回路2の出力電圧の電圧ゲインとの関係を示している。また、図3に(1)~(6)の符号を付している曲線は、負荷の大きさの違いを表している。負荷の大きさは(1)~(6)の順に大きくなっている。

【0031】

図示例では、軽負荷時に、動作周波数比が0.4付近で電圧ゲインがピークになり、動作周波数比が0.4付近から離れるほど電圧ゲインが減少している。動作周波数比は、キャパシタC1とインダクタL1とにより決まる共振周波数に対するスイッチング回路1の動作周波数の比である。LLC共振型変換回路は、軽負荷であるほど強い共振が生じるから、軽負荷時には共振点付近でスイッチング回路1の動作周波数がわずかに変化するだけでも出力電圧が大きく変動し、出力電圧が不安定になる可能性がある。さらに、軽負荷時には、整流回路2の出力にノイズ成分が多く含まれることになる。

30

【0032】

一方、図3に示す例では、負荷が大きくなると、スイッチング回路1の動作周波数に対する出力電圧の変化は少なくなっているが、電圧ゲインの調節範囲も小さくなっている。すなわち、LLC共振型変換回路において、負荷が大きい領域では共振が弱くなり、スイッチング回路1の動作周波数の変化に対する出力電圧の変動は小さくなる。このとき、整流回路2の出力に含まれるノイズ成分も軽負荷時より減少する。

【0033】

以上のように、LLC共振型変換回路は、負荷の大きさによるが、動作周波数比を変化させることにより、入力電圧に対する出力電圧の電圧比(電圧ゲイン)を変化させることができ、しかも昇圧が可能であって、昇圧比の調節が可能になっている。ただし、軽負荷時には動作が不安定になるから、安定に動作する負荷範囲では電圧ゲインの調節範囲は比較的狭くなる。

40

【0034】

一方、スイッチSW1がオンであるときには、キャパシタC1が短絡されるから、インダクタL1とトランスT1とだけが、スイッチング回路1と整流回路2との間に介在することになる。この場合、インダクタL1とトランスT1の第1巻線n1とに流れる電流の変化により、整流回路2の出力電圧が変化する。この動作では、トランスT1の第1巻線n1に通電することによりトランスT1に蓄積された電磁エネルギーが第2巻線n2に引

50

き渡される。したがって、単位時間あたりにトランス T 1 に蓄積する電磁エネルギーを調節することにより、この回路は、整流回路 2 の出力電圧を調節する第 2 の変換回路として動作する。

【 0 0 3 5 】

トランス T 1 の第 1 巻線 n 1 に通電する期間を調節するには、たとえば、図 4 に示すように、スイッチング素子 Q 1 1 ~ Q 1 4 をオンにする位相を制御する。このように、トランス T 1 の第 1 巻線 n 1 に単位時間あたりに流す電流を調節するために、スイッチング回路 1 のスイッチング素子 Q 1 1 ~ Q 1 4 をオンにする位相を変化させる構成（つまり、第 2 の変換回路）を、以下では「フェーズシフト型変換回路」と呼ぶ。

【 0 0 3 6 】

フェーズシフト型変換回路は、スイッチング回路 1 を構成している 4 個のスイッチング素子 Q 1 1 ~ Q 1 4 のオンデューティは変化させず、同時にオンにする 2 個ずつのスイッチング素子 Q 1 1 ~ Q 1 4 の位相を変化させる。つまり、出力電力の調節は、相対するスイッチング素子 Q 1 1 , Q 1 4 および Q 1 2 , Q 1 3 について同時にオンにする位相を調節することにより行われる。

【 0 0 3 7 】

図 2 に示す回路では、相対するスイッチング素子 Q 1 1 , Q 1 4 が同時にオンである期間と、相対するスイッチング Q 1 2 , Q 1 3 が同時にオンである期間とに、トランス T 1 の第 1 巻線 n 1 に電流が流れる。したがって、相対するスイッチング素子 Q 1 1 , Q 1 4 をオンにする位相を調節するか、相対するスイッチング素子 Q 1 2 , Q 1 3 をオンにする位相を調節すれば、第 1 巻線 n 1 に通電する時間を調節することになり、結果的に整流回路 2 の出力電圧が調節される。なお、直列に接続されたスイッチング素子 Q 1 1 , Q 1 2 または Q 1 3 , Q 1 4 は同時にオンにすることが禁止され、互いに逆相となるようにオンオフが制御される。つまり、スイッチング素子 Q 1 1 とスイッチング素子 Q 1 2 とはオンオフが逆になり、スイッチング素子 Q 1 3 とスイッチング素子 Q 1 4 とはオンオフが逆になる。

【 0 0 3 8 】

図 4 に示す動作を参照すると、図 4 (a) ~ (d) に示すように、スイッチング素子 Q 1 1 ~ Q 1 4 は、いずれもオンデューティが 5 0 % に設定され、スイッチング素子 Q 1 1 とスイッチング素子 Q 1 3 とのオン期間は位相差 T_s だけ異なっている。したがって、相対するスイッチング Q 1 2 , Q 1 4 および Q 1 2 , Q 1 3 のオン期間は位相差 T_s に相当する期間だけ重なる。この位相差 T_s は、スイッチング素子 Q 1 1 とスイッチング素子 Q 1 3 とのオン期間が重ならないときを 0 度とし、スイッチング素子 Q 1 1 とスイッチング素子 Q 1 3 とのオン期間が一致するときを 1 8 0 度とする。つまり、位相差 T_s はスイッチング素子 Q 1 1 ~ Q 1 4 のオン期間を 1 8 0 度として、相対するスイッチング素子 Q 1 1 , Q 1 4 および Q 1 2 , Q 1 3 が同時にオンになる期間を角度で表した値に相当する。

【 0 0 3 9 】

スイッチング回路 1 が上述した動作を行うと、図 4 (e) に示すように、スイッチング素子 Q 1 1 ~ Q 1 4 のオン期間のうち、位相差 T_s に相当する期間にのみトランス T 1 の第 1 巻線 n 1 に通電される。また、相対するスイッチング素子 Q 1 1 , Q 1 4 が同時にオンである期間と、相対するスイッチング素子 Q 1 2 , Q 1 3 が同時にオンである期間とでは、トランス T 1 の第 1 巻線 n 1 に流れる電流の向きが逆転する。この動作により、トランス T 1 の第 2 巻線 n 2 には交番電圧が誘起される。

【 0 0 4 0 】

図 5 は、フェーズシフト型変換回路における位相差 T_s と、整流回路 2 の出力電圧の電圧ゲインとの関係を示している。図 5 からわかるように、フェーズシフト型変換回路は、電圧ゲインが位相差 T_s とほぼ線形の関係性を有している。つまり、フェーズシフト型変換回路は、相対するスイッチング素子 Q 1 1 , Q 1 4 および Q 1 2 , Q 1 3 のオン期間に関する位相差 T_s を調節することにより、整流回路 2 からの出力電圧を変化させることが可能である。

10

20

30

40

50

【 0 0 4 1 】

また、フェーズシフト型変換回路は、入力電圧と出力電圧との電圧比（電圧ゲイン）の調節範囲が比較的広いことも特徴である。図2に示す構成でフェーズシフト型変換回路として動作させる場合、電流休止期間がほとんど生じないから、フォワード型コンバータやフライバック型コンバータと比較するとノイズは少なくなる。ただし、トランスT1の巻線比で決まる電圧を上限値として、上限値以下の電圧範囲でしか電圧の調節はできない。

【 0 0 4 2 】

上述したように、スイッチSW1のオンオフを切り替え、スイッチング回路1の動作を変更するだけで、LLC共振型変換回路とフェーズシフト型変換回路との両方の動作が可能になっている。したがって、LLC共振型変換回路とフェーズシフト型変換回路との両方の特性を負荷の状態に応じて補完して用いることが可能になる。

10

【 0 0 4 3 】

また、本実施形態の構成は、LLC共振型変換回路にスイッチSW1を付加し、かつ、フェーズシフト型変換回路としての動作を可能にするプログラムを制御部3に付加すればよい。したがって、LLC共振型変換回路がすでに設計されている場合には、大幅な設計変更を要することなく、LLC共振型変換回路とフェーズシフト型変換回路との両方の機能を持たせた電力変換装置を提供することが可能になる。

【 0 0 4 4 】

たとえば、入力電圧が400Vであって、出力電圧を100～500Vの範囲で変化させようとする場合を想定する。この場合、出力電圧が100～400Vの範囲では、スイッチSW1をオンにしフェーズシフト型変換回路として動作させることにより、広範囲に出力電圧を調節することが可能である。一方、出力電圧が400～500Vの範囲では、スイッチSW1をオフにしLLC共振型変換回路として動作させることにより、入力電圧よりも高い電圧範囲の出力電圧が得られることになる。

20

【 0 0 4 5 】

また、上述したように電流検出器を設けている場合、出力電流に応じてスイッチSW1のオンオフを定めてもよい。出力電流が規定値（たとえば、1A）以下であって軽負荷である場合はフェーズシフト型変換回路として動作させ、出力電流が規定値を超える場合はLLC共振型変換回路として動作させるようにしてもよい。この動作では、LLC共振型変換回路が不安定な動作になり整流回路2の出力にノイズ成分が増加するような軽負荷の領域では、フェーズシフト型変換回路として動作させることにより、安定かつノイズ成分の少ない動作が可能になる。

30

【 0 0 4 6 】

スイッチSW1のオンオフを切り替える条件としては、電力の変換効率を考慮する場合もある。たとえば、入力電圧と出力電圧とを所望の電圧比とするために、LLC共振型変換回路とフェーズシフト型変換回路とのどちらを用いてもよい場合には、変換効率に基づいてスイッチSW1のオンオフを定めることが可能である。たとえば、入力電圧と出力電圧とが所望の値である場合に、LLC共振型変換回路の変換効率がE1であり、フェーズシフト型変換回路の変換効率がE2であって、 $E1 > E2$ であるとすれば、LLC共振型変換回路を用いるほうが変換効率が高いから望ましい。

40

【 0 0 4 7 】

なお、上述のように変換効率を考慮してスイッチSW1のオンオフを定める場合は、入力電圧と出力電圧と効率との関係を制御部3に記憶させておく必要がある。また、入力電圧および出力電圧を制御部3に通知する機能も必要である。

【 0 0 4 8 】

以上のように、スイッチSW1のオンオフを選択し、スイッチング回路1の動作を変更するだけで、LLC共振型変換回路とフェーズシフト型変換回路との動作を切り替えることができる。したがって、出力電圧範囲、負荷の大きさ、変換効率などに着目して、スイッチSW1のオンオフを切り替えることにより、利便性を向上させることになる。

【 0 0 4 9 】

50

ところで、LLC共振型変換回路としての動作からフェーズシフト型変換回路としての動作に切り替えるためにスイッチSW1をオフからオンに切り替える際に、キャパシタC1に電荷が蓄積されていることがある。キャパシタC1に電荷が蓄積された状態で、スイッチSW1をオンにすると、スイッチSW1に突入電流が流れる可能性がある。このような突入電流の発生は、スイッチSW1に大きなストレスを与える。また、LLC共振型変換回路の動作とフェーズシフト型変換回路の動作とでは、電圧ゲインが異なるから、スイッチSW1のオンオフを切り替える際に電圧ゲインを考慮しないと、スイッチSW1の切替により出力電圧が変動することになる。

【0050】

突入電流を防止するには、制御部3は、LLC共振型変換回路として動作させている期間において、インダクタL1とキャパシタC1とトランスT1とからなる共振回路に流れる電流のゼロクロス点に同期させてスイッチSW1をオンにすればよい。共振回路に流れる電流Iqは、図6(a)のような波形になる。この電流Iqの波形は、図6(b)に示すスイッチング素子Q11~Q14のオンオフのタイミングに同期し、スイッチング素子Q11~Q14のオンまたはオフのタイミングにおいて、電流Iqの極性が反転してゼロクロス点を通ることになる。

【0051】

このことから、スイッチング素子Q11~Q14のオンオフを切り替えるタイミングでスイッチSW1をオンにすれば、キャパシタC1の電荷による突入電流がスイッチSW1に流れることが防止される。図示例では、スイッチSW1をオンにするタイミングを矢印の位置で示してあり、このタイミングをスイッチング素子Q11~Q14がオンになるタイミングに同期させている。図に示すタイミングはスイッチングQ11~Q14がオンになるタイミングに同期させているが、スイッチング素子Q11~Q14がオフになるタイミングであってもよい。

【0052】

また、上述の動作はスイッチング素子Q11~Q14のオンオフのタイミングに同期させているから、制御部3は、スイッチSW1をオンにするタイミングを容易に定めることができる。なお、キャパシタC1の両端電圧を検出するか、共振回路に流れる共振電流を検出し、検出した状態に応じてスイッチSW1をオンにするタイミングを定めることも可能である。

【0053】

上述の動作によって、LLC共振型変換回路からフェーズシフト型変換回路に移行する際に、キャパシタC1に電荷が蓄積されていない状態でスイッチSW1がオンになる。そのため、スイッチSW1をオンにしたときに、キャパシタC1からスイッチSW1に突入電流が流れることが回避される。つまり、LLC共振型変換回路からフェーズシフト型変換回路への移行をシームレスに行うことができる。

【0054】

ところで、LLC共振型変換回路として動作する期間と、フェーズシフト型変換回路として動作する期間とでは、上述したように、スイッチング素子Q11~Q14のオンオフのタイミングが異なっている。したがって、制御部3は、スイッチSW1のオンオフの際にスイッチング素子Q11~Q14のオンオフのタイミングも変更する必要がある。しかしながら、LLC共振型変換回路とフェーズシフト型変換回路とでは、スイッチング素子Q11~Q14のオンオフの位相を瞬時に合わせることは難しい。したがって、スイッチSW1のオンオフを行うタイミングの前後において、スイッチング素子Q11~Q14のオンオフのタイミングを変更する移行期間を設けることが望ましい。移行期間には、スイッチング素子Q11~Q14のオンオフを一旦停止させるか、スイッチング素子Q11~Q14のオンオフのタイミングを強制的に変更することになる。

【0055】

LLC共振型変換回路としての動作からフェーズシフト型変換回路としての動作に移行する場合について、スイッチング素子Q11~Q14のオンオフのタイミングの例を図7

10

20

30

40

50

に示す。LLC共振変換回路としての動作時には、相対するスイッチング素子 Q_{11} 、 Q_{14} および Q_{12} 、 Q_{13} のオンオフのタイミングは一致している。また、フェーズシフト型変換回路としての動作時には、相対するスイッチング素子 Q_{11} 、 Q_{14} および Q_{12} 、 Q_{13} のオンのタイミングには適宜の位相差が付与される。

【0056】

そして、LLC共振変換回路としての動作からフェーズシフト型変換回路としての動作への変化時には、すべてのスイッチング素子 $Q_{11} \sim Q_{14}$ をオフにする移行期間 P_s が設けられる。制御部3は、この移行期間 P_s においてスイッチ SW_1 をオンにする。

【0057】

ところで、LLC共振型変換回路とフェーズシフト型変換回路との間の移行の際に、整流回路2の出力電圧が変動することは好ましくない。したがって、動作移行の際には、制御部3において整流回路2の出力電圧が等しくなるように、スイッチング素子 $Q_{11} \sim Q_{14}$ のオンオフのタイミングを調節することが必要である。この動作を実現するために、LLC共振型変換回路における動作周波数と電圧ゲインとの関係と、フェーズシフト型変換回路における位相差 T_s と電圧ゲインとの関係とが、制御部3に設けた記憶部に格納されている。また、制御部3は、入力電圧および出力電圧と、出力電流とを監視し、LLC共振型変換回路とフェーズシフト型変換回路と移行直前の電圧ゲインに応じて、記憶部を参照することによりスイッチング素子 $Q_{11} \sim Q_{14}$ のオンオフのタイミングを決定する。この動作により、LLC共振型変換回路とフェーズシフト型変換回路との動作を切り替える際に整流回路2の出力電圧の変動が抑制される。

【0058】

制御部3に設けた記憶部には、LLC共振型変換回路およびフェーズシフト型変換回路の電圧ゲインと変換効率との関係を記憶させてもよい。すなわち、入力電圧と出力電圧との電圧比（電圧ゲイン）と変換効率との関係が分かっているならば、入力電圧と出力電圧との関係に応じて、変換効率がよいほうの動作を選択することが可能になる。つまり、上述したように、入力電圧と出力電圧とを所望の電圧比とするために、LLC共振型変換回路とフェーズシフト型変換回路とのどちらを用いてもよい場合は、変換効率に基づいてスイッチ SW_1 のオンオフを定めるのである。

【0059】

上述した実施形態は、インダクタ L_1 とトランス T_1 との間にキャパシタ C_1 を挿入しているが、キャパシタ C_1 とトランス T_1 との間にインダクタ L_1 を挿入する構成でも同様の動作になる。

【0060】

なお、本実施形態は、スイッチング回路1からトランス T_1 に電力が供給される構成のみを説明しているが、整流回路2に設けられたスイッチング素子 $Q_{21} \sim Q_{24}$ のオンオフを制御すれば、整流回路2からトランス T_1 に電力を供給することも可能である。つまり、電力を双方向に伝達することが可能である。また、スイッチング回路1は、図2に示す構成に限定されず、トランス T_1 の第1巻線 n_1 とキャパシタ C_1 との直列回路に電流を流す期間をスイッチングにより制御する構成であればよい。

【0061】

（実施形態2）

本実施形態は、図8に示すように、実施形態1の構成におけるスイッチ SW_1 に、スイッチ SW_2 と抵抗 R_2 との直列回路を並列に接続した構成を備える。

【0062】

本実施形態の構成においてLLC共振型変換回路からフェーズシフト型変換回路に移行させるには、制御部3は、スイッチ SW_1 のオンに先立って、スイッチ SW_2 をオンにする。スイッチ SW_2 をオンにするタイミングは、スイッチング素子 $Q_{11} \sim Q_{14}$ のオンオフのタイミングに合わせる必要はない。スイッチ SW_2 がオンになると、キャパシタ C_1 に蓄積されている電荷は抵抗 R_2 を介して放電され、スイッチ SW_2 に流れる電流は抵抗 R_2 の抵抗値によって制限される。

10

20

30

40

50

【 0 0 6 3 】

さらに、スイッチ S W 2 がオンになりキャパシタ C 1 の電荷量が減少した後、制御部 3 は、スイッチ S W 1 をオンにする。スイッチ S W 2 がオンになった後のキャパシタ C 1 の電荷量の時間経過は、キャパシタ C 1 の容量および両端電圧と抵抗 R 2 の抵抗値とにより決まる。したがって、スイッチ S W 2 がオンにした後にスイッチ S W 1 をオンにするまでの時間は、キャパシタ C 1 の両端電圧に依存するが、制御を簡便に行う場合は、キャパシタ C 1 の容量と抵抗 R 2 の抵抗値とを用いて一定時間に定めればよい。

【 0 0 6 4 】

この構成では、スイッチ S W 1 をオンにするタイミングは、共振回路に流れる電流波形に依存しないから、スイッチ S W 1 の応答時間はとくに考慮しなくてもよく、半導体スイッチよりも応答時間の長い電磁継電器を用いることが可能である。本実施形態の他の構成および動作は実施形態 1 と同様である。

10

【 0 0 6 5 】

(実施形態 3)

本実施形態は、実施形態 1 の変形例であって、図 9 に示すように、図 1 に示したインダクタ L 1 に代えて、複数個 (図示例は 3 個) ずつのインダクタ L 3 1 ~ L 3 3 とスイッチ S W 3 1 ~ S W 3 3 とを用いている。スイッチ S W 3 1 ~ S W 3 3 は、それぞれインダクタ L 3 1 ~ L 3 3 の個々に並列に接続されている。したがって、スイッチ S W 3 1 ~ S W 3 3 のオンオフの組合せによって、インダクタ L 3 1 ~ L 3 3 のいずれかが共振回路に用いられる。言い換えると、スイッチ S W 3 1 ~ S W 3 3 のオンオフの組合せにより共振回路に用いるインダクタンスが調節され、結果的に複数の共振周波数を選択することが可能になる。

20

【 0 0 6 6 】

たとえば、図示する構成であれば、スイッチ S W 3 1 をオフにし、スイッチ S W 3 2 , S W 3 3 をオンにすれば、インダクタ L 3 1 のみが共振回路において有効に機能する。また、スイッチ S W 3 1 ~ S W 3 3 をすべてオフにすれば、3 個のインダクタ L 3 1 ~ L 3 3 の直列回路が共振回路において有効に機能する。したがって、共振回路の共振周波数を広範囲に変化させることが可能になる。

【 0 0 6 7 】

図 9 の構成に代えて、図 1 に示したインダクタ L 1 に代えて、図 1 0 に示す接続関係になるように、複数個 (図示例は 3 個) ずつのインダクタ L 4 1 ~ L 4 3 とスイッチ S W 4 1 ~ S W 4 3 とを用いてもよい。この構成では、3 個のインダクタ L 4 1 ~ L 4 3 が直列接続され、3 個のスイッチ S W 4 1 ~ S W 4 3 の一端がインダクタ L 4 1 ~ L 4 3 の直列回路の一端に接続される。また、3 個のスイッチ S W 4 1 ~ S W 4 3 のそれぞれの他端が、インダクタ L 4 1 ~ L 4 3 の一端に接続される。つまり、インダクタ L 4 1 にスイッチ S W 4 1 が並列接続され、インダクタ L 4 1 , L 4 2 の直列回路にスイッチ S W 4 2 が並列接続され、インダクタ L 4 1 ~ L 4 3 の直列回路にスイッチ S W 4 3 が並列接続される。

30

【 0 0 6 8 】

図 9 に示した構成は、選択可能なインダクタンスの種類が、スイッチ S W 3 1 ~ S W 3 3 のオンオフの組合せ数で決まるが、図 1 0 に示す構成は、選択可能なインダクタンスの種類が、スイッチ S W 4 1 ~ S W 4 3 の個数より 1 種類だけ多い数になる。つまり、図 1 0 に示す構成では、スイッチ S W 4 3 がオン、スイッチ S W 4 3 がオフかつスイッチ S W 4 2 がオン、スイッチ S W 4 2 , S W 4 3 がオフかつスイッチ S W 4 1 がオン、スイッチ S W 4 1 ~ S W 4 3 がオフの 4 種類の状態のみが選択可能である。ただし、図 1 0 に示す構成は、共振回路に含まれるスイッチ S W 4 1 ~ S W 4 3 が 1 個以下であるのに対して、図 9 に示す構成は共振回路に含まれるスイッチ S W 3 1 ~ S W 3 3 が 0 ~ 3 個の範囲で変化する。そのため、スイッチによる共振回路の平均的な損失は図 1 0 に示す構成のほうが図 9 に示す構成よりも少なくなる。

40

【 0 0 6 9 】

50

本実施形態は、インダクタおよびスイッチを3個ずつ設けているが、共振周波数を変化させようとする種類に応じて、インダクタおよびスイッチの個数は任意に選択される。他の構成および動作は実施形態1と同様であり、また、実施形態2のようにスイッチSW2および抵抗R2を設けた構成と組み合わせることも可能である。

(実施形態4)

本実施形態は、実施形態1の変形例であって、図11に示すように、図1に示したキャパシタC1に代えて、複数個(図示例は3個)ずつのキャパシタC51~C53とスイッチSW51~SW53とを用いている。スイッチSW51~SW53は、それぞれキャパシタC51~C53の個々に並列に接続されている。したがって、スイッチSW51~SW53のオンオフの組合せによって、キャパシタC51~C53のいずれかが共振回路に用いられる。言い換えると、スイッチSW51~SW53のオンオフの組合せにより共振回路に用いるキャパシタンスが調節され、結果的に複数の共振周波数を選択することが可能になる。

10

【0070】

また、図示例では、インダクタL1に代えてインダクタL3を用い、インダクタL3にはスイッチSW3を並列接続してある。したがって、スイッチSW3のオンオフにより、共振回路にインダクタL3を含めるか含めないかを選択することが可能になる。

【0071】

たとえば、図示する構成であれば、スイッチSW51をオフにし、スイッチSW52, SW53をオンにすれば、キャパシタC51のみが共振回路において有効に機能する。また、スイッチSW51~SW53をすべてオフにすれば、3個のキャパシタC51~C53の直列回路が共振回路において有効に機能する。したがって、共振回路の共振周波数を広範囲に変化させることが可能になる。

20

【0072】

図11の構成に代えて、図1に示したキャパシタC1に代えて、図12に示す接続関係になるように、複数個(図示例は3個)ずつのキャパシタC61~C63とスイッチSW61~SW63とを用いてもよい。この構成では、3個のキャパシタC61~C63が直列接続され、3個のスイッチSW61~SW63の一端がキャパシタC61~C63の直列回路の一端に接続される。また、3個のスイッチSW61~SW63のそれぞれの他端が、キャパシタC61~C63の一端に接続される。つまり、キャパシタC61にスイッチSW61が並列接続され、キャパシタC61, C62の直列回路にスイッチSW62が並列接続され、キャパシタC61~C63の直列回路にスイッチSW63が並列接続される。

30

【0073】

図11に示した構成は、選択可能なキャパシタンスの種類が、スイッチSW51~SW53のオンオフの組合せ数で決まるが、図12に示す構成は、選択可能なキャパシタンスの種類が、スイッチSW61~SW63の個数より1種類だけ多い数になる。つまり、図12に示す構成では、スイッチSW63がオン、スイッチSW63がオフかつスイッチSW62がオン、スイッチSW62, SW63がオフかつスイッチSW61がオン、スイッチSW61~SW63がオフの4種類の状態のみが選択可能である。ただし、図12に示す構成は、共振回路に含まれるスイッチSW61~SW63が1個以下であるのに対して、図11に示す構成は共振回路に含まれるスイッチSW51~SW53が0~3個の範囲で変化する。そのため、スイッチによる共振回路の平均的な損失は図12に示す構成のほうが図11に示す構成よりも少なくなる。

40

【0074】

また、実施形態1において説明したように、スイッチSW51~SW53, SW61~SW63をオンにするタイミングは、スイッチング回路1に設けたスイッチング素子Q11~Q14のオンオフのタイミングに同期させて制御される。したがって、キャパシタC51~C53, C61~C63の電荷によるスイッチSW51~SW53, SW61~SW63への突入電流が防止される。

50

【 0 0 7 5 】

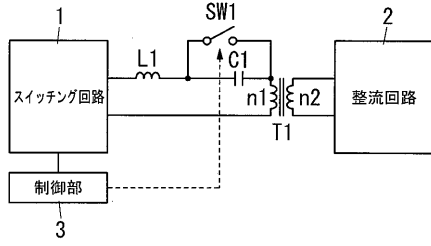
本実施形態は、キャパシタおよびスイッチを3個ずつ設けているが、共振周波数を変化させようとする種類に応じて、キャパシタおよびスイッチの個数は任意に選択される。他の構成および動作は実施形態1と同様であり、また、実施形態2のようにスイッチSW2および抵抗R2を設けた構成と組み合わせることも可能である。さらに、本実施形態の構成と実施形態3に示した構成とを組み合わせることも可能である。

【符号の説明】

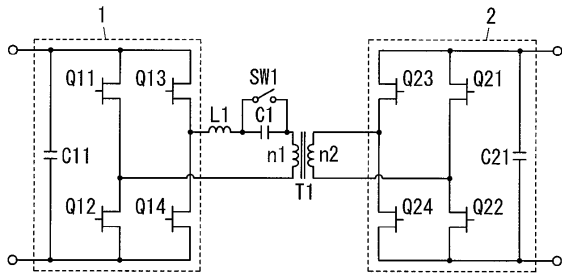
【 0 0 7 6 】

1	スイッチング回路	
2	整流回路	10
3	制御部	
C 1	キャパシタ	
C 5 1 ~ C 5 3	(第2の)キャパシタ	
C 6 1 ~ C 6 3	(第2の)キャパシタ	
L 1	インダクタ	
L 3 1 ~ L 3 3	インダクタ	
L 4 1 ~ L 4 3	インダクタ	
n 1	第1巻線	
n 2	第2巻線	
R 2	抵抗	20
SW 1	(第1の)スイッチ	
SW 2	(第2の)スイッチ	
SW 3 1 ~ SW 3 3	(第3の)スイッチ	
SW 4 1 ~ SW 4 3	(第3の)スイッチ	
SW 5 1 ~ SW 5 3	(第4の)スイッチ	
SW 6 1 ~ SW 6 3	(第4の)スイッチ	
T 1	トランス	

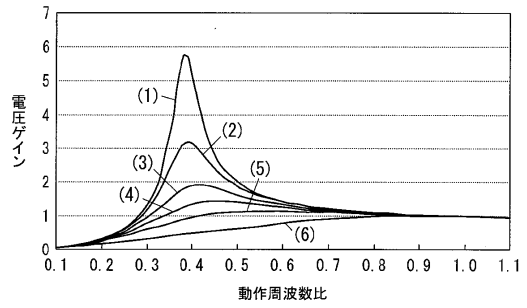
【図1】



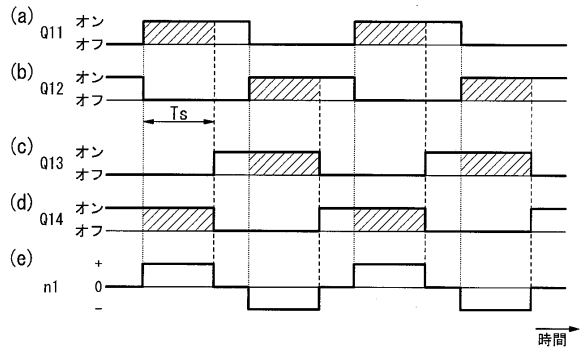
【図2】



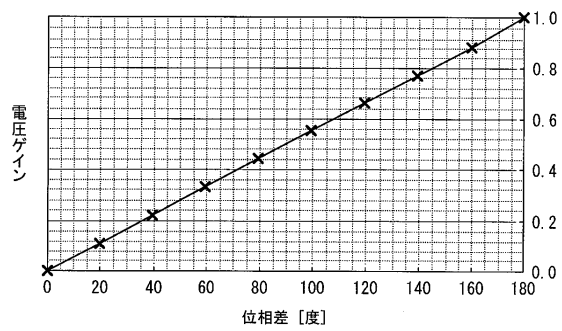
【図3】



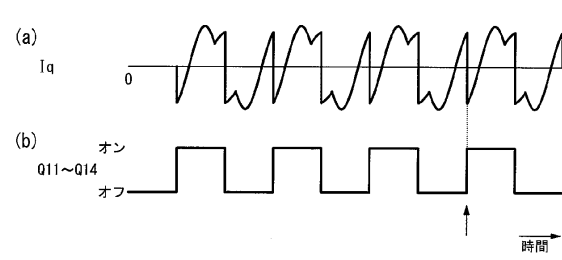
【図4】



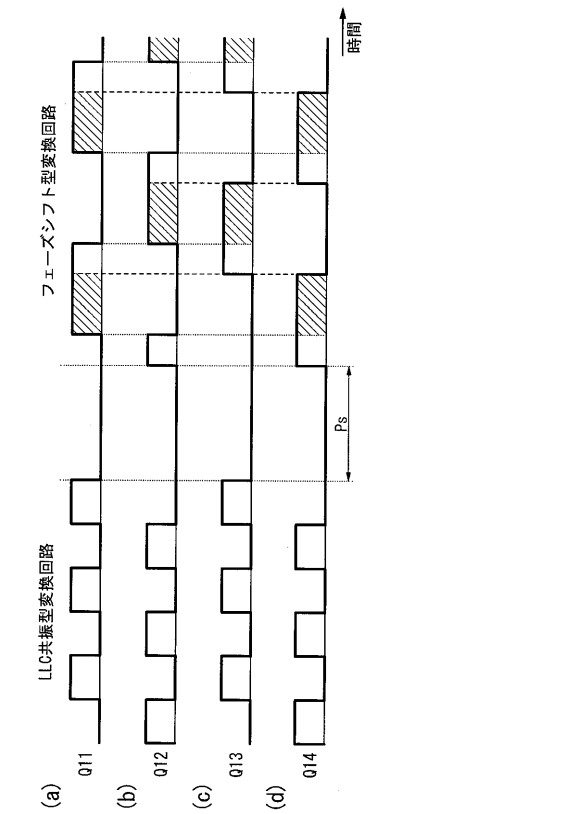
【図5】



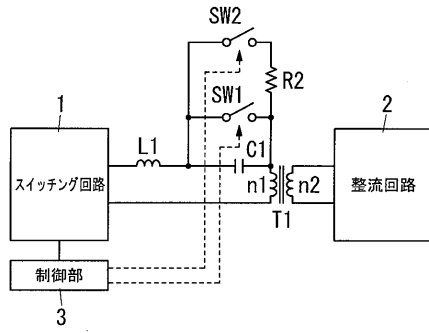
【図6】



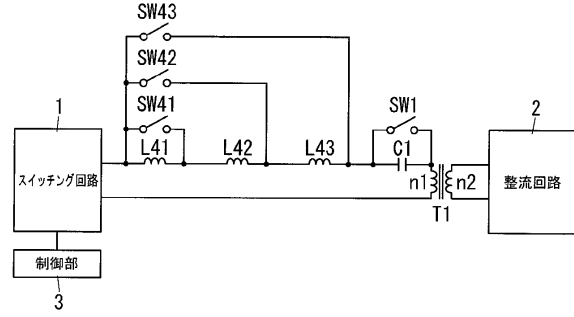
【図7】



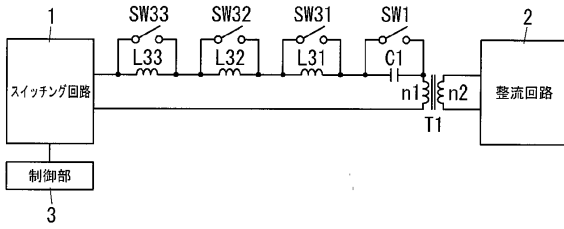
【図 8】



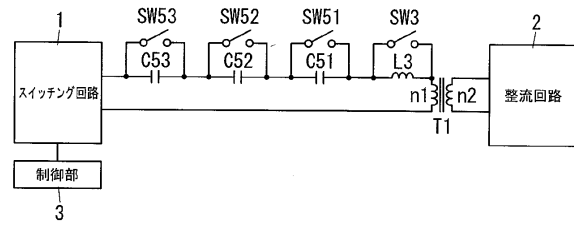
【図 10】



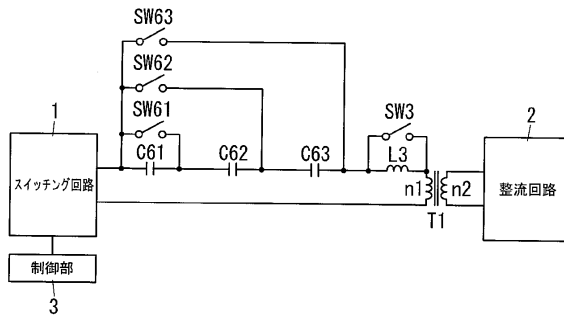
【図 9】



【図 11】



【図 12】



フロントページの続き

- (72)発明者 小林 晋
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 足立 雅和
大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 桑 原 恭雄

- (56)参考文献 特開2004-260928(JP,A)
特開2002-354804(JP,A)
特開2005-065395(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| H02M | 3/28 |
| H02M | 3/335 |