

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5924924号
(P5924924)

(45) 発行日 平成28年5月25日(2016.5.25)

(24) 登録日 平成28年4月28日(2016.4.28)

(51) Int.Cl.

F 1

HO4N 5/378	(2011.01)	HO 4 N	5/335	7 8 0
HO4N 5/374	(2011.01)	HO 4 N	5/335	7 4 0
HO4N 5/365	(2011.01)	HO 4 N	5/335	6 5 0
HO1L 27/146	(2006.01)	HO 1 L	27/14	A

請求項の数 12 (全 28 頁)

(21) 出願番号

特願2011-274892 (P2011-274892)

(22) 出願日

平成23年12月15日(2011.12.15)

(65) 公開番号

特開2013-126174 (P2013-126174A)

(43) 公開日

平成25年6月24日(2013.6.24)

審査請求日

平成26年9月9日(2014.9.9)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100126240

弁理士 阿部 琢磨

(74) 代理人 100124442

弁理士 黒岩 創吾

(72) 発明者 櫻井 克仁

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 鈴木 明

(56) 参考文献 特開2004-023135 (JP, A)

最終頁に続く

(54) 【発明の名称】電子回路

(57) 【特許請求の範囲】

【請求項 1】

それぞれに信号源からの電流信号が出力される複数の出力線と、

前記複数の出力線のそれぞれに接続され、前記信号源からの電流信号を電圧信号に変換する電流電圧変換部と、を有する電子回路であって、

前記電流電圧変換部は増幅回路を含んで構成され、

前記複数の出力線のそれぞれに対して、前記電流電圧変換部よりも後段にオフセット除去部が配され、

前記増幅回路は第1入力ノード及び第2入力ノードを有するオペアンプであり、前記第1入力ノードと前記オペアンプの出力ノードとの間の電気的経路に可変抵抗が配され、前記第1入力ノードに前記電流信号が入力され、前記第2入力ノードに所定の電圧が供給され、前記電流信号が、前記抵抗の両端の電圧に変換されたことを特徴とする電子回路。

【請求項 2】

それぞれに信号源からの電流信号が出力される複数の出力線と、

前記複数の出力線のそれぞれに接続され、前記信号源からの電流信号を電圧信号に変換する電流電圧変換部と、を有する電子回路であって、

前記電流電圧変換部は増幅回路を含んで構成され、

前記電流電圧変換部の出力ノードに電気的に接続された第1信号保持部及び第2信号保

持部が、前記複数の出力線のそれぞれに対して配されたことを特徴とする電子回路。

【請求項 3】

前記第1信号保持部は、一方のノードが第1スイッチを介して前記電流電圧変換部の出力ノードに接続された第1の容量で構成され、

前記第2信号保持部は、一方のノードが前記第1スイッチとは別の第2スイッチを介して前記電流電圧変換部の出力ノードに接続された第2の容量で構成されたことを特徴とする請求項2に記載の電子回路。

【請求項 4】

前記第1の容量及び前記第2の容量に保持された電圧信号が、容量分割によって出力される第1水平出力線、及び第2水平出力線をさらに有し、

10

前記第1水平出力線の信号、及び第2水平出力線の信号の差分処理を行う差分処理回路を備えたことを特徴とする請求項3に記載の電子回路。

【請求項 5】

それぞれに信号源からの電流信号が出力される複数の出力線と、

前記複数の出力線のそれぞれに接続され、前記信号源からの電流信号を電圧信号に変換する電流電圧変換部と、を有する電子回路であって、

前記電流電圧変換部は増幅回路を含んで構成され、

前記複数の出力線のそれぞれに対して、第1の容量、第2の容量、前記増幅回路とは別の第2増幅回路、スイッチが配され、

前記第2増幅回路は2つの入力ノードを有するオペアンプであり、

20

前記第1の容量の一方のノードが電流電圧変換部の出力ノードに接続され、前記第1の容量の他方のノードが前記オペアンプの一方の入力ノードに接続され、

前記第2の容量の一方のノードが前記オペアンプの前記一方の入力ノードに接続され、前記第2の容量の他方のノードが前記オペアンプの出力ノードに接続され、

前記スイッチは、前記オペアンプの前記一方の入力ノードと前記オペアンプの前記出力ノードとの間の電気的経路に配されたことを特徴とする電子回路。

【請求項 6】

前記電子回路は、前記複数の出力線のそれぞれに接続された複数の信号源を含み、

前記複数の信号源のそれぞれが、光電変換部と、前記光電変換部で発生した電荷の量に応じた大きさの電流を前記電流信号として出力するトランジスタと、を有することを特徴とする請求項1乃至請求項5のいずれか一項に記載の電子回路。

30

【請求項 7】

前記増幅回路は第1入力ノード及び第2入力ノードを有するオペアンプであり、

前記第1入力ノードと前記オペアンプの出力ノードとの間の電気的経路に抵抗が配され、

前記第1入力ノードに前記電流信号が入力され、

前記第2入力ノードに所定の電圧が供給され、

前記電流信号が、前記抵抗の両端の電圧に変換されることを特徴とする請求項2乃至請求項5のいずれか一項に記載の電子回路。

【請求項 8】

40

前記抵抗が可変であることを特徴とする請求項7に記載の電子回路。

【請求項 9】

前記複数の出力線のうちの1つの出力線に、2つ以上の信号源からの前記電流信号が並列に出力され、

該2つ以上の信号源からの前記電流信号が前記電流電圧変換部に入力される前に加算されることを特徴とする請求項1乃至請求項8のいずれか一項に記載の電子回路。

【請求項 10】

前記複数の信号源には、共通のバイアス電流源からバイアス電流が供給され、

前記共通のバイアス電流源の電流の大きさは、前記複数の信号源のうち1つの電流源のみから前記電流信号が出力されるときに比べて、前記複数の信号源のうち2つ以上の信号

50

源から並列に前記電流信号が出力されるときのほうが大きいことを特徴とする請求項 9 に記載の電子回路。

【請求項 1 1】

半導体基板を有し、

前記半導体基板に前記光電変換部が配され、

前記半導体基板の第 1 主面の側に前記出力線が配され、

前記第 1 主面とは反対側の第 2 主面から前記光電変換部に光が入射することを特徴とする請求項 6 に記載の電子回路。

【請求項 1 2】

第 2 半導体基板を有し、

10

前記半導体基板、及び前記第 2 半導体基板が前記出力線を間に挟んで対向して配され、

前記第 2 半導体基板に前記トランジスタ、または前記電流電圧変換部のいずれかが配されたことを特徴とする請求項 1 1 に記載の電子回路。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は電子回路に関する。

【背景技術】

【0 0 0 2】

近年、電流信号を出力する画素を備えた光電変換装置が提案されている。特許文献 1 の図 5 には、複数の画素を備える固体撮像装置が開示されている。

20

特許文献 1 の固体撮像装置においては、複数の画素が 1 つの信号線に接続されている。それぞれの画素は、ノイズ信号及び映像信号を信号線に出力する。信号線には 2 つのキャパシタが接続されている。ノイズ信号がこれら 2 つのキャパシタのうち一方を充電し、映像信号が他方を充電する。特許文献 1 によれば、2 つのキャパシタに保持された電圧信号を差動增幅回路に入力することで、ノイズ成分を除去することができるとしている。

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2001 - 285718 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

特許文献 1 に開示された固体撮像装置には、異なる画素列の間で出力信号のオフセットが生じるという課題がある。

この原因としては、例えばキャパシタの容量値のばらつきが挙げられる。同じ大きさの電流信号が 2 つのキャパシタを充電しても、2 つのキャパシタの容量値が異なるせいで、2 つのキャパシタの間には電圧の差が生じる。キャパシタの容量値のばらつきはランダムなので、上述の電圧の差は画素列ごとに異なる。結果として、異なる画素列の間で、出力信号のオフセットが生じる。

40

あるいは、出力信号がキャパシタを充電している時間と、ノイズ信号がキャパシタを充電している時間とが異なることによって、2 つのキャパシタに保持される電圧が異なることも考えられる。

固体撮像装置において、画素列間のオフセットはストライプ状のノイズとして得られた画像に現れる。画像においてストライプ状のノイズはよく目立つため、上述の課題は固体撮像装置に特に顕著な課題である。

【課題を解決するための手段】

【0 0 0 5】

本発明に係る電子回路は、それぞれに信号源からの電流信号が出力される複数の出力線と、前記複数の出力線のそれぞれに接続され、前記信号源からの電流信号を電圧信号に変

50

換する電流電圧変換部と、を有する電子回路であって、前記電流電圧変換部は増幅回路を含んで構成され、前記複数の出力線のそれぞれに対して、前記電流電圧変換部よりも後段にオフセット除去部が配され、前記増幅回路は第1入力ノード及び第2入力ノードを有するオペアンプであり、前記第1入力ノードと前記オペアンプの出力ノードとの間の電気的経路に可変抵抗が配され、前記第1入力ノードに前記電流信号が入力され、前記第2入力ノードに所定の電圧が供給され、前記電流信号が、前記抵抗の両端の電圧に変換されたことを特徴とする。

【発明の効果】

【0006】

本発明によれば、出力信号のオフセットを低減することが可能となる。 10

【図面の簡単な説明】

【0007】

【図1】本発明に係る光電変換装置の実施例1の回路を示す図。

【図2】画素回路の例を示す図。

【図3】画素回路の例を示す図。

【図4】画素回路の例を示す図。

【図5】画素の平面構造の例を示す概略図。

【図6】画素の断面構造の例を示す概略図。

【図7】画素の断面構造の例を示す概略図。

【図8】本発明に係る光電変換装置の動作例を示すタイミングチャート図。 20

【図9】本発明に係る光電変換装置の動作例を示すタイミングチャート図。

【図10】本発明に係る光電変換装置の実施例2の回路を示す図。

【図11】本発明に係る光電変換装置の動作例を示すタイミングチャート図。

【図12】本発明に係る光電変換装置の実施例3の回路を示す図。

【図13】本発明に係る光電変換装置の実施例4の回路を示す図。

【図14】画素回路の例を示す図。

【発明を実施するための形態】

【0008】

本発明に係る電子回路は、例えば光電変換装置に含まれる。電子回路は複数の出力線と、出力線のそれぞれに接続された電流電圧変換部とを有する。電流電圧変換部は、入力された電流信号を、電圧信号に変換する回路である。この電流電圧変換部は例えばオペアンプなどの増幅回路を含んで構成される。そして、電子回路は電流電圧変換部よりも後段にオフセット除去部を有する。出力線のそれぞれに対して、このオフセット除去部が配される。 30

【0009】

本発明の特徴部分は、電流電圧変換部が増幅回路を含んで構成され、そして、電流電圧変換部の後段にオフセット除去部が配されることである。あるいは、本発明の別の側面の特徴部分は、電流電圧変換部の出力ノードに2つの信号保持部が電気的に接続されたことである。あるいは、本発明のさらに別の側面の特徴部分は、電流変換部の後段にクランプ容量を有することである。 40

【0010】

このような構成によれば、単一の電流電圧変換部が信号源からの2つの電流信号を電圧信号に変換することができる。例えば、変換された2つの電圧信号を処理することなどによって、電流電圧変換部ごとの特性のばらつきをキャンセルすることができる。つまり、電流電圧変換部の特性のばらつきに起因したオフセットを低減することが可能である。

【0011】

また、電流電圧変換部が増幅回路を含んでいるため、後段の回路の特性のばらつきに起因したオフセットを低減することができる。例えば、信号保持部が容量である場合、容量値にはばらつきが生じることが考えられる。本発明によれば、電流電圧変換部が増幅回路を含むため、信号保持部の容量値のばらつきにかかわらず正確な電圧信号を出力することが 50

可能である。

【0012】

2つの電流信号は、同じ信号源から出力される2つの信号である。または、2つの電流信号は異なる2つの信号源からの信号である。光電変換装置の例では、同じ信号源から出力される2つの信号はリセット信号と光信号である。異なる2つの信号源からの信号は、例えば、受光部を有する画素からの信号と、オプティカルブラック画素からの信号である。

【0013】

信号源は、電流信号を出力するものであればよい。信号源の例として、メモリ、外部からの電流信号が入力される端子、センサ等が挙げられる。画素は光を検出するセンサの一例であり、つまり、信号源である。画素は光電変換部を含み、光電変換部で発生した電荷の量に応じた大きさの電流信号を出力する。他にも熱センサ、圧力センサ、音センサ、電磁波センサなどが信号源の例である。

【0014】

本発明に係る電子回路が光電変換装置に含まれる場合は、上述の効果が特に顕著である。この理由は次の通りである。

【0015】

まず、光電変換装置は主としてカメラや複写機などの撮像部に用いられる。撮像用の光電変換装置に含まれる画素の数は数100万個乃至数千万個に及びうる。このように多数の画素からの信号を効率的に読み出すために、複数の画素が線状あるいは行列状に配置され、複数の画素からの信号が並列に読み出される。このため列ごとに信号処理回路が必要になり、上述の画素列間のオフセットの課題が生じやすいのである。

【0016】

さらに、このような画素列間のオフセットはストライプ状のノイズの原因となる。ストライプ状のノイズは画像の中で目立つため、オフセットを除去することによって、著しく画質を改善することが可能である。つまり、光電変換装置を用いた場合に、本発明によって得られる効果がより顕著になるのである。

【0017】

そこで、以下では光電変換装置の実施例について説明する。これらの実施例の一部あるいは全部の構成を、他の用途の電子回路に適用した変形例も本発明の範囲である。なお、以下の実施例では電子を信号として扱う例を説明する。これに対して、ホールを信号として扱う例も本発明に含まれる。ホールを信号として扱う光電変換装置では、素子の導電型が反対になっている。

【実施例1】

【0018】

本実施例の回路構成を図1に示す。本実施例の光電変換装置は複数の画素、カレントミラー回路、電流電圧変換部、電圧信号保持部、出力部、垂直走査回路、水平走査回路を有する。各画素では、入射光に応じた電荷が生じる。垂直走査回路は、画素に駆動信号を供給する。駆動信号によって、発生した電荷に基づく電流信号が画素から出力される。画素から出力された電流信号はカレントミラー回路を介して、電流電圧変換部に入力される。電流電圧変換部によって電流信号が電圧信号に変換される。電圧信号保持部は変換された電圧信号を保持する。水平走査回路によって、電圧信号保持部に保持された電圧信号が出力部に読み出される。出力部は信号を外部に出力する。

【0019】

本実施例の特徴部分は、電流電圧変換部が增幅回路を含んで構成され、そして、1つの電流電圧変換部の出力ノードに2つの信号保持部が電気的に接続されたことである。

【0020】

各部の詳細な構成を説明する。複数の画素101は3行3列の画素アレイを構成するように配されている。画素101の数は、複数であればいくつでもよい。たとえば、複数の画素101が1000行以上、1500列以上の画素アレイを構成してもよい。または、

10

20

30

40

50

複数の画素 101 が一列に並び、ラインセンサを構成してもよい。

【0021】

1つの画素列に含まれる複数の画素 101 の信号は、共通の回路によって処理される。以下では、1つの画素列に配された画素 101 からの信号を処理するための回路を例に説明する。他の画素列においても、説明の対象となっている画素列と同様の回路構成となっている。

【0022】

画素 101 は、少なくとも光電変換部と画素増幅部を含む。光電変換部によって入射光が電荷に変換される。そして、画素増幅部が発生した電荷の量に基づいた電流信号を出力する。つまり、画素 101 は電流信号を出力する信号源である。画素 101 は画素からの電流信号が出力される OUT ノードを有する。画素はさらに、必要に応じて、バイアス電流源からのバイアス電流が供給される BIAS ノードや、駆動信号が供給される複数のノード (PTX ノード、PRES ノード、PSEL ノード) を有する。画素の詳しい構成については後述する。

【0023】

画素 101 の BIAS ノードはバイアス電流源 102 に電気的に接続される。複数の画素 101 が共通のバイアス電流源 102 に接続されてもよい。例えば、本実施例では、同一の画素列に配された複数の画素 101 の BIAS ノードが共通のバイアス電流源 102 に接続される。あるいは、同一の列に配された複数の画素 101 のそれぞれに対応して、1つずつバイアス電流源 102 が配されてもよい。

【0024】

画素 101 の PTX ノード、PRES ノード、PSEL ノードは、垂直走査回路 103 と電気的に接続される。垂直走査回路 103 は、PTX ノード、PRES ノード、及び PSEL ノードに駆動信号を供給する。垂直走査回路 103 は同一の画素行に含まれる複数の画素 101 に共通の駆動信号を供給することができる。また、垂直走査回路 103 は異なる画素行に含まれる複数の画素 101 に互いに独立した駆動信号を供給することができる。垂直走査回路 103 によって、画素行ごとに画素 101 からの信号が読み出される。

【0025】

画素 101 の OUT ノードは、第 1 出力線 104 に電気的に接続される。複数の画素 101 が共通の第 1 出力線 104 に接続されてもよい。例えば、本実施例では同一の画素列に配された複数の画素 101 の OUT ノードが共通の第 1 出力線 104 に接続される。そして、複数の画素 101 からの電流信号が第 1 出力線 104 に出力される。

【0026】

第 1 出力線 104 は、カレントミラー回路に電気的に接続される。カレントミラー回路の出力ノードは第 2 出力線 107 に接続される。カレントミラー回路は、入力側トランジスタ 105 及び出力側トランジスタ 106 によって構成される。入力側トランジスタ 105 及び出力側トランジスタ 106 は、P チャネル型の MOS トランジスタである。入力側トランジスタ 105 のゲートとドレインとが短絡される。入力側トランジスタ 105 のソースは電源電圧供給線に電気的に接続される。電源電圧供給線は入力側トランジスタ 105 のソースに電源電圧 VDD を供給する。出力側トランジスタ 106 のゲートは、入力側トランジスタ 105 のゲートと電気的に接続される。出力側トランジスタ 106 のソースは電源電圧供給線に接続される。電源電圧供給線は出力側トランジスタ 106 のソースに電源電圧 VDD を供給する。第 1 出力線 104 は、入力側トランジスタ 105 のドレイン、及び当該ドレインと短絡されたゲートに電気的に接続される。出力側トランジスタ 106 のドレインは第 2 出力線 107 に電気的に接続される。

【0027】

カレントミラー回路によって、入力側トランジスタ 105 を流れる電流が、出力側トランジスタ 106 にミラーリングされる。つまり、カレントミラー回路は、第 1 出力線 104 の電流信号に応じた電流信号 (ミラー電流信号) を第 2 出力線 107 に出力する。カレントミラー回路は、第 1 出力線 104 の電流信号に対して増幅、あるいは減衰されたミラ

10

20

30

40

50

—電流信号を出力してもよい。入力側トランジスタ105と出力側トランジスタ106とのサイズの比によって増幅(減衰)率を決定することができる。例えば、入力側トランジスタ105と出力側トランジスタ106とが同じチャネル長を有する場合、両者のチャネル幅の比が電流の増幅(減衰)率である。

【0028】

第2出力線107は電流電圧変換部に電気的に接続される。電流電圧変換部は、オペアンプ108、及び変換抵抗109により構成される。第2出力線107はオペアンプ108の一方の入力ノード110に電気的に接続される。オペアンプ108の他方の入力ノード111は基準電圧供給線に接続される。基準電圧供給線は、オペアンプ108の当該他方の入力ノード111(2つの入力ノードのうち、第2出力線107に接続されていない入力ノード)に基準電圧VREFを供給する。第2出力線107が接続された入力ノード110は、変換抵抗109を介してオペアンプ108の出力ノード112に電気的に接続される。つまり、変換抵抗109は一端が第2出力線107及びオペアンプ108の入力ノード110に接続され、他端がオペアンプ108の出力ノード112に接続される。

10

【0029】

オペアンプ108は、その2つの入力ノードの電圧が等しくなるように動作する。入力ノード111には所定の参照電圧VREFが供給されているので、もう一方の入力ノード110の電圧、つまり変換抵抗109の一端の電圧も参照電圧VREFとなる。このため、オペアンプ108の出力ノード112(変換抵抗109の他端)の電圧は、変換抵抗109での電圧降下の大きさ、つまり変換抵抗109に流れる電流の大きさで決まる。オペアンプ108の入力抵抗が高いため、第2出力線107からの電流は、ほとんどが変換抵抗109に流れる。したがって、オペアンプ108の出力ノード112には、第2出力線107の電流信号の大きさに応じた電圧が出力される。このように、第2出力線107からの電流信号は、電流電圧変換部によって電圧信号に変換される。

20

【0030】

変換抵抗109の抵抗値を可変にすることで、電流信号から電圧信号への変換におけるゲインを変えることができる。抵抗値を大きくすることで、ゲインを大きくできる。例えば入力される電流信号が小さい場合には、ゲインを大きくすることでノイズの影響を低減できる。一方で、抵抗値を小さくすることで、ゲインを小さくできる。入力される電流信号が大きい場合にはゲインを小さくすることで、広いダイナミックレンジを得ることができる。

30

【0031】

電流電圧変換部においてゲインを変化させても、流れる電流値は変わらない。そのため、電力消費量は変わらない。このように、電流自体を増幅させる場合に比べて、電力消費を低減することが可能である。

【0032】

電流電圧変換部の出力ノード(オペアンプ108の出力ノード112)は、電圧信号保持部に電気的に接続される。電圧信号保持部は第1スイッチ113、第2スイッチ114、CTN容量115、CTS容量116によって構成される。第1スイッチ113は、オペアンプ108の出力ノード112とCTN容量115の一端との間の電気的経路に配される。第1スイッチ113のゲートはPTNノードに接続される。CTN容量115の他端には基準電圧GNDが供給される。第2スイッチ114は、オペアンプ108の出力ノード112とCTS容量116の一端との間の電気的経路に配される。第1スイッチ114のゲートはPTSノードに接続される。CTS容量116の他端には基準電圧GNDが供給される。

40

【0033】

PTNノード及びPTSノードには、それぞれ第1スイッチ113及び第2スイッチ114のオンとオフを制御するための駆動信号が供給される。PTNノードに供給される駆動信号により第1スイッチ113がオンすると、オペアンプ108の出力ノード112の電圧がCTN容量115に保持される。PTSノードに供給される駆動信号により第2ス

50

イッチ 114 がオンすると、オペアンプ 108 の出力ノード 112 の電圧が CTS 容量 116 に保持される。このように、電圧信号保持部は、電流電圧変換部によって変換された電圧信号を保持することができる。

【0034】

電圧信号保持部は、出力部に電気的に接続される。出力部は、第3スイッチ 117、第4スイッチ 118、及び出力アンプ 121 により構成される。CTN 容量 115 は、第3スイッチ 117 を介して第3出力線 119 に接続される。CTS 容量 116 は、第4スイッチ 118 を介して第4出力線 120 に接続される。第3スイッチ 117 及び第4スイッチ 118 のゲートは水平走査回路 122 に接続される。第3出力線 119 及び第4出力線 120 はそれぞれ出力アンプ 121 に接続される。出力アンプ 121 の出力ノードは、後段の信号処理回路（不図示）に接続されうる。10

【0035】

水平走査回路 122 は、第3スイッチ 117 及び第4スイッチ 118 のオンとオフを制御する駆動信号を供給する。第3スイッチ 117 がオンすると、CTN 容量 115 に保持された電圧信号が容量分割によって第3出力線 119 に読み出される。第4スイッチ 118 がオンすると、CTS 容量 116 に保持された電圧信号が容量分割によって第4出力線 120 に読み出される。出力アンプ 121 は第3出力線 119 及び第4出力線 120 の電圧信号を増幅して出力する。あるいは、出力アンプ 121 が差分処理を行う差分処理回路であってもよい。例えば、出力アンプ 121 は第3出力線 119 及び第4出力線 120 の電圧差を増幅して出力する。このように、出力部は電圧信号保持部に保持された電圧信号を出力する。20

【0036】

本明細書において、容量分割とは、容量がスイッチによって別の容量に接続された時に、容量に保持された電圧が2つの容量の合成容量に応じた電圧に変換されることを意味する。例えば、CTS 容量 116 に保持された電圧が、CTS 容量 116 の容量値と第4出力線の容量値の合成容量に応じた電圧に変換される。

【0037】

以上に説明したように、信号源である画素からの信号が、電圧信号に変換されて外部に出力される。

【0038】

次に、画素 101 の詳細な構造について説明する。画素 101 は、少なくとも光電変換部と画素増幅部を含む。光電変換部によって入射光が電荷に変換される。そして、画素増幅部が発生した電荷の量に基づいた電流信号を出力する。30

【0039】

図 2 に画素 101 の回路の例を示す。本実施例において、光電変換部はフォトダイオード（以下、PD）201 であり、画素増幅部は差動増幅回路である。差動増幅回路は第1入力トランジスタ 202 及び第2入力トランジスタ 203 を含んで構成される。さらに本実施例の画素 101 は、転送トランジスタ 204、リセットトランジスタ 205、第1選択トランジスタ 206、第2選択トランジスタ 207、抵抗 R1、及び抵抗 R2 を含む。40

【0040】

PD 201 のアノードには基準電圧 GND が供給される。PD 201 のカソードは転送トランジスタ 204 を介して、ノード 208 に接続される。転送トランジスタ 204 は、PD 201 で発生した電荷をノード 208 に転送する。

【0041】

第1入力トランジスタ 202 のゲートは、ノード 208 に接続される。第1入力トランジスタ 202 のゲートは差動増幅回路の第1入力ノードである。第1入力トランジスタ 202 のゲートの電圧はノード 208 に転送された電荷の量に応じた電圧となる。つまり、ノード 208 において転送された電荷が電圧に変換される。第1入力トランジスタ 202 のドレインは電源電圧供給線に接続される。電源電圧供給線は第1入力トランジスタのドレインに電源電圧 S V D D を供給する。なお、電源電圧 S V D D は、カレントミラー回路50

に供給される電源電圧 V D D と同じであってもよい。両者が異なる電圧であってもよい。第 1 入力トランジスタ 202 のソースは抵抗 R 1 を介して第 1 選択トランジスタ 206 のドレインに接続される。

【 0 0 4 2 】

第 2 入力トランジスタ 203 のゲートは、リセット電圧供給線に接続される。第 2 入力トランジスタ 202 のゲートは差動增幅回路の第 2 入力ノードである。リセット電圧供給線から第 2 入力トランジスタ 203 のゲートにリセット電圧 V R E S が供給される。第 2 入力トランジスタ 203 のソースは抵抗 R 2 を介して第 1 選択トランジスタ 206 のドレインに接続される。第 2 入力トランジスタ 203 のドレインは、第 2 選択トランジスタ 207 のソースに接続される。

10

【 0 0 4 3 】

ノード 208 はリセットトランジスタ 205 を介して、リセット電圧供給線に接続される。リセットトランジスタ 205 がオンすると、ノード 208 にリセット電圧 V R E S が供給される。つまり、リセットトランジスタ 205 は、第 1 入力ノードの電圧をリセットする。

【 0 0 4 4 】

第 1 選択トランジスタ 206 のドレインは抵抗 R 1 及び抵抗 R 2 に接続される。第 1 選択トランジスタ 206 のソースは BIAS ノードに接続される。第 2 選択トランジスタ 207 のドレインは OUT ノードに接続される。なお、BIAS ノードはバイアス電流源に接続される。また、OUT ノードは第 1 出力線に接続される。

20

【 0 0 4 5 】

転送トランジスタ 204 のゲートは PTX ノードに接続される。リセットトランジスタ 205 のゲートは PRES ノードに接続される。第 1 選択トランジスタ 206 のゲート及び第 2 選択トランジスタ 207 のゲートはいずれも PSEL ノードに接続される。各トランジスタのオンとオフを制御する駆動信号が、垂直走査回路 103 から各トランジスタのゲートに供給される。

【 0 0 4 6 】

第 1 入力トランジスタ 202、及び第 2 入力トランジスタ 203 は差動対を構成する。つまり、2つのトランジスタのソースが共通のバイアス電流源に接続される。そして、それぞれのゲートが2つの入力ノードであり、2つの入力ノードの電圧差に応じた電流信号が第 2 入力トランジスタのドレイン電流として流れ。このように、差動対である第 1 入力トランジスタ 202 と第 2 入力トランジスタ 203 とが差動増幅回路を構成する。

30

【 0 0 4 7 】

また、第 1 及び第 2 選択トランジスタは電流信号を出力する画素を選択する。つまり、第 1 及び第 2 選択トランジスタがオンであれば、差動増幅回路から画素の OUT ノードに電流信号が出力される。

【 0 0 4 8 】

図 2 において、第 1 選択トランジスタ 206、及び第 2 選択トランジスタ 207 は画素を選択するために設けられる。第 1 選択トランジスタ 206 が配されることによって、非選択時の消費電流が低減される。第 2 選択トランジスタ 207 が配されることによって、第 1 出力線 104 の寄生容量低減の効果が得られる。

40

【 0 0 4 9 】

図 2 において、第 1 選択トランジスタ 206 及び第 2 選択トランジスタ 207 のいずれか一方が省略されてもよい。第 2 選択トランジスタ 207 が省略された場合は、差動対の対称性が向上するため、より正確な信号を出力できる。

【 0 0 5 0 】

また、第 1 入力トランジスタ 202 と電源電圧供給線の間の電気的経路に第 3 選択トランジスタが配されてもよい。第 2 選択トランジスタ 207 及び第 3 選択トランジスタの両方が配された場合にも、差動対の対称性が向上するため、より正確な信号を出力できる。

【 0 0 5 1 】

50

あるいは、第1選択トランジスタ206及び第2選択トランジスタ207の両方が省略されてもよい。この場合は、第1入力トランジスタ202及び第2入力トランジスタ203のゲートに、両者をオフにする電圧を供給することで画素を非選択状態にすることができます。具体的には一例としてリセット電圧供給線にリセット電圧VRESとは異なる電圧を供給する電圧供給手段があればよい。第1選択トランジスタ206及び第2選択トランジスタ207の両方を省略することでトランジスタの数を減らすことができるので、開口率を向上させることができる。

【0052】

また、転送トランジスタ204は必要に応じて設けられる。図2に示された回路の変形例では、転送トランジスタ204が省略される。これによりトランジスタの数を減らすことができる、開口率を向上させることができる。10

【0053】

次に、画素101の別の形態について説明する。画素101は、少なくとも光電変換部と画素増幅部を含む。光電変換部によって入射光が電荷に変換される。そして、画素増幅部が発生した電荷の量に基づいた電流信号を出力する。

【0054】

図3に画素101の回路の別の例を示す。本実施例において、光電変換部はフォトダイオード(以下、PD)201であり、画素増幅部は差動増幅回路である。差動増幅回路は第1入力トランジスタ202及び第2入力トランジスタ203を含んで構成される。さらに本実施例の画素101は、転送トランジスタ204、リセットトランジスタ209、接続トランジスタ210、第1選択トランジスタ206、第2選択トランジスタ207、抵抗R1、及び抵抗R2を含む。20

【0055】

PD201のアノードには基準電圧GNDが供給される。PD201のカソードは転送トランジスタ204を介して、ノード208に接続される。転送トランジスタ204は、PD201で発生した電荷をノード208に転送する。

【0056】

第1入力トランジスタ202のゲートは、ノード208に接続される。第1入力トランジスタ202のゲートは差動増幅回路の第1入力ノードである。第1入力トランジスタ202のゲートの電圧はノード208に転送された電荷の量に応じた電圧となる。つまり、ノード208において転送された電荷が電圧に変換される。第1入力トランジスタ202のドレインは電源電圧供給線に接続される。電源電圧供給線は第1入力トランジスタのドレインに電源電圧SVDDを供給する。なお、電源電圧SVDDは、カレントミラー回路に供給される電源電圧VDDと同じであってもよい。両者が異なる電圧であってもよい。第1入力トランジスタ202のソースは抵抗R1を介して第1選択トランジスタ206のドレインに接続される。30

【0057】

第2入力トランジスタ203のゲートは、後述する接続トランジスタ210のソースに接続される。第2入力トランジスタ203のゲートは差動増幅回路の第2入力ノードである。第2入力トランジスタ203のソースは抵抗R2を介して第1選択トランジスタ206のドレインに接続される。第2入力トランジスタ203のドレインは、第2選択トランジスタ207のソースに接続される。40

【0058】

ノード208はリセットトランジスタ209を介して、リセット電圧供給線に接続される。リセットトランジスタ209がオンすると、ノード208にリセット電圧VRESが供給される。つまり、リセットトランジスタ209は、第1入力ノードをリセットする。

【0059】

接続トランジスタ210は第1入力トランジスタ202のゲート(ノード208)と第2入力トランジスタ203のゲートとの間の電気的経路に配される。つまり、接続トランジスタ210のソースドレインの一方は第1入力トランジスタ202のゲートに接続され50

る。そして、接続トランジスタ 210 のソースドレインの他方は第 2 入力トランジスタ 203 のゲートに接続される。接続トランジスタ 210 がオンすると、第 1 入力トランジスタ 202 のゲートと第 2 入力トランジスタ 203 のゲートとが短絡される。リセットトランジスタ 209 及び接続トランジスタ 210 が両方ともオンすることで、リセットトランジスタ 209 及び接続トランジスタ 210 を介して第 2 入力トランジスタ 203 のゲートにリセット電圧 VRES が供給される。

【0060】

第 1 選択トランジスタ 206 のドレインは抵抗 R1 及び抵抗 R2 に接続される。第 1 選択トランジスタ 206 のソースは BIAS ノードに接続される。第 2 選択トランジスタ 207 のドレインは OUT ノードに接続される。なお、BIAS ノードはバイアス電流源に接続される。また、OUT ノードは第 1 出力線に接続される。10

【0061】

転送トランジスタ 204 のゲートは PTX ノードに接続される。リセットトランジスタ 209 のゲート及び接続トランジスタ 210 のゲートはいずれも PRES ノードに接続される。第 1 選択トランジスタ 206 のゲート及び第 2 選択トランジスタ 207 のゲートはいずれも PSEL ノードに接続される。各トランジスタのオンとオフを制御する駆動信号が、垂直走査回路 103 から各トランジスタのゲートに供給される。

【0062】

なお、図 3 ではリセットトランジスタ 209 のゲートと接続トランジスタ 210 のゲートとが接続されているが、それぞれに独立に駆動信号を供給する構成でもよい。この場合、リセットトランジスタ 209 と接続トランジスタ 210 とを独立に制御することが可能となる。例えば、両方のトランジスタがオンの状態から、リセットトランジスタ 209 を先にオフにして、その後、接続トランジスタ 210 をオフにするという制御を行ってもよい。20

【0063】

第 1 入力トランジスタ 202、及び第 2 入力トランジスタ 203 は差動対を構成する。つまり、2つのトランジスタのソースが共通のバイアス電流源に接続される。そして、それぞれのゲートが2つの入力ノードであり、2つの入力ノードの電圧差に応じた電流信号が第 2 入力トランジスタのドレイン電流として流れる。このように、差動対である第 1 入力トランジスタ 202 と第 2 入力トランジスタ 203 とが差動増幅回路を構成する。30

【0064】

第 1 及び第 2 選択トランジスタは電流信号を出力する画素を選択する。つまり、第 1 及び第 2 選択トランジスタがオンであれば、差動増幅回路から画素の OUT ノードに電流信号が出力される。

【0065】

続いて、図 3 に示された画素回路の変形例を説明する。図 3 に示された画素回路において、第 2 入力トランジスタ 203 のゲートとリセット電圧供給線との間の電気的経路に、第 2 のリセットトランジスタが配されてもよい。この場合、差動増幅回路の 2 つの入力ノードの対称性が高くなるので、差動増幅回路の精度を向上させることができる。

【0066】

この場合に、リセットトランジスタ 209 を省略した構成でもよい。このような回路を図 4 に示す。第 1 入力トランジスタ 202 の入力ノードに接続されるトランジスタの数は、転送トランジスタ 204 と接続トランジスタ 210 の 2 つである。第 2 入力トランジスタ 203 の入力ノードに接続されるトランジスタの数は、第 2 のリセットトランジスタと接続トランジスタ 210 の 2 つである。このように、差動増幅回路の 2 つの入力ノードに接続されるトランジスタの数を同じにできるため、差動増幅回路の精度を高めることが可能となる。40

【0067】

また、図 3 及び図 4 において、第 1 選択トランジスタ 206、及び第 2 選択トランジスタ 207 は画素を選択するために設けられる。第 1 選択トランジスタ 206 が配されるこ50

とによって、非選択時の消費電流が低減される。第2選択トランジスタ207が配されることによって、第1出力線104の寄生容量低減の効果が得られる。

【0068】

図3及び図4において、第1選択トランジスタ206及び第2選択トランジスタ207のいずれか一方が省略されてもよい。第2選択トランジスタ207が省略された場合は、差動增幅回路の2つの入力ノードの対称性が高くなるので、差動增幅回路の精度を向上させることができる。

【0069】

また、第1入力トランジスタ202と電源電圧供給線の間の電気的経路に第3選択トランジスタが配されてもよい。第2選択トランジスタ207及び第3選択トランジスタの両方が配された場合にも、差動対の対称性が向上するため、より正確な信号を出力できる。10

【0070】

あるいは、第1選択トランジスタ206及び第2選択トランジスタ207の両方が省略されてもよい。この場合は、第1入力トランジスタ202及び第2入力トランジスタ203のゲートに、両者をオフにする電圧を供給することで画素を非選択状態にすることができます。具体的には一例としてリセット電圧供給線にリセット電圧VRESとは異なる電圧を供給する電圧供給手段があればよい。第1選択トランジスタ206及び第2選択トランジスタ207の両方を省略することで、トランジスタの数を減らすことができるので、開口率の向上に有利である。

【0071】

さらに別の変形例として、図3に示された画素回路において、PD201の電荷が第2入力トランジスタ203のゲートに転送される構成でもよい。つまり、転送トランジスタがPD201と第1入力トランジスタ202のゲートとの間ではなく、PD201と第2入力トランジスタ203のゲートとの間の電気的経路に配される。図3の回路ではリセット電圧VRESが供給された後に、第1入力トランジスタ202及び第2入力トランジスタ203の両方のゲートをフローティングにすることができる。そのため、PD201の電荷がどちらの入力ノードに転送されても、2つの入力ノードの電圧の差に応じた電流がOUTノードから出力される。この変形例においては、図4に示された回路と同様に、差動增幅回路の2つの入力ノードに接続されるトランジスタの数を同じにできるため、差動增幅回路の精度を高めることが可能となる。20

【0072】

図2や図3、図4に示された画素101においては、PD201からノード208に信号電荷である電子が転送される。そのため、ノード208がリセットされた状態で電荷が転送されると、ノード208の電圧は低くなる。そして、転送される電荷（電子）の量が多いほど、ノード208の電圧が低くなる。入力トランジスタ202、203はNチャネル型なので、明時に出力される電流の大きさは、暗時に出力される電流の大きさよりも大きくなる。一方、PD201の電荷が、第2入力トランジスタ203のゲートに転送される回路では、転送される電荷の量が多いほど出力される電流の大きさが小さくなる。なお、暗時とは、ノード208の電圧がリセットされ、電荷が転送されていない状態を含む。30

【0073】

図3、図4に示された回路では、差動增幅回路の2つの入力ノードに接続された接続トランジスタを有する。これによって、入力ノードをリセットしたときに生じるリセットノイズが2つの入力ノードにほぼ均等に分配される。差動増幅によって分配されたリセットノイズが相殺されるため、出力される電流信号に含まれるノイズを低減することが可能となる。40

【0074】

図2、図3、及び図4に示された回路は、光電変換部で発生した電荷の量に応じた電流信号を第1出力線104に読み出すための回路である。第1出力線104には、複数の光電変換部からの電流信号が出力される。そのため、図1が示す通り、図2、図3、及び図4のいずれかに示された回路が繰り返し配される。言い換えると、複数の光電変換部に対50

応して、読み出し回路を構成する素子（例えば第1、第2入力トランジスタやリセットトランジスタなど）が繰り返し配される。

【0075】

ここでは、1つの光電変換部に対して1つの割合で、各素子が繰り返し配される例を説明した。変形例として、2つ以上の光電変換部に対して1つの割合で、各素子が繰り返し配されてもよい。例えば、2つの光電変換部の電荷が同じ第1入力トランジスタのゲートに転送される構成でもよい。このような構成によって、2つの光電変換部が転送トランジスタを除く画素回路を共有できる。その結果、読み出し回路に含まれる素子の数を減らすことができる。

【0076】

本実施例では、複数の光電変換部に対応して繰り返し配されるトランジスタは、全て同一の導電型である。具体的には、2つの入力トランジスタ202、203、転送トランジスタ204、リセットトランジスタ205、第1選択トランジスタ206、第2選択トランジスタ207、リセットトランジスタ209、接続トランジスタ210がいずれもNチャネル型である。このような構成によれば、画素内に配されるウェルの導電型を1つにできるため、画素における光電変換部が占める面積の割合を大きくすることができる。結果として、感度あるいは飽和電荷量、またはその両方を向上させることができる。しかし、必要に応じてこれらのトランジスタの一部を別の導電型のトランジスタとしてもよい。

【0077】

さらに、PD201が電子を蓄積する構成では、繰り返し配される複数のトランジスタがいずれもN型チャネルであることが好ましい。PD201がホールを蓄積する構成では、繰り返し配される複数のトランジスタがいずれもP型チャネルであることが好ましい。これによって、PD201の電荷蓄積領域となる半導体領域と、トランジスタと同じ導電型のウェルに配することができる。結果として感度あるいは飽和電荷量、またはその両方を向上させることができる。

【0078】

なお、電流信号を共通の出力線に読み出すための回路に、繰り返し配されず、複数の光電変換部に共通に配された素子が含まれてもよい。例えば、図1のバイアス電流源102は、画素の差動增幅回路が動作するためのバイアス電流を供給している。つまり、バイアス電流源102は、読み出し回路に含まれる。しかし、バイアス電流源102は、複数の出力線のそれぞれに対して1つずつ配されているのみである。このような素子は、共通の出力線に信号が出力される複数の光電変換部に対応して、繰り返し配された素子ではない。

【0079】

図5は、図3に示された画素101の平面構造の概略図である。画素回路はシリコン基板などの半導体基板に形成される。半導体基板は、素子分離部501で規定された活性領域を含む。PD、トランジスタ、抵抗などの素子は、活性領域に配される。

【0080】

素子分離部501は例えばLOCOS (Local Oxidation of Silicon) やSTI (Shallow Trench Isolation)などの絶縁体を用いた分離構造である。あるいは、素子分離部501はPN接合を用いた分離構造であってもよい。素子分離部501は、トランジスタやPDを電気的に分離する。

【0081】

本実施例では、各トランジスタはMOS型トランジスタである。つまり、各トランジスタはソース領域、ドレイン領域、ゲート電極、及びチャネル領域を有する。ソース領域、ドレイン領域、及びチャネル領域は半導体基板に配された半導体領域である。ゲート電極は、半導体基板上に絶縁膜を介して配されたポリシリコンなどで構成される。

【0082】

PD201は半導体領域502によって構成される。第1入力トランジスタ202のソース、ドレイン及びゲートは、それぞれ半導体領域503、504及びゲート電極505

10

20

30

40

50

によって構成される。第2入力トランジスタ203のソース、ドレイン及びゲートは、それぞれ半導体領域506、507及びゲート電極508によって構成される。また、半導体領域503、506は、それぞれ抵抗R1、R2を構成する。転送トランジスタ204のゲートはゲート電極509によって構成される。第1選択トランジスタ206のソース、ドレイン及びゲートは、それぞれ半導体領域510、511及びゲート電極512によって構成される。第2選択トランジスタ207のソース、ドレイン及びゲートは、それぞれ半導体領域507、513及びゲート電極512によって構成される。リセットトランジスタ209のソース、ドレイン及びゲートは、それぞれ半導体領域514、515及びゲート電極516によって構成される。接続トランジスタ210のソース、ドレイン及びゲートは、それぞれ半導体領域514、517及びゲート電極516によって構成される。

10

【0083】

ソース、ドレインを構成する半導体領域、及びゲート電極にはコンタクトプラグ518が接続される。半導体領域及びゲート電極は、それぞれコンタクトプラグ518を介して配線に接続される。例えば、半導体領域514とゲート電極505とは、配線によって互いに接続され、図3のノード208を構成する。詳細な接続関係は図3に示されているので、ここではその説明を省略する。

【0084】

図5が示すように、互いに接続される2つのノードが、共通の半導体領域あるいは共通のゲート電極によって構成されてもよい。例えば、第2入力トランジスタ203のドレインは第2選択トランジスタ207のソースに接続されるので、両者はいずれも共通の半導体領域507によって構成される。しかし、それぞれが別々の半導体領域で構成されてもよい。同様に、リセットトランジスタ209のゲートと接続トランジスタ210のゲートが、分離されたゲート電極でそれぞれ構成されてもよい。図5では、半導体領域503、506によって抵抗R1、R2が構成されている。しかし、抵抗R1、R2が例えればポリシリコンなどの薄膜抵抗で形成されてもよい。

20

【0085】

図5に示される平面構造では、第1入力トランジスタのゲート電極505から第2入力トランジスタのゲート電極508までの構造が線対称になっている。このように、差動対を構成する2つの入力トランジスタの平面構造が対称性を有することによって、差動増幅回路の精度を向上させることができる。

30

【0086】

図6は、図5の線分ABに沿った断面構造の概略図である。図6にはPD201、転送トランジスタ204、及び第1入力トランジスタ202が示される。図6において、図5と同様の部分については同一の符号が付されている。

【0087】

PD201はN型の半導体領域502で構成される。N型半導体領域502には、光電変換によって発生した電荷が収集される。第1入力トランジスタ202のソース、ドレインは、N型の半導体領域503、504で構成される。すなわち、第1入力トランジスタ202はNチャネル型である。これらのN型半導体領域は、P型ウェル519に配される。P型ウェル519には基準電圧GNDが供給される。

40

【0088】

P型ウェル519は、例えば半導体基板に不純物を拡散させて形成された半導体領域である。あるいは、P型ウェル519はP型の半導体基板であってもよい。あるいは、P型ウェル519はエピタキシャル成長によって形成されたP型の半導体領域であってもよい。

【0089】

PD201のN型半導体領域502に隣接して、P型半導体領域520が配される。P型半導体領域520はP型ウェル519と接続され、基準電位GNDが供給される。P型半導体領域520によって、半導体基板と絶縁体との界面で発生する暗電流に起因するノ

50

イズを低減することができる。

【0090】

画素回路を構成するトランジスタの導電型が同一であれば、図6のようにウェルの導電型を1つのみにすることができる。これによって、画素における光電変換部が占める面積の割合を大きくすることができるので、感度あるいは飽和電荷量、またはその両方を向上させることができる。

【0091】

さらに、本実施例では、PD201が電子を蓄積する構成になっている。このため、P型ウェル519にN型半導体領域502を形成することで、PD201を構成することが可能である。これによれば、ウェルの導電型を1つのみにすることができるため、感度あるいは飽和電荷量、またはその両方を向上させることができ。なお、PD201がホールを蓄積する変形例では、トランジスタの導電型がPチャネル型である。これによって、ウェルの導電型を1つのみ(N型)にすることができる。

【0092】

2つの導電型のウェルを配すると、当該2つのウェルの間にPN接合が形成される。この場合、このPN接合での電界の影響を受けないように、PN接合面から離れた位置に素子を配置する必要がある。したがって、光電変換部以外の部分が占める面積の割合が大きくなってしまう。

【0093】

図6が示すように、光は矢印Lの方向に沿って半導体基板に入射する。このように、図6に示された光電変換装置は表面照射型である。

【0094】

図7は、図5の線分ABに沿った断面構造の別の例を示す概略図である。図7にはPD201、転送トランジスタ204、及び第1入力トランジスタ202が示される。

【0095】

図7に示された光電変換装置は、裏面照射型である。つまり、トランジスタのゲート電極や配線が配された側とは反対側の正面から半導体基板に光が入射する。図7において光が入射する方向は、矢印Lで示される。

【0096】

図7において、図6と同様の部分には同様の符号を付し、詳細な説明は省略する。図7には、配線521が示されている。また、半導体基板の入射面側に、カラーフィルタ522、マイクロレンズ523が配される。

【0097】

このような裏面照射型の光電変換装置では、入射面側において光を遮光する配線やゲート電極の面積を小さくすることができる。そのため、感度を向上させることができる。

【0098】

なお、信号を読み出すための回路や信号処理回路を構成するトランジスタが配された第2の半導体基板が配線521の反対側に配されてもよい。つまり、PD201が配された第1の半導体基板と、トランジスタが配された第2の半導体基板とが、配線を間に挟んで対向して配されてもよい。このような構成によれば、光電変換部を含む半導体基板に配されるトランジスタの数を減らすことができる。そのため、光電変換部の面積を大きくすることができますので、感度を向上させることができます。

【0099】

続いて本実施例の光電変換装置の動作について説明する。図8は駆動信号のタイミングチャートを示している。駆動信号PSEL、駆動信号PRE、駆動信号PTX、駆動信号PTN、駆動信号PTSは、それぞれ図1のPSELノード、PREノード、PTXノード、PTNノード、PTSノードに供給される。駆動信号H1は、図1の一番左の画素列に対応する第3スイッチ117及び第4スイッチ118のゲートに供給される。駆動信号H2は、図1の中央の画素列に対応する第3スイッチ117及び第4スイッチ118

10

20

30

40

50

のゲートに供給される。駆動信号 H 3 は、図 1 の一番右の画素列に対応する第 3 スイッチ 117 及び第 4 スイッチ 118 のゲートに供給される。

【 0100 】

各駆動信号はハイレベルとローレベルの少なくとも 2 値の電圧値を有する。ハイレベルは対応するトランジスタがオンとなる電圧である。ローレベルは対応するトランジスタがオフとなる電圧である。

【 0101 】

時刻 T 1 の前は、PRES がハイレベルであり、他の駆動信号はローレベルである。この時は、リセット電圧 VRES がノード 208 及び第 2 入力トランジスタ 203 のゲートに供給されている。また、この期間には転送トランジスタ 204 がオフであるため、光電変換によって発生した電荷が PD201 に蓄積されている。10

【 0102 】

時刻 T 1 に、PSEL がハイレベルになる。これによって画素が選択される。つまり、画素增幅部の入力ノードの電圧に応じた電流信号が画素の OUT ノードから出力される。

【 0103 】

時刻 T 2 において PRES がローレベルになる。これにより、ノード 208 がフローティングになる。図 3 に示される画素においては、ノード 208 と第 2 入力トランジスタ 203 のゲートとがそれぞれフローティングになる。

【 0104 】

時刻 T 3 において PTN がハイレベルになる。PTN がハイレベルである期間に、画素の出力する電流信号から変換された電圧信号が CTN 容量 115 に保持される。時刻 T 3 では、画素增幅部の入力ノード（ノード 208）の電圧はリセット電圧 VRES である。そのため、画素がリセットされた状態で出力されるリセット信号が CTN 容量 115 に保持される。このリセット信号には、リセットトランジスタがオフしたときに発生するノイズが含まれていてもよい。時刻 T 3 から所定の時間の後、PTN はローレベルになる。20

【 0105 】

時刻 T 4 において、PTX がハイレベルになる。これによって、PD201 で発生した電荷が、ノード 208 に転送される。このとき、PD201 の全ての電荷が、ノード 208 に転送されることが好ましい。時刻 T 4 から所定の時間の後、PTX はローレベルとなる。30

【 0106 】

電荷がノード 208 に転送されることで、ノード 208 の電圧はリセット電圧 VRES から変化する。転送される電荷の量に応じて、電圧の変化する量が決まる。一方で、第 2 入力トランジスタ 203 のゲートの電圧はリセット電圧 VRES に保たれる。したがって、差動増幅回路の 2 つの入力には電荷の量に応じた電位差が与えられ、その電位差に基づく電流信号が画素から出力される。

【 0107 】

時刻 T 5 において PTS がハイレベルになる。PTS がハイレベルである期間に、画素の出力する電流信号から変換された電圧信号が CTS 容量 116 に保持される。時刻 T 5 では、画素增幅部の入力ノード（ノード 208）の電圧は、入射光によって発生した電荷の量に応じた電圧である。そのため、入射光の量に応じた光信号が CTS 容量 116 に保持される。光信号には、リセットトランジスタがオフした時に発生するノイズが含まれていてもよい。時刻 T 5 から所定の時間の後、PTS はローレベルになる。40

【 0108 】

時刻 T 6 に PRES がハイレベルになり、時刻 T 7 に PTX がハイレベルになる。これによって、ノード 208、及び PD のカソードにリセット電圧 VRES が供給される。つまり、画素がリセットされる。時刻 T 7 から所定の時間の後、PTX がローレベルになる。なお、時刻 T 6 と時刻 T 7 は同時であってもよいし、順番が逆であってもよい。画素がリセットされた後は、PSEL をローレベルにする。遅くとも次に読み出す画素からの信号が出力される前に、PSEL がローレベルになる。50

【0109】

時刻 T 8 以降は、各列の電圧信号保持部に保持された信号が出力部に順次読み出される。時刻 T 8 において、H 1 がハイレベルになる。これにより、図 1 の一番左側の画素列に対応する C T N 容量 115 と C T S 容量 116 に保持された信号が出力部に読み出される。時刻 T 9 において、H 2 がハイレベルになる。これにより図 1 の中央の画素列に対応する C T N 容量 115 と C T S 容量 116 に保持された信号が出力部に読み出される。時刻 T 10 において、H 3 がハイレベルになる。これにより図 1 の一番右側の画素列に対応する C T N 容量 115 と C T S 容量 116 に保持された信号が出力部に読み出される。

【0110】

すべての画素列の電圧信号保持部から信号が読み出されたら、異なる画素行の画素の読み出し動作を開始する。あるいは、画素からの信号が電圧信号保持部に保持されたら、異なる画素行の画素の読み出し動作を開始してもよい。例えば時刻 T 7 において、次に読み出す画素の選択動作（時刻 T 1 の駆動）を行ってもよい。各画素列において、電流電圧変換部の後段にさらに多くの信号保持容量が配された変形例では、時刻 T 8 ~ T 10 の期間に光信号やリセット信号を出力してもよい。

10

【0111】

なお、選択トランジスタが省略される場合は駆動信号 P S E L が供給されない。その代り、駆動信号 P S E L がローレベルである期間に相当する期間に、入力トランジスタのゲートに当該入力トランジスタをオフにする電圧が印加される。これによって、画素を非選択とすることができます。

20

【0112】

図 3 に示される画素では、リセットトランジスタ 209 をオフするタイミングと接続トランジスタ 210 をオフするタイミングとをずらしてもよい。具体的には、時刻 T 2 での動作において、リセットトランジスタ 209 を接続トランジスタ 210 よりも先にオフにする。これによって、リセット時に発生するノイズ（k T C ノイズ等）が差動増幅回路の 2 つの入力ノードにほぼ等しく分配される。その結果、リセットノイズを差動増幅によって相殺することができるため、出力される電流信号に含まれるノイズを低減することが可能となる。

【0113】

なお、本実施例の画素増幅部は差動増幅回路で構成されるので、リセット信号の読み出しを行わなくても、画素ごとのオフセット成分やリセットノイズは除去することができる。しかし、リセット信号を出力することで、後段で発生するオフセット成分を除去することが可能になる。

30

【0114】

本実施例の光電変換装置の別の動作について説明する。複数の画素行の画素に、駆動信号 P S E L を並列に供給することで、複数の画素からの電流信号が第 1 出力線 104 に並列に出力される。例えば、複数の駆動信号 P S E L を同期して供給する。これによって、第 1 出力線 104 において複数の画素からの電流信号を加算あるいは平均化することができる。電流信号を加算あるいは平均化する場合には、駆動信号 P S E L 、駆動信号 P R E S 、駆動信号 P T X を同時に複数の画素行に供給することが好みしい。

40

【0115】

このような加算あるいは平均化を行う動作について、図 9 を用いて説明する。図 9 は駆動信号のタイミングチャートを示している。駆動信号 P S E L n 、駆動信号 P R E S n 、駆動信号 P T X n は、図 A の n 行目の画素行に含まれる画素の P S E L ノード、P R E S ノード、P T X ノードにそれぞれ供給される。駆動信号 P S E L n + 1 、駆動信号 P R E S n + 1 、駆動信号 P T X n + 1 は、図 A の n + 1 行目の画素行に含まれる画素の P S E L ノード、P R E S ノード、P T X ノードにそれぞれ供給される。

【0116】

図 9 が示すように、n 行目の画素及び n + 1 行目の画素の P S E L ノード、P R E S ノード、P T X ノードには、同相の駆動信号が供給される。この結果、2 行分の画素から並

50

列に第1出力線104に電流信号が出力される。なお、各時刻における動作は、図8の場合と同様であるので、詳細な説明は省略する。

【0117】

ここで、2つの画素からの電流信号を加算する場合には、バイアス電流源102の電流を、1つの画素のみから電流信号が出力される場合に比べて2倍にすればよい。これによつて、各画素の差動增幅回路には単独で読み出される場合と同じバイアス電流が供給される。したがつて、各画素を単独で読み出す場合と同じ電流信号が各画素から出力され、第1出力線104において加算される。3つ以上の画素からの電流信号を加算する場合には、加算する画素の数だけバイアス電流源102の電流を大きくすればよい。一方で、複数の画素からの電流信号を平均する場合には、バイアス電流源102の電流を、1つの画素のみから電流信号が出力される場合と同じにすればよい。10

【0118】

以上に述べた通り、本実施例によれば、画素列間のオフセットを低減することが可能である。

【実施例2】

【0119】

本発明に係る別の実施例について説明する。本実施例の回路構成を図10に示す。図1と同様の機能を有する部分には同じ符号が付されている。本実施例では、電流電圧変換部よりも後段の回路が図1の回路と異なつてゐる。以下では、電流電圧変換部よりも後段の回路について説明し、その他の部分については図1の回路と同様であるため詳細な説明は省略する。20

【0120】

本実施例は、電流電圧変換部から出力される電圧信号をクランプすることで、オフセットを除去することが特徴である。

【0121】

電流電圧変換部の出力ノード（オペアンプ108の出力ノード112）は、クランプ容量1001の一方のノードに接続される。クランプ容量1001の他方のノードは、第2オペアンプ1002の第1入力ノードに接続される。第2オペアンプ1002の第1入力ノードと第2オペアンプ1002の出力ノードとの間には、第1帰還容量1003、及び第1帰還スイッチ1004が並列に接続される。第2オペアンプ1002の第2入力ノードには、基準クランプ電圧VCRが供給される。第1帰還スイッチ1004のゲートには、駆動信号PCRが供給される。駆動信号PCRがハイレベルの時に、第1帰還スイッチ1004はオンする。駆動信号PCRがローレベルの時に、第1帰還スイッチ1004はオフする。30

【0122】

第2オペアンプ1002の出力ノードは水平転送スイッチ1005を介して水平出力線1006に接続される。水平転送スイッチ1005のゲートは、水平走査回路122に接続される。水平走査回路122が、水平転送スイッチ1005を制御する。

【0123】

水平出力線1006は出力部に接続される。本実施例の出力部は第3オペアンプ1007、第2帰還容量1008、第2帰還スイッチ1009で構成される。水平出力線1006は第3オペアンプの第1入力ノードに接続される。第2帰還容量1008、及び第2帰還スイッチ1009は、第3オペアンプ1007の第1入力ノードと第3オペアンプ1007の出力ノードとの間に並列に接続される。第3オペアンプ1007の第2入力ノードには、第2参照電圧VREF2が供給される。第2帰還スイッチ1009のゲートには、駆動信号PCRが供給される。40

【0124】

なお、本実施例においては、オペアンプ108の入力ノード111に、第1参照電圧VREF1が供給される。第1参照電圧VREF1は、実施例1の参照電圧VREFと同様の機能を有する。50

【0125】

本実施例において、画素101の回路構成は実施例1と同様である。図2、図3、あるいは図4に示された回路が適用される。また、画素101の平面構造、断面構造は実施例1と同様である。図5、図6、図7に示された構造が適用される。

【0126】

続いて本実施例の光電変換装置の動作について説明する。図11は駆動信号のタイミングチャートを示している。駆動信号PSEL、駆動信号PRESS、駆動信号PTXは、それぞれ図10のPSELノード、PRESSノード、PTXノードに供給される。駆動信号H1は、図10の一番左の画素列に対応する水平転送スイッチ1005のゲートに供給される。駆動信号H2は、図10の中央の画素列に対応する水平転送スイッチ1005のゲートに供給される。駆動信号H3は、図10の一番右の画素列に対応する水平転送スイッチ1005のゲートに供給される。駆動信号PCORは第1帰還スイッチ1004のゲートに供給される。駆動信号PCHRは第2帰還スイッチ1009のゲートに供給される。
10

【0127】

時刻T1の前は、PRESSがハイレベルであり、他の駆動信号はローレベルである。この時は、リセット電圧VRESがノード208及び第2入力トランジスタ203のゲートに供給されている。また、この期間には転送トランジスタ204がオフであるため、光電変換によって発生した電荷がPD201に蓄積されている。

【0128】

時刻T1に、PSELがハイレベルになる。これによって画素が選択される。つまり、画素増幅部の入力ノードの電圧に応じた電流信号が画素のOUTノードから出力される。
20

【0129】

時刻T2においてPRESSがローレベルになる。これにより、ノード208がフローティングになる。図3に示される画素においては、ノード208と第2入力トランジスタ203のゲートとがそれぞれフローティングになる。

【0130】

時刻T3においてPCORがハイレベルになる。PCORがハイレベルである期間には第1帰還スイッチ1004がオンであるため、第2オペアンプ1002の入力ノード、出力ノードはいずれも基準クランプ電圧VCORとなる。一方、時刻T3では、画素増幅部の入力ノード(ノード208)の電圧はリセット電圧VRESである。そのため、電流電圧変換部の出力ノード112の電圧は、画素がリセットされた状態で出力される電流信号に応じた電圧である。このように、クランプ容量1001にリセット信号がクランプされる。このリセット信号には、リセットトランジスタがオフしたときに発生するノイズが含まれていてもよい。時刻T3から所定の時間の後、PCORはローレベルになる。
30

【0131】

時刻T4において、PTXがハイレベルになる。これによって、PD201で発生した電荷が、ノード208に転送される。このとき、PD201の全ての電荷が、ノード208に転送されることが好ましい。時刻T4から所定の時間の後、PTXはローレベルとなる。

【0132】

電荷がノード208に転送されることで、ノード208の電圧はリセット電圧VRESから変化する。転送される電荷の量に応じて、電圧の変化する量が決まる。一方で、第2入力トランジスタ203のゲートの電圧はリセット電圧VRESに保たれる。したがって、差動増幅回路の2つの入力には電荷の量に応じた電位差が与えられ、その電位差に基づく電流信号が画素から出力される。そして、電流電圧変換部の出力ノード112には、電荷が転送された状態で出力される電流信号に応じた電圧(光信号)が生じる。このとき、第1帰還スイッチ1004はオフであるため、第2オペアンプ1002の出力ノードには光信号とリセット信号の差分に応じた電圧が生じる。クランプ容量1001と第1帰還容量1003との比がゲインである。
40

【0133】

10

20

30

40

50

時刻 T 5 には、P C H R がハイレベルとなり、第 2 帰還容量 1 0 0 8 の両端の電圧が、いずれも第 2 参照電圧 V R E F 2 にリセットされる。P C H R がローレベルになった後、H 1 がハイレベルとなる。これによって、第 1 帰還容量 1 0 0 3 の電圧が第 2 帰還容量 1 0 0 8 に転送される。つまり、第 3 オペアンプ 1 0 0 7 の出力ノードに、光信号とリセット信号の差分に応じた電圧が出力される。同じように、時刻 T 6、T 7 では、各列に保持された信号が出力部に順次読み出される。

【 0 1 3 4 】

以上に述べた通り、本実施例はクランプ動作によって、リセット信号と光信号の差分に基づく電圧を出力する。このような構成によれば、画素列間のオフセットを低減することが可能である。

10

【 実施例 3 】

【 0 1 3 5 】

本発明に係る別の実施例について説明する。本実施例の回路構成を図 1 2 に示す。図 1 と同様の機能を有する部分には同じ符号が付されている。

【 0 1 3 6 】

本実施例の光電変換装置は複数の画素、カレントミラー回路、電流電圧変換部、電圧信号保持部、出力部、垂直走査回路、水平走査回路を有する。各画素では、入射光に応じた電荷が生じる。垂直走査回路は、画素に駆動信号を供給する。駆動信号によって、発生した電荷に基づく電流信号が画素から出力される。画素から出力された電流信号はカレントミラー回路を介して、電流電圧変換部に入力される。電流電圧変換部によって電流信号が電圧信号に変換される。電圧信号保持部は変換された電圧信号を保持する。水平走査回路によって、電圧信号保持部に保持された電圧信号が出力部に読み出される。出力部は信号を外部に出力する。

20

【 0 1 3 7 】

本実施例の特徴部分は、カレントミラー回路が出力するミラー電流信号の増幅率を切り替えることが可能な点である。それ以外の部分は、実施例 1 と同様である。したがって、以下の説明では、実施例 1 と異なる部分について説明し、実施例 1 と同様の部分については説明を省略する。

【 0 1 3 8 】

本実施例のカレントミラー回路は入力側トランジスタ 1 2 0 1 と、3 つの出力側トランジスタ 1 2 0 2、1 2 0 3、1 2 0 4 とによって構成される。これらはいずれも P チャネル型の M O S トランジスタである。

30

【 0 1 3 9 】

入力側トランジスタ 1 2 0 1 のゲートとドレインとが短絡される。入力側トランジスタ 1 2 0 1 のソースは電源電圧供給線に電気的に接続される。電源電圧供給線は入力側トランジスタ 1 2 0 1 のソースに電源電圧 V D D を供給する。入力側トランジスタ 1 2 0 1 のドレイン及び当該ドレインと短絡されたゲートは、第 1 出力線 1 0 4 に電気的に接続される。

【 0 1 4 0 】

3 つの出力側トランジスタ 1 2 0 2、1 2 0 3、1 2 0 4 は並列に接続される。具体的に、3 つの出力側トランジスタ 1 2 0 2、1 2 0 3、1 2 0 4 のソースは、いずれも電源電圧供給線に接続される。電源電圧供給線は3 つの出力側トランジスタ 1 2 0 2、1 2 0 3、1 2 0 4 のそれぞれのソースに電源電圧 V D D を供給する。また、3 つの出力側トランジスタ 1 2 0 2、1 2 0 3、1 2 0 4 のゲートは、いずれも入力側トランジスタ 1 2 0 1 のゲートに接続される。そして、3 つの出力側トランジスタ 1 2 0 2、1 2 0 3、1 2 0 4 のドレインは、いずれも第 2 出力線 1 0 7 に電気的に接続される。

40

【 0 1 4 1 】

ここで、各トランジスタのサイズについて説明する。入力側トランジスタ 1 2 0 1、第 1 及び第 2 の出力側トランジスタ 1 2 0 2、1 2 0 3 は、いずれも同程度のチャネル幅を有する。これに対して、第 3 の出力側トランジスタ 1 2 0 4 は、入力側トランジスタ 1 2

50

01のチャネル幅の約2倍のチャネル幅を有する。また、各トランジスタはいずれも同程度のチャネル長を有する。

【0142】

第2の出力側トランジスタ1203のドレインと第2出力線107との間の電気的経路には、第1ゲイン切り替えスイッチ1205が配される。第1ゲイン切り替えスイッチ1205はPチャネル型のMOSトランジスタである。第1ゲイン切り替えスイッチ1205は、駆動信号g ain1によってオンとオフが制御される。

【0143】

第3の出力側トランジスタ1204のドレインと第2出力線107との間の電気的経路には、第2ゲイン切り替えスイッチ1206が配される。第2ゲイン切り替えスイッチ1206はPチャネル型のMOSトランジスタである。第2ゲイン切り替えスイッチ1206は、駆動信号g ain2によってオンとオフが制御される。10

【0144】

本実施例では、第1及び第2ゲイン切り替えスイッチ1205、1206によって、ミラー電流信号の増幅率を切り替えることができる。つまり、第1及び第2ゲイン切り替えスイッチ1205、1206が増幅率制御手段である。2つのゲイン切り替えスイッチによって、増幅率を切り替える方法を説明する。本実施例では4つの増幅率に切り替えることができる。

【0145】

まず、第1及び第2ゲイン切り替えスイッチ1205、1206の両方がオフの場合は、第2及び第3の出力側トランジスタ1203、1204が、第2出力線107から切り離される。そのため、第1の出力側トランジスタ1202だけが第2出力線107に接続される。結果として、約1倍の増幅率でミラー電流信号が出力される。20

【0146】

次に、第1ゲイン切り替えスイッチ1205がオンであり、第2ゲイン切り替えスイッチ1206がオフの場合を説明する。この場合、第3の出力側トランジスタ1204が、第2出力線107から切り離される。そして、第1及び第2の出力側トランジスタ1202、1203が第2出力線107に接続される。出力側トランジスタは並列に接続されているため、カレントミラー回路の出力側に、入力側トランジスタ1201のチャネル幅に対して約2倍のチャネル幅を有するトランジスタが配されたことになる。その結果、約2倍の増幅率でミラー電流信号が出力される。30

【0147】

続いて、第1ゲイン切り替えスイッチ1205がオフであり、第2ゲイン切り替えスイッチ1206がオンの場合を説明する。この場合、第2の出力側トランジスタ1203が、第2出力線107から切り離される。そして、第1及び第3の出力側トランジスタ1202、1204が第2出力線107に接続される。出力側トランジスタは並列に接続されているため、カレントミラー回路の出力側に、入力側トランジスタ1201のチャネル幅に対して約3倍のチャネル幅を有するトランジスタが配されたことになる。その結果、約3倍の増幅率でミラー電流信号が出力される。

【0148】

最後に、第1及び第2ゲイン切り替えスイッチ1205、1206の両方がオンの場合は、3つの出力側トランジスタ1202、1203、1204がすべて第2出力線107に接続される。これは、カレントミラー回路の出力側に、入力側トランジスタ1201のチャネル幅に対して約4倍のチャネル幅を有するトランジスタが配されたことと等価である。結果として、約4倍の増幅率でミラー電流信号が出力される。40

【0149】

以上に述べたように、本実施例では、第1出力線104に出力された電流信号に対するミラー電流信号の増幅率を切り替えることができる。

【0150】

図12では、3つの出力側トランジスタが並列に接続されたが、並列に接続されるトランジスタの数は、増幅率によって変化する。50

ンジスタの数はこれに限られない。また、各トランジスタのサイズを変更することで、切り替え可能な増幅率が調整される。

【0151】

上述の増幅率の切り替えを、1つの画素のみから電流信号が出力される場合に行つてもよい。例えば、画素から出力される電流信号が小さい場合には増幅率を大きくし、画素から出力される電流信号が大きい場合には増幅率を小さくするように制御してもよい。

【0152】

あるいは、複数の画素からの電流信号を加算して出力する場合と、1つの画素のみから電流信号が出力される場合とで、増幅率を切り替えてよい。電流信号が加算される場合には、増幅率を小さくすることによって、後段の回路でのダイナミックレンジを広げることが可能となる。10

【0153】

本実施例において、画素101の回路構成は実施例1と同様である。図2、図3、あるいは図4に示された回路が適用される。また、画素101の平面構造、断面構造は実施例1と同様である。図5、図6、図7に示された構造が適用される。

【0154】

本実施例の動作については、実施例1と同様である。図8あるいは図9に示された駆動信号に基づいて動作する。

【0155】

以上に説明した構成によれば、画素からの電流信号の増幅率が可変であるため、広いダイナミックレンジと高いSN比の両立が可能となる。暗い被写体を撮像する場合は、画素に近いところで電流信号を増幅することで、SN比を高くすることができる。一方で、ノイズの影響が少ない明るい被写体を撮像する場合には、増幅率を小さく設定することで広いダイナミックレンジを得ることができる。20

【実施例4】

【0156】

本発明に係る別の実施例について説明する。本実施例の回路構成を図13に示す。図1あるいは図12と同様の機能を有する部分には同じ符号が付されている。

【0157】

本実施例の光電変換装置は複数の画素、カレントミラー回路、電流電圧変換部、電圧信号保持部、出力部、垂直走査回路、水平走査回路を有する。各画素では、入射光に応じた電荷が生じる。垂直走査回路は、画素に駆動信号を供給する。駆動信号によって、発生した電荷に基づく電流信号が画素から出力される。画素から出力された電流信号はカレントミラー回路を介して、電流電圧変換部に入力される。電流電圧変換部によって電流信号が電圧信号に変換される。電圧信号保持部は変換された電圧信号を保持する。水平走査回路によって、電圧信号保持部に保持された電圧信号が出力部に読み出される。出力部は信号を外部に出力する。30

【0158】

本実施例では、画素の回路構成が実施例1及び実施例3と異なっている。それ以外の部分は、実施例1あるいは実施例3と同様である。したがって、以下の説明では実施例1及び実施例3と異なる部分について説明し、実施例1あるいは実施例3と同様の部分については説明を省略する。40

【0159】

画素1301は画素からの電流信号が出力されるOUTノードを有する。画素はさらに、必要に応じて、駆動信号が供給される複数のノード(PTXノード、PRESノード、PSELノード)を有する。本実施例の画素1301にはBIASノードがない。そのため、画素列ごとに配されたバイアス電流源102が省略される。その他のノードの接続は、実施例1あるいは実施例3と同様である。

【0160】

画素1301の詳細な構造について説明する。画素1301は、少なくとも光電変換部50

と画素増幅部を含む。光電変換部によって入射光が電荷に変換される。そして、画素増幅部が発生した電荷の量に基づいた電流信号を出力する。

【0161】

図14に画素1301の回路の例を示す。本実施例において、光電変換部はフォトダイオード(以下、PD)1401であり、画素増幅部はソース接地增幅回路である。ソース接地增幅回路は、増幅トランジスタ1402及び負荷抵抗RLを含んで構成される。さらに本実施例の画素1301は、転送トランジスタ1403、リセットトランジスタ1404、選択トランジスタ1405を含む。

【0162】

PD1401のアノードには基準電圧GNDが供給される。PD1401のカソードは転送トランジスタ1403を介して、ノード1406に接続される。転送トランジスタ1403は、PD1401で発生した電荷をノード1406に転送する。10

【0163】

増幅トランジスタ1402のゲートはノード1406に接続される。増幅トランジスタ1402のゲートはソース接地增幅回路の入力ノードである。増幅トランジスタ1402のゲートの電圧はノード1406に転送された電荷の量に応じた電圧となる。増幅トランジスタ1402のドレインはOUT端子に接続される。増幅トランジスタ1402のソースは負荷抵抗RLを介して選択トランジスタ1405のドレインに接続される。

【0164】

ノード1406は、リセットトランジスタ1404を介してリセット電圧供給線に接続される。リセットトランジスタ1404がオンすると、ノード1406にリセット電圧VRESが供給される。つまり、リセットトランジスタ1404は、入力ノードの電圧をリセットする。20

【0165】

選択トランジスタ1405のドレインは負荷抵抗RLに接続される。選択トランジスタ1405のソースには基準電圧GNDが供給される。

【0166】

転送トランジスタ1403のゲートはPTXノードに接続される。リセットトランジスタ1404のゲートはPRESノードに接続される。選択トランジスタ1405のゲートはPSELノードに接続される。各トランジスタのオンとオフを制御する駆動信号が、垂直走査回路103から各トランジスタのゲートに供給される。30

【0167】

ソース接地増幅回路の入力ノードに転送された電荷の量に応じた電流信号が、OUTノードから第1出力線104に出力される。また、選択トランジスタ1405は、電流信号を出力する画素を選択する。つまり、選択トランジスタ1405がオンであれば、画素のOUTノードに電流信号が出力される。

【0168】

図14に示された画素1301においては、PD1401からノード1406に信号電荷である電子が転送される。そのため、ノード1406がリセットされた状態で電荷が転送されると、ノード1406の電圧は低くなる。そして、転送される電荷(電子)の量が多いほど、ノード1406の電圧が低くなる。増幅トランジスタ1402はNチャネル型なので、明時に出力される電流の大きさは、暗時に出力される電流の大きさよりも小さい。なお、暗時とは、ノード1406の電圧がリセットされ、電荷が転送されていない状態を含む。40

【0169】

画素1301の変形例として、負荷抵抗RLがダイオード接続されたMOSトランジスタで構成されてもよい。半導体領域で抵抗を構成するよりも、MOSトランジスタで抵抗を構成するほうが素子のサイズを小さくすることができる。これによって、画素における光電変換部が占める面積の割合を大きくすることができるため、感度あるいは飽和電荷量、またはその両方を向上させることが可能である。50

【0170】

また、転送トランジスタ 1403、及び選択トランジスタ 1405 は必要に応じて設けられる。本実施例の画素 1301 の変形例では、転送トランジスタ 1403、及び選択トランジスタ 1405 のいずれか一方あるいは両方が省略される。これによりトランジスタの数を減らすことができるので、開口率を向上させることができる。

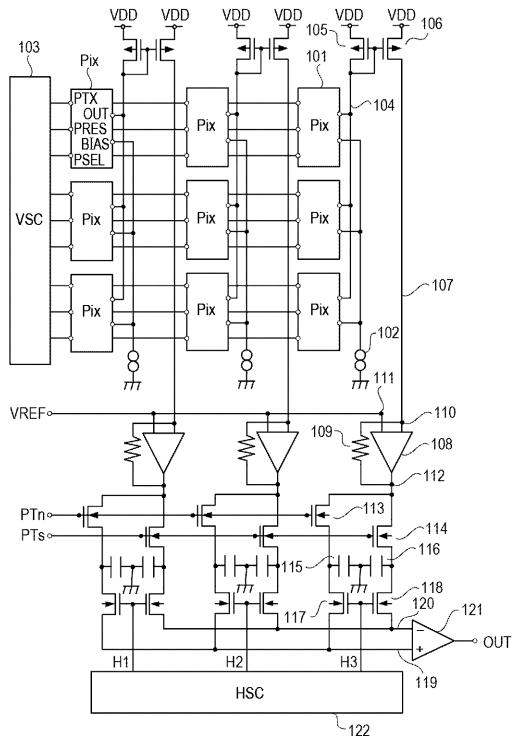
【0171】

本実施例の動作については、実施例 1 あるいは実施例 3 と同様である。図 3 あるいは図 9 に示された駆動信号に基づいて動作する。

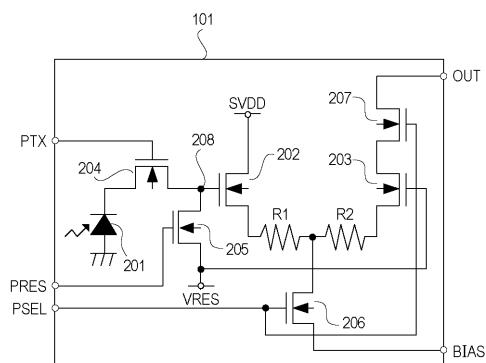
【0172】

以上に述べた通り、本実施例の画素はソース接地増幅回路を有する。ソース接地増幅回路は、差動増幅回路に比べて少ない数の素子で構成することができる。したがって、本実施例によれば、画素における光電変換部が占める面積の割合を大きくすることができる。結果として、感度を向上させることができるものである。10

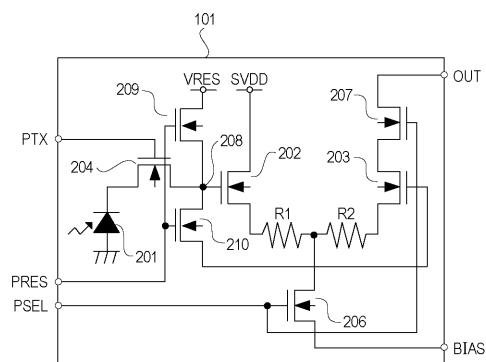
【図 1】



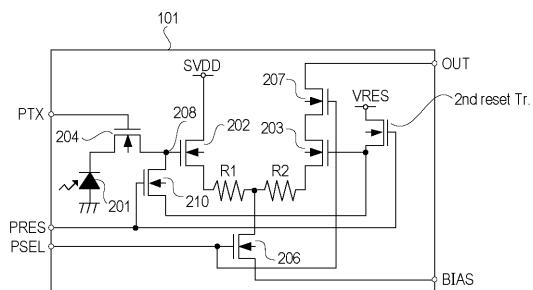
【図 2】



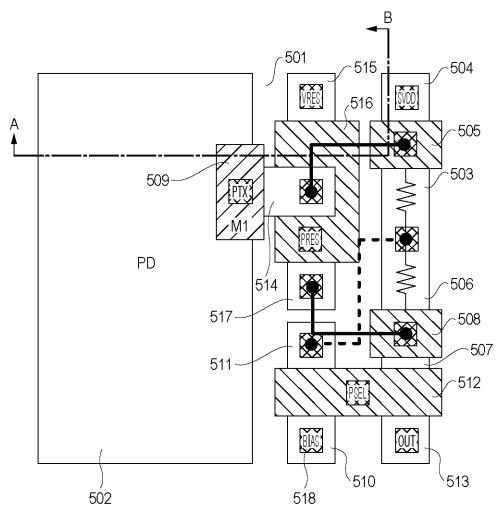
【図3】



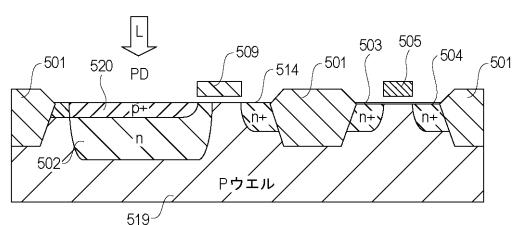
【 四 4 】



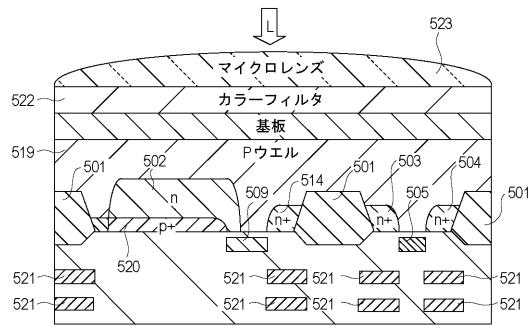
【図5】



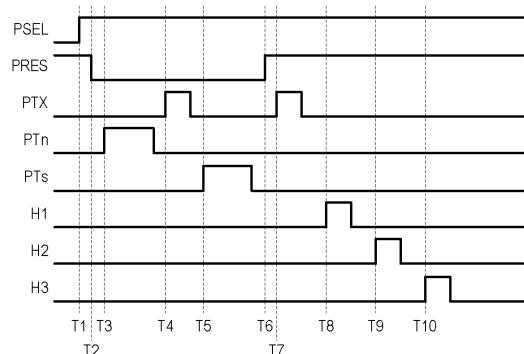
【 四 6 】



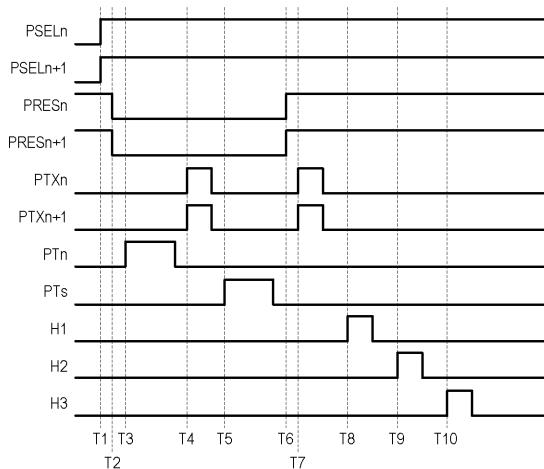
【図7】



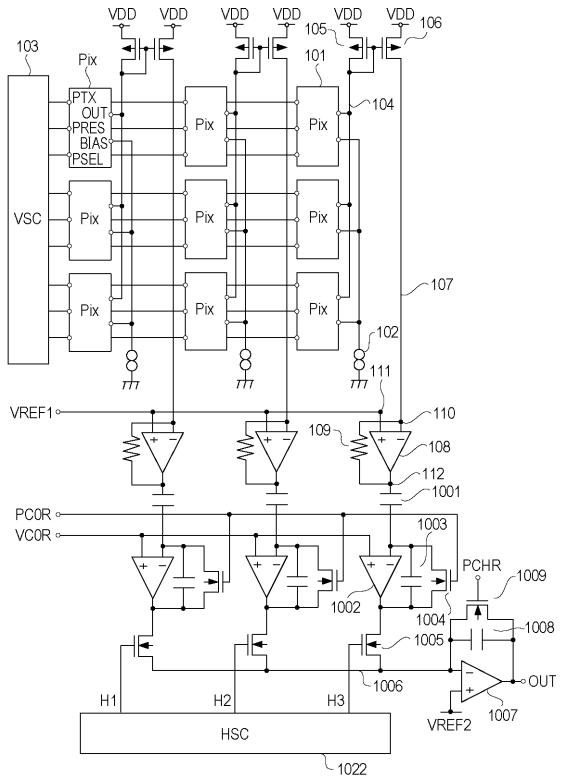
【図8】



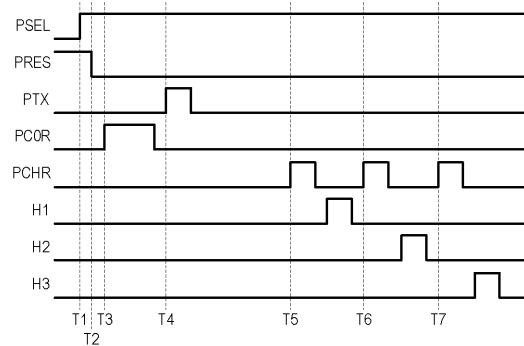
【図9】



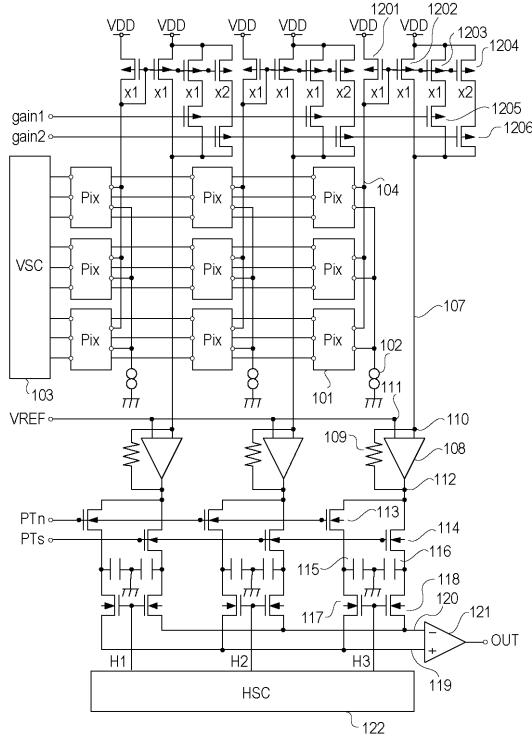
【図10】



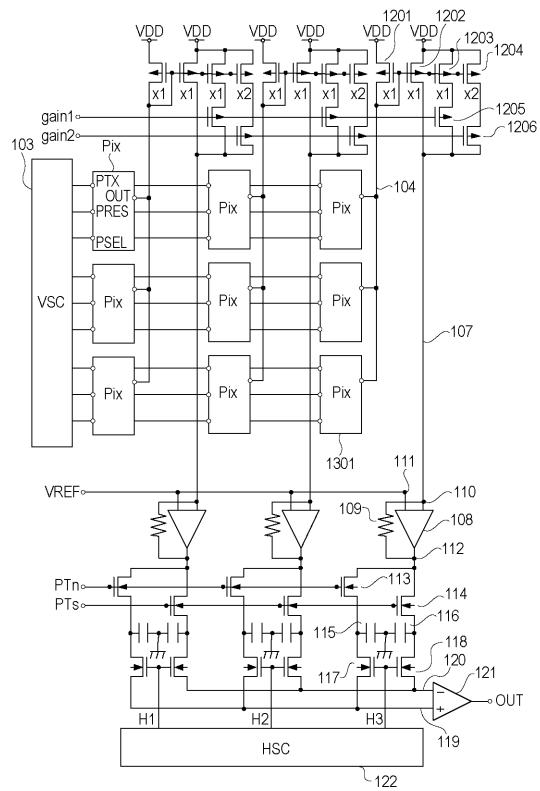
【図11】



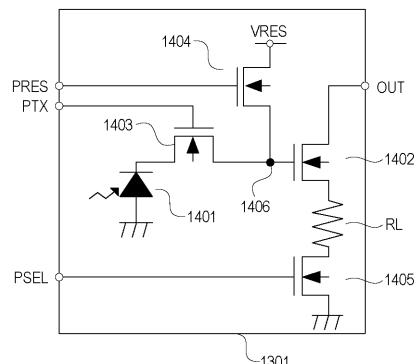
【図12】



【図13】



【図14】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H 04 N 5 / 30 - 5 / 378
H 01 L 27 / 14 - 27 / 148