



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0026323
(43) 공개일자 2017년03월08일

(51) 국제특허분류(Int. Cl.)
H01L 35/34 (2006.01) H01L 35/02 (2006.01)
H01L 35/22 (2006.01) H01L 35/32 (2006.01)
(52) CPC특허분류
H01L 35/34 (2013.01)
H01L 35/02 (2013.01)
(21) 출원번호 10-2016-7029642
(22) 출원일자(국제) 2015년03월24일
심사청구일자 없음
(85) 번역문제출일자 2016년10월24일
(86) 국제출원번호 PCT/US2015/022312
(87) 국제공개번호 WO 2015/148554
국제공개일자 2015년10월01일
(30) 우선권주장
61/970,322 2014년03월25일 미국(US)
62/013,468 2014년06월17일 미국(US)

(71) 출원인
실리시움 에너지, 인크.
미국 94025 캘리포니아주 먼로 파크 아담스 드라이브 1455 스위트 1130
(72) 발명자
보우카이 아크람 아이.
미국 캘리포니아주 94025 먼로 파크 아담스 드라이브 #1130 1455
탐 더글라스 더블유.
미국 캘리포니아주 94025 먼로 파크 아담스 드라이브 #1130 1455
리앙 하이판
미국 캘리포니아주 94025 먼로 파크 아담스 드라이브 #1130 1455
(74) 대리인
김태홍, 김진희

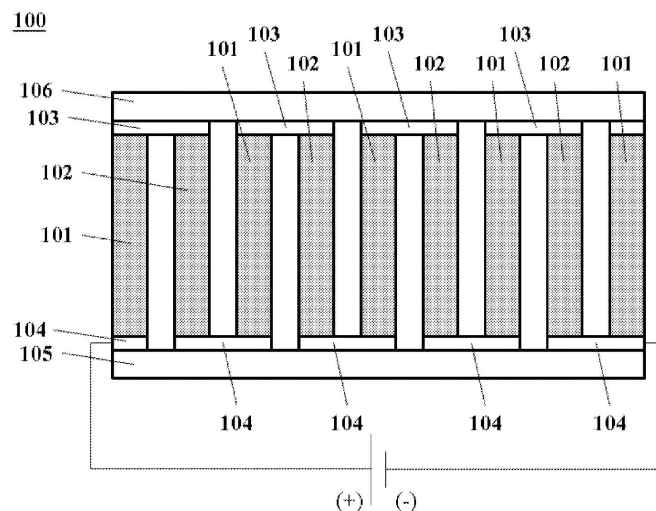
전체 청구항 수 : 총 71 항

(54) 발명의 명칭 열전 디바이스들 및 시스템들

(57) 요약

본 개시는, x-선 광전자 분광법(x-ray photoelectron spectroscopy; XPS)에 의해 측정되는 약 1% 미만의 금속 함량을 가진 노출된 표면들을 갖는 가요성 반도체 기판을 포함하며, 적어도 약 0.25인 성능 지수(ZT)를 갖는 열전 엘리먼트로서, 가요성 반도체 기판은 25°C에서 약 1×10^6 제곱 인치 당 파운드(psi) 이하의 영률을 갖는, 열전 엘리먼트를 제공한다.

대표도



(52) CPC특허분류

H01L 35/22 (2013.01)

H01L 35/32 (2013.01)

명세서

청구범위

청구항 1

적어도 약 0.25인 성능 지수(ZT)를 갖는 열전 엘리먼트를 형성하기 위한 방법으로서,

(a) 반도체 기관, 상기 반도체 기관의 제 1 표면과 전기적으로 연통하는 작업 전극, 상기 반도체 기관의 제 2 표면과 접촉하는 에칭 용액, 및 상기 에칭 용액 내의 상대 전극을 포함하는 반응 공간을 제공하는 단계로서, 상기 반도체 기관의 상기 제 1 및 제 2 표면들은 실질적으로 금속성 코팅이 없는, 상기 반응 공간을 제공하는 단계; 및

(b) 상기 전극 및 상대 전극을 사용하여 (i) 적어도 약 0.1 mA/cm^2 의 전류 밀도로 전기적 전류를 상기 반도체 기관으로 보내고, 및 (ii) 상기 반도체 기관 내에 홀(hole)들의 패턴을 형성하기 위하여 상기 반도체 기관의 상기 제 2 표면을 상기 에칭 용액으로 에칭함으로써 적어도 약 0.25인 상기 ZT를 갖는 상기 열전 엘리먼트를 형성하는 단계를 포함하며,

상기 에칭은 상기 반도체 기관 및 상기 에칭 용액에 걸쳐 적어도 약 1 볼트(V)의 전기적 전위에서 수행되고,

상기 에칭은 25℃에서 적어도 초당 약 1 나노미터(nm)인 에칭 레이트(etch rate)를 갖는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 2

제 1 항에 있어서, 상기 작업 전극은 상기 제 1 표면과 접촉하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 3

제 2 항에 있어서, 상기 작업 전극은 상기 제 1 표면과 오믹(ohmic) 접촉하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 4

제 1 항에 있어서, 상기 에칭 레이트는 적어도 초당 약 10 nm인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 5

제 1 항에 있어서, 상기 에칭 레이트는 적어도 초당 약 100 nm인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 6

제 1 항에 있어서, 상기 에칭 레이트는 적어도 초당 약 1000 nm인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 7

제 1 항에 있어서, 상기 전류 밀도는 적어도 약 1 mA/cm^2 인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 8

제 7 항에 있어서, 상기 전류 밀도는 적어도 약 10 mA/cm^2 인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 9

제 8 항에 있어서, 상기 전류 밀도는 약 50 mA/cm^2 이하인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 10

제 1 항에 있어서, 상기 작업 전극은 상기 에칭 동안 애노드(anode)인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 11

제 1 항에 있어서,

(b) 단계 이후에 상기 반도체 기판을 어닐링(anneal)하는 단계를 더 포함하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 12

제 1 항에 있어서,

(b) 단계 이전에, 상기 에칭 용액을 25℃보다 더 높은 온도까지 가열하는 단계를 더 포함하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 13

제 1 항에 있어서, 상기 반도체 기판은 금속 촉매가 없는 상태에서 에칭되는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 14

제 1 항에 있어서, 상기 홀들의 패턴은 홀들의 무질서한 패턴을 포함하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 15

제 1 항에 있어서, 상기 작업 전극은 상기 에칭 용액과 접촉하지 않는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 16

제 1 항에 있어서, 상기 에칭 용액은 산을 포함하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 17

제 16 항에 있어서, 상기 산은 HF, HCl, HBr 및 HI로 구성된 그룹으로부터 선택되는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 18

제 16 항에 있어서, 상기 에칭 용액은 알콜 첨가제를 포함하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 19

제 1 항에 있어서, 상기 에칭은 상기 반도체 기판을 조명하지 않는 상태에서 수행되는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 20

제 1 항에 있어서, 상기 ZT는 25℃에서 적어도 0.5인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 21

제 1 항에 있어서, 상기 반도체 기판은 실리콘을 포함하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 22

적어도 약 0.25인 성능 지수(ZT)를 갖는 열전 엘리먼트를 형성하기 위한 방법으로서,

(a) 에칭 용액을 포함하는 반응 공간 내에 반도체 기판을 제공하는 단계;

(b) 적어도 약 0.1 mA/cm²의 전류 밀도로 전기적 전류의 흐름을 상기 반도체 기판으로 유도하는 단계; 및

(c) 상기 반도체 기판 내에 홀들의 무질서한 패턴을 형성하기 위하여 상기 적어도 약 0.1 mA/cm²의 전류 밀도

하에서 상기 에칭 용액을 사용하여 상기 반도체 기판을 에칭함으로써, 적어도 약 0.25인 ZT를 갖는 상기 열전 엘리먼트를 형성하는 단계를 포함하며,

상기 에칭은 (i) 금속 촉매 없이 그리고 (ii) 상기 반도체 기판과 상기 에칭 용액에 걸친 적어도 약 1 볼트(V)의 전기적 전위에서 수행되고,

상기 에칭은 25℃에서 적어도 초당 약 1 나노미터(nm)의 에칭 레이트를 갖는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 23

제 22 항에 있어서, 상기 에칭 레이트는 적어도 초당 약 10 nm인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 24

제 22 항에 있어서, 상기 에칭 레이트는 적어도 초당 약 100 nm인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 25

제 22 항에 있어서, 상기 에칭 레이트는 적어도 초당 약 1000 nm인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 26

제 22 항에 있어서, 상기 전류 밀도는 적어도 약 1 mA/cm^2 인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 27

제 26 항에 있어서, 상기 전류 밀도는 적어도 약 10 mA/cm^2 인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 28

제 27 항에 있어서, 상기 전류 밀도는 약 50 mA/cm^2 이하인, 열전 엘리먼트를 형성하기 위한 방법.

청구항 29

제 22 항에 있어서, 상기 반도체 기판은 상기 전류 밀도의 교류 하에서 에칭되는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 30

제 22 항에 있어서, 상기 에칭 용액은 산을 포함하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 31

제 30 항에 있어서, 상기 산은 HF, HCl, HBr 및 HI로 구성된 그룹으로부터 선택되는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 32

제 30 항에 있어서, 상기 에칭 용액은 알콜 첨가제를 포함하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 33

제 22 항에 있어서, 상기 에칭은 상기 반도체 기판을 조명하지 않는 상태에서 수행되는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 34

제 22 항에 있어서,

(c) 단계 이후에 상기 반도체 기판을 어닐링하는 단계를 더 포함하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 35

제 22 항에 있어서,

(c) 단계 이전에, 상기 에칭 용액을 25℃보다 더 높은 온도까지 가열하는 단계를 더 포함하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 36

제 22 항에 있어서, 상기 반도체 기판은 실리콘을 포함하는, 열전 엘리먼트를 형성하기 위한 방법.

청구항 37

반도체 기판을 포함하는 적어도 하나의 가요성 열전 엘리먼트를 포함하는 열전 디바이스로서,

상기 반도체 기판의 표면들은 x-선 광전자 분광법(x-ray photoelectron spectroscopy; XPS)에 의해 측정되는 약 1% 미만의 금속 함량을 가지고, 상기 가요성 열전 엘리먼트는 25℃에서 적어도 약 0.25인 성능 지수(ZT)를 가지며, 상기 가요성 열전 엘리먼트는 25℃에서 상기 열전 엘리먼트의 정적 편향(static deflection)에 의해 측정되는 약 1×10^6 제곱 인치 당 파운드(pounds per square inch; psi) 이하의 영률(Young's Modulus)을 갖는, 열전 디바이스.

청구항 38

제 37 항에 있어서, 상기 반도체 기판은 투과 전자 현미경검사(transmission electron microscopy; TEM)에 의해 측정되는 약 0.1 나노미터(nm) 내지 50 nm 사이의 표면 거칠기를 갖는, 열전 디바이스.

청구항 39

제 38 항에 있어서, 상기 표면 거칠기는 TEM에 의해 측정될 때 약 1 nm 내지 20 nm 사이인, 열전 디바이스.

청구항 40

제 38 항에 있어서, 상기 표면 거칠기는 TEM에 의해 측정될 때 약 1 nm 내지 10 nm 사이인, 열전 디바이스.

청구항 41

제 37 항에 있어서, 상기 금속 함량은 XPS에 의해 측정될 때 약 0.001% 이하인, 열전 디바이스.

청구항 42

제 37 항에 있어서, 상기 영률은 25℃에서 약 800,000 psi 이하인, 열전 디바이스.

청구항 43

제 37 항에 있어서, 상기 성능 지수는 적어도 약 0.5인, 열전 디바이스.

청구항 44

제 43 항에 있어서, 상기 성능 지수는 적어도 약 0.8인, 열전 디바이스.

청구항 45

제 37 항에 있어서, 상기 반도체 기판은 화학적으로 도핑된 n-형 또는 p-형인, 열전 디바이스.

청구항 46

제 37 항 또는 제 45 항에 있어서, 상기 반도체 기판은 실리콘을 포함하는, 열전 디바이스.

청구항 47

제 37 항에 있어서, 상기 열전 엘리먼트는 홀들의 패턴을 포함하는, 열전 디바이스.

청구항 48

제 47 항에 있어서, 상기 홀들의 패턴은 홀들의 무질서한 패턴을 포함하는, 열전 디바이스.

청구항 49

제 48 항에 있어서, 상기 홀들의 무질서한 패턴은 다분산성(polydisperse)인, 열전 디바이스.

청구항 50

반도체 기판을 포함하는 가요성 열전 엘리먼트를 포함하는 전자 디바이스로서,

상기 반도체 기판의 표면들은 x-선 광전자 분광법(XPS)에 의해 측정되는 약 1% 미만의 금속 함량을 가지고, 상기 가요성 열전 엘리먼트는 25℃에서 적어도 약 0.25인 성능 지수(ZT)를 가지며, 상기 가요성 열전 엘리먼트는 3-점 테스트(three-point testing)에 의해 측정되는 20% 미만인 소성 변형에서 측정 평면에 대하여 적어도 약 10°의 각도로 굽혀지는, 전자 디바이스.

청구항 51

제 50 항에 있어서, 상기 반도체 기판은 투과 전자 현미경검사(TEM)에 의해 측정되는 약 0.1 나노미터(nm) 내지 50 nm 사이의 표면 거칠기를 갖는, 전자 디바이스.

청구항 52

제 51 항에 있어서, 상기 표면 거칠기는 TEM에 의해 측정될 때 약 1 nm 내지 20 nm 사이인, 전자 디바이스.

청구항 53

제 51 항에 있어서, 상기 표면 거칠기는 TEM에 의해 측정될 때 약 1 nm 내지 10 nm 사이인, 전자 디바이스.

청구항 54

제 50 항에 있어서, 상기 금속 함량은 XPS에 의해 측정될 때 약 0.001% 이하인, 전자 디바이스.

청구항 55

제 50 항에 있어서, 상기 가요성 열전 엘리먼트는 상기 측정 평면에 대하여 적어도 약 20°의 각도로 굽혀지는, 전자 디바이스.

청구항 56

제 50 항에 있어서, 상기 성능 지수는 적어도 약 0.5인, 전자 디바이스.

청구항 57

제 50 항에 있어서, 상기 전자 디바이스는, 시계, 건강 또는 피트니스 추적 디바이스이거나, 또는 폐열 회수 유닛인, 전자 디바이스.

청구항 58

제 50 항에 있어서, 상기 반도체 기판은 화학적으로 도핑된 n-형 또는 p-형인, 전자 디바이스.

청구항 59

제 50 항 또는 제 58 항에 있어서, 상기 반도체 기판은 실리콘을 포함하는, 전자 디바이스.

청구항 60

제 50 항에 있어서,

복수의 열전 엘리먼트들을 더 포함하는, 전자 디바이스.

청구항 61

제 60 항에 있어서, 상기 복수의 열전 엘리먼트들은 반대로 화학적으로 도핑된 n-형 및 p-형인, 전자 디바이스.

청구항 62

제 50 항에 있어서, 상기 열전 엘리먼트는 홀들의 패턴을 포함하는, 전자 디바이스.

청구항 63

제 62 항에 있어서, 상기 홀들의 패턴은 홀들의 무질서한 패턴을 포함하는, 전자 디바이스.

청구항 64

제 63 항에 있어서, 상기 홀들의 무질서한 패턴은 다분산성인, 전자 디바이스.

청구항 65

전력을 생성하기 위한 시스템으로서,

유체를 보내기 위한 유체 흐름 채널; 및

상기 유체 흐름 채널의 적어도 일 부분에 인접한 적어도 하나의 가요성 열전 엘리먼트를 포함하는 열전 디바이스로서, 상기 가요성 열전 엘리먼트는 25℃에서 약 1×10^6 제곱 인치 당 파운드(psi) 이하인 영물을 가지며, 상기 가요성 열전 엘리먼트는 상기 유체 흐름 채널과 열적으로 연통하는 제 1 표면 및 열 싱크(heat sink)와 열적으로 연통하는 제 2 표면을 가지고, 상기 열전 디바이스는 상기 유체 흐름 채널로부터 상기 열 싱크로의 상기 열전 디바이스를 통한 열의 흐름 시에 전력을 생성하는, 상기 열전 디바이스를 포함하는, 전력을 생성하기 위한 시스템.

청구항 66

제 65 항에 있어서, 상기 열전 디바이스는, 반대로 화학적으로 도핑된 n-형 및 p-형인 적어도 2개의 열전 엘리먼트들을 포함하는, 전력을 생성하기 위한 시스템.

청구항 67

제 65 항에 있어서, 상기 영물은 25℃에서 약 800,000 psi 이하인, 전력을 생성하기 위한 시스템.

청구항 68

제 65 항에 있어서, 상기 열전 엘리먼트는 반도체 재료를 포함하는, 전력을 생성하기 위한 시스템.

청구항 69

제 65 항에 있어서, 상기 가요성 열전 엘리먼트는 상기 유체 흐름 채널의 형상에 실질적으로 맞춰지는, 전력을 생성하기 위한 시스템.

청구항 70

제 65 항에 있어서, 상기 유체 흐름 채널은 파이프인, 전력을 생성하기 위한 시스템.

청구항 71

제 65 항에 있어서, 상기 유체 흐름 채널은 원통형인, 전력을 생성하기 위한 시스템.

발명의 설명

기술 분야

상호-참조

본 출원은, 2014년 03월 25일자로 출원된 미국 가특허 출원 번호 제61/970,322호, 및 2014년 06월 17일자로 출원된 미국 가특허 출원 번호 제62/013,468호에 대한 이익을 주장하며, 이들의 각각이 전체적으로 본원에 참조로서 포함된다.

배경 기술

- [0003] 그들의 주요한 연료원으로서 석유를 필요로 하는 열 엔진들에 의해 전 세계적으로 매년 15 테라와트를 넘는 열이 환경으로 손실된다. 이는, 이러한 엔진들이 석유 화학적 에너지의 30 내지 40%만을 유용한 작업으로 변환하기 때문이다. 폐열(waste heat)의 생성은 열역학의 제 2 법칙의 회피할 수 없는 결과이다.
- [0004] 용어 "열전 효과"는 제백 효과(Seebeck effect), 펠티에 효과(Peltier effect) 및 톰슨 효과(Thomson effect)를 포괄한다. 열전 효과들에 기반하는 고체-상태 냉각 및 전력 생성은 전형적으로 전력 생성 및 열 펌핑을 위해 제백 효과 또는 펠티에 효과를 이용한다. 그러나, 이러한 통상적인 열전 디바이스들의 유용성은 전형적으로 (냉각 애플리케이션들에 대한) 그들의 낮은 성능 계수(coefficient-of-performance; COP) 또는 (전력 생성 애플리케이션에 대한) 낮은 효율에 의해 제한된다.
- [0005] 열전 디바이스 성능은, 소위 열전 성능 지수(figure-of-merit), 즉, $Z = S^2 \sigma / k$ 에 의해 획득되며, 여기에서 'S'는 제백 계수이고, ' σ '는 전기 전도율이며, ' k '는 열 전도율이다. Z는 전형적으로 열전 디바이스들의 효율성 및 COP의 표시자로서 이용되며, 즉, COP가 Z와 함께 스케일링된다. 무차원(dimensionless) 성능 지수 ZT는 열전 디바이스 성능을 수량화하기 위하여 이용될 수 있으며, 여기에서 'T'는 디바이스의 뜨거운 측 및 차가운 측의 평균 온도일 수 있다.
- [0006] 통상적인 반도체 열전 냉각기들의 애플리케이션들은, 그들이 제공하는 다른 냉각 기술들을 뛰어 넘는 다수의 이점들에도 불구하고, 낮은 성능 지수의 결과로서 상당히 제한된다. 냉각 시에, 작은 성능 지수를 갖는 통상적인 열전 재료들로 만들어진 열전 디바이스들의 낮은 효율은 효율적인 열전 냉각을 제공함에 있어서 그들의 애플리케이션들을 제한한다.

발명의 내용

과제의 해결 수단

- [0007] 본 개시는 열전 엘리먼트들, 디바이스들 및 시스템들, 및 이러한 엘리먼트들, 디바이스들 및 시스템들을 형성하기 위한 방법들을 제공한다.
- [0008] 현재 이용가능한 열전 디바이스들이 존재하지만, 이러한 열전 디바이스들과 연관된 다양한 제한들이 본원에서 인식된다. 예를 들어, 현재 이용가능한 일부 열전 디바이스들은 가요성이 아닐 수 있고 다양한 형상들의 물체들에 맞춰지는 것이 불가능할 수 있으며, 이는 열 전달을 위한 표면적을 최대화하는 것을 어렵게 만든다. 다른 예로서, 현재 이용가능한 일부 열전 디바이스들이 상당히 두꺼우며, 더 콤팩트한 열전 디바이스들을 필요로 하는 전자 디바이스들 내에서 사용하기에 적절하지 않다.
- [0009] 본 개시는 열전 엘리먼트들, 디바이스들 및 시스템들, 및 이러한 열전 엘리먼트들, 디바이스들 및 시스템들을 형성하기 위한 방법들을 제공한다. 본 개시의 열전 엘리먼트들 및 디바이스들은 가요성일 수 있고 다양한 형상들, 크기들 및 구성들의 물체에 맞춰지는 것이 가능할 수 있으며, 이는 이러한 엘리먼트들 및 디바이스들을 소비자 및 산업 환경들과 같은 다양한 환경들에서의 사용에 적합하게 만든다. 본 개시의 열전 엘리먼트들 및 디바이스들은 폐열을 수집하도록 표면들에 맞추어질 수 있으며 폐열의 적어도 일 부분을 사용가능한 에너지로 변환할 수 있다. 일부 경우들에 있어서, 폐열은 화학적, 전기적, 및/또는 기계적 열 변환 프로세스 동안 생성될 수 있다.
- [0010] 본 개시의 일 측면에 있어서, 적어도 약 0.25인 성능 지수(ZT)를 갖는 열전 엘리먼트를 형성하기 위한 방법은, (a) 반도체 기판, 반도체 기판의 제 1 표면과 전기적으로 연통하는 작업 전극, 반도체 기판의 제 2 표면과 접촉하는 에칭 용액(예를 들어, 전해액), 및 에칭 용액 내의 상대 전극(counter electrode)을 포함하는 반응 공간을 제공하는 단계로서, 반도체 기판의 제 1 및 제 2 표면들은 실질적으로 금속성 코팅이 없는, 단계; 및 (b) 전극 및 상대 전극을 사용하여 (i) 적어도 약 0.1 mA/cm^2 의 전류 밀도로 전기적 전류를 반도체 기판으로 보내고, 및 (ii) 반도체 기판 내에 홀(hole)들의 패턴을 형성하기 위하여 반도체 기판의 제 2 표면을 에칭 용액으로 에칭함으로써 적어도 약 0.25인 ZT를 갖는 열전 엘리먼트를 형성하는 단계로서, 에칭은 반도체 기판 및 에칭 용액에 걸쳐 적어도 약 1 볼트(V)의 전기적 전위에서 수행되며, 에칭은 25°C에서 적어도 약 1 나노미터(nm)인 에칭 레이트(etch rate)를 갖는, 단계를 포함한다. 일부 실시예들에 있어서, 전기적 전위는 작업 전극, 에칭 용액 및 상대 전극에 걸쳐 적어도 약 1 볼트(V)이다.

- [0011] 일부 실시예들에 있어서, 전기적 전위는 교류(alternating current; AC) 전압이다. 일부 실시예들에 있어서, 전기적 전위는 직류(direct current; DC) 전압이다.
- [0012] 일부 실시예들에 있어서, 작업 전극은 제 1 표면과 접촉한다. 일부 실시예들에 있어서, 작업 전극은 제 1 표면과 오믹(ohmic) 접촉한다. 일부 실시예들에 있어서, 반도체 기판은 작업 전극의 부분이다.
- [0013] 일부 실시예들에 있어서, 에칭 레이트는 적어도 초당 약 10 nm이다. 일부 실시예들에 있어서, 에칭 레이트는 적어도 초당 약 100 nm이다. 일부 실시예들에 있어서, 에칭 레이트는 적어도 초당 약 1000 nm이다.
- [0014] 일부 실시예들에 있어서, 전류 밀도는 적어도 약 1 mA/cm^2 이다. 일부 실시예들에 있어서, 전류 밀도는 적어도 약 10 mA/cm^2 이다. 일부 실시예들에 있어서, 전류 밀도는 약 10 mA/cm^2 내지 50 mA/cm^2 , 10 mA/cm^2 내지 30 mA/cm^2 , 또는 10 mA/cm^2 내지 20 mA/cm^2 이다. 일부 실시예들에 있어서, 전류 밀도는 약 100 mA/cm^2 또는 50 mA/cm^2 이하이다. 일부 실시예들에 있어서, 반도체 기판은 상기 전류 밀도의 교류 하에서 에칭된다.
- [0015] 일부 실시예들에 있어서, 작업 전극은 에칭 동안 애노드(anode)이다. 일부 실시예들에 있어서, 방법은, (b) 단계 이후에 반도체 기판을 어닐링(anneal)하는 단계를 더 포함한다. 일부 실시예들에 있어서, 방법은, (b) 단계 이전에, 에칭 용액을 25°C 보다 더 높은 온도까지 가열하는 단계를 더 포함한다. 일부 실시예들에 있어서, 반도체 기판은 금속 촉매 없이 (또는 금속 촉매의 도움 없이) 에칭된다.
- [0016] 일부 실시예들에 있어서, 홀들의 패턴은 홀들의 무질서한 패턴을 포함한다. 일부 실시예들에 있어서, 작업 전극은 에칭 용액과 접촉하지 않는다.
- [0017] 일부 실시예들에 있어서, 에칭 용액은 산을 포함한다. 일부 실시예들에 있어서, 산은 HF, HCl, HBr 및 HI로 구성된 그룹으로부터 선택된다. 일부 실시예들에 있어서, 에칭 용액은 알콜 첨가제를 포함한다. 일부 실시예들에 있어서, 에칭은 반도체 기판을 조명하지 않으면서 수행된다.
- [0018] 일부 실시예들에 있어서, ZT는 25°C 에서 적어도 0.5, 0.6, 0.7, 0.8, 0.9, 또는 1이다. 일부 실시예들에 있어서, 반도체 기판은 실리콘을 포함한다.
- [0019] 다른 측면에 있어서, 적어도 약 0.25인 성능 지수(ZT)를 갖는 열전 엘리먼트를 형성하기 위한 방법은, (a) 에칭 용액(예를 들어, 전해액)을 포함하는 반응 공간 내에 반도체 기판을 제공하는 단계; (b) 적어도 약 0.1 mA/cm^2 의 전류 밀도로 반도체 기판으로의 전기적 전류의 흐름을 유도하는 단계; 및 (c) 반도체 기판 내에 홀들의 무질서한 패턴을 형성하기 위하여 적어도 약 0.1 mA/cm^2 의 전류 밀도 하에서 에칭 용액을 사용하여 반도체 기판을 에칭함으로써, 적어도 약 0.25인 ZT를 갖는 열전 엘리먼트를 형성하는 단계로서, 에칭은 (i) 금속 촉매 없이 그리고 (ii) 반도체 기판과 에칭 용액에 걸친 적어도 약 1 볼트(V)의 전기적 전위에서 수행되며, 에칭은 25°C 에서 적어도 초당 약 1 나노미터(nm)의 에칭 레이트를 갖는, 단계를 포함한다.
- [0020] 일부 실시예들에 있어서, 전기적 전위는 교류(AC) 전압이다. 일부 실시예들에 있어서, 전기적 전위는 직류(DC) 전압이다.
- [0021] 일부 실시예들에 있어서, 에칭 레이트는 적어도 초당 약 10 nm이다. 일부 실시예들에 있어서, 에칭 레이트는 적어도 초당 약 100 nm이다. 일부 실시예들에 있어서, 에칭 레이트는 적어도 초당 약 1000 nm이다.
- [0022] 일부 실시예들에 있어서, 전류 밀도는 적어도 약 1 mA/cm^2 이다. 일부 실시예들에 있어서, 전류 밀도는 적어도 약 10 mA/cm^2 이다. 일부 실시예들에 있어서, 전류 밀도는 약 10 mA/cm^2 내지 50 mA/cm^2 , 10 mA/cm^2 내지 30 mA/cm^2 , 또는 10 mA/cm^2 내지 20 mA/cm^2 이다. 일부 실시예들에 있어서, 전류 밀도는 약 100 mA/cm^2 또는 50 mA/cm^2 이하이다. 일부 실시예들에 있어서, 반도체 기판은 상기 전류 밀도의 교류 하에서 에칭된다.
- [0023] 일부 실시예들에 있어서, 에칭 용액은 산을 포함한다. 일부 실시예들에 있어서, 산은 HF, HCl, HBr 및 HI로 구성된 그룹으로부터 선택된다. 일부 실시예들에 있어서, 에칭 용액은 알콜 첨가제를 포함한다. 일부 실시예들에 있어서, 에칭은 반도체 기판을 조명하지 않으면서 수행된다.
- [0024] 일부 실시예들에 있어서, 방법은, (c) 단계 이후에 반도체 기판을 어닐링하는 단계를 더 포함한다. 일부 실시예들에 있어서, 방법은, (c) 단계 이전에, 에칭 용액을 25°C 보다 더 높은 온도까지 가열하는 단계를 더 포함한다.

일부 실시예들에 있어서, 반도체 기판은 실리콘을 포함한다.

- [0025] 본 개시의 또 다른 측면은, 하나 이상의 컴퓨터 프로세서들에 의한 실행 시에 이상의 또는 본원의 어떤 다른 곳의 방법들 중 임의의 방법을 구현하는 기계 실행가능 코드를 포함하는 컴퓨터 판독가능 매체를 제공한다.
- [0026] 본 개시의 또 다른 측면은 하나 이상의 컴퓨터 프로세서 및 이에 결합된 메모리를 포함하는 컴퓨터 제어 시스템을 제공한다. 메모리는, 하나 이상의 컴퓨터 프로세서들에 의한 실행 시에 이상의 또는 본원의 어떤 다른 곳의 방법들 중 임의의 방법을 구현하는 기계 실행가능 코드를 포함한다.
- [0027] 본 개시의 또 다른 측면에 있어서, 열전 디바이스는 반도체 기판을 포함하는 적어도 하나의 가요성 열전 엘리먼트를 포함하며, 여기에서 반도체 기판의 표면들은 x-선 광전자 분광법(x-ray photoelectron spectroscopy; XPS)에 의해 측정되는 약 1% 미만의 금속 함량을 가지고, 여기에서 가요성 열전 엘리먼트는 25℃에서 적어도 약 0.25인 성능 지수(ZT)를 가지며, 여기에서 가요성 열전 엘리먼트는 25℃에서 열전 엘리먼트의 정적 편향(static deflection)에 의해 측정되는 약 1×10^6 제곱 인치 당 파운드(pounds per square inch; psi) 이하의 영률을 갖는다.
- [0028] 일부 실시예들에 있어서, 반도체 기판은 투과 전자 현미경검사(transmission electron microscopy; TEM)에 의해 측정되는 약 0.1 나노미터(nm) 내지 50 nm 사이의 표면 거칠기를 갖는다. 일부 실시예들에 있어서, 표면 거칠기는 TEM에 의해 측정될 때 약 1 nm 내지 20 nm 사이이다. 일부 실시예들에 있어서, 표면 거칠기는 TEM에 의해 측정될 때 약 1 nm 내지 10 nm 사이이다.
- [0029] 일부 실시예들에 있어서, 금속 함량은 XPS에 의해 측정될 때 약 0.001% 이하이다. 일부 실시예들에 있어서, 영률은 25℃에서 약 800,000 psi 이하이다. 일부 실시예들에 있어서, 성능 지수는 적어도 약 0.5, 0.6, 0.7, 0.8, 0.9, 또는 1이다.
- [0030] 일부 실시예들에 있어서, 반도체 기판은 화학적으로 도핑된 n-형 또는 p-형이다. 일부 실시예들에 있어서, 반도체 기판은 실리콘을 포함한다.
- [0031] 일부 실시예들에 있어서, 열전 엘리먼트는 홀들의 패턴을 포함한다. 일부 실시예들에 있어서, 홀들의 패턴은 다분산성(polydisperse)이다. 일부 실시예들에 있어서, 홀들의 패턴은 홀들의 무질서한 패턴을 포함한다. 일부 실시예들에 있어서, 홀들의 무질서한 패턴은 다분산성이다.
- [0032] 일부 실시예들에 있어서, 열전 엘리먼트는 와이어(wire)들의 패턴을 포함한다. 일부 실시예들에 있어서, 와이어들의 패턴은 다분산성이다. 일부 실시예들에 있어서, 와이어들의 패턴은 와이어들의 무질서한 패턴을 포함한다. 일부 실시예들에 있어서, 와이어들의 무질서한 패턴은 다분산성이다.
- [0033] 본 개시의 또 다른 측면은, 반도체 기판을 포함한 적어도 하나의 가요성 열전 엘리먼트를 포함하는 전자 디바이스를 제공하며, 여기에서 반도체 기판의 표면들은 x-선 광전자 분광법(XPS)에 의해 측정되는 약 1% 미만의 금속 함량을 가지고, 여기에서 가요성 열전 엘리먼트는 25℃에서 적어도 약 0.25인 성능 지수(ZT)를 가지며, 여기에서 가요성 열전 엘리먼트는 3-점 테스트(three-point testing)에 의해 측정되는 20% 미만인 소성 변형에서 측정 평면에 대하여 적어도 약 10°의 각도로 굽혀진다.
- [0034] 일부 실시예들에 있어서, 반도체 기판은 투과 전자 현미경검사(TEM)에 의해 측정되는 약 0.1 나노미터(nm) 내지 50 nm 사이의 표면 거칠기를 갖는다. 일부 실시예들에 있어서, 표면 거칠기는 TEM에 의해 측정될 때 약 1 nm 내지 20 nm 사이이다. 일부 실시예들에 있어서, 표면 거칠기는 TEM에 의해 측정될 때 약 1 nm 내지 10 nm 사이이다.
- [0035] 일부 실시예들에 있어서, 금속 함량은 XPS에 의해 측정될 때 약 0.001% 이하이다. 일부 실시예들에 있어서, 가요성 열전 엘리먼트는 측정 평면에 대하여 적어도 약 20°의 각도로 굽혀진다. 일부 실시예들에 있어서, 성능 지수는 적어도 약 0.5, 0.6, 0.7, 0.8, 0.9, 또는 1이다.
- [0036] 일부 실시예들에 있어서, 전자 디바이스는, 시계, 건강 또는 피트니스 추적 디바이스이거나, 또는 폐열 회수 유닛이다. 전자 디바이스는, 예를 들어, 다른 전자 디바이스들 및 제어 모듈을 포함하는 더 큰 시스템의 부분일 수 있다.
- [0037] 일부 실시예들에 있어서, 반도체 기판은 화학적으로 도핑된 n-형 또는 p-형이다. 일부 실시예들에 있어서, 반도체 기판은 실리콘을 포함한다.
- [0038] 일부 실시예들에 있어서, 전자 디바이스는 복수의 열전 엘리먼트들을 포함한다. 복수의 열전 엘리먼트들의 각각

은 이상에서 또는 본원의 다른 어떤 곳에서 설명되는 것과 같을 수 있다. 일부 실시예들에 있어서, 복수의 열전 엘리먼트들은 반대로 화학적으로 도핑된 n-형 및 p-형이다.

[0039] 일부 실시예들에 있어서, 열전 엘리먼트는 홀들의 패턴을 포함한다. 일부 실시예들에 있어서, 홀들의 패턴은 다분산성이다. 일부 실시예들에 있어서, 홀들의 패턴은 홀들의 무질서한 패턴을 포함한다. 일부 실시예들에 있어서, 홀들의 무질서한 패턴은 다분산성이다.

[0040] 일부 실시예들에 있어서, 열전 엘리먼트는 와이어들의 패턴을 포함한다. 일부 실시예들에 있어서, 와이어들의 패턴은 다분산성이다. 일부 실시예들에 있어서, 와이어들의 패턴은 와이어들의 무질서한 패턴을 포함한다. 일부 실시예들에 있어서, 와이어들의 무질서한 패턴은 다분산성이다.

[0041] 본 개시의 또 다른 측면은, 유체를 보내기 위한 유체 흐름 채널; 및 유체 흐름 채널의 적어도 일 부분에 인접한 적어도 하나의 가요성 열전 엘리먼트를 포함하는 열전 디바이스를 포함하는 전력을 생성하기 위한 시스템을 제공한다. 여기에서 가요성 열전 엘리먼트는 25℃에서 약 1×10^6 제곱 인치 당 파운드(psi) 이하인 영률을 가지며, 여기에서 가요성 열전 엘리먼트는 유체 흐름 채널과 열적으로 연통하는 제 1 표면 및 열 싱크(heat sink)와 열적으로 연통하는 제 2 표면을 가지고, 여기에서 열전 디바이스는 유체 흐름 채널로부터 열 싱크로의 열전 디바이스를 통한 열의 흐름 시에 전력을 생성한다.

[0042] 일부 실시예들에 있어서, 열전 디바이스는, 반대로 화학적으로 도핑된 n-형 및 p-형인 적어도 2개의 열전 엘리먼트들을 포함한다. 일부 실시예들에 있어서, 영률은 25℃에서 약 800,000 psi 이하이다.

[0043] 일부 실시예들에 있어서, 열전 엘리먼트는 반도체 재료를 포함한다. 일부 실시예들에 있어서, 반도체 재료는 실리콘을 포함한다.

[0044] 일부 실시예들에 있어서, 가요성 열전 엘리먼트는 유체 흐름 채널의 형상에 실질적으로 맞춰진다. 일부 실시예들에 있어서, 유체 흐름 채널은 파이프이다. 일부 실시예들에 있어서, 유체 흐름 채널은 원통형이다.

[0045] 본 개시의 추가적인 측면들 및 이점들이, 본 개시의 단지 예시적인 실시예들이 도시되고 설명되는 다음의 상세한 설명으로부터 당업자들에게 용이하게 명백해질 것이다. 이해될 바와 같이, 본 개시는, 본 개시로부터 일체 벗어나지 않으면서, 다른 그리고 상이한 실시예들이 가능하며, 그것의 몇몇 세부사항들은 다양하고 명백한 측면들에 있어서의 수정들이 가능하다. 따라서, 도면들 및 설명은 제한적이 아니라 사실상 예시적인 것으로 간주되어야 한다.

[0046] 참조에 의한 통합

[0047] 본 명세서에서 언급되는 모든 공개문헌들, 특허들, 및 특허 출원들은, 각각의 개별적인 공개문헌, 특허, 또는 특허 출원이 명확하고 개별적으로 참조로서 포함되는 것으로 표시되는 것과 동일한 정도로 본원에 참조로서 포함된다.

도면의 간단한 설명

[0048] 본 발명의 신규한 특징들이 특허 첨부된 청구항들에 기술된다. 본 발명의 특징들 및 이점들의 더 양호한 이해는, 그 안에서 본 발명의 원리들이 사용되는 예시적인 실시예들을 기술하는 다음의 상세한 설명, 및 (본원에서 "그림" 및 "도"로도 지칭되는) 첨부된 도면들을 참조함으로써 획득될 수 있다.

도 1은 복수의 엘리먼트들을 갖는 열전 디바이스를 도시한다.

도 2는 본 개시의 일 실시예에 따른 열전 엘리먼트의 개략적인 사시도이다.

도 3은 본 개시의 일 실시예에 따른 도 2의 열전 엘리먼트의 개략적인 평면도이다.

도 4는 본 개시의 일 실시예에 따른 도 2 및 도 3의 열전 엘리먼트의 개략적인 측면도이다.

도 5는 본 개시의 일 실시예에 따른 열전 엘리먼트의 개략적인 상단 사시도이다.

도 6은 본 개시의 일 실시예에 따른 도 5의 열전 엘리먼트의 개략적인 상단 사시도이다.

도 7은 본 개시의 일 실시예에 와이어들의 어레이를 갖는 엘리먼트들을 포함하는 열전 디바이스의 개략적인 사시도이다.

도 8은 본 개시의 일 실시예에 홀들의 어레이를 갖는 엘리먼트들을 포함하는 열전 디바이스의 개략적인 사시도

이다.

도 9는 본 개시의 일 실시예에 따른, 벡터 V에 대하여 수직으로 배향된 홀들의 어레이를 갖는 엘리먼트들을 포함하는 열전 디바이스의 개략적인 사시도이다.

도 10은 복수의 열전 엘리먼트들을 포함하는 가요성 열전 디바이스를 제조하기 위한 방법을 개략적으로 예시한다.

도 11은 가요성 열전 재료를 갖는 가요성 열전 디바이스를 개략적으로 예시한다.

도 12는 열 싱크 및 열전 디바이스를 포함하는 열 회수 시스템을 개략적으로 예시한다.

도 13은 통합된 열전 디바이스 및 열 싱크들을 갖는 용접가능(weldable) 튜브를 개략적으로 예시한다.

도 14a는 물체 둘레에 감겨진 가요성 열 싱크를 개략적으로 예시하며; 도 14b는 도 14a의 측면 단면도이다.

도 15는 통합된 열 싱크를 갖는 가요성 열전 테이프를 개략적으로 예시한다.

도 16은 상단 및 하단 상호연결부들과 전기적으로 연통하는 열전 엘리먼트들을 갖는 전자 디바이스를 개략적으로 예시한다.

도 17a는 베이비 모니터(baby monitor)의 개략적인 측면 사시도이며; 도 17b는 도 17a의 베이비 모니터의 개략적인 각진 측면도이고; 도 17c는 도 17a의 베이비 모니터의 개략적인 측면도이며; 도 17d는 도 17a의 베이비 모니터의 개략적인 평면도이다.

도 18a는 페이스메이커(pacemaker)의 개략적인 측면 사시도이며; 도 18b는 도 18a의 페이스메이커의 개략적인 측면도이고; 도 18c는 도 18a의 페이스메이커의 개략적인 평면도이다.

도 19a는 착용형(wearable) 전자 디바이스의 개략적인 사시도이며; 도 19b는 사용자의 손에 인접한 도 19a의 착용형 전자 디바이스를 개략적으로 예시한다.

도 20은 아이웨어(eyewear)의 개략적인 사시도이다.

도 21a는 의료 디바이스의 개략적인 사시도이며; 도 21b는 사용자의 신체 상에 장착된 도 21a의 의료 디바이스를 개략적으로 예시한다.

도 22는 차량 배기 시스템의 부분으로서의 열 회수 시스템들을 개략적으로 예시한다.

도 23a는 라디에이터 상에 설치된 열 회수 및 전력 생성 시스템의 개략적인 측면 사시도이며; 도 23b는 도 23a의 열 회수 및 전력 생성 시스템의 개략적인 측면도이다.

도 24a는 열 교환기 내에 설치된 열 회수 및 전력 생성 시스템의 개략적인 측면 사시도이며; 도 24b는 도 24a의 열 회수 및 전력 생성 시스템의 개략적인 측면도이다.

도 25는, 열전 엘리먼트들을 제조하는 것과 같은 본원에서 제공되는 다양한 방법들을 구현하도록 프로그래밍되거나 또는 달리 구성되는 컴퓨터 제어 시스템을 도시한다.

도 26a는 열전 엘리먼트의 주사 전자 현미경검사(scanning electron microscopy; SEM)의 현미경 사진을 도시하며, 도 26b는 열전 엘리먼트 내의 벌크(bulk) 및 다공성 실리콘을 보여주는 x-선 회절(XRD) 플롯(plot)을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0049] 본 발명의 다양한 실시예들이 본원에서 도시되고 설명되지만, 이러한 실시예들이 오로지 예로서 제공된다는 것이 당업자들에게 명백할 것이다. 다수의 변형들, 변화들, 및 대체들이 본 발명으로부터 벗어나지 않고 당업자들에게 일어날 수 있다. 본원에서 설명되는 본 발명의 실시예들에 대한 다양한 대안예들이 이용될 수 있다는 것이 이해되어야만 한다.

[0050] 본원에서 사용되는 용어 "나노구조체(nanostructure)"는 일반적으로, 크기에 있어서 약 1 마이크로미터("마이크론") 미만인 제 1 축을 따른 제 1 치수(예를 들어, 폭)를 갖는 구조체를 지칭한다. 이러한 나노구조체들은, 제 1 축에 직각인 제 2 축을 따라서, 나노미터들 또는 더 작은 것로부터 마이크로미터들, 밀리미터들 또는 더 큰 것까지의 제 2 치수를 가질 수 있다. 일부 경우들에 있어서, 치수(예를 들어, 폭)는 약 1000 나노미터("nm"), 또는 500 nm, 또는 100 nm, 또는 50 nm, 또는 더 작은 것보다 더 작다. 나노구조체들은 기판 재료 내에 형성된 홀

들을 포함할 수 있다. 홀들은 홀들의 어레이를 갖는 메시(mesh)를 형성할 수 있다. 다른 경우들에 있어서, 나노 구조체는 로드-형(rod-like) 구조체들, 예컨대 와이어들, 원통들 또는 박스-형 구조체를 포함할 수 있다. 로드-형 구조체들은, 원형, 타원형, 삼각형, 정사각형, 직사각형, 오각형, 육각형, 칠각형, 팔각형, 또는 구각형, 또는 다른 단면들을 가질 수 있다.

- [0051] 본원에서 사용되는 용어 "나노홀(nanohole)"은 일반적으로, 약 1000 나노미터("nm"), 또는 500 nm, 또는 100 nm, 또는 50 nm, 또는 더 작은 것 이하의 폭 또는 직경을 갖는, 충전된 또는 충전되지 않은 홀을 지칭한다. 금속, 반도체, 또는 절연 재료로 충전된 나노홀이 "나노포함체(nanoinclusion)"로 지칭될 수 있다.
- [0052] 본원에서 사용되는 용어 "나노와이어(nanowire)"는 일반적으로, 약 1000 nm, 또는 500 nm, 또는 100 nm, 또는 50 nm, 또는 더 작은 것 이하의 폭 또는 직경을 갖는 와이어 또는 다른 세장형(elongate) 구조체를 지칭한다.
- [0053] 본원에서 사용되는 용어 "n-형"은 일반적으로 n-형 도펀트(dopant)로 화학적으로 도핑된("도핑된") 재료를 지칭한다. 예를 들어, 실리콘이 인 또는 비소를 사용하여 n-형 도핑될 수 있다.
- [0054] 본원에서 사용되는 용어 "p-형"은 일반적으로 p-형 도펀트로 화학적으로 도핑된 재료를 지칭한다. 예를 들어, 실리콘은 붕소 또는 알루미늄을 사용하여 p-형 도핑될 수 있다.
- [0055] 본원에서 사용되는 용어 "금속성"은 일반적으로 금속성 속성들을 나타내는 물질을 지칭한다. 금속성 재료는 하나 이상의 원소 금속들을 포함할 수 있다.
- [0056] 본원에서 사용되는 용어 "단분산성(monodisperse)"은 일반적으로, 서로 유사한 형상들, 크기들(예를 들어, 폭들, 단면들, 볼륨들) 또는 분포들(예를 들어, 최인접 이웃 간격, 중심-대-중심 간격)을 갖는 특징부들을 지칭한다. 일부 예들에 있어서, 단분산성 특징부들(예를 들어, 홀들, 와이어들)은 서로 최대한으로 약 20%, 15%, 10%, 5%, 4%, 3%, 2%, 1%, 0.5%, 또는 0.1%만큼 편차가 있는 형상들 또는 크기들을 갖는다. 일부 경우들에 있어서, 단분산성 특징부들은 실질적으로 단분산성이다.
- [0057] 본원에서 사용되는 용어 "에칭 재료"는 일반적으로 에칭 재료에 인접한 기관(예를 들어, 반도체 기관)의 에칭을 용이하게 하는 재료를 지칭한다. 일부 경우들에 있어서, 에칭 재료는, 산화제 및 화학적 에칭제(etchant)에 대한 에칭 재료의 노출 시에 기관의 에칭을 촉진한다.
- [0058] 본원에서 사용되는 용어 "에칭 층"은 일반적으로 에칭 재료를 포함하는 층을 지칭한다. 에칭 재료들의 예들은, 은, 백금, 크롬, 몰리브덴, 텅스텐, 오스뮴, 이리듐, 로듐, 루테튬, 팔라듐, 구리, 니켈 및 다른 금속들(예를 들어, 귀금속들), 또는 이들의 임의의 조합, 또는, 예를 들어, 구리, 니켈, 또는 이들의 조합과 같은, 화학적 산화제의 분해를 촉진할 수 있는 임의의 비-귀금속을 포함한다.
- [0059] 본원에서 사용되는 용어 "에칭 차단 재료"는 일반적으로 에칭 차단 재료에 인접한 기관의 에칭을 차단하거나 또는 달리 방해하는 재료를 지칭한다. 에칭 차단 재료는, 에칭 재료와 연관된 기관 에칭 레이트에 관하여, 감소되거나 또는 일부 경우들에서 실질적으로 감소된 기관 에칭 레이트를 제공할 수 있다. 본원에서 사용되는 용어 "에칭 차단 층"은 일반적으로 에칭 차단 재료를 포함하는 층을 지칭한다. 에칭 차단 재료는 에칭 재료의 에칭 레이트보다 더 낮은 에칭 레이트를 가질 수 있다.
- [0060] 본원에서 사용되는 용어 "반응 공간"은 일반적으로 열전 디바이스의 컴포넌트 또는 열전 디바이스의 형성에 적절한 임의의 환경을 지칭한다. 반응 공간은 기관에 인접한 재료 필름 또는 얇은 필름의 증착을 위해, 또는 재료 필름 또는 얇은 필름의 물리적 특성들의 측정을 위해 적절할 수 있다. 반응 공간은, 복수의 챔버들을 갖는 시스템 내의 챔버일 수 있는 챔버를 포함할 수 있다. 시스템은 복수의 유체적으로 분리된(또는 격리된) 챔버들을 포함할 수 있다. 시스템은, 각각의 반응 공간이 다른 반응 공간으로부터 유체적으로 분리된 복수의 반응 공간들을 포함할 수 있다. 반응 공간은 기관에 인접하여 형성된 얇은 필름 또는 기관에 대한 측정들을 수행하기에 적절할 수 있다.
- [0061] 본원에서 사용되는 용어 "전류 밀도"는 일반적으로 기관의 단면과 같은 단면의 단위 면적 당의 전기(또는 전기적) 전류를 지칭한다. 일부 예들에 있어서, 전류 밀도는 반도체 기관의 표면의 단위 면적 당의 전기적 전류이다.
- [0062] 본원에서 사용되는 용어 "인접한" 또는 "~에 인접한"은 '~의 다음의', '접하는', '~과 접촉하는' 및 '~에 근접한'을 포함한다. 일부 경우들에 있어서, 인접한 컴포넌트들은 하나 이상의 개재(intervening) 층들에 의해 서로 분리된다. 하나 이상의 개재 층들은 약 10 마이크로미터("마이크론"), 1 마이크로, 500 나노미터("nm"), 100 nm, 50 nm, 10 nm, 1 nm, 0.5 nm 또는 그 미만보다 더 작은 두께를 가질 수 있다. 예를 들어, 제 2 층에 인접

한 제 1 층은 제 2 층과 직접 접촉할 수 있다. 다른 예로서, 제 2 층에 인접한 제 1 층은 적어도 제 3 층에 의해 제 2 층으로부터 분리될 수 있다.

[0063] **열전 엘리먼트들, 디바이스들 및 시스템들**

[0064] 본 개시는, 가열 및/또는 냉각 애플리케이션들, 전력 생성, 소비자 애플리케이션들 및 산업 애플리케이션들과 같은 다양한 애플리케이션들에서의 사용을 위하여 이용될 수 있는 열전 엘리먼트들, 디바이스들 및 시스템들을 제공한다. 일부 예들에 있어서, 열전 재료들은 소비자 전자 디바이스들(예를 들어, 스마트 시계, 휴대용 전자 디바이스들, 및 건강/피트니스 추적 디바이스들)에서 사용된다. 다른 예로서, 본 개시의 열전 재료는 열 손실이 존재하는 위치에서와 같이 산업 환경에서 사용될 수 있다. 이러한 경우에 있어서, 열이 열전 디바이스에 의해 포획되고 전력을 생성하기 위하여 사용될 수 있다.

[0065] 본 개시의 열전 디바이스들은, 이러한 디바이스에 걸친 온도 구배(gradient)의 인가 시에 전력을 생성하기 위하여 사용될 수 있다. 이러한 전력은 소비자 전자 디바이스들과 같은 다양한 유형들의 디바이스들에 전기적 에너지를 제공하기 위하여 사용될 수 있다.

[0066] 본 개시의 열전 디바이스들은 다양한 비-제한적인 이점들 및 이득들을 가질 수 있다. 일부 경우들에 있어서, 열전 디바이스는, 최적 열전 디바이스 성능을 위해 적절할 수 있는, 실질적으로 큰 종횡비들, 홀들 또는 와이어들의 균일성, 및 성능 지수 ZT를 가질 수 있다. 성능 지수에 대하여, Z는 열전 디바이스의 효율 및 성능 계수(coefficient-of-performance; COP)의 표시자일 수 있으며, T는 열전 디바이스의 뜨거운 측과 차가운 측의 평균 온도일 수 있다. 일부 실시예들에 있어서, 열전 디바이스 또는 열전 엘리먼트의 성능 지수(ZT)는, 25°C에서 적어도 약 0.01, 0.02, 0.03, 0.04, 0.05, 0.06, 0.07, 0.08, 0.09, 0.1, 0.15, 0.2, 0.25, 0.3, 0.35, 0.4, 0.45, 0.5, 0.55, 0.6, 0.65, 0.7, 0.75, 0.8, 0.85, 0.9, 0.95, 1.0, 1.1, 1.2, 1.3, 1.4, 1.5, 1.6, 1.7, 1.8, 1.9, 2.0, 2.1, 2.2, 2.3, 2.4, 2.5, 2.6, 2.7, 2.8, 2.9, 또는 3.0이다. 일부 경우에 있어서, 성능 지수는 25°C에서 약 0.01 내지 3, 0.1 내지 2.5, 0.5 내지 2.0 또는 0.5 내지 1.5이다.

[0067] 성능 지수(ZT)는 온도의 함수일 수 있다. 일부 경우들에 있어서, ZT는 온도와 함께 증가한다. 예를 들어, 25°C에서 0.5의 ZT를 갖는 열전체(thermoelectric)는 100°C에서 더 큰 ZT를 가질 수 있다.

[0068] 본 개시의 열전 디바이스들은 각기 나노구조체들(예를 들어, 홀들 또는 와이어들)을 포함하는 전극들을 가질 수 있다. 나노구조체들의 어레이는 복수의 홀들 또는 세장형 구조체들, 예컨대 와이어들(예를 들어, 나노와이어들)을 포함할 수 있다. 홀들 또는 와이어들은 정돈될 수 있으며 균일한 크기들 및 분포들을 가질 수 있다. 대안 예로서, 홀들 또는 와이어들이 정돈되지 않을 수 있고 균일한 분포를 갖지 않을 수 있다. 일부 예들에 있어서, 홀들 또는 와이어들에 대하여 장거리 질서(long range order)가 존재하지 않는다. 일부 경우들에 있어서, 홀들 또는 와이어들이 랜덤한 방향들에서 서로 교차할 수 있다. 나노구조체들(예를 들어, 홀들 또는 와이어들)의 패턴화된 또는 무질서한 패턴들을 형성하기 위한 방법들이 본원의 다른 곳에 제공된다.

[0069] 본 개시는 가요성이거나 또는 실질적으로 가요성인 열전 엘리먼트들을 제공한다. 가요성 재료는, 소성 변형을 경험하지 않고 형상에 맞춰질 수 있거나, 뒤틀릴 수 있거나, 또는 굽혀질 수 있는 재료일 수 있다. 이는, 열 소스 또는 열 싱크와의 접촉 면적이 중요한 환경들과 같은 다양한 환경들에서 열전 엘리먼트들이 사용되는 것을 가능하게 할 수 있다. 예를 들어, 가요성 열전 엘리먼트는, 예컨대 열 소스 또는 열 싱크 둘레에 열전 엘리먼트를 감음으로써 열 소스 또는 열 싱크와 효율적으로 접촉하게끔 될 수 있다.

[0070] 열전 디바이스는 하나 이상의 열전 엘리먼트들을 포함할 수 있다. 열전 엘리먼트들은 가요성일 수 있다. 개별적인 열전 엘리먼트는 가요성일 수 있는 적어도 하나의 반도체 기판을 포함할 수 있다. 일부 경우들에 있어서, 열전 엘리먼트의 개별적인 반도체 기판들은, 이들이 서로 인접하여 배치될 때 가요성 열전 엘리먼트를 제공하도록 강성(rigid)이지만 상당히 얇다(예를 들어, 500 nm 내지 1 mm 또는 1 마이크로미터 내지 0.5 mm). 유사하게, 열전 디바이스의 개별적인 열전 엘리먼트는, 이들이 서로 인접하여 배치될 때 가요성 열전 디바이스를 제공하도록 강성이지만 상당히 얇을 수 있다.

[0071] 도 1은 본 개시의 일부 실시예들에 따른 열전 디바이스(100)를 도시한다. 열전 디바이스(100)는, 열전 디바이스(100)의 전극들(103)의 제 1 세트와 전극들(104)의 제 2 세트 사이에 배치된 n-형(101) 및 p-형(102) 엘리먼트들을 포함한다. 예시된 바와 같이, 전극들(103)의 제 1 세트는 인접한 n-형(101) 및 p-형 엘리먼트들을 연결한다.

[0072] 전극들(103 및 104)은 각기 뜨거운 측의 재료(105) 및 차가운 측의 재료(106)와 접촉한다. 일부 실시예들에 있어서, 뜨거운 측의 재료(105) 및 차가운 측의 재료(106)는 전기적으로는 절연성이지만 열적으로 전도성이다. 전

극들(103 및 104)에 대한 전기적 전위의 인가는 전류의 흐름을 야기하며, 이는 열전 디바이스(100)에 걸친 온도 구배(ΔT)를 생성한다. 온도 구배(ΔT)는 뜨거운 측의 재료(105)에서의 제 1 온도 (평균) T1로부터 차가운 측의 재료(106)에서의 제 2 온도 (평균) T2까지 걸쳐지며, 여기에서 $T1 > T2$ 이다. 온도 구배는 가열 및 냉각 목적들을 위해 사용될 수 있다.

[0073] 열전 디바이스(100)의 n-형(101) 및 p-형(102) 엘리먼트들은, 예를 들어, 나노구조체들과 같은 나노미터 내지 마이크로미터의 치수들을 갖는 구조체들로 형성될 수 있다. 일부 상황들에 있어서, 나노구조체들은 홀들의 어레이(즉, 메시)로 제공될 수 있는 홀들 또는 포함체들이다. 다른 상황들에 있어서, 나노구조체들은 나노와이어들과 같은 로드-형 구조체들이다. 일부 경우들에 있어서, 로드-형 구조체들은 서로 측방으로 분리된다.

[0074] 일부 경우들에 있어서, n-형(101) 및/또는 p-형(102) 엘리먼트들은 온도 구배의 방향을 따라 배향된 와이어들 또는 홀들의 어레이로 형성된다. 즉, 와이어들이 전극들(103)의 제 1 세트로부터 전극들(104)의 제 2 세트로 연장한다. 다른 경우들에 있어서, n-형(101) 및/또는 p-형(102) 엘리먼트들은, 온도 구배에 대하여 약 0° 내지 90° 사이의 각진 방향을 따라 배향된 홀들의 어레이로 형성된다. 일 예에 있어서, 홀들의 어레이는 온도 구배에 대하여 직각이다. 일부 경우들에 있어서, 홀들 또는 와이어들은 대략 나노미터들 내지 마이크로미터들의 치수들을 갖는다. 일부 경우들에 있어서, 홀들이 나노메시를 확정(define)할 수 있다.

[0075] 도 2는 본 개시의 일 실시예에 따른 홀들(원으로 둘러싸인 선택 홀들)의 어레이(201)를 갖는 열전 엘리먼트(200)의 개략적인 사시도이다. 홀들의 어레이는 본원에서 "나노메시"로서 지칭될 수 있다. 도 3 및 도 4는 열전 엘리먼트(200)의 원경 평면도 및 측면도이다. 엘리먼트(200)는 본원의 다른 곳에서 설명되는 바와 같은 n-형 또는 p-형 엘리먼트일 수 있다. 홀들의 어레이(201)는, 몇 나노미터 또는 그 미만으로부터 마이크로미터들, 밀리미터들, 또는 그 이상까지의 폭들을 가질 수 있는 개별적인 홀들(201a)을 포함한다. 일부 실시예들에 있어서, 홀들은 약 1 nm 내지 500 nm, 또는 5 nm 내지 100 nm, 또는 10 nm 내지 30 nm 사이의 폭들(또는, 원형인 경우 직경들)("d")을 갖는다. 홀들은 약 수 나노미터 또는 그 미만으로부터 마이크로미터들, 밀리미터들 또는 그 이상까지의 길이들("L")을 가질 수 있다. 일부 실시예들에 있어서, 홀들은 약 0.5 마이크로미터 내지 1 센티미터, 또는 1 마이크로미터 내지 500 밀리미터, 또는 10 마이크로미터 내지 1 밀리미터 사이의 길이들을 갖는다.

[0076] 홀들(201a)은 기판(200a) 내에 형성된다. 일부 경우들에 있어서, 기판(200a)은, 예를 들어, 탄소(예를 들어, 흑연 또는 그래핀(graphene)), 실리콘, 게르마늄, 비화 갈륨, 비화 알루미늄 갈륨, 실리콘 게르마늄, 비스무트 텔루라이드, 납 텔루라이드, 산화물들(예를 들어, SiO_x , 여기에서 'x'는 0보다 더 큰 수), 질화 갈륨, 및 텔루륨 은 게르마늄 안티모니(tellurium silver germanium antimony; TAGS) 함유 합금들과 같은 고체 상태 재료이다. 예를 들어, 기판(200a)은 IV 족 재료(예를 들어, 실리콘 또는 게르마늄) 또는 III-V 족 재료(예를 들어, 비화 갈륨)일 수 있다. 기판(200a)은 하나 이상의 반도체들을 포함하는 반도체 재료로 형성될 수 있다. 반도체 재료는 각기 n-형 또는 p-형 엘리먼트들을 위하여 도핑된 n-형 또는 p-형일 수 있다.

[0077] 일부 경우들에 있어서, 홀들(201a)은, He, Ne, Ar, N_2 , H_2 , CO_2 , O_2 , 또는 이들의 조합과 같은 가스로 충전된다. 다른 경우들에 있어서, 홀들(201a)은 진공 하에 존재한다. 대안적으로, 홀들은 반도체 재료, 절연(또는 유전체) 재료, 또는 가스(예를 들어, He, Ar, H_2 , N_2 , CO_2)로 충전(예를 들어, 부분적으로 충전 또는 완전히 충전)될 수 있다.

[0078] 엘리먼트(200)의 제 1 단부(202) 및 제 2 단부(203)는 실리콘 또는 실리콘사이드와 같은 반도체-함유 재료를 갖는 기판과 접촉할 수 있다. 기판은 각각의 단부(202 및 203) 상에 전극에 대한 전기적 접촉부를 제공함에 있어서 보조할 수 있다. 대안적으로, 기판이 배제될 수 있으며, 제 1 단부(202) 및 제 2 단부(203)가 각기 제 1 전극(미도시) 및 제 2 전극(미도시)과 접촉할 수 있다.

[0079] 일부 실시예들에 있어서, 홀들(201a)은 실질적으로 단분산성이다. 단분산성 홀들은 실질적으로 동일한 크기, 형상 및/또는 분포(예를 들어, 단면 분포)를 가질 수 있다. 다른 실시예들에 있어서, 홀들(201a)은 다양한 크기들의 홀들의 영역들 내에 분포될 수 있으며, 그 결과 홀들(201a)이 반드시 단분산성은 아니다. 예를 들어, 홀들(201a)이 다분산성일 수 있다. 다분산성 홀들은, 서로 적어도 약 0.1%, 0.5%, 1%, 2%, 3%, 4%, 5%, 10%, 15%, 20%, 30%, 40%, 또는 50%만큼의 편차를 갖는 형상들, 크기들 및/또는 배향들을 가질 수 있다. 일부 상황들에 있어서, 디바이스(200)는 제 1 직경을 갖는 홀들의 제 1 세트 및 제 2 직경을 갖는 홀들의 제 2 세트를 포함한다. 제 1 직경은 제 2 직경보다 더 크다. 다른 경우들에 있어서, 디바이스(200)는 상이한 직경들을 갖는 홀들의 2개 이상의 세트들을 포함한다.

[0080] 홀들(201a)은 다양한 패킹(packing) 배열들을 가질 수 있다. 일부 경우들에 있어서, 홀들(201a)은, 상단으로부터

터 보여질 때(도 3 참조), 육방 밀집(hexagonal close)-패킹 배열을 갖는다.

- [0081] 일부 실시예들에 있어서, 홀들의 어레이(201) 내의 홀들(201a)은 약 1 nm 내지 500 nm, 또는 5 nm 내지 100 nm, 또는 10 nm 내지 30 nm 사이의 중심-대-중심 간격을 갖는다. 일부 경우들에 있어서, 중심-대-중심 간격은 동일하며, 이는 단분산성 홀들(201a)에 대해서 그러할 수 있다. 다른 경우들에 있어서, 중심-대-중심 간격은 다양한 직경들 및/또는 배열들을 갖는 홀들의 그룹들에 대하여 상이할 수 있다.
- [0082] 홀들(201)의 치수들(길이들, 폭들) 및 패킹 배열, 및 엘리먼트(200)의 재료 및 도핑 구성(예를 들어, 도핑 농도)는 엘리먼트(200)를 갖는 열전 디바이스 및 엘리먼트(200)의 미리 결정된 전기적 전도율 및 열적 전도율에 영향을 주도록 선택될 수 있다. 예를 들어, 홀들(201)의 직경들 및 패킹 구성은 열적 전도율을 최소화하도록 선택될 수 있으며, 도핑 농도는 엘리먼트(200)의 전기적 전도율을 최대화하도록 선택될 수 있다.
- [0083] 기관(200a)의 도핑 농도는 적어도 약 10^{18} cm^{-3} , 10^{19} cm^{-3} , 10^{20} cm^{-3} , 또는 10^{21} cm^{-3} 일 수 있다. 일부 예들에 있어서, 도핑 농도는 약 10^{18} 내지 10^{21} cm^{-3} , 또는 10^{19} 내지 10^{20} cm^{-3} 이다. 도핑 농도는 열전 엘리먼트로서 사용하기에 적절한 저항률을 제공하도록 선택될 수 있다. 기관(200a)의 저항률은 적어도 약 0.001 ohm-cm, 0.01 ohm-cm, 또는 0.1 ohm-cm일 수 있거나, 일부 경우들에 있어서 약 1 ohm-cm, 0.5 ohm-cm, 0.1 ohm-cm 이하일 수 있다. 일부 예들에 있어서, 기관(200a)의 저항률은 약 0.001 ohm-cm 내지 1 ohm-cm, 0.001 ohm-cm 내지 0.5 ohm-cm, 또는 0.001 ohm-cm 내지 0.1 ohm-cm이다.
- [0084] 홀들의 어레이(201)는, 적어도 약 1.5:1, 또는 2:1, 또는 5:1, 또는 10:1, 또는 20:1, 또는 50:1, 또는 100:1, 또는 1000:1, 또는 5,000:1, 또는 10,000:1, 또는 100,000:1, 또는 1,000,000:1, 또는 10,000,000:1, 또는 100,000,000:1, 또는 그 이상의 종횡비(예를 들어, 개별적인 홀(201a)의 폭으로 나눈 엘리먼트(200)의 길이)를 가질 수 있다.
- [0085] 홀들(201)은 정돈될 수 있으며 균일한 크기들 및 분포들을 가질 수 있다. 대안예로서, 홀들(201)이 정돈되지 않을 수 있고 균일한 분포를 갖지 않을 수 있다. 예를 들어, 홀들(201)은, 홀들(201)의 패턴에 대한 장거리 질서가 존재하지 않도록 무질서화될 수 있다.
- [0086] 일부 실시예들에 있어서, 열전 엘리먼트들은 와이어들의 어레이를 포함할 수 있다. 와이어들의 어레이는, 예를 들어, 로드-형 구조체들인 개별적인 와이어들을 포함할 수 있다.
- [0087] 엘리먼트(200)의 홀들의 어레이에 대한 대안예로서, 홀들이 정돈되지 않을 수 있고 균일한 분포를 갖지 않을 수 있다. 일부 예들에 있어서, 홀들에 대하여 장거리 질서가 존재하지 않는다. 일부 경우들에 있어서, 홀들이 랜덤한 방향들에서 서로 교차할 수 있다. 홀들은 교차 홀들, 예컨대 다양한 방향으로 홀들로부터 돌출하는 2차 홀들을 포함할 수 있다. 2차 홀들은 추가적인 2차 홀들을 가질 수 있다. 홀들은 다양한 크기들을 가질 수 있으며, 랜덤하고 균일하지 않을 수 있는 다양한 방향들을 따라 정렬될 수 있다.
- [0088] 도 5는 본 개시의 일 실시예에 따른 열전 엘리먼트(500)의 개략적인 상단 사시도이다. 도 6은 열전 엘리먼트(500)의 개략적인 사시 평면도이다. 열전 엘리먼트(500)는 본원에서 제공되는 디바이스들, 시스템들 및 방법들과 함께 사용될 수 있다. 엘리먼트(500)는 개별적인 와이어들(501a)을 갖는 와이어들의 어레이(501)를 포함한다. 일부 실시예들에 있어서, 와이어들은 약 1 nm 내지 500 nm, 또는 5 nm 내지 100 nm, 또는 10 nm 내지 30 nm 사이의 폭들(또는, 원형인 경우 직경들)("d")을 갖는다. 와이어들들은 약 수 나노미터 또는 그 미만으로부터 마이크로미터, 밀리미터들 또는 그 이상까지의 길이들("L")을 가질 수 있다. 일부 실시예들에 있어서, 와이어들은 약 0.5 마이크로미터 내지 1 센티미터, 또는 1 마이크로미터 내지 500 밀리미터, 또는 10 마이크로미터 내지 1 밀리미터 사이의 길이들을 갖는다.
- [0089] 일부 실시예들에 있어서, 와이어들(501a)은 실질적으로 단분산성이다. 단분산성 와이어들은 실질적으로 동일한 크기, 형상 및/또는 분포(예를 들어, 단면 분포)를 가질 수 있다. 다른 실시예들에 있어서, 와이어들(501a)은 다양한 크기들의 홀들의 영역들 내에 분포될 수 있으며, 그 결과 와이어들(501a)이 반드시 단분산성은 아니다. 예를 들어, 와이어들(501a)이 다분산성일 수 있다. 다분산성 와이어들은, 서로 적어도 약 0.1%, 0.5%, 1%, 2%, 3%, 4%, 5%, 10%, 15%, 20%, 30%, 40%, 또는 50%만큼의 편차를 갖는 형상들, 크기들 및/또는 배향들을 가질 수 있다.
- [0090] 일부 실시예들에 있어서, 와이어들의 어레이(501) 내의 와이어들(501a)은 약 1 nm 내지 500 nm, 또는 5 nm 내지 100 nm, 또는 10 nm 내지 30 nm 사이의 중심-대-중심 간격을 갖는다. 일부 경우들에 있어서, 중심-대-중심 간격은 동일하며, 이는 단분산성 와이어들(501a)에 대해서 그러할 수 있다. 다른 경우들에 있어서, 중심-대-중심 간

격은 다양한 직경들 및/또는 배열들을 갖는 와이어들의 그룹들에 대하여 상이할 수 있다.

- [0091] 일부 경우들에 있어서, 와이어들(501a)은, 예를 들어, 실리콘, 게르마늄, 비화 갈륨, 비화 알루미늄 갈륨, 실리콘사이드 합금들, 실리콘 게르마늄의 합금들, 비스무트 텔루라이드, 납 텔루라이드, 산화물들(예를 들어, SiO_x , 여기서 'x'는 0보다 더 큰 수), 질화 갈륨, 및 텔루륨 은 게르마늄 안티모니(TAGS) 함유 합금들과 같은 반도체 재료와 같은 고체 상태 재료로 형성된다. 와이어들(501a)은 본원에 개시되는 다른 재료들로 형성될 수 있다. 와이어들(501a)은 n-형 도펀트 또는 p-형 도펀트로 도핑될 수 있다. 반도체 재료의 도핑 농도는 적어도 약 10^{18} cm^{-3} , 10^{19} cm^{-3} , 10^{20} cm^{-3} , 또는 10^{21} cm^{-3} 일 수 있다. 일부 예들에 있어서, 도핑 농도는 약 10^{18} 내지 10^{21} cm^{-3} , 또는 10^{19} 내지 10^{20} cm^{-3} 이다. 반도체 재료의 도핑 농도는 열전 엘러먼트로서 사용하기에 적절한 저항률을 제공하도록 선택될 수 있다. 반도체 재료의 저항률은 적어도 약 0.001 ohm-cm, 0.01 ohm-cm, 또는 0.1 ohm-cm일 수 있거나, 일부 경우들에 있어서 약 1 ohm-cm, 0.5 ohm-cm, 0.1 ohm-cm 이하일 수 있다. 일부 예들에 있어서, 반도체 재료의 저항률은 약 0.001 ohm-cm 내지 1 ohm-cm, 0.001 ohm-cm 내지 0.5 ohm-cm, 또는 0.001 ohm-cm 내지 0.1 ohm-cm이다.
- [0092] 일부 실시예들에 있어서, 와이어들(501a)이 엘러먼트(500)의 제 1 단부(502) 및 제 2 단부(503)에서 반도체 기판들에 부착된다. 반도체 기판들은 개별적인 와이어들(501a)의 n-형 또는 p-형 도핑 구성을 가질 수 있다. 다른 실시예들에 있어서, 제 1 단부(502) 및 제 2 단부(503)에서 와이어들(501a)이 반도체 기판들에 부착되는 것이 아니라, 전극들에 부착될 수 있다. 예를 들어, 제 1 전극(미도시)이 제 1 단부(502)와 전기적으로 접촉할 수 있으며, 제 2 전극이 제 2 단부(503)와 전기적으로 접촉할 수 있다.
- [0093] 도 6을 참조하면, 와이어들(501a) 사이의 공간(504)이 진공 또는 다양한 재료들로 충전될 수 있다. 일부 실시예들에 있어서, 와이어들은, 이산화 실리콘, 이산화 게르마늄, 산화 갈륨 비소, 스핀 온 글래스(spin on glass), 및 예를 들어, 화학적 기상 증착 또는 원자 층 증착과 같은 기체 상 증착을 사용하여 증착되는 다른 절연체들과 같은, 전기적인 절연 재료에 의해 서로로부터 측방으로 분리된다. 다른 실시예들에 있어서, 와이어들은, He, Ne, Ar, N_2 , H_2 , CO_2 , O_2 , 또는 이들의 조합과 같은 가스 또는 진공에 의해 서로로부터 측방으로 분리된다.
- [0094] 와이어들의 어레이(501)는, 적어도 약 1.5:1, 또는 2:1, 또는 5:1, 또는 10:1, 또는 20:1, 또는 50:1, 또는 100:1, 또는 1000:1, 또는 5,000:1, 또는 10,000:1, 또는 100,000:1, 또는 1,000,000:1, 또는 10,000,000:1, 또는 100,000,000:1, 또는 그 이상의 중형비-예를 들어, 개별적인 와이어(501a)의 폭으로 나눈 엘러먼트(500)의 길이-를 가질 수 있다. 일부 경우들에 있어서, 엘러먼트(500)의 길이 및 개별적인 와이어(501a)의 길이는 실질적으로 동일하다.
- [0095] 본원에서 제공되는 열전 엘러먼트들은, 냉각 및/또는 가열에서의 사용을 위하여, 그리고 일부 경우들에 있어서 전력 생성에서의 사용을 위하여 열전 디바이스들 내에 통합될 수 있다. 일부 예들에 있어서, 디바이스(100)는 전력 생성 디바이스로서 사용될 수 있다. 일 예에 있어서, 디바이스(100)는, 디바이스(100)의 전극들 및 열전 엘러먼트들에 걸쳐 온도 구배를 제공함으로써 전력 생성을 위해 사용된다.
- [0096] 엘러먼트(500)의 와이어들의 어레이에 대한 대안예로서, 와이어들이 정돈되지 않을 수 있고 균일한 분포를 갖지 않을 수 있다. 일부 예들에 있어서, 와이어들에 대하여 장거리 질서가 존재하지 않는다. 일부 경우들에 있어서, 와이어들이 랜덤한 방향들에서 서로 교차할 수 있다. 와이어들은 다양한 크기들을 가질 수 있으며, 랜덤하고 균일하지 않을 수 있는 다양한 방향들을 따라 정렬될 수 있다.
- [0097] 도 7은 본 개시의 일 실시예에 따른 n-형 엘러먼트들(701) 및 p-형 엘러먼트들(702)을 갖는 열전 디바이스(700)를 도시한다. n-형 엘러먼트들(701) 및 p-형 엘러먼트들(702) 각각이 나노와이어들과 같은 와이어들의 어레이를 포함한다. 와이어들의 어레이는 복수의 와이어들을 포함할 수 있다. n-형 엘러먼트들(701)은 n-형(또는 n-도핑된) 와이어들을 포함하며, p-형 엘러먼트들(702)은 p-형 와이어들을 포함한다. 와이어들은 나노와이어들 또는 다른 로드-형 구조체들일 수 있다.
- [0098] 인접한 n-형 엘러먼트들(701) 및 p-형 엘러먼트들(702)이 전극들(703 및 704)을 사용하여 그들의 단부에서 서로 전기적으로 연결된다. 디바이스(700)는 엘러먼트들(701 및 702)의 대향되는 단부들에서 제 1 열 전도성 전기 절연성 층(705) 및 제 2 열 전도성 전기 절연성 층(706)을 포함한다.
- [0099] 디바이스(700)는 전극들(703 및 704)과 전기적으로 연통하는 단자들(707 및 708)을 포함한다. 단자들(707 및 708)에 걸친 전기적 전위의 인가는 각기 n-형 및 p-형 엘러먼트들(701 및 702) 내의 전자들 및 홀들의 흐름을

생성하며, 이는 엘리먼트들(701 및 702)에 걸친 온도 구배를 생성한다. 제 1 열 전도성 전기 절연성 층(705)은 디바이스(700)의 차가운 측이며; 제 2 열 전도성 전기 절연성 층(706)은 디바이스(700)의 뜨거운 측이다. 차가운 측은 뜨거운 측보다 더 차갑다(즉, 더 낮은 동작 온도를 갖는다).

[0100] 도 8은 본 개시의 일 실시예에 따른 n-형 엘리먼트들(801) 및 p-형 엘리먼트들(802)을 갖는 열전 디바이스(800)를 도시한다. n-형 엘리먼트들(801) 및 p-형 엘리먼트들(802)은 각기 n-형 및 p-형 반도체 기관들 내에 형성된다. 각각의 기관은 나노홀들과 같은 홀들의 어레이를 포함할 수 있다. 홀들의 어레이는 복수의 홀들을 포함할 수 있다. 개별적인 홀은 n-형 또는 p-형 엘리먼트의 길이에 걸쳐 이어질 수 있다. 홀들은 단분산성일 수 있으며, 이러한 경우에 있어서 홀 치수들 및 중심-대-중심 간격이 실질적으로 일정할 수 있다. 일부 경우들에 있어서, 홀들의 어레이는 상이할 수 있는 중심-대-중심 간격 및 홀 치수들(예를 들어, 폭들 또는 직경들)을 갖는 홀들을 포함한다. 이러한 경우에 있어서, 홀들은 단분산성이 아닐 수 있다.

[0101] 선택 n-형 엘리먼트들(801) 및 p-형 엘리먼트들(802)이 전극들(803 및 804)에 의해 그들의 단부에서 서로 전기적으로 연결된다. 디바이스(800)는 엘리먼트들(801 및 802)의 대향되는 단부들에서 제 1 열 전도성 전기 절연성 층("제 1 층")(805) 및 제 2 열 전도성 전기 절연성 층("제 2 층")(806)을 포함한다.

[0102] 디바이스(800)는 전극들(803 및 804)과 전기적으로 연통하는 단자들(807 및 808)을 포함한다. 단자들(807 및 808)에 걸친 전기적 전위의 인가는 각기 n-형 및 p-형 엘리먼트들(801 및 802) 내의 전자들 및 홀들의 흐름을 생성하며, 이는 엘리먼트들(801 및 802)에 걸친 온도 구배를 생성한다. 제 1 열 전도성 전기 절연성 층(805)은 디바이스(800)의 차가운 측이며; 제 2 열 전도성 전기 절연성 층(806)은 디바이스(800)의 뜨거운 측이다. 차가운 측은 뜨거운 측보다 더 차갑다(즉, 더 낮은 동작 온도를 갖는다).

[0103] 열전 디바이스(800)는 제 2 열 전도성 전기 절연성 층(806)으로부터 제 1 열 전도성 전기 절연성 층(805)으로의 온도 구배를 갖는다. 일부 경우들에 있어서, 홀들은 제 1 층(805)으로부터 제 2 층(806)까지 배향된 벡터에 평행하게 배치된다. 다른 경우들에 있어서, 홀들은 벡터에 대하여 0° 보다 더 큰 각도로 배치된다. 예를 들어, 홀들은 벡터에 대하여 적어도 약 1° , 10° , 20° , 30° , 40° , 50° , 60° , 70° , 80° , 또는 90° 의 각도로 배치될 수 있다.

[0104] 도 9는, 엘리먼트들이 n-형 및 p-형 엘리먼트들의 기관 내에 형성된 홀들을 갖는, n-형 엘리먼트들(901) 및 p-형 엘리먼트들(902)을 갖는 열전 디바이스(900)를 도시한다. 홀들은 디바이스(900)의 전극들(903 및 904)에 직각인 벡터("V")에 수직으로 배향된다.

[0105] 본원에서 제공되는 열전 엘리먼트들의 와이어들 또는 홀들은 기관 내에 형성될 수 있으며 전극과 같은 지지 구조체에 실질적으로 역-평행하게(anti-parallel) 배향될 수 있다. 일부 예들에 있어서, 와이어들 또는 홀들은 지지 구조체에 대하여 0° , 또는 10° , 또는 20° , 또는 30° , 또는 40° , 또는 50° , 또는 60° , 또는 70° , 또는 80° , 또는 85° 보다 더 큰 각도로 배향된다. 일 예에 있어서, 와이어들 또는 홀들은 지지 구조체에 대하여 약 90° 의 각도로 배향된다. 전극은 열전 디바이스의 전극일 수 있다. 일부 경우들에 있어서, 와이어들 또는 홀들은 전극에 실질적으로 평행하게 배향될 수 있다.

[0106] 도 7 내지 도 9의 디바이스들에 대한 대안으로서, 열전 디바이스는, 상이한 크기들 및/또는 분포들을 가질 수 있는 개별적인 홀들 또는 와이어들을 갖는 홀들 또는 와이어들의 어레이를 갖는 열전 엘리먼트를 가질 수 있다. 홀들 또는 와이어들의 어레이가 정돈되지 않을 수 있고 균일한 분포를 갖지 않을 수 있다. 일부 예들에 있어서, 홀들 또는 와이어들에 대하여 장거리 질서가 존재하지 않는다. 일부 경우들에 있어서, 홀들 또는 와이어들이 랜덤한 방향들에서 서로 교차할 수 있다. 홀들 또는 와이어들은 교차 홀들 또는 와이어들, 예컨대 다양한 방향으로 다른 홀들 또는 와이어들로부터 돌출하는 2차 홀들 또는 와이어들을 포함할 수 있다. 홀들 또는 와이어들은 다양한 크기들을 가질 수 있으며, 랜덤하고 균일하지 않을 수 있는 다양한 방향들을 따라 정렬될 수 있다. 다른 대안으로서, 열전 디바이스는, 홀들 또는 와이어들의 정돈된 어레이를 갖는 적어도 하나의 열전 엘리먼트(p 또는 n-형), 및 홀들 또는 와이어들의 무질서한 어레이를 갖는 적어도 하나의 열전 엘리먼트(p 또는 n-형)를 포함할 수 있다. 홀들 또는 와이어들의 무질서한 어레이는, 정돈되지 않고 균일한 분포를 갖지 않는 홀들 또는 와이어들을 포함할 수 있다.

[0107] 본 개시의 홀 또는 와이어는 최적화된 열전 디바이스 성능에 적절한 표면 거칠기를 가질 수 있다. 일부 경우들에 있어서, 홀 또는 와이어의 제곱 평균 거칠기는 약 0.1 nm 내지 50 nm, 또는 1 nm 내지 20 nm, 또는 1 nm 내지 10 nm 사이이다. 거칠기는, 투과 전자 현미경검사(TEM) 또는, 원자력 현미경검사(atomic force microscopy; AFM) 또는 주사 터널링 현미경검사(scanning tunneling microscopy; STM)와 같은 다른 표면 분석 기술에 의해

결정될 수 있다. 표면 거칠기는 표면 주름(surface corrugation)에 의해 특징지어질 수 있다.

[0108] **열전 엘러먼트들을 형성하기 위한 방법들**

[0109] 본 개시는 열전 엘러먼트들을 형성하기 위한 다양한 방법들을 제공한다. 열전 엘러먼트는 전기화학적 에칭을 사용하여 형성될 수 있다. 일부 경우들에 있어서, 열전 엘러먼트는 캐소드(cathodic) 또는 애노드 에칭(anodic etching)에 의해 형성되며, 일부 경우들에 있어서 촉매를 사용하지 않고 형성된다. 열전 엘러먼트는 금속성 촉매들을 사용하지 않고 형성될 수 있다. 열전 엘러먼트는, 에칭될 기관의 표면 상에 금속성 코팅을 제공하지 않고 형성될 수 있다. 이는 또한, 순수하게 전기화학적 애노드 에칭 및 적절한 에칭 용액들 및 전해액들을 사용하여 수행될 수 있다. 대안예로서, 열전체는, 예를 들어, 이들의 각각이 전체적으로 본원에 참조로서 통합되는, 2012년 07월 17일자로 출원된 PCT/US2012/047021호, 2013년 01월 17일자로 출원된 PCT/US2013/021900호, 2013년 08월 16일자로 출원된 PCT/US2013/055462호, 2013년 10월 29일자로 출원된 PCT/US2013/067346호에서 설명되는 바와 같이, 적절한 에칭 용액들 및 전해액들 내에서 금속 촉매 전기화학적 에칭을 사용하여 형성될 수 있다.

[0110] 열전 엘러먼트들을 형성하기 위하여 촉매들을 사용하지 않는 것에 대한 다양한 이점들이 본원에서 인식된다. 일 예에 있어서, 비-금속 촉매 에칭은, 에칭 이후 열전 엘러먼트로부터 금속 촉매들을 제거하기 위한 세정(cleanup) 단계들을 포함하여 금속(또는 금속성) 촉매들에 대한 필요성을 배제할 수 있으며, 이는 더 적은 프로세싱 단계들을 가능하게 할 수 있다. 금속 촉매들이 비쌀 수 있기 때문에, 이는 또한 감소된 제조 비용을 가능하게 할 수 있다. 금속 촉매들은, 희귀한 및/또는 비싼 금속성 재료들(예를 들어, 금, 은, 백금, 또는 팔라듐)을 포함할 수 있으며, 금속성 촉매의 사용을 제거하는 것이 바람직하게는 열전 엘러먼트들을 형성하는 비용을 감소시킬 수 있다. 추가적으로, 비-촉매 프로세스는 더 재현 가능하고 제어 가능할 수 있다. 일부 경우들에 있어서, 본원에서 설명되는 비-촉매 프로세스는 열전 엘러먼트들의 상대적으로 작은 생산 스케일로부터 열전 엘러먼트들의 상대적으로 더 큰 생산 스케일로 스케일링(scale)될 수 있다.

[0111] 본 개시는, 소비자 및 산업 애플리케이션들과 같은 다양한 애플리케이션들에서의 사용을 위한 열전 재료들을 형성하기 위한 방법들을 제공한다. 일부 예들에 있어서, 열전 재료들은 소비자 전자 디바이스들(예를 들어, 스마트 시계, 휴대용 전자 디바이스들, 및 건강/피트니스 추적 디바이스들)에서 사용된다. 다른 예로서, 본 개시의 열전 재료는 열 손실이 존재하는 위치에서와 같이 산업 환경에서 사용될 수 있으며, 이러한 열은 전력을 생성하기 위하여 포획되고 사용될 수 있다.

[0112] 본 개시는 가요성 또는 실질적으로 가요성인 열전 재료들을 형성하기 위한 방법들을 제공한다. 가요성 재료는, 소성 변형 또는 파손을 경험하지 않고 측정 평면에 대하여 적어도 약 1° , 5° , 10° , 15° , 20° , 25° , 30° , 35° , 40° , 45° , 50° , 60° , 70° , 80° , 90° , 100° , 120° , 130° , 140° , 150° , 160° , 170° , 또는 180° 의 각도로 굽혀지는 재료일 수 있다. 가요성 재료는 가요성 재료의 주어진 영역 위에 인가되는 힘(즉, 압력) 하에서 굽혀질 수 있다. 소성 변형은, 예를 들어, 3-점 테스트(예를 들어, 인스트론 신장(instron extension)) 또는 인장 테스트에 의해 측정될 수 있다. 이에 더하여 또는 대안예로서, 가요성 재료는, 3-점 테스트(예를 들어, 인스트론 신장) 또는 인장 테스트에 의해 측정되는 약 20%, 15%, 10%, 5%, 1%, 또는 0.1% 이하인 소성 변형에서, 측정 평면에 대하여 적어도 약 1° , 5° , 10° , 15° , 20° , 25° , 30° , 35° , 40° , 45° , 50° , 60° , 70° , 80° , 90° , 100° , 120° , 130° , 140° , 150° , 160° , 170° , 또는 180° 의 각도로 굽혀지는 재료일 수 있다. 가요성 재료는 실질적으로 유연한 재료일 수 있다. 가요성 재료는 표면에 맞춰지거나 또는 이에 대하여 몰딩(mold)될 수 있는 재료일 수 있다. 이러한 재료들은, 소비자 및 산업 환경들과 같은 다양한 환경들에서의 사용을 위해 이용될 수 있다. 본원의 방법들에 따라 형성되는 열전 엘러먼트들은 다양한 형상들 및 구성들로 형성될 수 있다. 이러한 형상들은, 예컨대 주어진 물체에 맞추기 위하여 사용자에게 의해 희망되는 바와 같이 변화될 수 있다. 열전 엘러먼트들은 제 1 형상을 가질 수 있으며, 형상 또는 구성으로 형성된 이후에 열전 엘러먼트들이 제 2 형상을 가질 수 있다. 열전 엘러먼트들은 제 2 형상으로부터 초기 형상으로 변환될 수 있다.

[0113] 본 개시의 일 측면에 있어서, 열전 디바이스(또는 재료)는 애노드 에칭을 사용하여 형성된다. 애노드 에칭은, 에칭되는 기관에 대한 전기적 연결들, 기관과 접촉하는 에칭 용액들 또는 전해액들을 흘리기 위한 하나 이상의 저장소(reservoir)들, 및 에칭 프로세스의 분석적 측정들 및 모니터링을 위한 액세스(access)를 제공하는 전기화학적 에칭 셀(cell) 내에서 수행될 수 있다. 에칭 용액들 및/또는 전해액들은 수용성 용액을 포함할 수 있다. 에칭(또는 에칭) 용액들 및/또는 전해액들은, 염기성, 중성, 또는 산성 용액일 수 있다. 에칭 용액들의 예들은, 불산(hydrofluoric acid; HF), 염산(hydrochloric acid; HCl), 브롬화 수소(hydrogen bromide; HBr), 요오드화 수소(hydrogen iodide; HI), 또는 이들의 조합들과 같은 산들을 포함한다. 에칭 용액들 및/또는 전해액

들은 전기적으로 전도성 용액일 수 있다. 일 예에 있어서, 에칭 셀은 전해액을 포함하는 용액을 포함하는 상단 저장소를 포함한다. 상단 저장소는 에칭될 기관에 인접하여(예를 들어, 이의 상단 상에) 위치될 수 있다. 에칭될 기관은, 촉매성 재료들일 수 있는 하나 이상의 금속 재료들이 실질적으로 존재하지 않을 수 있다. 에칭될 기관은 금속성 코팅이 없을 수 있다. 일부 예들에 있어서, 에칭될 기관은, (예를 들어, 기관의 표면 상에) x-선 광전자 분광법(XPS)에 의해 측정되는 약 25%, 20%, 15%, 10%, 5%, 1%, 0.1%, 0.01%, 0.001%, 0.0001%, 0.00001%, 또는 0.00001%보다 더 작은 금속 함량을 갖는다.

[0114] 에칭 용액은 산(예를 들어, HF) 또는, (중량으로) 약 70%, 60%, 50%, 40%, 30%, 20% 또는 10% 이하인, 일부 경우들에 있어서 약 1%, 10%, 20%, 또는 30%보다 더 큰 (중량 퍼센트로서 취해지는) 산들의 농도를 포함할 수 있다. 일부 예들에 있어서, 농도는 (중량으로) 약 1% 내지 60%, 또는 10% 내지 50%, 또는 20% 내지 45%이다. 에칭 용액의 나머지는 용매(예를 들어, 물) 및 첨가제, 예컨대 알콜, 카르복실 산, 케톤 및/또는 알데하이드를 포함할 수 있다. 일부 예들에 있어서, 첨가제는 메탄올, 에탄올, 이소프로판올, 또는 이들의 조합과 같은 알콜이다. 첨가제는, 무질서한 패턴을 갖는 홀들의 실질적으로 균일한 분포와 같은 본 개시의 열전 엘리먼트들에서 사용하기에 적절한 속성들을 갖는 나노구조체들(예를 들어, 홀들)을 형성하는 동안 더 낮은 전류 밀도들의 사용을 가능하게 할 수 있다. 첨가제는, 2개 이상의 홀들 사이의 간격의 증가된 제어와 같은 본 개시의 열전 엘리먼트들에서 사용하기에 적절한 속성들을 갖는 나노구조체들(예를 들어, 홀들)을 형성하는 동안 더 낮은 전류 밀도들의 사용을 가능하게 할 수 있다. 첨가제는, 최대한으로 약 5 nm의 2개 이상의 홀들 사이의 간격과 같은 본 개시의 열전 엘리먼트들에서 사용하기에 적절한 속성들을 갖는 나노구조체들(예를 들어, 홀들)을 형성하는 동안 더 낮은 전류 밀도들의 사용을 가능하게 할 수 있다. 첨가제는, 최대한으로 약 20 nm의 2개 이상의 홀들 사이의 간격과 같은 본 개시의 열전 엘리먼트들에서 사용하기에 적절한 속성들을 갖는 나노구조체들(예를 들어, 홀들)을 형성하는 동안 더 낮은 전류 밀도들의 사용을 가능하게 할 수 있다. 첨가제는, 최대한으로 약 100 nm의 2개 이상의 홀들 사이의 간격과 같은 본 개시의 열전 엘리먼트들에서 사용하기에 적절한 속성들을 갖는 나노구조체들(예를 들어, 홀들)을 형성하는 동안 더 낮은 전류 밀도들의 사용을 가능하게 할 수 있다.

[0115] 전기적 전류는 에지(edge) 또는 후면(backside) 접촉부를 사용하여 기관으로 및/또는 기관을 통해, 그리고 용액/전해액을 통해, 그리고 상대 전극 내로 소싱(source)될 수 있다. 상대 전극은 상단 저장소와 전기적으로 연통할 수 있으며, 일부 경우들에 있어서 상단 저장소 내에 위치될 수 있다. 일부 경우들에 있어서, 상대 전극은 기관의 상단면에 인접하거나 또는 이와 접촉할 수 있다. 에칭 셀의 몸체는, 에칭 용액 또는 전해액에 대하여 비활성인 재료들(예를 들어, PTFE, PFA, 폴리프로필렌, HDPE)로 제조될 수 있다. 에지 또는 후면 접촉부는 기관 상의 금속 접촉부를 포함할 수 있거나, 또는 이는 적절한 전해액을 사용하는 액체 접촉부일 수 있다. 상대 전극은 적절한 전극 재료로 구성된 와이어 또는 메시를 포함할 수 있다. 에칭 셀은 용액 운동을 유지하기 위한 기계적인 패들(paddle)들 또는 초음파 교반기들을 포함할 수 있거나, 또는 전체 셀이 돌려지거나, 회전되거나 또는 흔들려질 수 있다. 일부 예들에 있어서, 에칭 이전에 및/또는 에칭 동안에 교반하는 것이 개선된 에칭 균일성을 가능하게 할 수 있다. 이는, 전해액이 에칭 동안 순환되는 것을 가능하게 할 수 있다. 다른 예에 있어서, 에칭 셀은, 하나 이상의 용액들/전해액들을 갖는 하나 이상의 재순환 저장소들 및 에칭 챔버들을 포함할 수 있다.

[0116] 일 예에 있어서, 패턴화되지 않은 기관이 5개 이상에 이르는 전극 연결부들이 구비된 반응 공간 내로 로딩(load)된다. 전극들 중 하나(작업 전극)는 기관 후면과 오믹 접촉하며, 에칭제 전해액으로부터 격리된다. 전극들 중 하나(작업 전극)는 기관 후면과 오믹 접촉할 수 있으며, 에칭제 전해액과 접촉하지 않을 수 있다. 다른 전극(상대 전극)은 전해액 내에 잠기지만 기관과 직접 접촉하지 않을 수 있으며, 이는 전해액을 통해 기관 작업 전극으로 전류를 공급하기 위해 사용될 수 있다. 다른 전극(기준 전극)이 전해액 내에 침지되고 일부 경우들에 있어서 프리트(frit)를 사용하여 작업 전극 및 상대 전극 둘 모두로부터 격리되며, 이는 알려진 또는 미리 결정된 기준 표준을 사용하여 에칭 셀의 동작 전위를 센싱하기 위하여 사용된다. 다른 2개 이상의 전극들은 외부 전기장을 셋업하기 위하여 반응 공간 외부에 위치될 수 있다. 일부 경우들에 있어서, 적어도 2개의 전극들(작업 전극 및 상대 전극)이 요구된다.

[0117] 반응 공간은 다수의 방식들로 사용될 수 있다. 하나의 접근방식에 있어서, 반응 공간은 애노드 전류를 기관 후면을 통해 적절한 전해액으로 전달함으로써 2-전극 구성에서 사용될 수 있다. 전해액은, 예를 들어, 물과 같은 희석제, 또는 불산과 같은 불소-함유 시약, 또는 과산화 수소와 같은 산화제를 포함하는 액체 혼합물일 수 있다. 전해액은 계면활성제들 및/또는 조절제(modifying agent)들을 포함할 수 있다. 작업 전위는 3-전극 구성에서 상대 전극을 사용하여 애노드 산화 동안 센싱될 수 있다. 애노드 산화는 반응 공간 외부에 위치된 전극들을 사용하여 DC 또는 AC 외부 필드가 존재하는 상태에서 수행될 수 있다.

[0118] 애노드 에칭 시에, 반도체의 전압/전류 보조 에칭은 전압/전류에 의존하는 레이트의 반도체의 에칭을 야기할 수

있다. 에칭 레이트, 에칭 깊이, 에칭 모폴로지(morphology), 공극 밀도, 공극 구조, 내부 표면적 및 표면 거칠기는, 전압/전류, 에칭 용액/전해액 조성 및 다른 첨가제들, 압력/온도, 전면/후면 조명, 및 뒤섞임/교반에 의해 제어될 수 있다. 이들은 또한, 반도체의 결정 배향, 도펀트 유형, 저항률(도핑 농도), 및 성장 프로세스(예를 들어, 플로트-존(float-zone) 또는 초크랄스키(Czochralski))에 의해 제어될 수 있다. 반도체의 저항률은 적어도 약 0.001 ohm-cm, 0.01 ohm-cm, 또는 0.1 ohm-cm일 수 있거나, 일부 경우들에 있어서 약 1 ohm-cm, 0.5 ohm-cm, 0.1 ohm-cm 이하일 수 있다. 일부 예들에 있어서, 반도체의 저항률은 약 0.001 ohm-cm 내지 1 ohm-cm, 0.001 ohm-cm 내지 0.5 ohm-cm, 또는 0.001 ohm-cm 내지 0.1 ohm-cm이다.

[0119] 전압/전류 제어를 사용하는 반도체 기관의 에칭 동안, 전위 또는 바이어스(예를 들어, 직류 바이어스)가 아래에 있는 전극을 사용하여 기관에 인가된다. 이는 반도체 기관이 에칭되게끔 할 수 있다. 애노드 에칭의 결과로서, 반도체의 열 전도율이 상당히 떨어질 수 있다. 일부 예들에 있어서, 인가되는 바이어스를 이용함으로써, 공극률(질량 손실)이 제어되고 조절될 수 있으며, 그에 따라서 열적 및 전기적 속성들이 제어될 수 있다. 다른 예들에 있어서, 특정 에칭 용액/전해액 조성 및/또는 첨가제들을 이용함으로써 공극률이 제어될 수 있다. 또 다른 예들에 있어서, 이미 열거된 임의의 수의 변수들을 이용함으로써 공극율이 제어될 수 있다.

[0120] 일부 경우들에 있어서 반도체 기관은 패턴화되지 않으며, 일부 경우들에 있어서 반도체 기관이 패턴화된다. 패턴화되지 않은 에칭 시에, 기관이 셀 내에서 직접적으로 에칭된다. 패턴화된 에칭 시에, 먼저 에칭을 방지하는 차단 층이 반도체 위에 위치되고, 그런 다음 특정 위치들에서 제거될 수 있다. 이러한 층은 적절한 임의의 방식(예를 들어, 화학 기상 증착, 스핀-코팅(spin-coating), 산화)으로 형성될 수 있으며, 그런 다음 후속 단계에서 희망되는 위치들에서 적절한 마스크(예를 들어, 포토리소그래피)를 사용하여 제거될 수 있다(예를 들어, 플라스마 에칭, 반응성 이온 에칭, 스퍼터링(sputtering)). 대안적으로, 차단 층이 직접적으로 증착될 수 있다(예를 들어, 딥 펜 리소그래피(dip pen lithography), 잉크젯 프린팅, 스텐실을 통한 스프레이 코팅). 그 다음에, 차단 층 내의 패턴들의 네거티브 복제(negative replica)가 애노드 에칭 동안 기관 내로 전사된다.

[0121] 에칭은, 적절한 에칭 용액/전해액이 있는 상태에서 반도체 기관에 전기적 전위("전위")를 인가함으로써 수행될 수 있다. 전위는, 예를 들어, 접지와 같은 기준에 대하여 적어도 약 +0.01 V, +0.02 V, +0.03 V, +0.04 V, +0.05 V, +0.06 V, +0.07 V, +0.08 V, +0.09 V, +0.1 V, +0.2 V, +0.3 V, +0.4 V, +0.5 V, +0.6 V, +0.7 V, +0.8 V, +0.9 V, +1.0 V, +2.0 V, +3.0 V, +4.0 V, +5.0 V, +10 V, +20 V, +30 V, +40 V, 또는 +50 V일 수 있다. 일부 예들에 있어서, 전위는 기준에 대하여 약 +0.01 V 내지 +20 V, +0.1 V 내지 +10 V, 또는 +0.5 V 내지 +5 V이다. 일부 예들에 있어서, 전위는 약 +0.01 V 내지 +0.05 V, +0.06 V 내지 +0.1 V, +0.2 V 내지 +0.5 V, +0.6 V 내지 +1.0 V, +2.0 V 내지 +5.0 V, +10 V 내지 +20 V, +20V 내지 +30 V, +30V 내지 +40 V, 또는 +40V 내지 +50V의 범위일 수 있다. 일부 예들에 있어서, 전위는 약 +0.5 V 내지 +5 V, 또는 +1 V 내지 +5 V이다.

[0122] 에칭은, 일부 경우들에 있어서 적절한 에칭 용액/전해액이 있는 상태에서, 반도체 기관으로 또는 이를 통해 전기적 전류("전류")를 인가하거나 또는 전류를 생성함으로써 수행될 수 있다. 기관으로의 전위의 인가 시에 전류가 기관에 인가될 수 있다. 전류는, 예를 들어, 적어도 약 +0.01 제곱 센티미터 당 밀리암페어(mA/cm^2), +0.1 mA/cm^2 , +0.2 mA/cm^2 , +0.3 mA/cm^2 , +0.4 mA/cm^2 , +0.5 mA/cm^2 , +0.6 mA/cm^2 , +0.7 mA/cm^2 , +0.8 mA/cm^2 , +0.9 mA/cm^2 , +1.0 mA/cm^2 , +2.0 mA/cm^2 , +3.0 mA/cm^2 , +4.0 mA/cm^2 , +5.0 mA/cm^2 , +6.0 mA/cm^2 , +7.0 mA/cm^2 , +8.0 mA/cm^2 , +9.0 mA/cm^2 , +10 mA/cm^2 , +20 mA/cm^2 , +30 mA/cm^2 , +40 mA/cm^2 , +50 mA/cm^2 , +60 mA/cm^2 , +70 mA/cm^2 , +80 mA/cm^2 , +90 mA/cm^2 , +100 mA/cm^2 , +200 mA/cm^2 , +300 mA/cm^2 , +400 mA/cm^2 , +500 mA/cm^2 , +600 mA/cm^2 , +700 mA/cm^2 , +800 mA/cm^2 , +900 mA/cm^2 , +1000 mA/cm^2 의 전류 밀도를 가질 수 있다. 일부 예들에 있어서, 전류 밀도는 약 0.01 mA/cm^2 내지 20 mA/cm^2 , 0.05 mA/cm^2 내지 10 mA/cm^2 , 또는 0.01 mA/cm^2 내지 5 mA/cm^2 의 범위이다. 일부 예들에 있어서, 전류 밀도는 약 +0.1 mA/cm^2 내지 +0.5 mA/cm^2 , +0.6 내지 +1.0 mA/cm^2 , +1.0 mA/cm^2 내지 +5.0 mA/cm^2 , +5.0 mA/cm^2 내지 +10 mA/cm^2 , +10 mA/cm^2 내지 +20 mA/cm^2 , +20 mA/cm^2 내지 +30 mA/cm^2 , +30 mA/cm^2 내지 +40 mA/cm^2 , +40 mA/cm^2 내지 +50 mA/cm^2 , +50 mA/cm^2 내지 +60 mA/cm^2 , +60 mA/cm^2 내지 +70 mA/cm^2 , +70 mA/cm^2 내지 +80 mA/cm^2 , +80 mA/cm^2 내지 +90 mA/cm^2 , +90 mA/cm^2 내지 +100 mA/cm^2 , +10 mA/cm^2 내지 +200 mA/cm^2 , +20 mA/cm^2 내지 +300 mA/cm^2 , +300 mA/cm^2 내지 +400 mA/cm^2 , +40 mA/cm^2 내지 +500 mA/cm^2 , +500 mA/cm^2 내지 +600 mA/cm^2 , +600 mA/cm^2 내지 +700 mA/cm^2 , +700 mA/cm^2 내지 +800 mA/cm^2 , +800 mA/cm^2 내

지 $+900 \text{ mA/cm}^2$, 또는 $+900 \text{ mA/cm}^2$ 내지 $+1000 \text{ mA/cm}^2$ 의 범위이다. 일부 예들에 있어서, 전류 밀도는 약 1 mA/cm^2 내지 30 mA/cm^2 , 5 mA/cm^2 내지 25 mA/cm^2 , 또는 10 mA/cm^2 내지 20 mA/cm^2 이다. 이러한 전류 밀도들은, 약 $+0.5 \text{ V}$ 내지 $+5 \text{ V}$, 또는 $+1 \text{ V}$ 내지 $+5 \text{ V}$ 의 전위들과 같은 본원에서 제공되는 전위를 이용하여 달성될 수 있다.

[0123] 전기적 전위(또는 전압)는, 예를 들어, 전압계를 사용하여 측정될 수 있다. 전압계는 기관과 병렬로 있을 수 있다. 예를 들어, 전압계는 기관의 2개의 면들 사이의 전기적 전위, 또는 용액 내의 상대 전극과 작업 전극 사이의 전기적 전위를 측정할 수 있다. 전류 밀도는 전류계를 사용하여 측정될 수 있다. 전류계는 전원 및 기관과 직렬로 있을 수 있다. 예를 들어, 전류계는 기관의 후면에 결합될 수 있다.

[0124] 본 개시의 열전 엘리먼트들은, 나노구조체들(예를 들어, 홀들 또는 와이어들)의 어레이를 제공하도록 선택된 에칭 시간에서 형성될 수 있다. 에칭 시간은 1 초 내지 2 일, 1 분 내지 1일, 1 분 내지 12 시간, 10 분 내지 6 시간, 또는 30 분 내지 3 시간의 범위일 수 있다. 일부 예들에 있어서, 에칭 시간은 30 분 내지 6 시간, 또는 1 시간 내지 6 시간이다. 일부 경우들에 있어서, 에칭 시간은 적어도 약 1 초, 10 초, 30 초, 1 분, 2 분, 3 분, 4 분, 5 분, 10 분, 30 분, 1 시간, 2 시간, 3 시간, 4 시간, 5 시간, 6 시간, 12 시간, 또는 1 일일 수 있다. 이러한 에칭 시간이 본 개시의 인가되는 전압 및/또는 전류와 조합되어 사용될 수 있다.

[0125] 일부 경우들에 있어서, 기관에 인가되는 바이어스는, 반도체 기관 내의 나노구조체의 밀도 및 위치를 포함하여, 반도체 기관의 에칭 레이트, 에칭 깊이, 에칭 모폴로지, 공극 밀도, 공극 구조, 내부 표면적 및 표면 거칠기를 조절하기 위하여 에칭 동안 변화될 수 있다. 다른 경우에 있어서, 에칭 용액/전해액 조성 및/또는 첨가제들이 에칭 동안 변화될 수 있다. 또 다른 경우들에 있어서, 압력/온도 또는 조명 또는 뒤섞임/교반이 변화될 수 있다. 대안적으로, 이러한 변수들 중 2개 이상이 획득되는 에칭 특성들을 획득하기 위하여 동시에 변화될 수 있다.

[0126] 기관이 에칭되는 기간 동안, 전기적 전위는 일정하거나, 변화되거나 또는 펄싱(pulse)될 수 있다. 일 예에 있어서, 전기적 전위는 에칭 기간 동안 일정하다. 다른 예에 있어서, 전기적 전위는 에칭 기간 동안 펄싱 온 및 오프되거나, 또는 포지티브로부터 네거티브까지이다. 다른 예에 있어서, 전기적 전위는 에칭 기간 동안, 예컨대 제 1 값으로부터 제 2 값으로 점진적으로 변화되는 것과 같이 변화될 수 있으며, 이러한 제 2 값은 제 1 값보다 더 작거나 또는 더 클 수 있다. 그런 다음, 전기적 전위가 제 2 값으로부터 제 1 값으로 변화될 수 있는 등등이다. 또 다른 예에 있어서, 바이어스/전류가 사인/삼각/임의적 파형에 따라 진동될 수 있다. 일부 경우들에 있어서, 바이어/전류는 적어도 약 1 Hz, 10Hz, 1000Hz, 5000Hz, 10000Hz, 50000Hz, 또는 100000 Hz의 주파수로 펄싱될 수 있다.

[0127] 바이어스 및/또는 전류는 DC 또는 AC, 또는 DC 및 AC의 조합일 수 있다. DC 오프셋(offset)을 갖는 AC 바이어스 및/또는 전류의 사용이 DC 바이어스/전류를 사용하는 에칭 레이트에 대한 제어 및 AC 바이어스/전류를 사용하는 이온들에 대한 제어를 제공할 수 있다. AC 바이어스/전류는 교번적으로 에칭 레이트를 높이고 낮추거나, 또는 공극률/표면 거칠기를 증가/감소시키거나, 또는 주기적인 또는 비-주기적인 방식으로 모폴로지 및 구조를 수정할 수 있다. AC 바이어스/전류의 진폭 및 주파수는 에칭 레이트, 에칭 깊이, 에칭 모폴로지, 공극 밀도, 공극 구조, 내부 표면적 및 표면 거칠기를 조율하기 위하여 사용될 수 있다.

[0128] 일부 상황들에 있어서, 에칭 동안 반도체 기관에 대한 전기적 전위의 인가가 소정의 에칭 레이트를 가능하게 할 수 있다. 일부 예들에 있어서, 기관은 25°C 에서 적어도 약 0.1 나노미터(nm)/초(s), 0.5 nm/s, 1 nm/s, 2 nm/s, 3 nm/s, 4 nm/s, 5 nm/s, 6 nm/s, 7 nm/s, 8 nm/s, 9 nm/s, 10 nm/s, 20 nm/s, 30 nm/s, 40 nm/s, 50 nm/s, 60 nm/s, 70 nm/s, 80 nm/s, 90 nm/s, 100 nm/s, 200 nm/s, 300 nm/s, 400 nm/s, 500 nm/s, 600 nm/s, 700 nm/s, 800 nm/s, 900 nm/s, 1000 nm/s, 또는 10,000 nm/s의 레이트로 에칭될 수 있다. 다른 경우들에 있어서, 에칭 레이트는, 압력/온도, 용액/전해액 조성 및/또는 첨가제들, 조명, 뒤섞임/교반의 변화와 함께 증가/감소될 수 있다.

[0129] 인가되는 전위 또는 전류 밀도를 사용하는 에칭 동안의 반도체 기관의 공극률은, 다양한 애플리케이션들에 대해 적절한 열전 엘리먼트를 제공할 수 있는 공극률(질량 손실)을 갖는 기관을 제공할 수 있다. 일부 예들에 있어서, 공극률은 적어도 약 0.01%, 0.1%, 1%, 5%, 10%, 20%, 30%, 40%, 50%, 또는 60%이다. 공극률은 약 0.01% 내지 99.99%, 0.1% 내지 60%, 또는 1% 내지 50%일 수 있다.

[0130] 기관은, 다양한 애플리케이션들에 대해 적절한 열전 엘리먼트를 산출하도록 선택된 두께를 가질 수 있다. 두께는 적어도 약 100 나노미터(nm), 500 nm, 1 마이크로미터(마이크론), 5 마이크로, 10 마이크로, 100 마이크로,

500 마이크로, 1 밀리미터(mm), 또는 10 mm일 수 있다. 일부 예들에 있어서, 두께는 약 500 nm 내지 1 mm, 1 마이크로 내지 0.5 mm, 또는 10 마이크로 내지 0.5 mm이다.

[0131] 에칭은 기관의 전체 두께를 관통해 완료하도록 수행될 수 있거나, 또는 이는 임의의 깊이에서 중단될 수 있다. 완전 에칭은 아래에 에칭되지 않은 기관을 갖지 않는 자기-지지 나노구조화된(nanostructured) 재료를 산출한다. 불완전 에칭은 아래의 에칭되지 않은 기관 위에 나노구조화된 재료의 층을 산출한다. 나노구조화된 층은 적어도 약 10 나노미터(nm), 20 nm, 30 nm, 40 nm, 50 nm, 60 nm, 70 nm, 80 nm, 90 nm, 100 nm, 200 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm, 800 nm, 900 nm, 1 마이크로미터(μm), 2 μm , 3 μm , 4 μm , 5 μm , 6 μm , 7 μm , 8 μm , 9 μm , 10 μm , 20 μm , 30 μm , 40 μm , 50 μm , 60 μm , 70 μm , 80 μm , 90 μm , 100 μm , 200 μm , 300 μm , 400 μm , 500 μm , 600 μm , 700 μm , 800 μm , 900 μm , 1 밀리미터(mm), 2 밀리미터(mm), 3 밀리미터(mm), 4 밀리미터(mm), 5 밀리미터(mm), 6 밀리미터(mm), 7 밀리미터(mm), 8 밀리미터(mm), 9 밀리미터(mm), 10 밀리미터(mm) 또는 그 이상의 두께를 가질 수 있다.

[0132] 나노구조화된 층은 기관 상에 놓여질 수 있거나, 또는 이는 복수의 방식들로 기관으로부터 분리될 수 있다. 층은 (예를 들어, 다이아몬드 톱질, 스크라이빙(scribing) 및 클리빙(cleaving), 레이저 커팅, 필링 오프(peeling off)를 사용하여) 기관으로부터 기계적으로 분리될 수 있다. 대안적으로, 층은 층의 베이스에서의 에칭 전면(etching front)에서 전해연마 조건들에 영향을 줌으로써 기관으로부터 분리될 수 있다. 이러한 조건들은, 압력의 변화, 온도의 변화, 용액 조성의 변화, 전해액 조성의 변화, 첨가제들, 조명, 뒤섞임, 및/또는 교반의 사용에 의해 또는 시간의 충분한 지속기간(예를 들어, 약 1 일 이상)을 기다림으로써 달성될 수 있다. 일부 경우에 있어서, 부분적인 또는 불완전 분리가 희망될 수 있으며, 그 결과 층이 계속해서 기관에 약하게 부착된다. 이는 정상 에칭 조건들과 전해연마 사이에서 변화시킴으로써 달성될 수 있다. 그런 다음 완전 분리가 후속 단계에서 달성될 수 있다.

[0133] 에칭 이후에, 재료는 기능적으로 활성적인 또는 수동적인 표면들을 산출하기 위하여 화학적으로 개조될 수 있다. 예를 들어, 재료는 화학적으로 수동적인 표면들, 또는 전자적으로 수동적인 표면들, 또는 생물학적으로 수동적인 표면들, 또는 열적으로 안정적인 표면들, 또는 이상의 조합을 산출하도록 개조될 수 있다. 이는, 다양한 방법들, 예를 들어, 열적 산화, 열적 실라네이션(silanation), 열적 탄화, 수소규소화(hydrosilylation), 그리나드 시약들, 일렉트로그래프팅(electrografting)을 사용하여 달성될 수 있다. 일부 경우들에 있어서, 이상의 방법들 중 하나 이상이 희망되는 또는 달리 미리 결정된 속성들의 조합을 갖는 표면을 획득하기 위하여 사용될 수 있다.

[0134] 개조 이후, 재료 내의 공극들이 또한 완전히 또는 부분적으로 충전 재료로 주입될 수 있다. 예를 들어, 충전 재료는 전기 전도성, 또는 열 절연성, 또는 기계적 보강성, 또는 이들의 조합일 수 있다. 적절한 충전 재료들은: 절연체들, 반도체들, 반금속들, 금속들, 폴리머들, 가스들, 또는 진공의 그룹들 중 하나 이상을 포함할 수 있다. 충전하는 것은 다양한 방법들, 예를 들어, 원자 층 증착, 화학적 기상 증착, 화학적 배쓰(bath) 또는 중합 배쓰로부터의 증착, 전기화학적 증착, 용매화된 충전 재료의 기화가 이어지는 침지 또는 드롭 캐스팅(drop casting) 또는 스핀 코팅을 사용하여 달성될 수 있다. 일부 경우들에 있어서, 이상의 방법들 중 하나 이상이 희망되는 속성들의 조합을 갖는 충전 재료들을 획득하기 위하여 사용될 수 있다.

[0135] 충전 이후, 재료는 또한 캐핑(capping) 재료로 밀봉될 수 있다. 예를 들어, 캐핑 재료는 가스들, 또는 액체들, 또는 이들 둘 모두에 대하여 불침투성일 수 있다. 적절한 충전 재료들은: 절연체들, 반도체들, 반금속들, 금속들 또는 폴리머들의 그룹들 중 하나 이상을 포함할 수 있다. 캐핑하는 것은 다양한 방법들, 예를 들어, 원자 층 증착, 화학적 기상 증착, 화학적 배쓰 또는 중합 배쓰로부터의 증착, 전기화학적 증착, 용매화된 충전 재료의 기화가 이어지는 침지 또는 드롭 캐스팅 또는 스핀 코팅을 사용하여 달성될 수 있다. 일부 경우들에 있어서, 이상의 방법들 중 하나 이상이 희망되는 또는 미리 결정된 속성들의 조합을 갖는 캐핑 재료들을 획득하기 위하여 사용될 수 있다.

[0136] 에칭 이후, 재료는 적절한 세척 용액(예를 들어, 물, 메탄올, 에탄올, 이소프로판올, 톨루엔, 헥산들 등)으로 세정되고 건조(예를 들어, 블로우(blow) 건조, 증발 건조, 오븐/노(furnace) 건조, 진공 건조, 임계점 건조, 또는 공기 건조)된다. 세척 용액은 건조의 모드에 의존하여 선택될 수 있다.

[0137] 애노드 에칭 이후, 반도체의 열적 및 전기적 속성들은, 열 및 시간의 적용을 통한 반도체 나노구조체들(공극 또는 홀 모폴로지, 밀도, 구조, 내부 표면적 및 표면 거칠기)을 조대화(coarsening) 또는 어닐링함으로써 추가적으로 제어되거나 조절될 수 있다. 약 1 초 내지 1 주의 시간 기간 동안 약 50°C 내지 1500°C, 또는 100°C 내지 1300°C 사이의 온도들이 반도체의 열적 및 전기적 속성들을 제어하기 위하여 사용될 수 있다. 일부 경우들에 있

어서, 시간 기간은 적어도 약 1 초, 10 초, 30 초, 1 분, 2 분, 3 분, 4 분, 5 분, 10 분, 30 분, 1 시간, 2 시간, 3 시간, 4 시간, 5 시간, 6 시간, 12 시간, 또는 1 일일 수 있다. 어닐링은 진공(예를 들어, 약 1×10^{-10} Torr 내지 < 760 Torr인 압력에서)에서 또는 적절한 가스(예를 들어, 헬륨, 네온, 아르곤, 크세논, 수소, 질소, 포밍 가스(forming gas), 일산화탄소, 이산화탄소, 산소, 수증기, 공기, 메탄, 에탄, 프로판, 육불화황 및 이들의 혼합물들)가 존재하는 상태에서 수행될 수 있다. 가스는 불활성 가스일 수 있다. 어닐링은, 부분적으로 또는 완전히 에칭된 기관들, 에칭되지 않은 기관들 상의 완전히 분리된 에칭된 층들, 에칭되지 않은 기관들 상의 부분적으로 분리된 에칭된 층들, 또는 에칭되지 않은 기관들 상의 분리되지 않은 에칭된 층들 상에서 수행될 수 있다. 일부 경우들에 있어서, 에칭되지 않은 기관들 상의 층들이 어닐링될 때, 반도체 조대화는 에칭되지 않은 기관으로부터 층들을 분리하기 위한 방식으로 진행될 수 있다. 이는 층 분리를 달성하는데 편리할 수 있다.

[0138] 전기적 접촉부들은 표준 부착 기술들(예를 들어, 실크-스크리닝, 잉크젯 증착, 페인팅, 스프레이, 딥-코팅, 납땜, 금속 스퍼터링, 금속 기화)을 사용하여 나노구조화된 재료 상에 또는 이에 인접하게 부착될 수 있다. 이들은 적절한 접착 층들(예를 들어, 티타늄, 크롬, 니켈 또는 이들의 조합들)을 갖거나/갖지 않는 금속 접촉부들(예를 들어, 금, 은, 구리, 알루미늄, 인듐, 갈륨, 납-함유 납납, 무-납 납납 또는 이들의 조합들)일 수 있다. 대안적으로, 이들은 실리사이드 접촉부들(예를 들어, 티타늄 실리사이드, 코발트 실리사이드, 니켈 실리사이드, 팔라듐 실리사이드, 백금 실리사이드, 텅스텐 실리사이드, 몰리브덴 실리사이드 등)일 수 있다. 장벽 층들(예를 들어, 백금, 팔라듐, 질화 텅스텐, 질화 티타늄, 질화 몰리브덴 등)이 실리콘과 접촉부 사이의, 또는 접촉 층들 사이의, 또는 모든 층 사이의 상호-확산을 방지하기 위하여 삽입될 수 있다. 다른 예들에 있어서, 이들은 금속 및 실리사이드 접촉부들 둘 모두의 조합들일 수 있다. 실리사이드 접촉부는 금속 접촉부와 기관 사이의 접촉 저항을 감소시키기 위하여 제공될 수 있다. 실리사이드들의 예들은 텅스텐 실리사이드, 티타늄 디실리사이드 및 니켈 실리사이드를 포함한다. 후속 어닐링 단계는 접촉부를 형성하고 그것의 속성을 개선하기 위하여 사용될 수 있다. 예를 들어, 어닐링이 접촉 저항을 감소시킬 수 있으며, 이는 오믹 접촉부를 제공할 수 있다.

[0139] 전기적 접촉부들이 형성된 이후에, 재료는 p-형 및 n-형 열전 엘러먼트들(또는 레그(leg)들)을 포함하는 열전 디바이스로 어셈블리될 수 있다. 열전 디바이스는 서로 전기적으로는 직렬로 열적으로는 병렬로 연결된 p-레그 및 n-레그를 포함할 수 있다. 이들은, 금속 상호연결부들(예를 들어, 구리, 알루미늄, 금, 은 등)에 의해 제공되는 레그들 사이의 전기적 연결들을 가지고 전기 절연성 열 전도성 강성 플레이트들(예를 들어, 질화 알루미늄, 산화 알루미늄, 탄화 실리콘, 질화 실리콘 등) 상에 구축될 수 있다. 다른 예에 있어서, 열전 재료는 가요성 절연 재료(예를 들어, 폴리이미드, 폴리에틸렌, 폴리카보네이트 등) 상에 어셈블리될 수 있다. 레그들 사이의 전기적 연결들은 가요성 재료 상에 통합된 금속 상호연결부들을 통해 제공된다. 결과적인 열전체는 시트, 롤 또는 테이프 형태일 수 있다. 희망되는 크기들의 열전 재료가 시트, 롤 또는 테이프로부터 잘려지고, 디바이스들로 어셈블리될 수 있다.

[0140] 본원에서 제공되는 프로세싱 조건들(예를 들어, 인가되는 전압들 및 전류 밀도들)은 다양한 예기치 못한 이점들, 예컨대, 25°C에서 약 0.01 내지 3, 0.1 내지 2.5, 0.5 내지 2.0 또는 0.5 내지 1.5의 ZT를 갖는 열전 엘러먼트와 같은 향상된 또는 달리 개선된 속성들을 갖는 본 개시의 열전 엘러먼트들 및 디바이스들을 제공하는 배향들 및 구성들을 갖는 나노구조체들(예를 들어, 홀들)의 형성과 같은 이점들을 갖는다. 이러한 프로세싱 조건들은 기관 내의 나노구조체들의 어레이의 형성을 가능하게 할 수 있다. 나노구조체들의 어레이는 무질서한 패턴을 가질 수 있다. 이러한 프로세싱 조건들은 가요성 열전 엘러먼트들 또는 디바이스들의 형성을 가능하게 할 수 있다.

[0141] 도 10은 복수의 열전 엘러먼트들을 포함하는 가요성 열전 디바이스를 제조하기 위한 방법을 개략적으로 예시한다. 예를 들어, 본원의 다른 곳에서 설명된 비-촉매 접근방식(예를 들어, 애노드 에칭)을 사용하여 프로세싱된 p-형 또는 n-형 실리콘 기관이 양쪽 면 상에서 적절한 접촉부 재료, 예컨대 티타늄, 니켈, 크롬, 텅스텐, 알루미늄, 금, 백금, 팔라듐, 또는 이들의 임의의 조합으로 코팅된다. 그런 다음, 기관이 적어도 약 250°C, 300°C, 350°C, 400°C, 450°C, 500°C, 550°C, 600°C, 650°C, 700°C, 750°C, 800°C, 850°C, 900°C, 950°C, 또는 1000°C의 온도까지 가열되며, 예를 들어, 다이아몬드 커터, 줄톱, 또는 레이저 커터를 사용하여 복수의 조각들로 커팅된다.

[0142] 다음으로, 금속화 동작 시에, 커팅된 기관의 개별적인 조각들이 약 30 센티미터(cm)의 폭들을 갖는 상단 및 하단 테이프들 상에 위치된다. 테이프들은, 예를 들어, 폴리이미드, 폴리카보네이트, 폴리에틸렌, 폴리프로필렌, 또는 이러한 그리고 다른 폴리머들의 코폴리머들, 혼합물들 및 복합물들과 같은 폴리머 재료로 형성될 수 있다.

[0143] 다음으로, 개별적인 조각들은 주어진 테이프에 걸쳐 개별적인 조각들에 대한 직렬 연결들을 형성하기 위하여 땀

납 코팅을 겪는다. 그런 다음, 테이프들은 하나 이상의 롤러들(2개의 롤러들이 예시됨)을 통해 결합된다. 열 전도성 접착제가 테이프들 사이에 개별적인 조각들을 밀봉하는 것을 돕기 위하여 테이프들 둘레에 제공될 수 있다.

[0144] 본원에서 제공되는 방법들에 따라 형성된 열전 엘리먼트들, 디바이스들 및 시스템들은 다양한 물리적인 특성들을 가질 수 있다. 본 개시의 열전 디바이스의 성능은 열전 엘리먼트들의 홀들 및/또는 와이어들의 속성들 및 특성들과 관련될 수 있다. 일부 경우들에 있어서, 개별적인 홀 또는 와이어가 투과 전자 현미경검사(TEM)에 의해 측정되는 약 0.1 nm 내지 50 nm, 또는 1 nm 내지 20 nm, 또는 1 nm 내지 10 nm 사이의 표면 거칠기를 갖는, 홀들 또는 와이어들을 갖는 엘리먼트에 대하여 최적 디바이스 성능이 달성될 수 있다. 일부 경우들에 있어서, 열전 엘리먼트는 x-선 광전자 분광법(XPS)에 의해 측정되는 약 0.000001%, 0.00001%, 0.0001%, 0.001%, 0.01%, 0.1%, 1%, 5%, 10%, 15%, 20%, 또는 25% 이하인 잔류 금속 함량을 가질 수 있다.

[0145] 본 개시의 열전 엘리먼트는 최적화된 열전 디바이스 성능에 적절한 표면 거칠기를 가질 수 있다. 일부 경우들에 있어서, 홀 또는 와이어의 제공 평균 거칠기는 약 0.1 nm 내지 50 nm, 또는 1 nm 내지 20 nm, 또는 1 nm 내지 10 nm 사이이다. 거칠기는, 투과 전자 현미경검사(TEM) 또는, 원자력 현미경검사(AFM) 또는 주사 터널링 현미경검사(STM)와 같은 다른 표면 분석 기술에 의해 결정될 수 있다. 표면 거칠기는 표면 주름에 의해 특징지어질 수 있다.

[0146] 열전 엘리먼트들의 사용

[0147] 본 개시의 열전 엘리먼트들, 디바이스들 및 시스템들은 다양한 환경들에서의 사용을 위해 이용될 수 있거나 또는 다양한 사용들을 위해 이용될 수 있다. 환경들은, 비제한적으로, 건강관리, 소비자 및 산업 환경들을 포함할 수 있다. 이러한 사용들은, 비제한적으로, 가요성 열 싱크들을 갖는 가요성 열전 테이프, 체열에 의해 전력이 공급되는 착용가능 전자 디바이스들, 전력을 생성하기 위한 폐열 회수 유닛들(예를 들어, 차량 또는 화학 플랜트 내의 폐열 회수 유닛)을 포함한다.

[0148] 열 싱크는 열을 수집하거나 또는 소산시키는 것을 보조할 수 있다. 열 싱크는, 열 전달 면적의 증가를 제공하도록 크기가 정해지고 배열될 수 있는 하나 이상의 열 핀(fin)들을 포함할 수 있다.

[0149] 도 11은 가요성 열전 디바이스(1101)를 도시한다. 가요성 열전 디바이스(1101)는 직렬 구성으로 열전 엘리먼트들(1102)을 포함할 수 있다(예를 들어, 도 1 참조). 가요성 열전 디바이스는, 25°C에서 약 30×10^6 제곱 인치 당 파운드(psi), 20×10^6 psi, 10×10^6 psi, 5×10^6 psi, 2×10^6 psi, 1×10^6 psi, 900,000 psi, 800,000 psi, 700,000 psi, 600,000 psi, 500,000 psi, 400,000, 300,000, 또는 200,000 psi 이하인 영률을 가질 수 있다. 영률은 열전 디바이스의 정적 편향에 의해 측정될 수 있다. 영률은 인장 테스트에 의해 측정될 수 있다.

[0150] 일부 경우들에 있어서, 가요성 열전 디바이스는 열 싱크들 및 전기적 상호연결부들과 함께 사용될 수 있다. 디바이스는 테이프, 필름 또는 시트 형태의 형상일 수 있다. 디바이스는 실질적으로 평평하고 가요성일 수 있으며, 이는 디바이스가 표면과 증가된 접촉 표면적을 갖는 것을 가능하게 할 수 있다.

[0151] 열 싱크는 임의의 가요성 재료일 수 있으며, 이는 낮은 내부 열 저항을 제공하기에 충분히 열적으로 전도성이고 가요성 방식으로 굽혀지기에 충분히 얇을 수 있다. 일부 경우들에 있어서, 열 싱크는 약 0.1 밀리미터(mm) 내지 100 mm, 또는 1 mm 내지 10 mm의 두께를 가질 수 있다. 열 싱크는 매트릭스 또는 기판 내의 또는 이와 접촉하는 본원에서 제공되는 열전 엘리먼트들을 포함할 수 있다. 매트릭스 또는 기판은 폴리머 포일(foil), 탄성중합 폴리머, 세라믹 포일, 반도체 포일, 절연체 포일, 절연된 금속 포일 또는 이들의 조합들일 수 있다. 효율적인 열 전달을 위하여 환경에 제공되는 표면적을 증가시키기 위해, 매트릭스 또는 기판은 덩굴(dimple)들, 주름들, 핀(pin)들, 핀(fin)들 또는 림(rib)들로 패턴화될 수 있다.

[0152] 도 12는 열전 재료가 열 싱크(1201)에 인접한 상태의 열 싱크(1201) 및 열전 디바이스(1202)를 도시한다. 열전 재료는 본원에서 개시되는 열전 엘리먼트들을 포함할 수 있다. 열전 디바이스(1202)는, 예를 들어, 파이프 또는 전자 디바이스(예를 들어, 컴퓨터 프로세서)와 같은 물체와 메이팅(mate)하기 위하여 사용될 수 있는 메이팅 표면(1203)에 인접한다. 열전 재료는 가요성일 수 있으며, 물딩 표면의 형상에 맞춰지는 것이 가능할 수 있다. 열 싱크(1201)는, 열 싱크(1201)가 물체에 고정되는 것을 가능하게 할 수 있는 부착 부재(1204)를 포함할 수 있다.

[0153] 열 싱크들과 통합된 또는 독립형 열전 디바이스들은, 온도 구배를 제공할 수 있는 표면들을 갖는 물체들과 같은 다른 물체들과 함께 사용될 수 있다. 예를 들어, 열 싱크들은, 산업 환경들과 같은 다양한 환경들에서 이용될 수 있는 튜브들과 함께 사용될 수 있다. 도 13은 통합된 열전 디바이스 및 열 싱크들을 갖는 용접가능 튜브

(1301)를 도시한다. 차가운 측의 열 싱크(1302)는 튜브(1301) 외부에 위치되며, 뜨거운 측의 열 싱크(1303)는 튜브(1301)의 내부에 위치된다. 튜브(1301)는 금속성 또는 금속-합유 재료로 형성될 수 있다. 열전 재료를 포함하는 열전 디바이스(1304)는 튜브와 차가운 측의 열 싱크 사이에서 튜브의 외부에 배치된다.

[0154] 도 14a 및 도 14b는, 예를 들어, 뜨거운 또는 차가운 유체를 전달하는 파이프일 수 있는, 물체(1402) 둘레에 감긴 가요성 열 싱크(1401)를 도시한다. 도 14b는 도 14a의 측면 단면도이다. 열 싱크는, 본원에서 제공되는 열전 엘리먼트들을 포함할 수 있는 열전 디바이스 층(1403) 내에 열전 엘리먼트들을 포함할 수 있다. 물체(1402)는, 열전 디바이스 층(1403)의 일 면에 인접하여 위치될 수 있는 뜨거운 또는 차가운 표면을 가질 수 있다. 열전 디바이스 층의 대향되는 면이 표면보다 더 뜨겁거나 또는 더 차가운 환경에 인접하여 위치될 수 있으며, 그림으로써 온도 차이를 제공한다. 열전 엘리먼트들은 본원에서 설명되는 바와 같이 전기적으로 연통할 수 있으며(예를 들어 도 1 참조), 열전 디바이스 층(1403)의 단부에서 전기적인 와이어들(1404a 및 1404b)과 전기적으로 연통할 수 있다.

[0155] 대안예로서, 열 싱크는 열전 디바이스 층으로부터 분리될 수 있다. 열전 디바이스 층은 물체 둘레에 감싸질 수 있는 테이프의 형태일 수 있다. 열 싱크는 그 후에 열전 디바이스 층에 적용될 수 있다.

[0156] 열전 디바이스는 둘 모두가 열 싱크들에 부착되는 면들을 가질 수 있거나, 또는 열 싱크에 부착되는 하나의 면만을 가질 수 있거나, 또는 어느 것도 열 싱크에 부착되지 않는 면을 가질 수 있다. 열전 디바이스는 둘 모두가 접착제로 코팅되는 면들을 가질 수 있거나, 또는 접착제로 코팅되는 하나의 면만을 가질 수 있거나, 또는 어느 것도 접착제로 코팅되지 않는 면을 가질 수 있다. 접착제는, 열전 디바이스가 물체 및/또는 하나 이상의 열 싱크들에 단단하게 결합되는 것을 가능하게 한다. 접착제는 열적으로 충분히 전도성일 수 있다.

[0157] 열 싱크 기관들 또는 매트릭스들은 임의의 가요성의 전기 절연성 재료일 수 있으며, 이는 낮은 열 저항을 제공하기에 충분히 얇을 수 있다. 예들은, 폴리머 포일(예를 들어, 폴리에틸렌, 폴리프로필렌, 폴리에스테르, 폴리스티렌, 폴리이미드, 등); 탄성중합 폴리머 포일(예를 들어, 폴리디메틸실라잔, 폴리이소프렌, 천연 고무, 등), 직물(예를 들어, 통상적인 천들, 유리섬유 매트, 등); 세라믹, 반도체, 또는 절연체 포일(예를 들어, 유리, 실리콘, 탄화 실리콘, 질화 실리콘, 산화 알루미늄, 질화 알루미늄, 질화 붕소, 등); 절연된 금속 포일(예를 들어, 애노드 산화된 알루미늄 또는 티타늄, 코팅된 구리 또는 철, 등); 또는 이들의 조합들을 포함한다. 기관은, 탄성중합 재료가 사용될 때 가요성이고 신축성일 수 있다.

[0158] 도 15는 통합된 열 싱크를 갖는 가요성 열전 테이프를 도시한다. 테이프는 가요성 열 싱크(1501) 및 열 싱크에 인접한 열전 재료(1502)를 포함한다. 열 싱크(1501)는, 열 전달을 위한 개선된 표면적을 제공할 수 있는 딩플들의 패턴을 포함한다. 테이프는 열전 재료(1502)의 전극들에 결합된 전기적 와이어들을 포함할 수 있다. 와이어들은 테이프의 단부에 위치될 수 있다.

[0159] 테이프는 평면 또는 비-평면 물체들과 같은 다양한 물체들에 적용될 수 있다. 일 예에 있어서, 테이프가 파이프 둘레에 감긴다. 테이프는 롤로부터 공급될 수 있으며, 롤로부터 물체에 적용될 수 있다.

[0160] 본 개시의 열전 엘리먼트들, 디바이스들 및 시스템들은 전기적 상호연결부들과 함께 사용될 수 있다. 전기적 상호연결부들은 임의의 가요성의 전기 전도성 재료일 수 있으며, 이는 낮은 전기적 저항을 제공하도록 충분히 얇을 수 있다. 예들은, 금속들 및 그들의 합금들 및 금속간합금(intermetallic)들(예를 들어, 알루미늄, 티타늄, 니켈, 크롬, 니코롬, 탄탈륨, 하프늄, 나이오븀, 지르코늄, 바나듐, 텅스텐, 인듐, 구리, 은, 백금, 금, 등), 실리사이드들(예를 들어, 티타늄 실리사이드, 니켈 실리사이드, 크롬 실리사이드, 탄탈륨 실리사이드, 하프늄 실리사이드, 지르코늄 실리사이드, 바나듐 실리사이드, 텅스텐 실리사이드, 구리 실리사이드) 전도성 세라믹들(예를 들어, 질화 티타늄, 질화 텅스텐, 질화 탄탈륨, 등), 또는 이들의 조합들을 포함한다. 열전 엘리먼트들은, 가요성이 될 수 있을 정도로 충분히 얇은 재료들과 같은 가요성 기관들로 형성될 수 있다. 이러한 재료들의 예들은, 비스무트 텔루라이드, 납 텔루라이드, 반-호이슬러(half-heusler)들, 스커터루다이트(skutterudite)들, 실리콘, 및 게르마늄을 포함한다. 일부 예들에 있어서, 열전 엘리먼트들은, 가요성이 될 수 있을 정도로 충분히 얇게 만들어질 수 있는 나노구조화된 반도체(예를 들어, 실리콘)로 형성된다. 나노구조체 반도체는 약 100 마이크로미터(마이크론), 10 마이크로미터, 1 마이크로미터, 0.5 마이크로미터, 또는 0.1 마이크로미터 이하인 두께를 가질 수 있다. 도 16은 상단 상호연결부들(1602) 및 하단 상호연결부들(1603)과 함께 사용되는 열전 엘리먼트들(1601)을 갖는 전자 디바이스를 도시한다. 열전 엘리먼트들(1601)은 상단 상호연결부들(1602) 및 하단 상호연결부들(1603)의 적어도 일 부분 사이에 위치될 수 있다. 상호연결부들(1602 및 1603) 및 열전 엘리먼트들(1601)은 기관(1604) 상에 배치될 수 있다. 상호연결부들(1602 및 1603)은 선형적인 패턴(1605) 또는 지그재그 패턴(1606)을 가질 수 있다.

- [0161] 일부 경우들에 있어서, 사용되는 성분 재료들의 조합에 의존하여, 가요성 열전 디바이스는, 실온, 거의 실온에서의, 또는 실질적으로 실온 아래의 온도들에서의, 또는 실질적으로 실온 이상의 온도들에서의 상태들에서 최적으로 사용될 수 있다. 열전 엘리먼트들에 대한 나노구조화된 반도체의 선택은, 적어도 약 -273°C 내지 1000°C 이상에 걸쳐지는 광범위한 온도 범위에 걸친 디바이스의 효율적인 동작을 가능하게 할 수 있다.
- [0162] 추가적으로, 전력 레이팅(power rating)에 의존하여, 상호연결부 패턴이 변화될 수 있다. 예를 들어, 고정된 디바이스 크기가 주어지면, 열전 엘리먼트들이 병렬 선형 체인들로 연결되는 경우, 출력 전류가 최대화될 수 있다. 다른 예로서, 열전 엘리먼트들이 지그재그 패턴으로 연결되는 경우(도 16 참조), 출력 전류가 절반이 되고 출력 전압이 2배가 될 수 있다. 다수의 상호연결부 패턴들이 가능하다. 추가적으로, 외부 회로 또는 스위치들이, 특정 상호연결부 세그먼트들을 스위치 온/오프하기 위하여, 상호연결부 네트워크를 리라우트(reroute)하기 위하여, 또는 출력 전압 또는 전류를 증가/감소시키기 위하여 사용될 수 있다.
- [0163] 일부 실시예들에 있어서, 본원에서 제공되는 열전 엘리먼트들, 디바이스들 및 시스템들은 착용가능 전자 디바이스들 내에서 또는 이와 함께 사용될 수 있다. 이러한 착용가능 전자 디바이스들은 적어도 부분적으로 체열에 의해 전력이 공급될 수 있다. 예를 들어, 열전 디바이스가 셔츠 또는 재킷 안감 내에 제공될 수 있으며, 이는 사용자의 신체와 외부 환경 사이의 온도 차이를 사용하여 전력을 생성하는 것을 도울 수 있다. 이는, 전자 디바이스(예를 들어, 착용가능 전자 디바이스 또는 모바일 디바이스)에 직접적으로 전력을 제공하기 위하여, 또는 전자 디바이스의 재충전가능 배터리를 충전하기 위하여 사용될 수 있다.
- [0164] 열전 재료는, 전자 회로들에 전력을 공급하기 위하여 체열을 전기로 변환하는 장치 내에 통합될 수 있다. 장치는, 비제한적으로, 스마트 시계들, 스마트 안경들, 착용형 또는 인-이어(in-ear) 미디어 플레이어들, 소비자 건강 모니터들(예컨대 보수계들 또는 베이비 모니터들), 보청기들, 의료 디바이스들(예컨대 심장 박동수 모니터들, 혈압 모니터들, 뇌 활동도(EEG) 모니터들, 심장 활동(EKG) 모니터들, 펄스 옥시미터(pulse oximeter)들, 인슐린 모니터들, 인슐린 펌프들, 페이스메이터들, 착용가능 체세동기들)을 포함하는 착용가능 전자 디바이스들과 통합될 수 있다. 장치는, 비제한적으로 스마트 폰(예를 들어, Apple® iPhone) 또는 랩탑 컴퓨터들을 포함하는 모바일 전자 디바이스들과 같은 전자 디바이스들에 전력을 공급하기 위하여 사용될 수 있는 독립형 장치일 수 있다. 장치는, 비제한적으로 스마트 의류, 스마트 장신구(예를 들어, 팔찌들, 밴드들, 반지들, 귀고리들, 단추형 장신구들, 목걸이들, 손목밴드들, 또는 발찌들)를 포함하는 의류 또는 신체 악세서리의 전기적으로 증강된 조각 내에 통합될 수 있다. 장치는 적어도 약 $1\ \mu\text{W}$, $10\ \mu\text{W}$, $100\ \mu\text{W}$, $1\ \text{mW}$, $10\ \text{mW}$, $20\ \text{mW}$, $30\ \text{mW}$, $40\ \text{mW}$, $50\ \text{mW}$, $100\ \text{mW}$, 또는 $1\ \text{W}$, 일부 경우들에 있어서는 $1\ \mu\text{W}$ 내지 $10\ \text{mW}$ 를 생성하는 전기적 전력의 단독 소스로서 사용될 수 있다. 이는 또한 다른 소스(예를 들어, 배터리, 커패시터들, 수퍼커패시터들, 광전지 패널들, 운동 에너지, 또는 벽으로부터 재충전가능 배터리)에 의해 증강되거나 또는 지원될 수 있다.
- [0165] 일 예에 있어서, 장치는 열 수집기, 열 방출기, 및 열 흐름의 주 경로 내에 삽입되도록 그 사이에 샌드위치되는 열전 디바이스를 포함한다. 다른 예에 있어서, 장치는 전력 관리 회로부(예를 들어, 승압 트랜스포머들, 직류(DC) 대 DC 변환기들, 세류 충전 회로들, 등) 또는 전력 저장부(배터리, 커패시터, 슈퍼커패시터, 등)와 통합될 수 있다. 또 다른 예에 있어서, 장치는, 센서들, 데이터 저장부, 통신 및/또는 디스플레이 회로부, 및 마이크로프로세서 시스템들과 추가적으로 통합될 수 있다.
- [0166] 열 수집기는 사용자의 신체로부터 열을 흡수하고 열을 열전 디바이스로 채널링(channel)할 수 있다. 이는 그것의 목적을 위하여 수정될 수 있는 임의의 형태를 취할 수 있으며, 신체로부터 열을 흡수하고 열을 열전 디바이스로 채널링하기 위하여 충분히 열적으로 전도성일 수 있다. 일부 경우들에 있어서, 열 수집기는 슬래브(slab), 플레이트, 링 또는 환형체이다. 열 수집기는 열 전도성 금속, 세라믹, 또는 플라스틱으로 형성될 수 있다. 일 예에 있어서, 열 수집기는 금속성 밴드이다. 다른 예에 있어서, 열 수집기는 열 파이프와 통합될 수 있다. 열 수집기는 물리적 삽입, 느슨하거나 또는 타이트한 클램핑, 마찰, 또는 접착제들에 의해 신체 상에 유지될 수 있다.
- [0167] 일부 경우들에 있어서, 열 방출기는 열전 디바이스로부터 열을 제거하고 열을 환경으로 방사할 수 있다. 열 방출기는, 예를 들어, 슬래브, 플레이트, 링, 또는 환형체와 같은 임의의 형상, 형태 또는 구성을 가질 수 있다. 열 방출기는 열전 디바이스로부터 열을 제거하고 이를 환경으로 방출하기 위하여 충분히 열적으로 전도성일 수 있다. 일부 경우들에 있어서, 열 방출기는 열 전도성 금속, 세라믹, 또는 플라스틱으로 형성될 수 있다. 일 예에 있어서, 열 방출기는 금속성 열 싱크이다. 다른 예에 있어서, 열 방출기는 열 파이프와 통합될 수 있다.
- [0168] 열전 디바이스는 열을 전기로 변환할 수 있으며, 이는 강성, 반강성(semirigid) 또는 가요성일 수 있다. 일부 경우들에 있어서, 가요성 열전 디바이스의 사용이 장치의 제조 및 어셈블리를 단순화할 수 있다. 일 예에 있어

서, 이는 가요성 열전 디바이스의 하나 이상의 층들일 수 있으며, 열 전도성 접착제들, 기계적 사전성형 또는 기계적 클램핑을 사용하여 열 수집기와 방출기 사이에 부착될 수 있다.

[0169] 일부 경우들에 있어서, 장치는 팔찌 또는 반지의 형태를 취할 수 있다. 다른 구현예에 있어서, 장치는 안경 프레임들의 형태를 취할 수 있다. 또 다른 구현예에 있어서, 장치는 접착제 또는 부착 스트랩들을 사용하여 인간의 가슴, 등 또는 몸통 위에 적용될 패치의 형태를 취할 수 있다. 또 다른 구현예에 있어서, 장치는 삽입가능 필름, 디스크 또는 플레이트의 형상을 취할 수 있다. 장치는, 적어도 약 1 mV, 2 mV, 3 mV, 4 mV, 5 mV, 10 mV, 20 mV, 30 mV, 40 mV, 50 mV, 100 mV, 200 mV, 300 mV, 400 mV, 500 mV, 1 V, 2 V, 3 V, 4 V, 5 V 또는 10 V, 일부 경우들에 있어서는 약 10 mV - 10 V의 전압으로, 적어도 약 1 마이크로와트(μ W), 10 μ W, 100 μ W, 1 mW, 10 밀리와트(mW), 20 mW, 30 mW, 40 mW, 50 mW, 100 mW, 또는 1 watt (W), 일부 경우들에 있어서는, 1 μ W 내지 10 mW의 열전 디바이스로부터의 출력 전력을 제공할 수 있다. 일부 상황들에 있어서, 더 낮은 전압이 DC-DC 변환기 및 연관된 전력 관리 회로부를 사용하여 적어도 약 1 V, 2 V, 2.1 V, 2.2 V, 2.3 V, 2.35 V, 2.4 V, 2.45 V, 2.5 V, 3 V, 3.1 V, 3.2 V, 3.3 V, 3.4 V, 3.5 V, 3.6 V, 3.7 V, 3.8 V, 3.9 V, 4 V, 4.1 V, 4.2 V, 4.3 V, 4.4 V, 4.5 V, 또는 5.0 V로 변환될 수 있으며, 이는 배터리와 같은 전력 저장 유닛들을 세류 충전하기 위하여 또는 회로들에 직접적으로 전력을 공급하기 위하여 사용된다. 배터리와 같은 보조 전력 공급장치가 또한, 간헐적인 신체적 접촉의 시간들 동안의 전력 보존, 감소된 전력 출력 또는 증가된 전력 소모를 제공하기 위하여 장치 내에 포함될 수 있다. 장치는 또한 정보를 측정, 저장 및 디스플레이하기 위한 센서들의 세트, 디스플레이 및 통신 회로들, 및 마이크로프로세서들을 포함할 수 있다.

[0170] 도 17a 내지 도 17d는 베이비 모니터의 다양한 도면들을 도시한다. 베이비 모니터는 적어도 부분적으로 아기의 체열과 같은 체열에 의해 전력이 공급될 수 있다. 베이비 모니터는, 밴드 또는 벨트(1701) 및, 열 수집기들 및 열 방출기들, 열전 재료를 갖는 열전 디바이스, 전력 관리 전자장치들 및 에너지 저장부, 센서, (예를 들어, 다른 전자 디바이스와의 무선 통신을 위한) 통신 인터페이스, 및 컴퓨터 프로세서와 통합된 버클 또는 하니스(harness) 조각(1702)을 포함한다.

[0171] 도 18a 내지 도 18d는 체열 전력공급형 페이스메이커 시스템의 다양한 도면들을 도시한다. 시스템은 페이스메이커(1801), 본 개시의 열전 디바이스를 포함하는 삽입가능 열전 모듈(1802), 및 전력 리드들(1803)을 포함한다. 열전 모듈(1802)은 예를 들어, 필름, 디스크 또는 플레이트 형태일 수 있다.

[0172] 도 19a 및 도 19b는 사용자에게 의해 (예를 들어, 장신구로서) 착용될 수 있고 체열로 전력이 공급될 수 있는 전자 디바이스를 개략적으로 예시한다. 디바이스는, 서로 전기적으로 통신할 수 있는, 센서 디스플레이, 통신 인터페이스 및 컴퓨터 프로세서를 갖는 제어 모듈(1902)을 포함한다. 디바이스(1901)는 열 방출기(1903), 열전 재료를 갖는 열전 디바이스(1904), 열 수집기(1905), 및 전력 관리 전자장치들 및 에너지 저장 시스템을 갖는 전력 모듈(1906)을 더 포함한다. 에너지 저장 시스템은 재충전가능 배터리와 같은 배터리일 수 있다. 열전 디바이스(1904)는 제어 모듈(1902)과 전기적으로 연통하고 있을 수 있다. 제어 모듈(1902)로의 전력은 적어도 부분적으로, 열전 디바이스(1904)에 의해 제어 모듈(1902)로 직접적으로 제공될 수 있거나 또는, 일부 경우들에 있어서, 전력 모듈(1906) 내의 에너지 저장 시스템을 충전하는데 사용된다. 도 19b는 사용자의 손(1907)을 둘러 배치된 디바이스(1901)를 도시한다.

[0173] 도 20은 적어도 부분적으로 체열로부터 생성된 전력으로 동작하도록 구성될 수 있는 아이웨어(2001)를 도시한다. 아이웨어(2001)는, 서로 전기적으로 통신할 수 있는, 센서, 통신 인터페이스 및 컴퓨터 프로세서를 포함하는 제어 모듈(2002)을 포함한다. 아이웨어(2001)는 열 방출기(2003), 열전 디바이스(2004), 열 수집기(2005), 및 전력 관리 전자장치들 및 에너지 저장 시스템을 갖는 전력 모듈(2006)을 더 포함한다. 열전 디바이스(2004)는 제어 모듈(2002)과 전기적으로 연통하고 있을 수 있다. 제어 모듈(2002)로의 전력은 적어도 부분적으로, 열전 디바이스(2004)에 의해 제어 모듈(2002)로 직접적으로 제공될 수 있거나 또는, 일부 경우들에 있어서, 전력 모듈(2006) 내의 에너지 저장 시스템을 충전하는데 사용되며, 이는 그런 다음 제어 모듈(2002)에 전력을 제공할 수 있다.

[0174] 제어 모듈(2002)은, 예컨대 아이웨어(2001)의 글래스들(2007) 중 적어도 하나 상에서 사용자에게 콘텐츠를 제공하도록 구성될 수 있다. 콘텐츠는, 텍스트 메시지 및 전자 메일, 지리적 네비게이션 정보, 네트워크 콘텐츠(예를 들어, 월드 와이드 웹으로부터의 콘텐츠) 및 문서들(예를 들어, 텍스트 문서)과 같은 전자 통신들을 포함할 수 있다.

[0175] 도 21a 및 도 21b는 적어도 부분적으로 체열로부터 생성된 전력으로 동작하도록 구성될 수 있는 의료 디바이스(2101)를 도시한다. 의료 디바이스(2101)는 본원의 다른 곳에서 설명된 바와 같은 제어 모듈 및 전력 모듈을 포

함한다. 의료 디바이스(2101)는, 일 표면 상의 열 방출기(2102) 및 대향 표면 상의 열 수집기(2103), 및 열 방출기와 열 수집기 사이의 열전 재료를 갖는 열전 디바이스(2104)를 더 포함한다. 열전 디바이스(2104)는 제어 모듈 및 전력 모듈과 전기적으로 연통하고 있을 수 있다. 도 21b는 사용자의 신체(2105)에 인접하여 배치된 의료 디바이스(2101)를 도시한다.

[0176] 일부 경우들에 있어서, 열전 디바이스를 갖는 디바이스의 사용 동안, 물체(예를 들어, 사용자의 신체)로부터의 열이 열 수집기로부터 열 방출기까지의 온도 구배(높은 온도 대 낮은 온도)를 생성한다. 열 수집기는 열을 수집하며, 열 방출기는 열을 방출한다. 온도 구배는 열 수집기와 열 방출기 사이의 열전 디바이스를 사용하여 전력을 생성하기 위해 사용될 수 있다.

[0177] 본원에서 제공되는 열전 엘리먼트들, 디바이스들 및 시스템들은, 예컨대 차량의 폐열을 전기(또는 전기적 전력)로 변환하기 위하여 열전 재료들을 사용하는 장치 내에서와 같이 차량 폐열 회수장치 내에서 사용될 수 있다. 장치는, 비제한적으로 엔진 블록들, 열 교환기들, 라디에이터들, 촉매 변환기들, 머플러들, 배기 파이프들 및 차량의 캐빈 내의 다양한 컴포넌트들, 예컨대 난방 및/또는 공기 조절 유닛을 포함하는 자동차 차량들에 일반적인 컴포넌트들 또는 비제한적으로 터빈 블록들, 엔진 블록들, 교환기들, 라디에이터들, 반응 챔버들, 굴뚝 및 배기부를 포함하는 산업 설비들에 일반적인 컴포넌트들과 통합될 수 있다. 장치는 차량 또는 차량의 전기적 컴포넌트(예를 들어, 라디오, 난방 및 공기 조절 유닛, 또는 제어 시스템)에 대한 전기적 전력의 단독 소스로서 사용될 수 있으며, 이는 적어도 약 1 W, 2 W, 3 W, 4 W, 5 W, 6 W, 7 W, 8 W, 9 W, 10 W, 20 W, 30 W, 40 W, 50 W, 60 W, 70 W, 80 W, 90 W, 100 W, 200 W, 300 W, 400 W, 500 W, 600 W, 700 W, 800 W, 900 W, 1000 W, 또는 5000 W의 전력, 일부 경우들에 있어서는 약 100 W 내지 1000 W의 전력을 생성한다. 장치로부터의 전력은 다른 전력 소스에 의해 증강되거나 또는 지원될 수 있다. 예를 들어, 자동차 차량들의 맥락에 있어서, 전력은 배터리, 교류 발전기, 재생 제동, 또는 차량 충전소에 의해 증강되거나 또는 지원될 수 있다. 다른 예로서, 산업 또는 상업 설비들의 맥락에 있어서, 전력은, 배터리들, 발전기들, 전력 그리드, 터빈 블록들, 엔진 블록들, 열 교환기들, 라디에이터들, 반응 챔버들, 굴뚝 및 배기부, 및/또는 태양열 발전, 풍력 발전, 파력 발전, 및 지열 발전 중 하나 이상과 같은 재생가능 에너지 소스 중 하나 이상으로부터의 전력에 의해 증강되거나 또는 지원될 수 있다.

[0178] 가요성 열전 디바이스들은, 이를 통해 뜨거운 유체가 흐를 수 있는 파이프들 둘레에 감싸질 수 있다. 감싸진 파이프들은 또한 열 전달을 증가시키기 위하여 추가적으로 열 싱크들과 통합될 수 있다. 뜨거운 유체는 배기가스, 뜨거운 물, 뜨거운 오일, 뜨거운 공기 등일 수 있다. 감싸진 파이프들 위로 차가운 유체가 흐를 수 있다. 차가운 유체는 차가운 배기가스, 차가운 물, 차가운 오일, 차가운 공기 등일 수 있다. 감싸진 파이프들은, 냉각제 유체가 주변 환경으로부터 격리될 경우 이를 통해 냉각제가 흐를 수 있는 하우징 내에 봉입될 수 있다. 냉각제 유체가 주변 공기 또는 물인 경우, 감싸진 파이프들이 환경에 노출될 수 있다.

[0179] 일 구현예에 있어서, 열로부터 전력을 생성하기 위한 장치는 전력 생성 파이프 포장재료이다. (뜨거운 배기가스와 같은) 뜨거운 유체가 열전 디바이스들로 감싸진 파이프를 통과한다. 열전 디바이스의 뜨거운 측은 열 전달을 개선하기 위하여 튜브의 외부 표면에 물리적으로 또는 화학적으로 결합될 수 있다. 열전 디바이스의 차가운 측이 열 전달을 개선하기 위하여 열 싱크들과 물리적으로 또는 화학적으로 결합될 수 있다. 차가운 유체(예를 들어, 공기 또는 물)가 뜨거운 유체로부터 열을 추출하기 위하여 감싸진 파이프들 위로 지나가도록 강제될 (forced) 수 있다. 열 흐름의 경로 내에 산재된 열전 디바이스들은 열을 전기로 변환할 수 있으며, 이는 적어도 약 1 W, 2 W, 3 W, 4 W, 5 W, 6 W, 7 W, 8 W, 9 W, 10 W, 20 W, 30 W, 40 W, 50 W, 60 W, 70 W, 80 W, 90 W, 100 W, 200 W, 300 W, 400 W, 500 W, 600 W, 700 W, 800 W, 900 W, 1000 W, 또는 5000 W, 일부 경우들에 있어서는 약 100 W 내지 1000 W의 출력 전력을 제공한다. 희망되는 경우, 더 낮은 전압이 DC-DC 변환기 및 연관된 전력 관리 회로부를 사용하여 적어도 약 1 V, 2 V, 2.1 V, 2.2 V, 2.3 V, 2.35 V, 2.4 V, 2.45 V, 2.5 V, 3 V, 3.1 V, 3.2 V, 3.3 V, 3.4 V, 3.5 V, 3.6 V, 3.7 V, 3.8 V, 3.9 V, 4 V, 4.1 V, 4.2 V, 4.3 V, 4.4 V, 4.5 V, 또는 5.0 V로 변환될 수 있으며, 이는 배터리와 같은 전력 저장 유닛들을 세류 충전하기 위하여 또는 회로들에 직접적으로 전력을 공급하기 위하여 사용된다.

[0180] 다른 구현예에 있어서, 열로부터 전력을 생성하기 위한 장치는 전력 생성 배기 파이프이다. (뜨거운 배기가스와 같은) 뜨거운 유체가 열전 디바이스들로 감싸진 파이프를 통과할 수 있다. 열전 디바이스의 뜨거운 측은 열 전달을 개선하기 위하여 튜브의 외부 표면에 물리적으로 또는 화학적으로 결합될 수 있다. 열전 디바이스의 차가운 측이 열 전달을 개선하기 위하여 열 싱크들과 물리적으로 또는 화학적으로 결합될 수 있다. 파이프의 표면적을 추가적으로 증가시키고 열 전달을 개선하기 위하여, 파이프 내부 표면은 뎀플들, 주름들, 핀(pin)들, 핀(fin)들 또는 립들로 몰딩될 수 있다. 파이프는, 예를 들어, 철, 알루미늄 등과 같은, 용이하게 용접이 가능한,

압출이 가능한, 기계가공이 가능한 또는 성형이 가능한 재료로 만들어질 수 있다. 차가운 유체(예를 들어, 공기 또는 물)가 뜨거운 유체로부터 열을 추출하기 위하여 감싸진 파이프들 위로 지나가도록 강제될 수 있다. 열 흐름의 경로 내에 산재된 열전 디바이스들은 열을 전기로 변환할 수 있으며, 이는 적어도 약 1 W, 2 W, 3 W, 4 W, 5 W, 6 W, 7 W, 8 W, 9 W, 10 W, 20 W, 30 W, 40 W, 50 W, 60 W, 70 W, 80 W, 90 W, 100 W, 200 W, 300 W, 400 W, 500 W, 600 W, 700 W, 800 W, 900 W, 1000 W, 또는 5000 W, 일부 경우들에 있어서는 약 100 W 내지 1000 W의 출력 전력을 제공한다. 희망되는 경우, 더 낮은 전압이 DC-DC 변환기 및 연관된 전력 관리 회로부를 사용하여 적어도 약 1 V, 2 V, 2.1 V, 2.2 V, 2.3 V, 2.35 V, 2.4 V, 2.45 V, 2.5 V, 3 V, 3.1 V, 3.2 V, 3.3 V, 3.4 V, 3.5 V, 3.6 V, 3.7 V, 3.8 V, 3.9 V, 4 V, 4.1 V, 4.2 V, 4.3 V, 4.4 V, 4.5 V, 또는 5.0 V로 변환될 수 있으며, 이는 배터리와 같은 전력 저장 유닛들을 세류 충전하기 위하여 또는 회로들에 직접적으로 전력을 공급하기 위하여 사용된다.

[0181] 또 다른 구현예에 있어서, 열로부터 전력을 생성하기 위한 장치는, 배기 파이프 상에 또는 임의의 뜨거운 표면 상에 설치될 개별 전력 생성 유닛이다. 뜨거운 표면은 열전 디바이스들을 포함하는 장치와 접촉하도록 위치될 수 있다. 임의의 적절한 기술(예를 들어, 볼트 집합, 끈 묶음, 용접, 땀질, 또는 납땀)을 사용하여 뜨거운 표면에 밀접 물리적 접촉으로 부착될 수 있는 메이팅 면이 제공될 수 있다. 열전 디바이스의 뜨거운 측은 열 전달을 개선하기 위하여 메이팅 면의 대향 면에 물리적으로 또는 화학적으로 결합될 수 있다. 열전 디바이스의 차가운 측이 열 전달을 개선하기 위하여 열 싱크들과 물리적으로 또는 화학적으로 결합될 수 있다. (공기와 같은) 차가운 유체가 뜨거운 표면으로부터 열을 추출하기 위하여 유닛 위로 지나가도록 강제될 수 있다. 열 흐름의 경로 내에 산재된 열전 디바이스들은 열을 전기로 변환할 수 있으며, 이는 적어도 약 1 W, 2 W, 3 W, 4 W, 5 W, 6 W, 7 W, 8 W, 9 W, 10 W, 20 W, 30 W, 40 W, 50 W, 60 W, 70 W, 80 W, 90 W, 100 W, 200 W, 300 W, 400 W, 500 W, 600 W, 700 W, 800 W, 900 W, 1000 W, 또는 5000 W, 일부 경우들에 있어서는 약 100 W 내지 1000 W의 출력 전력을 제공한다. 희망되는 경우, 더 낮은 전압이 DC-DC 변환기 및 연관된 전력 관리 회로부를 사용하여 적어도 약 1 V, 2 V, 2.1 V, 2.2 V, 2.3 V, 2.35 V, 2.4 V, 2.45 V, 2.5 V, 3 V, 3.1 V, 3.2 V, 3.3 V, 3.4 V, 3.5 V, 3.6 V, 3.7 V, 3.8 V, 3.9 V, 4 V, 4.1 V, 4.2 V, 4.3 V, 4.4 V, 4.5 V, 또는 5.0 V로 변환될 수 있으며, 이는 배터리와 같은 전력 저장 유닛들을 세류 충전하기 위하여 또는 회로들에 직접적으로 전력을 공급하기 위하여 사용된다.

[0182] 도 22는 차량 배기가스로부터의 열전 전력 회수를 개략적으로 예시한다. 열 회수를 위한 장치들은, 예컨대 촉매 변환기(2202) 둘레에 클램핑되거나, 인-라인 패션(in-line fashion)(2203) 내에 용접되거나, 및/또는 배기 파이프(2201)의 적어도 일 부분을 둘러 감싸지는 것(2204)과 같이 배기 파이프(2201)의 다양한 위치들에 설치될 수 있다.

[0183] 사용 동안, 배기 가스가 매니폴드(manifold)(2205)로부터 파이프(2201)를 통해 머플러(2206)로 보내진다. 배기 가스 내의 폐열은, 폐열로부터 전력을 생성할 수 있는 열 회수를 위한 하나 이상의 장치들을 사용하여 전력을 생성하기 위하여 사용될 수 있다.

[0184] 다른 구현예에 있어서, 열로부터 전력을 생성하기 위한 장치는 전력 생성 라디에이터 유닛이다. (뜨거운 물 또는 스팀, 뜨거운 오일과 같은) 뜨거운 유체가 열전 디바이스들로 감싸진 일련의 파이프들을 통과할 수 있다. 열전 디바이스의 뜨거운 측은 열 전달을 개선하기 위하여 튜브의 외부 표면에 물리적으로 또는 화학적으로 결합될 수 있다. 열전 디바이스의 차가운 측이 열 전달을 개선하기 위하여 열 싱크들과 물리적으로 또는 화학적으로 결합될 수 있다. (공기와 같은) 차가운 유체가 뜨거운 유체로부터 열을 추출하기 위하여 감싸진 파이프들 위로 지나가도록 강제될 수 있다. 열 흐름의 경로 내에 산재된 열전 디바이스들은 열을 전기로 변환할 수 있으며, 이는 적어도 약 1 W, 2 W, 3 W, 4 W, 5 W, 6 W, 7 W, 8 W, 9 W, 10 W, 20 W, 30 W, 40 W, 50 W, 60 W, 70 W, 80 W, 90 W, 100 W, 200 W, 300 W, 400 W, 500 W, 600 W, 700 W, 800 W, 900 W, 1000 W, 또는 5000 W, 일부 경우들에 있어서는 약 100 W 내지 1000 W의 출력 전력을 제공한다. 희망되는 경우, 더 낮은 전압이 DC-DC 변환기 및 연관된 전력 관리 회로부를 사용하여 적어도 약 1 V, 2 V, 2.1 V, 2.2 V, 2.3 V, 2.35 V, 2.4 V, 2.45 V, 2.5 V, 3 V, 3.1 V, 3.2 V, 3.3 V, 3.4 V, 3.5 V, 3.6 V, 3.7 V, 3.8 V, 3.9 V, 4 V, 4.1 V, 4.2 V, 4.3 V, 4.4 V, 4.5 V, 또는 5.0 V로 변환될 수 있으며, 이는 배터리와 같은 전력 저장 유닛들을 세류 충전하기 위하여 또는 회로들에 직접적으로 전력을 공급하기 위하여 사용된다.

[0185] 도 23a 및 도 23b는, 냉각 팬들(2304)에 더하여, 뜨거운 유체 출구(2303)와 유체 연통하는 뜨거운 유체 입구(2302)를 포함하는 라디에이터(2301) 내에 설치된 열 회수 및 전력 생성을 위한 장치를 도시한다. 라디에이터(2301)는 차량의 부분일 수 있다. 라디에이터의 뜨거운 파이프들은 적어도 부분적으로 가요성 열 싱크들을 갖는 가요성 열전 디바이스를 포함하는 열 회수 장치(2305)에 의해 감싸진다. 가요성 열전 디바이스는 본원에서 개시

되는 열전 엘리먼트들을 포함할 수 있다.

[0186] 사용 동안, 뜨거운 유체는 뜨거운 유체 입구(2302)로부터 뜨거운 유체 출구(2303)로 보내진다. 유체 내의 폐열은, 폐열로부터 전력을 생성할 수 있는 열 회수를 위한 장치(2305)를 사용하여 전력을 생성하기 위하여 사용될 수 있다.

[0187] 다른 구현예에 있어서, 열로부터 전력을 생성하기 위한 장치는 전력 생성 교환기 유닛이다. 뜨거운 유체(예를 들어, 뜨거운 물 또는 스팀, 뜨거운 오일)가 열전 디바이스들로 감싸진 일련의 파이프들을 통과할 수 있다. 열전 디바이스의 뜨거운 측은 열 전달을 개선하기 위하여 튜브의 외부 표면에 물리적으로 또는 화학적으로 결합될 수 있다. 열전 디바이스의 차가운 측은 열 전달을 개선하기 위하여 열 싱크들과 물리적으로 또는 화학적으로 결합될 수 있다. 차가운 유체(예를 들어, 차가운 물 또는 차가운 오일)가 뜨거운 유체로부터 열을 추출하기 위하여 감싸진 파이프들 위로 펌핑될 수 있다. 열 흐름의 경로 내에 산재된 열전 디바이스들은 열을 전기로 변환할 수 있으며, 이는 적어도 약 1 W, 2 W, 3 W, 4 W, 5 W, 6 W, 7 W, 8 W, 9 W, 10 W, 20 W, 30 W, 40 W, 50 W, 60 W, 70 W, 80 W, 90 W, 100 W, 200 W, 300 W, 400 W, 500 W, 600 W, 700 W, 800 W, 900 W, 1000 W, 또는 5000 W, 일부 경우들에 있어서는 약 100 W 내지 1000 W의 출력 전력을 제공한다. 희망되는 경우, 더 낮은 전압이 DC-DC 변환기 및 연관된 전력 관리 회로부를 사용하여 적어도 약 1 V, 2 V, 2.1 V, 2.2 V, 2.3 V, 2.35 V, 2.4 V, 2.45 V, 2.5 V, 3 V, 3.1 V, 3.2 V, 3.3 V, 3.4 V, 3.5 V, 3.6 V, 3.7 V, 3.8 V, 3.9 V, 4 V, 4.1 V, 4.2 V, 4.3 V, 4.4 V, 4.5 V, 또는 5.0 V로 변환될 수 있으며, 이는 배터리와 같은 전력 저장 유닛들을 세류 충전하기 위하여 또는 회로들에 직접적으로 전력을 공급하기 위하여 사용된다.

[0188] 도 24a 및 도 24b는, 뜨거운 유체 출구(2403)와 유체 연통하는 뜨거운 유체 입구(2402) 및 차가운 유체 출구(2405)와 유체 연통하는 차가운 유체 입구(2404)를 포함하는 열 교환기(2401) 내에 설치된 열 회수 및 전력 생성을 위한 장치를 도시한다. 열 교환기(2401)는 차가운 유체 흐름을 보내기 위한 배플(baffle)들(2406), 및 가요성 열전 디바이스로 감싸진 뜨거운 파이프들(2407)을 더 포함한다.

[0189] 사용 동안, 뜨거운 유체(예를 들어, 스팀)가 뜨거운 유체 입구(2402)로부터 뜨거운 유체 출구(2403)로 보내지고, 차가운 유체(예를 들어, 액체 물)가 차가운 유체 입구(2404)로부터 차가운 유체 출구(2405)로 보내진다. 뜨거운 유체가 뜨거운 파이프들(2407)을 통해 흐르며, 차가운 유체 입구(2404)로부터 차가운 유체 출구(2405)로 보내지고 있는 차가운 유체로 열을 소산시킨다. 유체 내의 폐열은 뜨거운 파이프들(2407) 둘레에 감싸진 가요성 열전 디바이스를 사용하여 전력을 생성하기 위해 사용될 수 있다.

[0190] 컴퓨터 제어 시스템들

[0191] 본 개시는, 열전 엘리먼트들을 제조하는 것과 같은 본원의 다양한 방법들을 구현하도록 프로그래밍되거나 또는 달리 구성되는 컴퓨터 제어 시스템들을 제공한다. 도 25는 본 개시의 열전 디바이스들의 형성을 가능하게 하도록 프로그래밍되거나 또는 달리 구성된 컴퓨터 시스템(본원에서 또한 "시스템")(2501)을 도시한다. 시스템(2501)은 본원에서 설명되는 방법들을 구현하도록 프로그래밍되거나 또는 달리 구성될 수 있다. 시스템(2501)은, 단일 코어 또는 다중 코어 프로세서, 또는 병렬 프로세싱을 위한 복수의 프로세서들일 수 있는 중앙 프로세싱 유닛(central processing unit; CPU)(본원에서 또한 "프로세서" 및 "컴퓨터 프로세서")(2505)을 포함한다. 시스템(2501)은 또한 메모리(2510)(예를 들어, 랜덤-액세스 메모리, 판독-전용 메모리, 플래시 메모리), 전자적 저장 유닛(2515)(예를 들어, 하드 디스크), 하나 이상의 다른 시스템들과 통신하기 위한 통신 인터페이스(2520)(예를 들어, 네트워크 어댑터), 및 캐시, 다른 메모리, 데이터 저장부 및/또는 전자 디스플레이 어댑터들과 같은 주변 디바이스들(2525)을 포함한다. 메모리(2510), 저장 유닛(2515), 인터페이스(2520) 및 주변 디바이스들(2525)은 마더보드와 같은 통신 버스(실선들)을 통해 CPU(2505)와 통신한다. 저장 유닛(2515)은 데이터를 저장하기 위한 데이터 저장 유닛(또는 데이터 저장소)일 수 있다. 시스템(2501)은 통신 인터페이스(2520)를 사용하여 컴퓨터 네트워크("네트워크")(2530)에 동작가능하게 접속된다. 네트워크(2530)는 인터넷, 인터넷 및/또는 엑스트라넷, 또는 인터넷과 통신하는 인트라넷 및/또는 엑스트라넷일 수 있다. 일부 경우들에 있어서, 네트워크(2530)는 전기통신 및/또는 데이터 네트워크이다. 네트워크(2530)는 클라우드 컴퓨팅과 같은 분산형 컴퓨팅을 가능하게 할 수 있는 하나 이상의 컴퓨터 서버들을 포함할 수 있다. 일부 경우들에 있어서, 네트워크(2530)는, 시스템(2501)의 도움으로, 시스템(2501)에 접속된 디바이스들이 클라이언트 또는 서버로서 거동하는 것을 가능하게 할 수 있는 피어-투-피어 네트워크를 구현할 수 있다.

[0192] 시스템(2501)은 본 개시의 열전 엘리먼트들 및 디바이스들을 형성하기 위한 프로세싱 시스템(2535)과 통신한다. 프로세싱 시스템(2535)은 본원에서 제공되는 열전 디바이스들을 형성하기 위한 다양한 동작들, 예컨대 열전 엘리먼트들을 형성하는 것 및 열전 엘리먼트들로부터 열전 디바이스들(예를 들어, 열전 테이프)을 형성하는 것을

구현하도록 구성될 수 있다. 프로세싱 시스템(2535)은, 네트워크(2530)를 통해 또는 직접 (예를 들어, 유선, 무선) 연결에 의해 시스템(2501)과 통신할 수 있다. 일 예에 있어서, 프로세싱 시스템(2535)은 전기화학적 에칭 시스템이다. 다른 예에 있어서, 프로세싱 시스템(2535)은 드라이 박스(dry box)이다.

[0193] 프로세싱 시스템(2535)은 기관(2540)으로부터 열전 엘리먼트를 형성하기 위한 반응 공간을 포함할 수 있다. 반응 공간은 전해액으로 충전될 수 있으며, 에칭(예를 들어, 캐소드 또는 애노드 에칭)을 위한 전극들을 포함할 수 있다.

[0194] 본원에서 설명되는 바와 같은 방법들은, 예를 들어, 메모리(2510) 또는 전자적 저장 유닛(2515) 상에서와 같이 시스템(2501)의 전자적 저장 위치 상에 저장된 기계(또는 컴퓨터 프로세서) 실행가능 코드를 통해 구현될 수 있다. 사용 동안, 코드는 프로세서(2505)에 의해 실행될 수 있다. 일부 예들에 있어서, 코드가 저장 유닛(2515)으로부터 검색되고, 프로세서(2505)에 의한 즉각적인 액세스를 위하여 메모리(2510) 상에 저장될 수 있다. 일부 상황들에 있어서, 전자적 저장 유닛(2515)이 제외될 수 있으며, 기계-실행가능 명령어들이 메모리(2510) 상에 저장된다.

[0195] 코드는, 코드를 실행하도록 적응된 프로세서를 갖는 기계와 함께 사용하기 위하여 미리 컴파일링되고 구성될 수 있거나, 또는 실행시간 동안 컴파일링될 수 있다. 코드는, 코드를 미리 컴파일링된 또는 애즈-컴파일링된(as-compiled) 방식으로 실행하는 것을 가능하게 하도록 선택될 수 있는 프로그래밍 언어로 공급될 수 있다.

[0196] 시스템(2501)과 같은 본원에서 제공되는 시스템들 및 방법들의 측면들은 프로그래밍으로 구현될 수 있다. 본 기술의 다양한 측면들은, 기계 판독가능 매체의 유형으로 구현되거나 또는 기계 판독가능 매체 상에서 운반되는 전형적으로 기계(또는 프로세서) 실행가능 코드 및/또는 연관된 데이터의 형태의 "제품들" 또는 "제조 물품들"로서 여겨질 수 있다. 기계-실행가능 코드는 메모리(예를 들어, 판독전용 메모리, 랜덤-액세스 메모리, 플래시 메모리) 또는 하드 디스크와 같은 전자적 저장 유닛 상에 저장될 수 있다. "저장" 유형의 매체는, 소프트웨어 프로그래밍에 대한 임의의 시간에 비-일시적인 저장을 제공할 수 있는 다양한 반도체 메모리들, 테이프 드라이브들, 디스크 드라이브들 및 유사한 것과 같은 컴퓨터들, 프로세서들 또는 유사한 것, 또는 이들의 연관된 모듈들의 유형적인 메모리 중 임의의 것 또는 그 전부를 포함할 수 있다. 소프트웨어의 전부 또는 부분들은 때때로 인터넷 또는 다양한 다른 전기통신 네트워크들을 통해 통신될 수 있다. 이러한 통신들은, 예를 들어, 하나의 컴퓨터 또는 프로세서로부터 다른 것 내로의, 예를 들어, 관리 서버 또는 호스트 컴퓨터로부터 애플리케이션 서버의 컴퓨터 플랫폼 내로의 소프트웨어의 로딩을 가능하게 할 수 있다. 따라서, 소프트웨어 엘리먼트들을 가질 수 있는 다른 유형의 매체는, 예컨대, 유선 및 광 지상 통신선 네트워크들 및 다양한 무선-링크들을 통한 로컬 디바이스들 사이의 물리적인 인터페이스들에 걸쳐서 사용되는 것과 같은 광학적, 전기적 및 전자기적 파(wave)들을 포함한다. 이러한 파들을 운반하는 유선 또는 무선 링크들, 광학적 링크들 또는 유사한 것과 같은 물리적인 엘리먼트들이 또한 소프트웨어를 지니는 매체로서 간주될 수 있다. 비-일시적인, 유형적인 "저장" 매체로 제한되지 않는 한, 본원에서 사용되는 용어들 예컨대 컴퓨터 또는 기계 "판독가능 매체"는 실행을 위하여 프로세서에 명령어들을 제공하는데 참여하는 임의의 매체를 지칭한다.

[0197] 따라서, 컴퓨터-실행가능 코드와 같은 컴퓨터 판독가능 매체는, 비제한적으로 유형적인 저장 매체, 반송파 매체 또는 물리적인 송신 매체를 포함하는 다수의 형태들을 취할 수 있다. 비-휘발성 저장 매체는, 예를 들어, 도면들에 도시된 데이터베이스들 등을 구현하기 위하여 사용될 수 있는 것과 같은 임의의 컴퓨터(들) 또는 유사한 것 내의 저장 디바이스들 중 임의의 것과 같은 광 또는 자기 디스크들을 포함한다. 휘발성 저장 매체는, 이러한 컴퓨터 플랫폼의 메인 메모리와 같은 동적 메모리를 포함한다. 유형적인 송신 매체는, 컴퓨터 시스템 내의 버스를 포함하는 와이어들을 포함하여 동축 케이블들; 구리 와이어 및 광 섬유들을 포함한다. 반송파 송신 매체는, 라디오 주파수(radio frequency; RF) 및 적외선(infrared; IR) 데이터 통신들 동안 생성되는 것들과 같은 전기적 또는 전자기적 신호들, 또는 음향 또는 광 파들의 형태를 취할 수 있다. 따라서, 컴퓨터-판독가능 매체의 일반적인 형태들은: 플로피 디스크, 플렉서블 디스크, 하드 디스크, 자기 테이프, 임의의 다른 자기 매체, CD-ROM, DVD 또는 DVD-ROM, 임의의 다른 광 매체, 펀치 카드들, 페이퍼 테이프, 홀들의 패턴들을 갖는 임의의 다른 물리적인 저장 매체, RAM, ROM, PROM 및 EPROM, FLASH-EPROM, 임의의 다른 메모리 칩 또는 카트리지, 데이터 또는 명령어들을 운반하는 반송파, 이러한 반송파를 운반하는 케이블들 또는 링크들, 또는 이로부터 컴퓨터가 프로그래밍 코드 및/또는 데이터를 판독할 수 있는 임의의 다른 매체를 포함한다. 이러한 형태들의 컴퓨터 판독가능 매체 중 다수가 실행을 위하여 프로세서로 하나 이상의 명령어들의 하나 이상의 시퀀스들을 전달하는데 연관될 수 있다.

[0198] 본원에서 설명되는 방법들은, 본원에서 제공되는 방법들을 구현하는 기계-실행가능 코드를 가진 저장 장소들을

갖는 컴퓨터 시스템들 및 기계-실행가능 코드를 실행하기 위한 프로세서를 사용하여 자동화될 수 있다.

[0199] 예 1

[0200] 열전 엘러먼트는, (중량으로) 약 10% 내지 50%의 HF 농도로 불산을 포함하는 에칭 용액을 갖는 반응 챔버 내에 반도체 기판을 제공함으로써 형성된다. 반도체 기판은, 반도체 기판이 약 0.001 ohm-cm 내지 0.1 ohm-cm의 저항률을 갖도록 하는 도펀트 농도를 갖는다. 에칭 용액은 약 25℃의 온도이다. 작업 전극이 기판의 후면과 접촉하게 되며, 상대 전극은 기판의 전면을 향해 에칭 용액 내에 잠긴다. 상대 전극은 기판과 접촉하지 않는다. 다음으로, 전원이 약 10 mA/cm^2 내지 20 mA/cm^2 의 전류 밀도를 강제하기 위하여 사용되며, 이는 작업 전극과 상대 전극 사이에 약 1 V의 전기적 전위를 야기한다. 인가된 전기적 전위 및 전기적 전류의 흐름이 약 1 시간의 시간 동안 유지된다. 이는 기판 내에 홀들의 무질서한 패턴을 형성한다.

[0201] 예 2

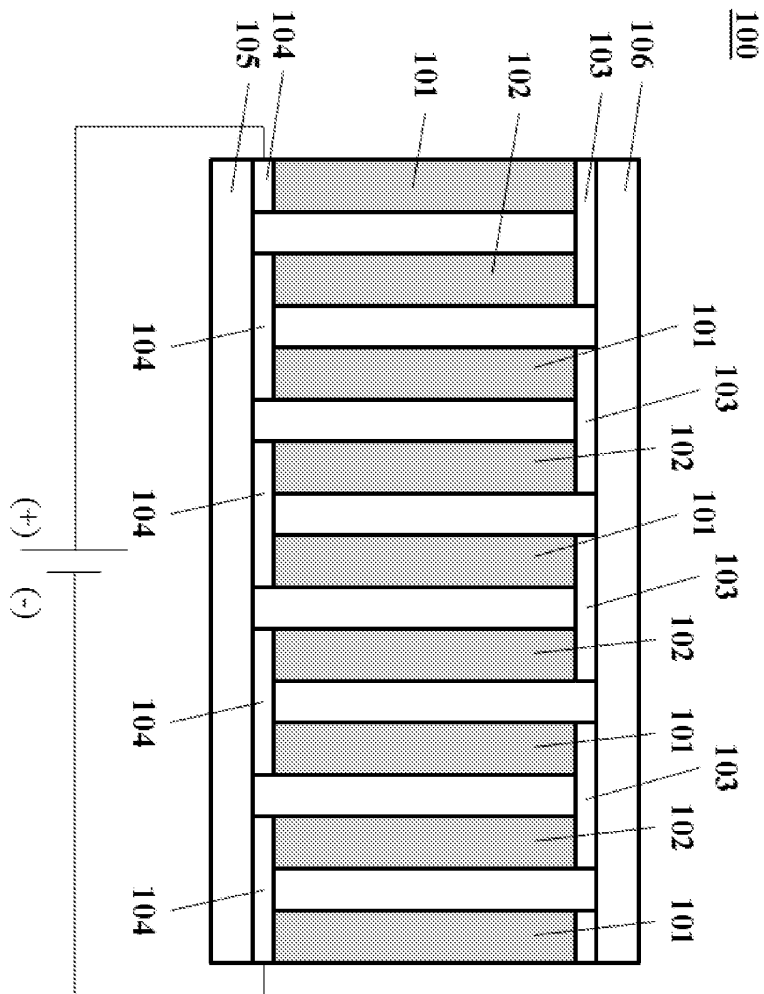
[0202] 열전 엘러먼트는 예 1에서 설명된 방법에 따라 형성된다. 도 26a 및 도 26b는 각기 열전 엘러먼트의 SEM 현미경 사진 및 XRD 스펙트럼을 도시한다. SEM 현미경 사진은 다음의 조건들: 5 킬로볼트(kV) 및 5 밀리미터의 작업 거리 하에서 획득된다. SEM 현미경 사진은 실리콘 내의 홀들의 무질서한 패턴을 보여준다. XRD 스펙트럼은 2개의 피크들을 보여준다. (좌측의) 더 큰 피크는 다공성 실리콘이며, (우측의) 더 작은 피크는 벌크 실리콘이다.

[0203] 본원에서 제공되는 디바이스들, 시스템들 및 방법들은, Zhang 등의 미국 특허 제7,309,830호, Fukutani 등의 미국 특허 공개 제2006/0032526호, Boukai 등의 미국 특허 공개 제2009/0020148호, Boukai 등의 미국 특허 출원 일련번호 제13/550,424호, 2012년 07월 17일자로 출원된 PCT/US2012/047021호, 2013년 01월 17일자로 출원된 PCT/US2013/021900호, 2013년 08월 25일자로 출원된 PCT/US2013/055462호, 및 2013년 10월 29일자로 출원된 PCT/US2013/067346호에서 설명되는 디바이스들, 시스템들 및/또는 방법들과 같은 다른 디바이스들, 시스템들 및 방법들과 함께 조합되거나 또는 이들에 의해 수정될 수 있으며, 이들의 각각은 그 전체가 본원에 참조로서 포함된다.

[0204] 본 발명의 선호되는 실시예들이 본원에서 도시되고 설명되었지만, 이러한 실시예들이 오로지 예로서 제공된다는 것이 당업자들에게 명백해질 것이다. 본 발명은 명세서 내에서 제공된 특정 예들에 의해 제한되도록 의도되지 않는다. 본 발명이 전술된 명세서를 참조하여 설명되었지만, 본원의 실시예들의 설명들 및 예시들은 제한적인 의미로 해석되는 것을 의미하지는 않는다. 이제 다수의 변형들, 변화들, 및 대체들이 본 발명으로부터 벗어나지 않고 당업자들에게 일어날 것이다. 또한, 본 발명의 모든 측면들이, 다양한 조건들 및 변수들에 의존하는 본원에 기술된 특정 묘사들, 구성들 또는 상대적인 비율들로 한정되지 않는다는 것이 이해되어야만 한다. 본 발명을 실시함에 있어서 본원에서 설명되는 본 발명의 실시예들에 대한 다양한 대안예들이 이용될 수 있다는 것이 이해되어야만 한다. 따라서, 본 발명이 또한 임의의 이러한 대안예들, 수정예들, 변형들 또는 등가물들을 커버하는 것으로 고려된다. 다음의 청구항들은, 그림으로써 이러한 청구항들 및 그들의 등가물들의 범위 내의 방법들 및 구조들이 커버되는 본 발명의 범위를 정의하도록 의도된다.

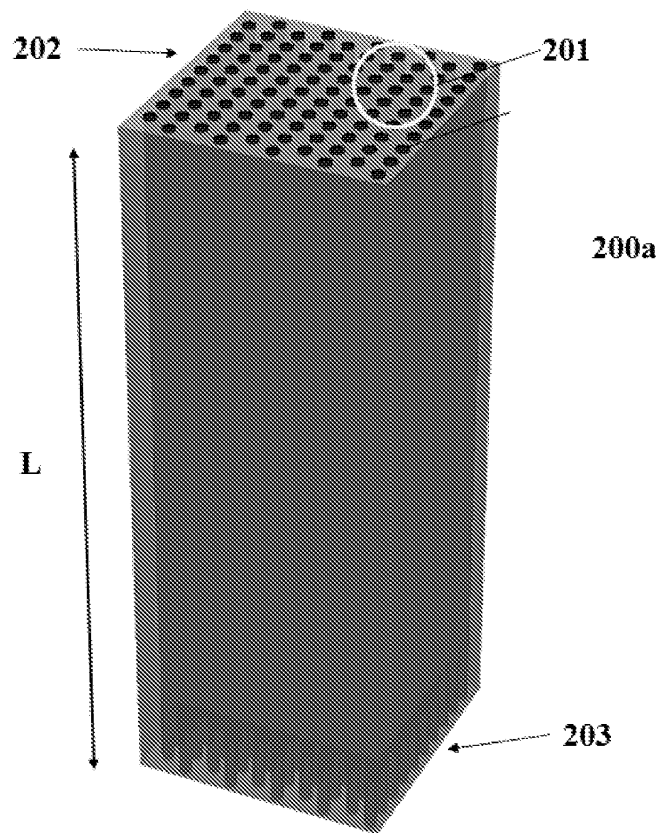
도면

도면1



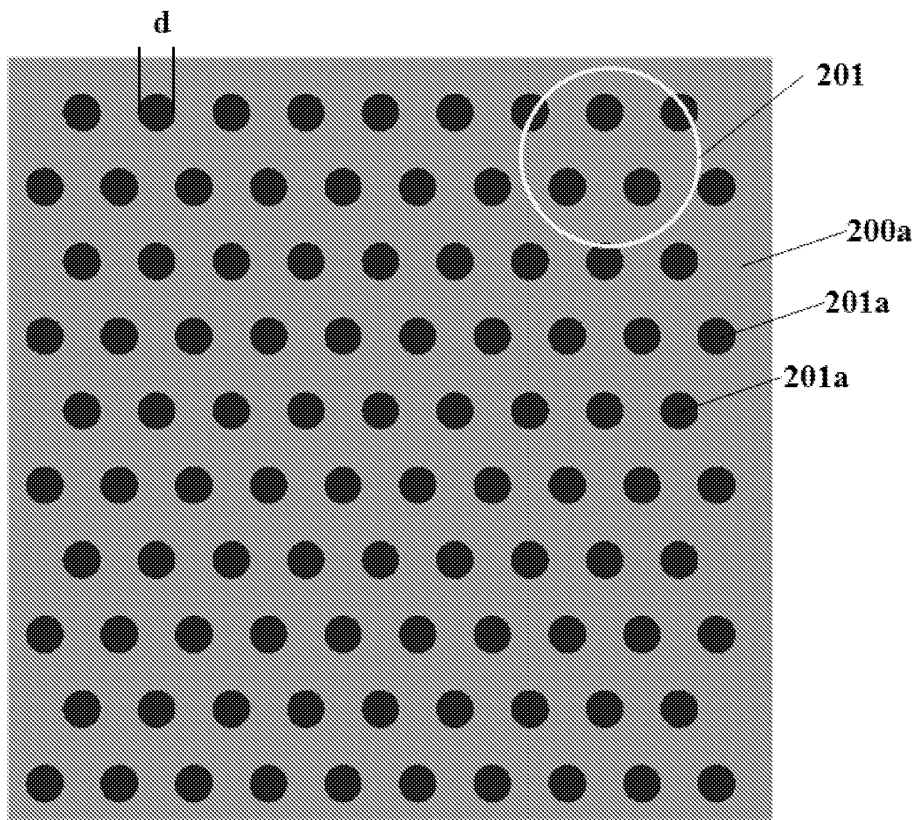
도면2

200



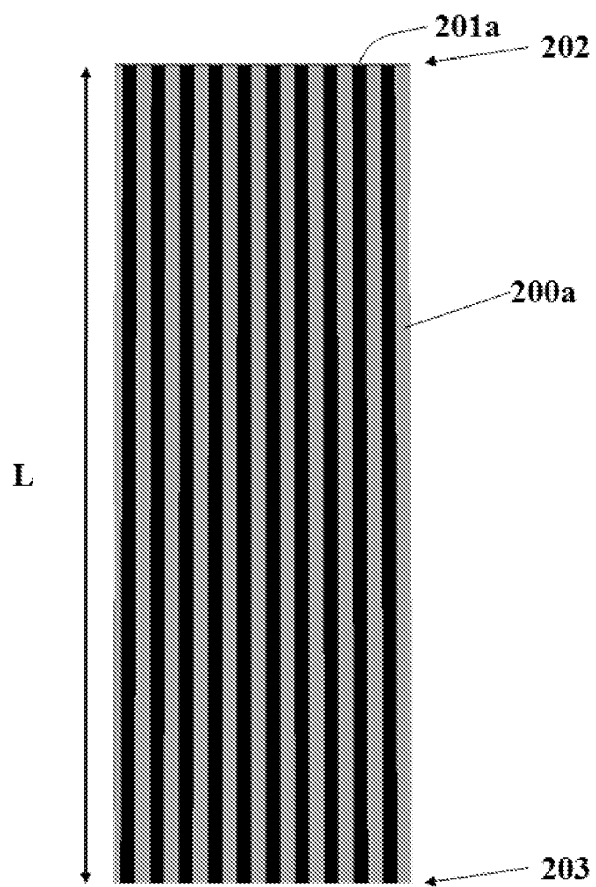
도면3

200



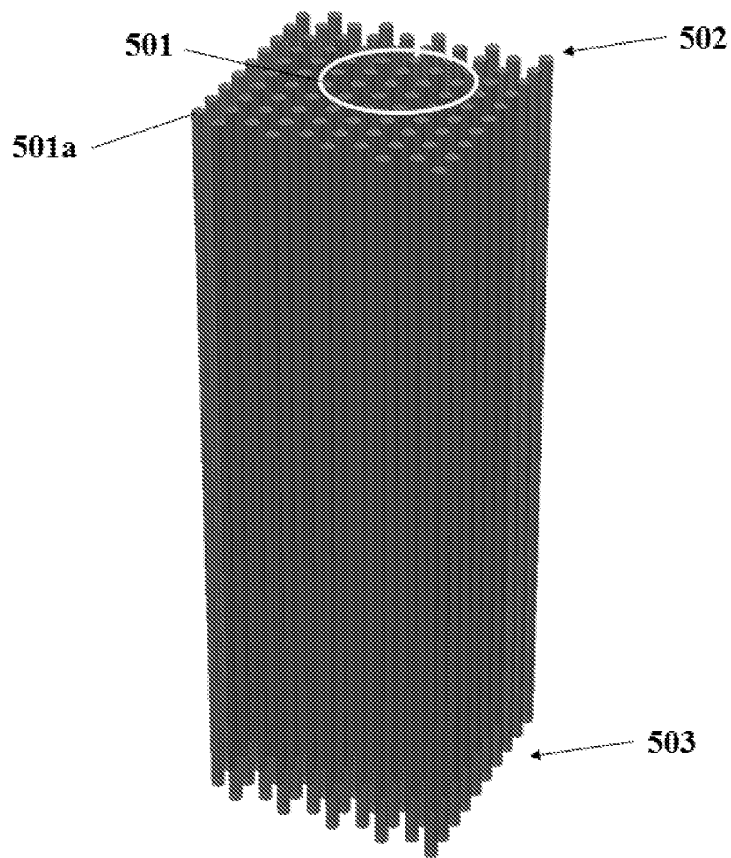
도면4

200



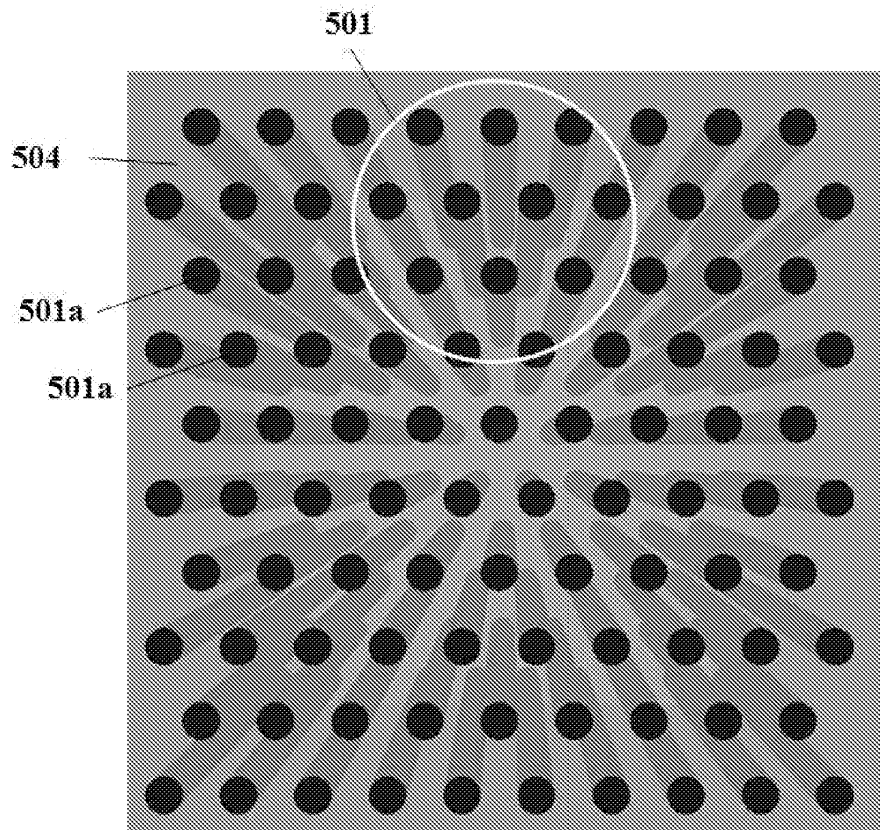
도면5

500

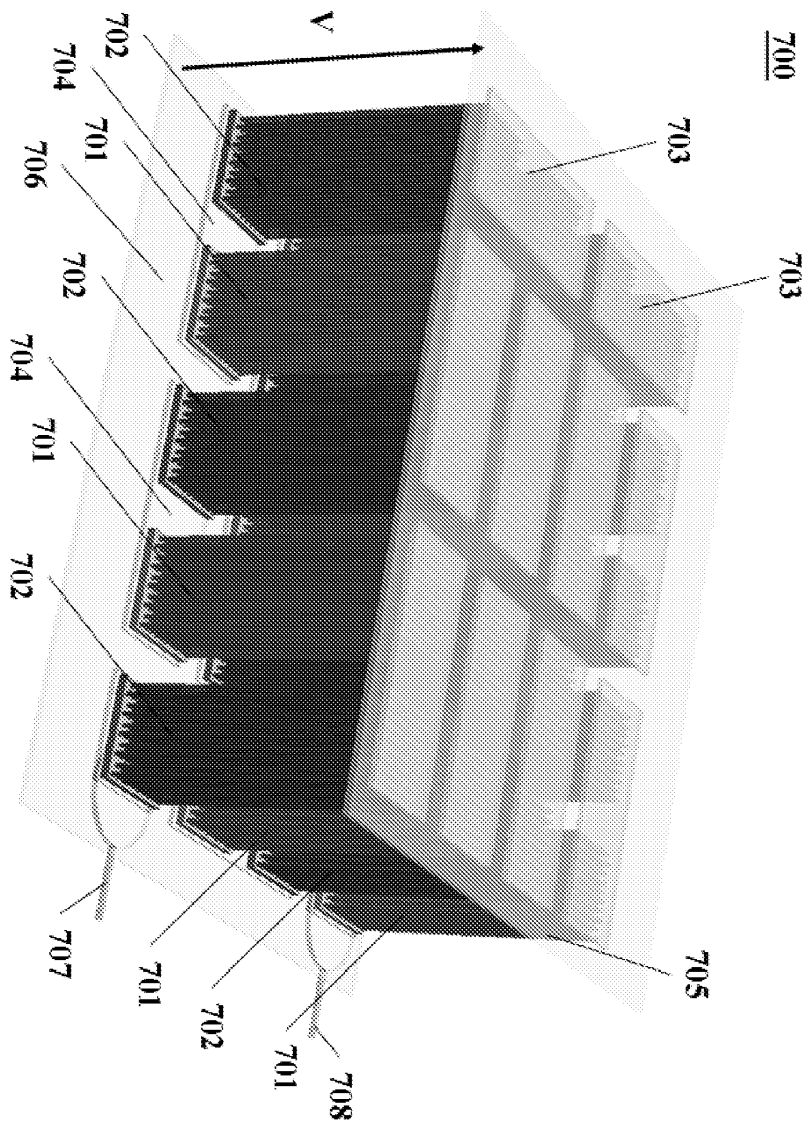


도면6

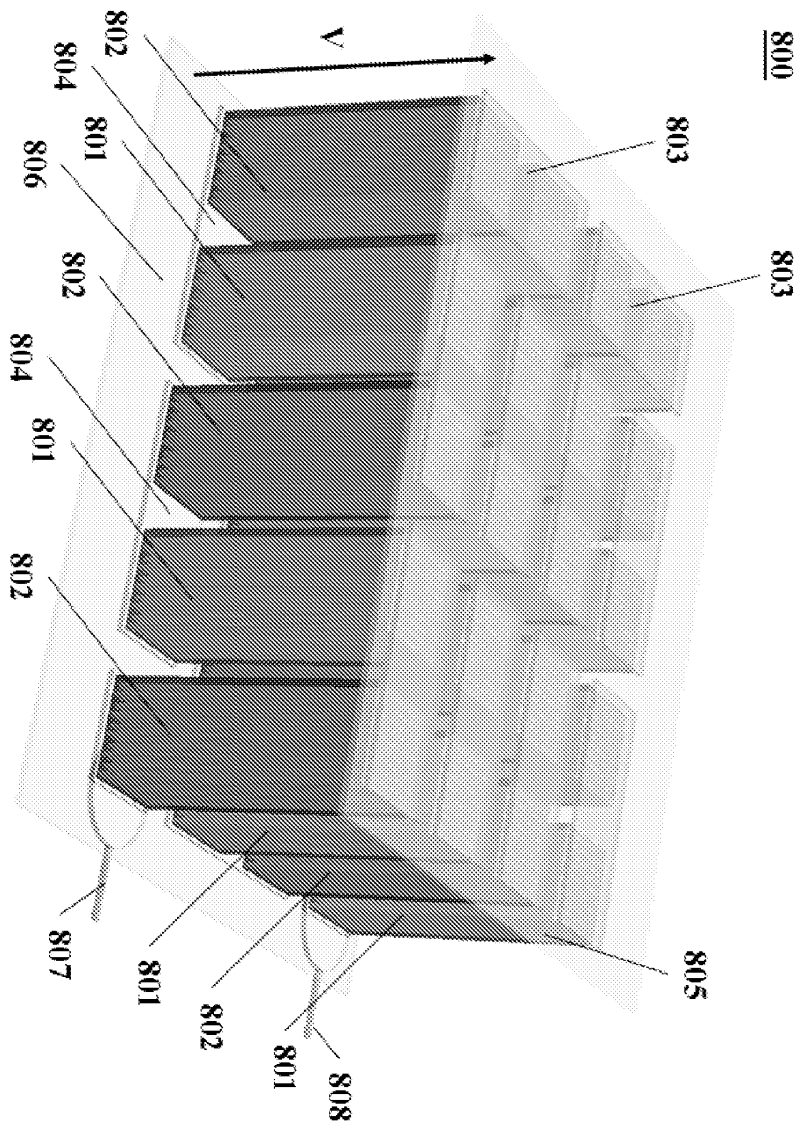
500



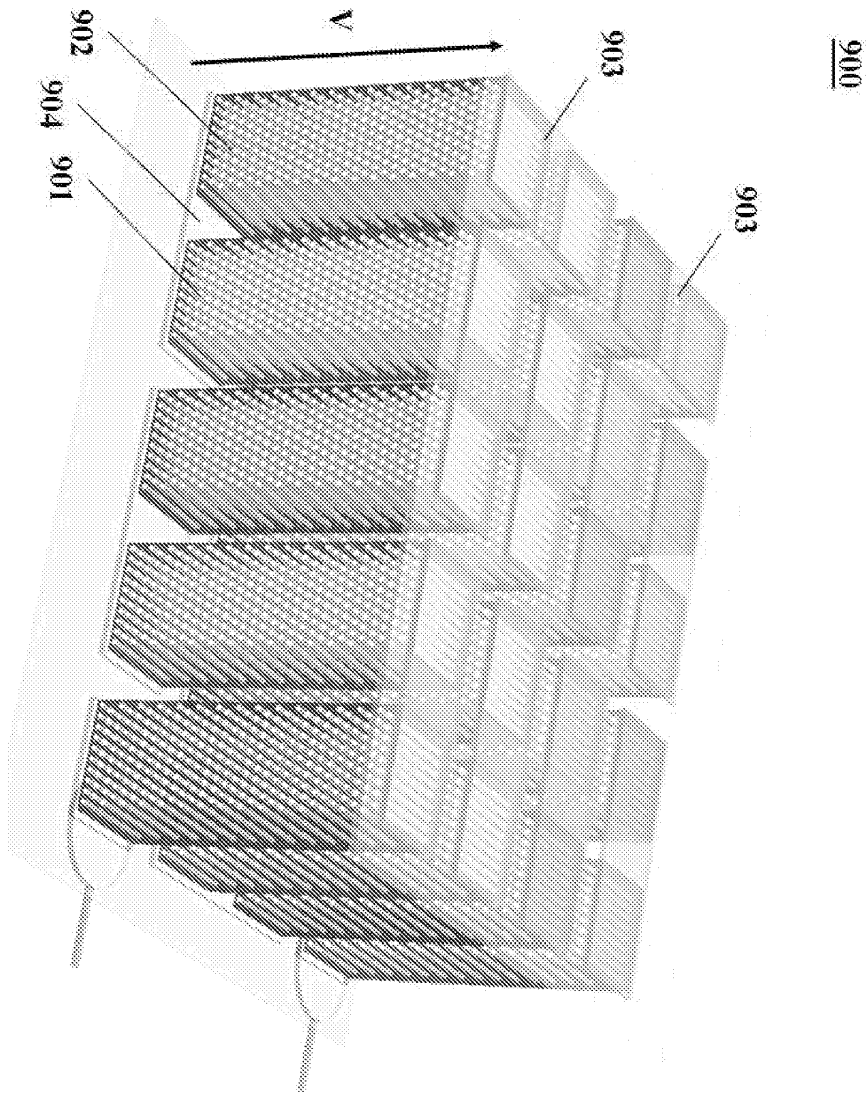
도면7



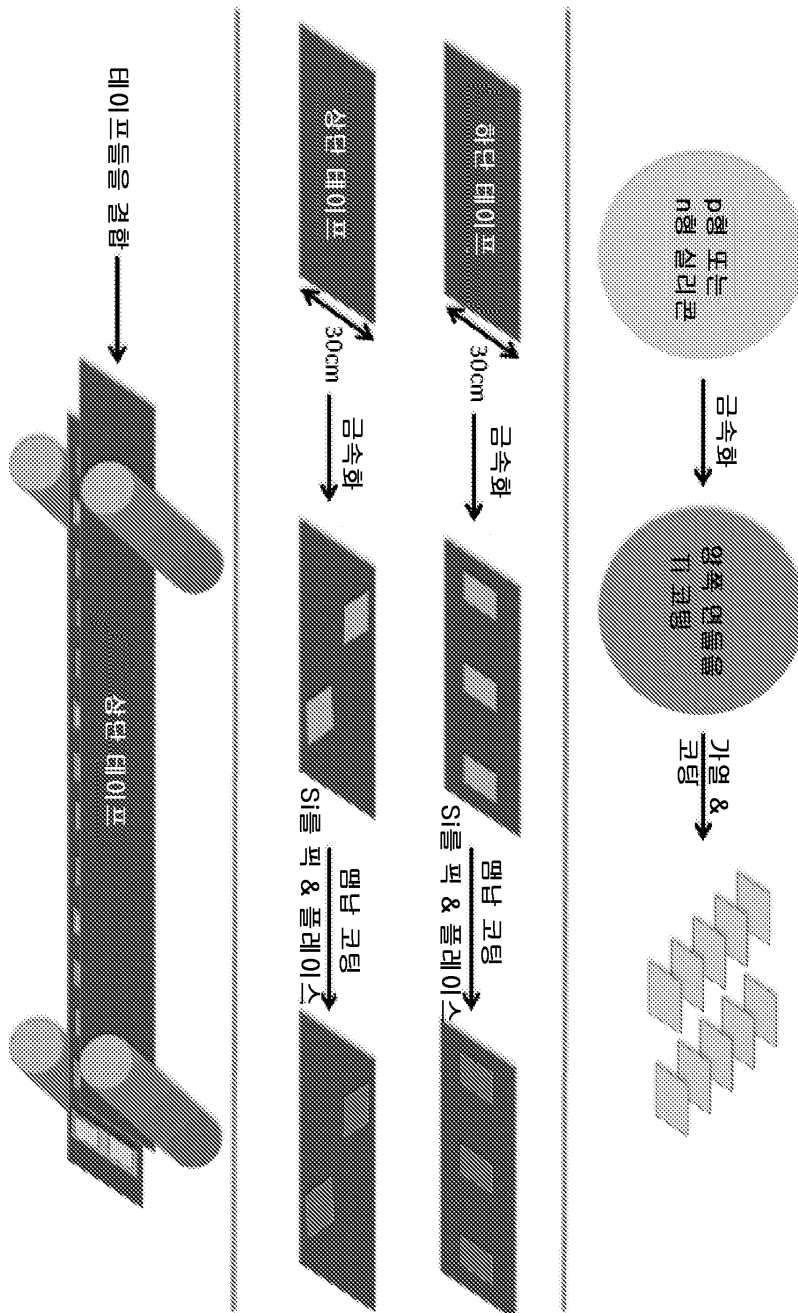
도면8



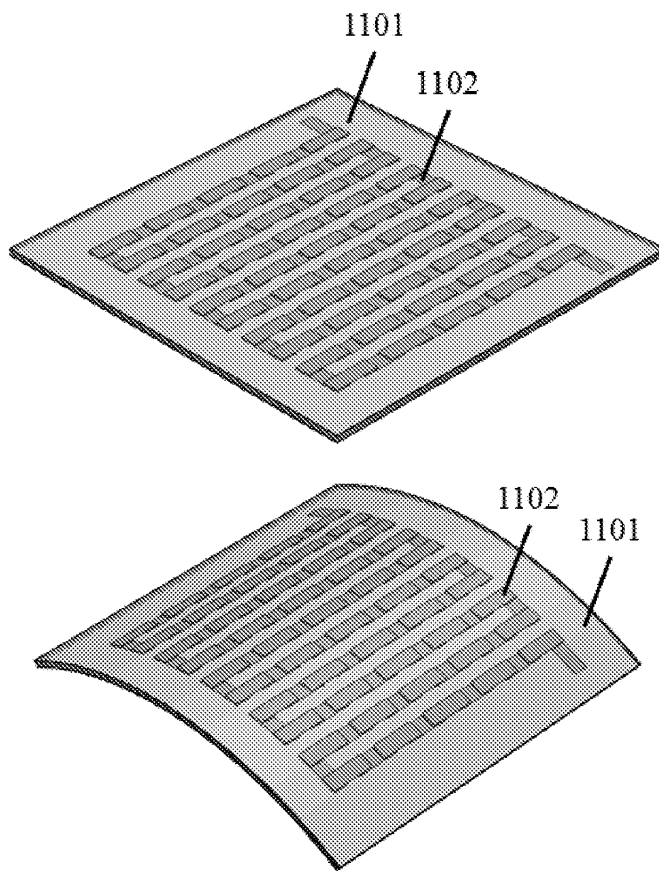
도면9



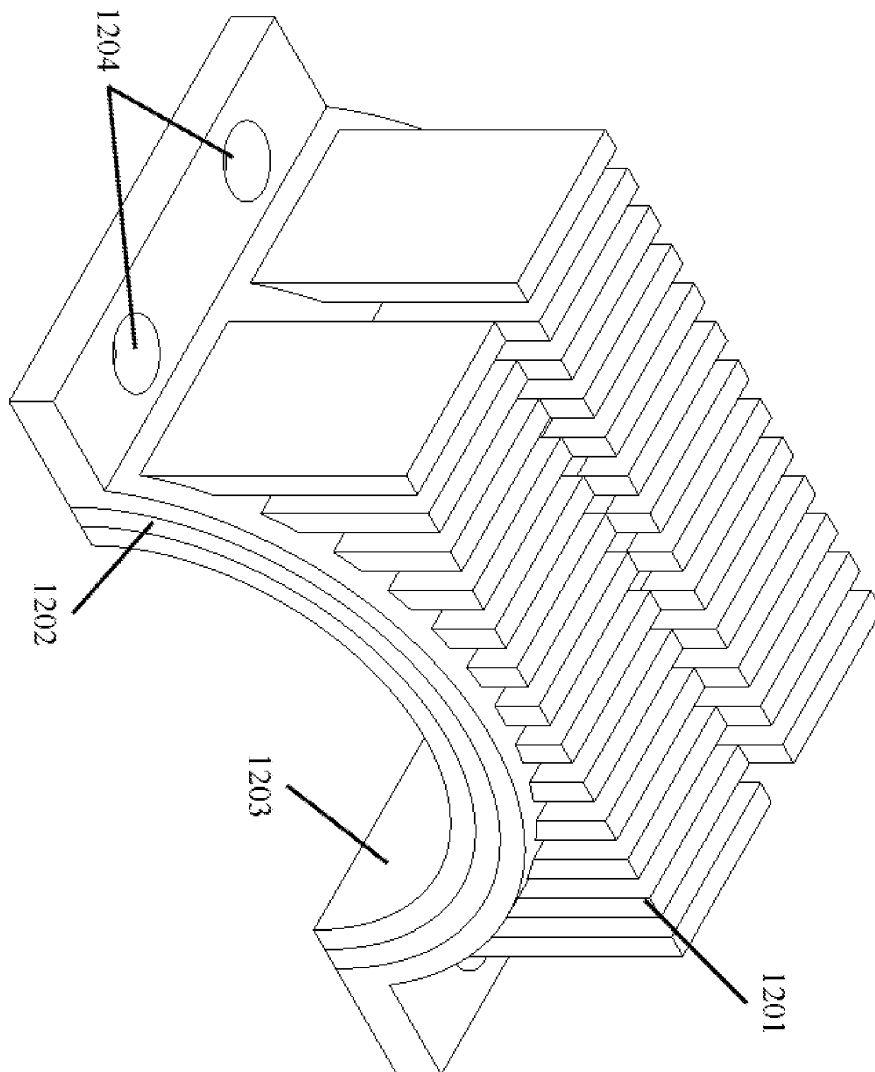
도면10



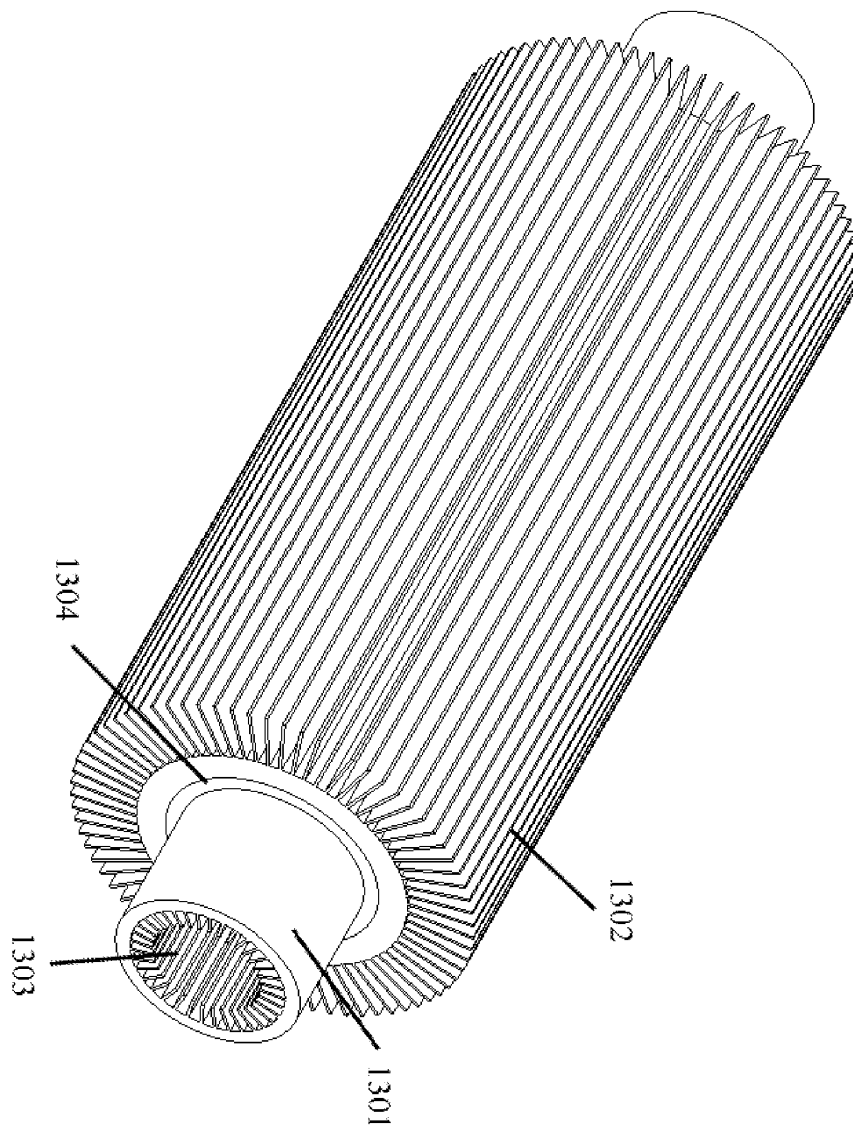
도면11



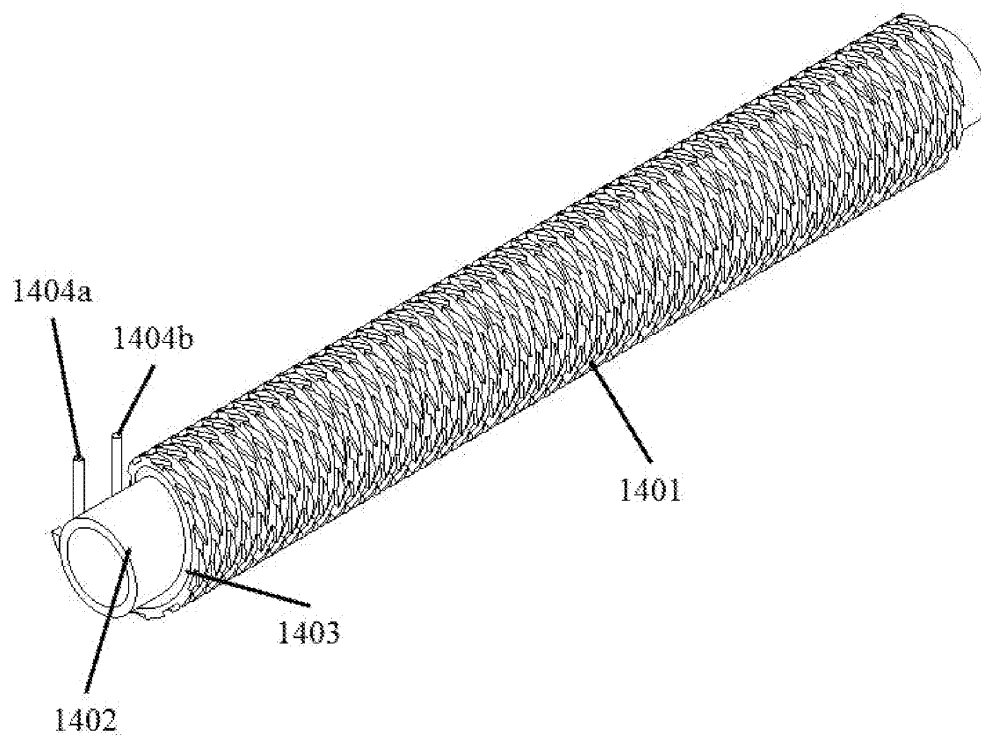
도면12



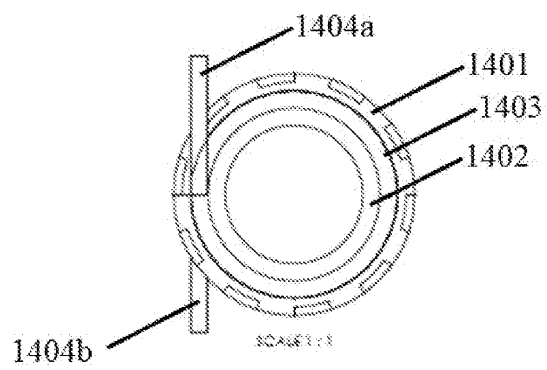
도면13



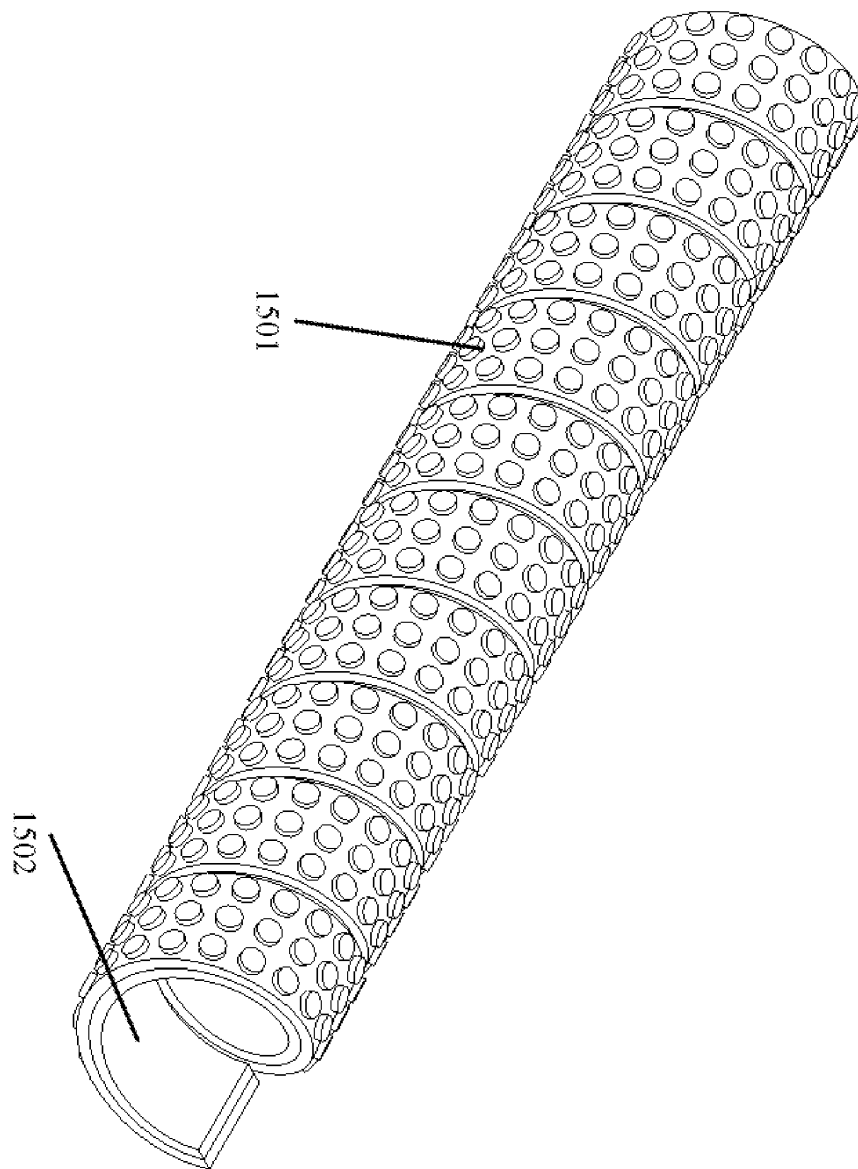
도면14a



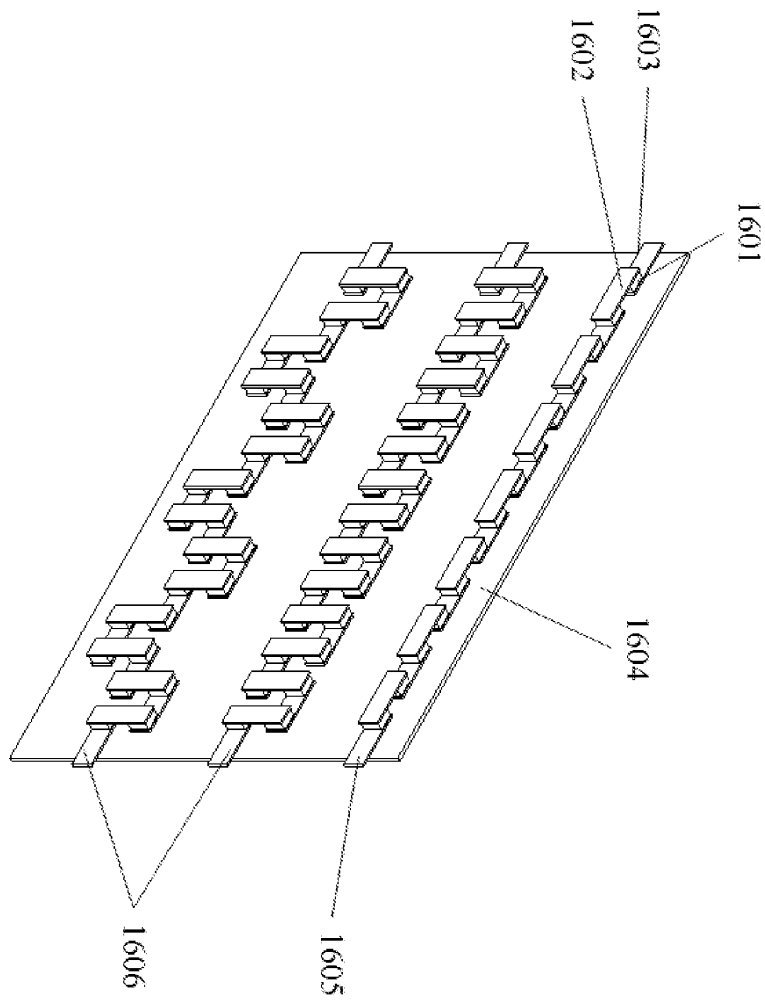
도면14b



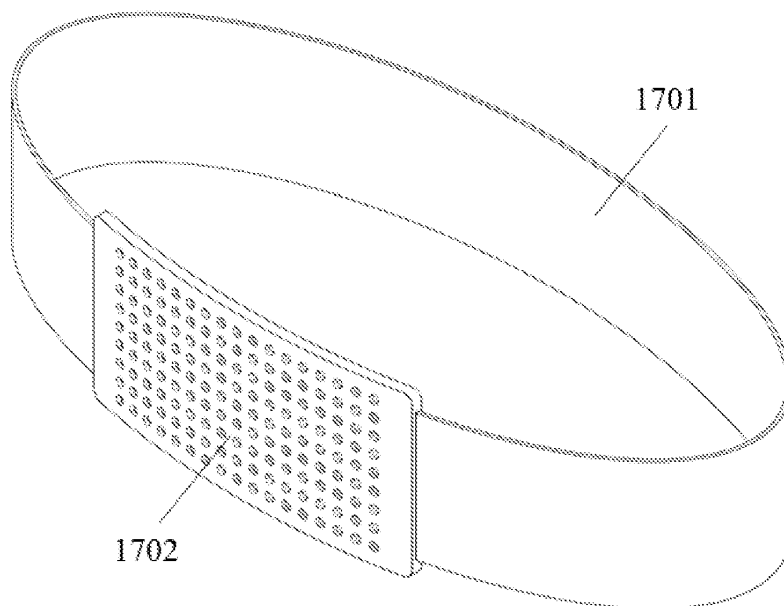
도면15



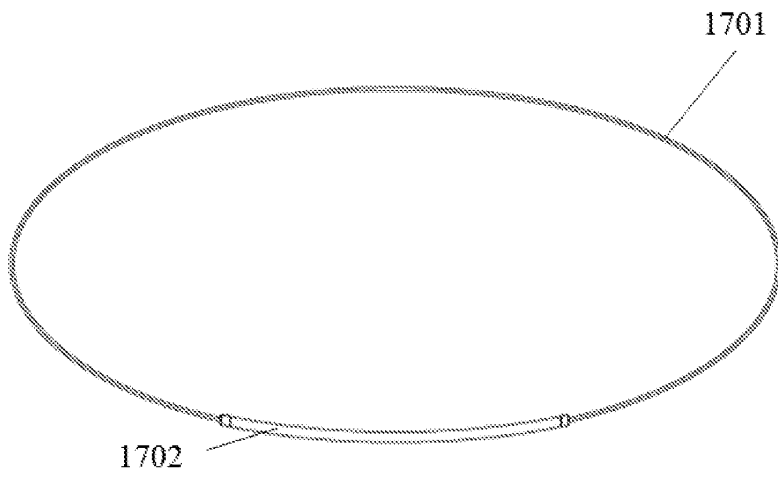
도면16



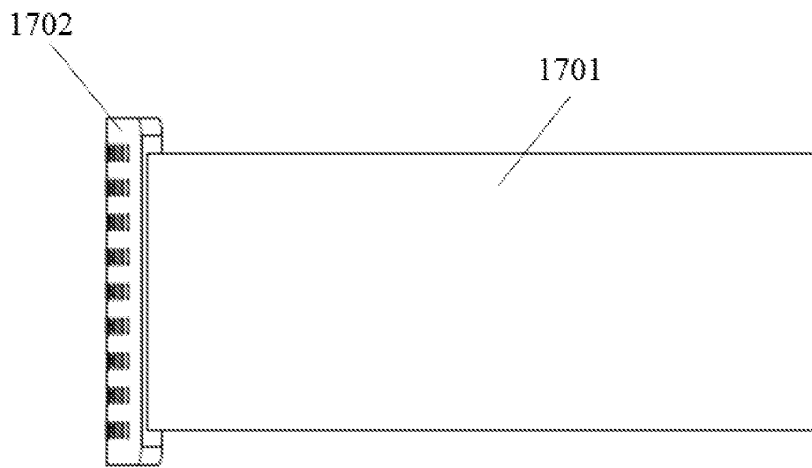
도면17a



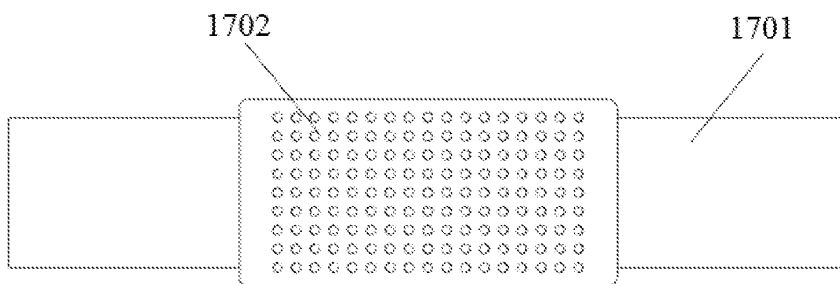
도면17b



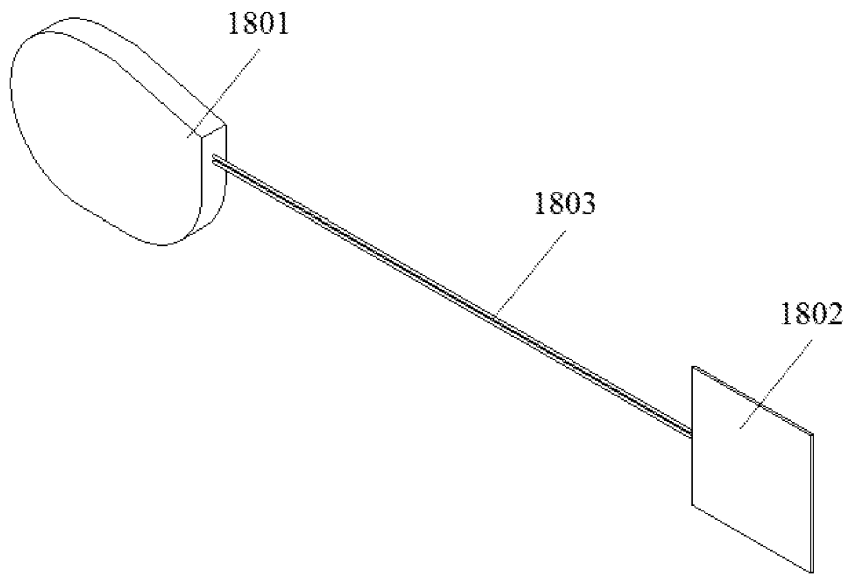
도면17c



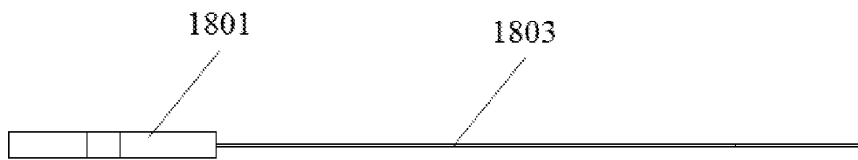
도면17d



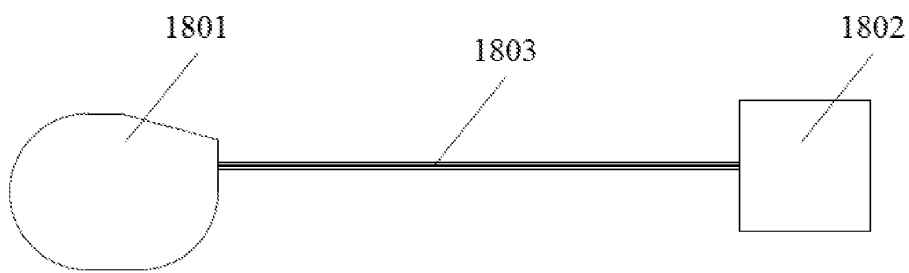
도면18a



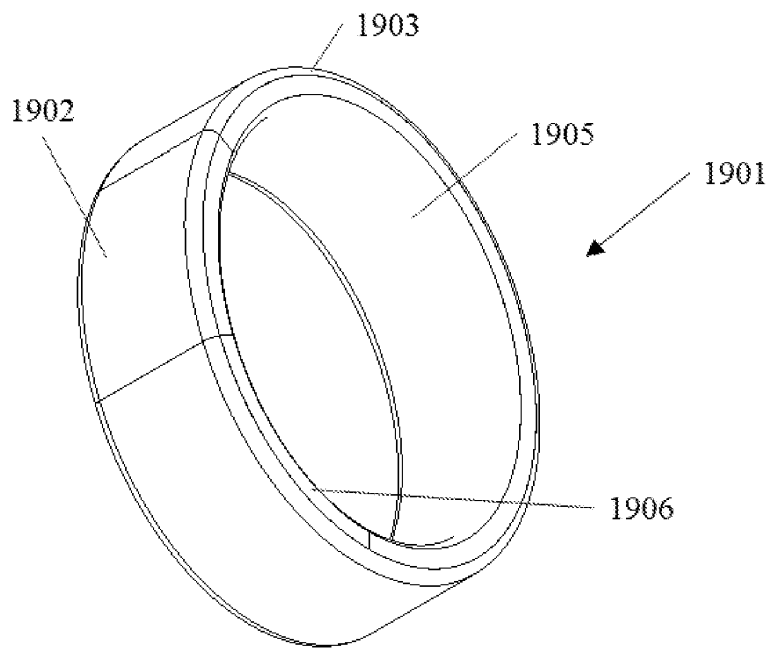
도면18b



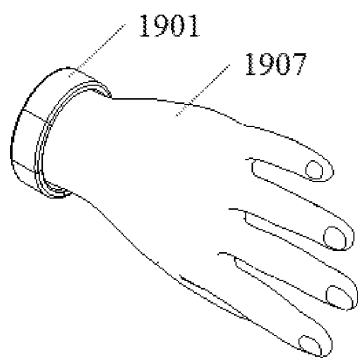
도면18c



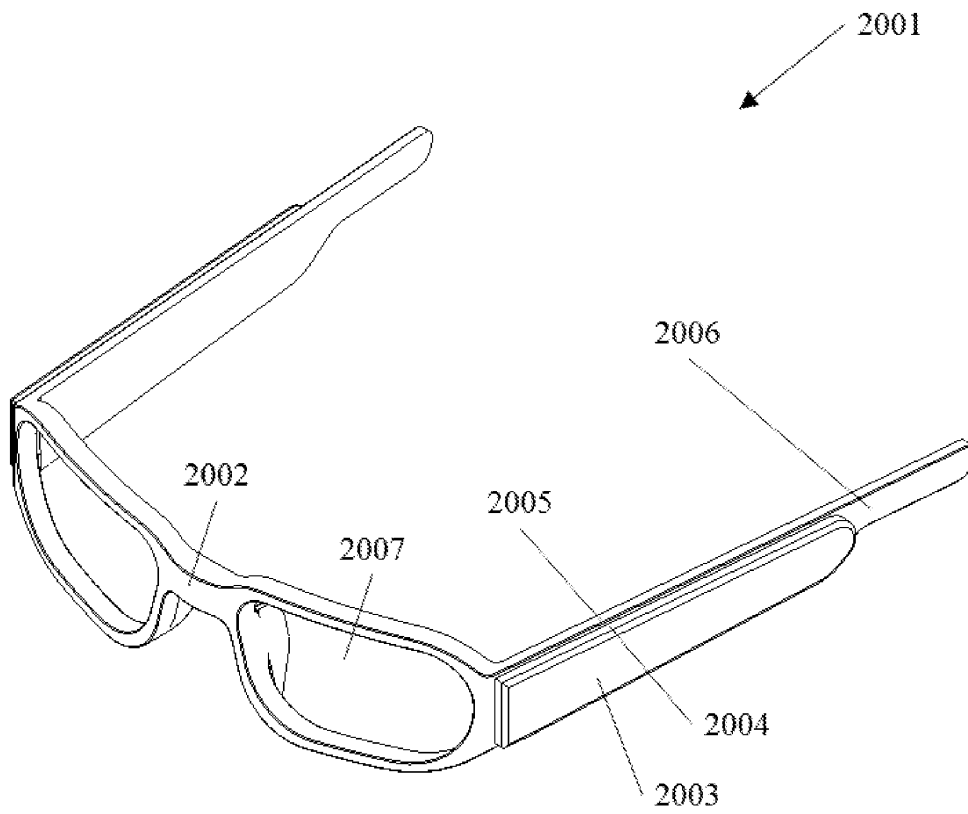
도면19a



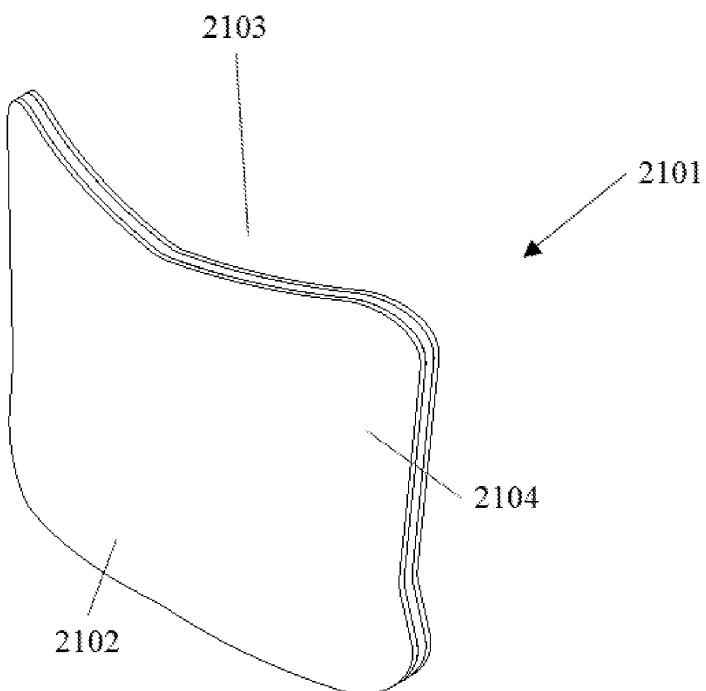
도면19b



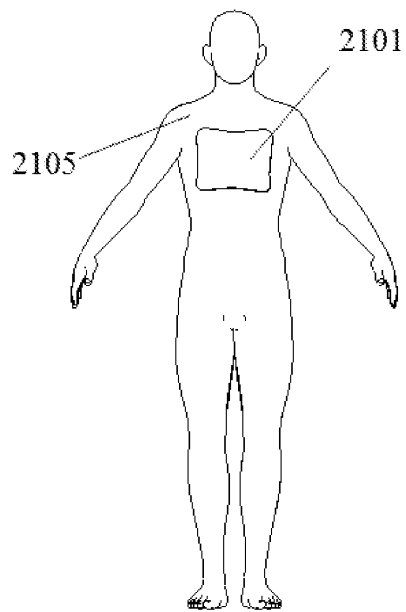
도면20



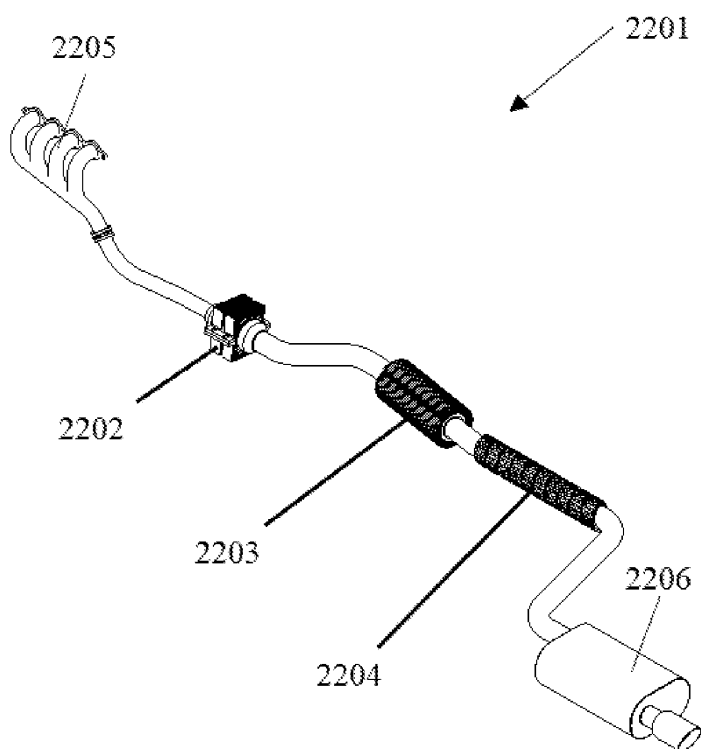
도면21a



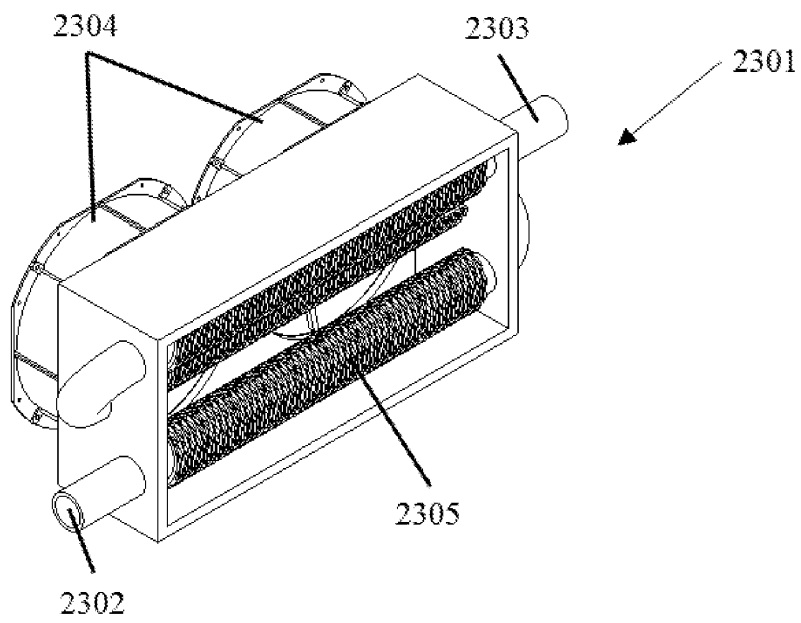
도면21b



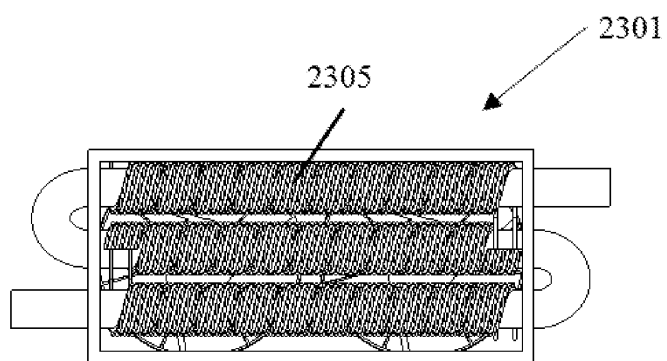
도면22



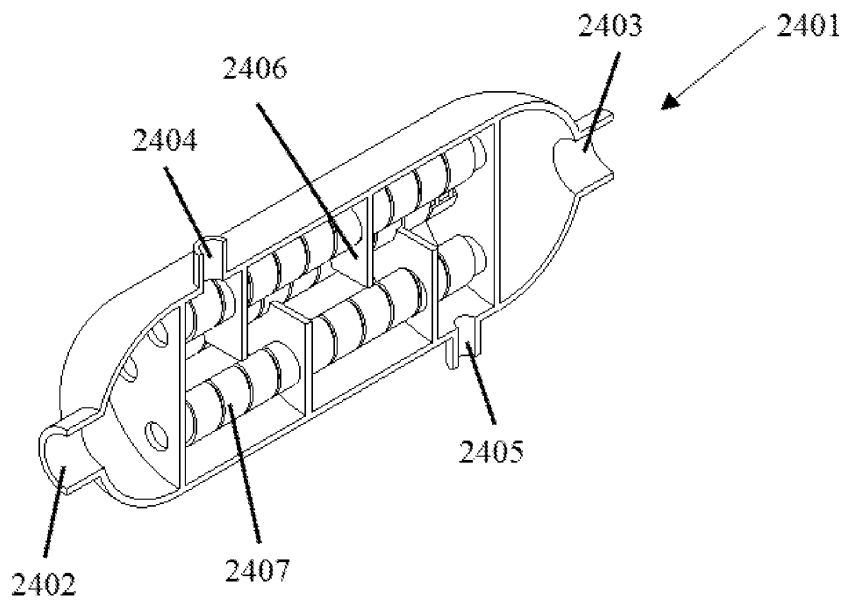
도면23a



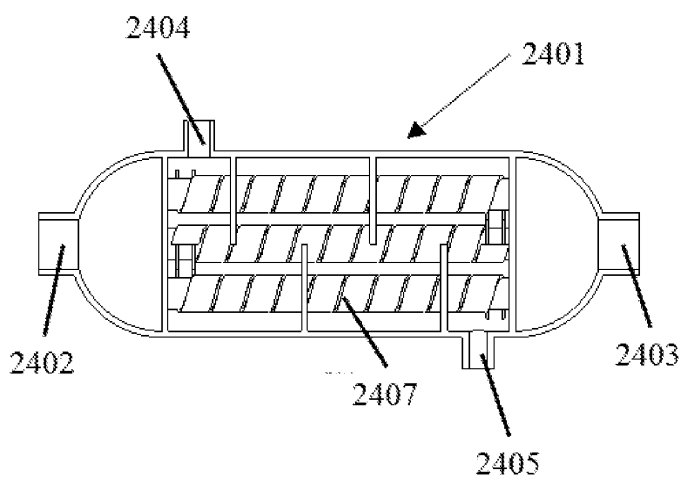
도면23b



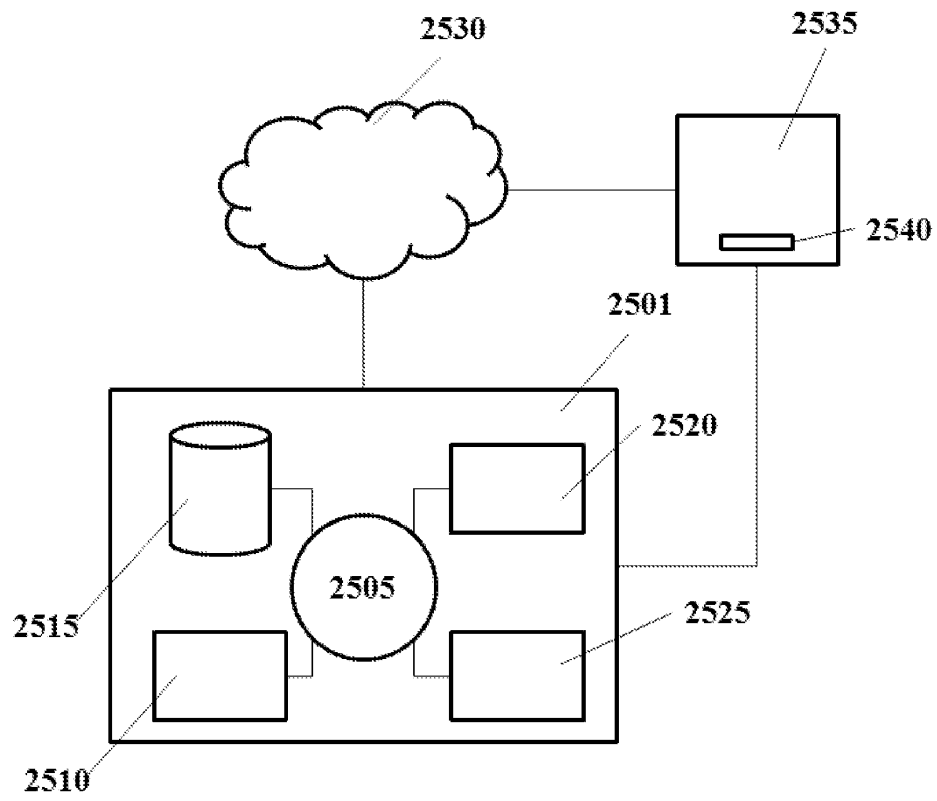
도면24a



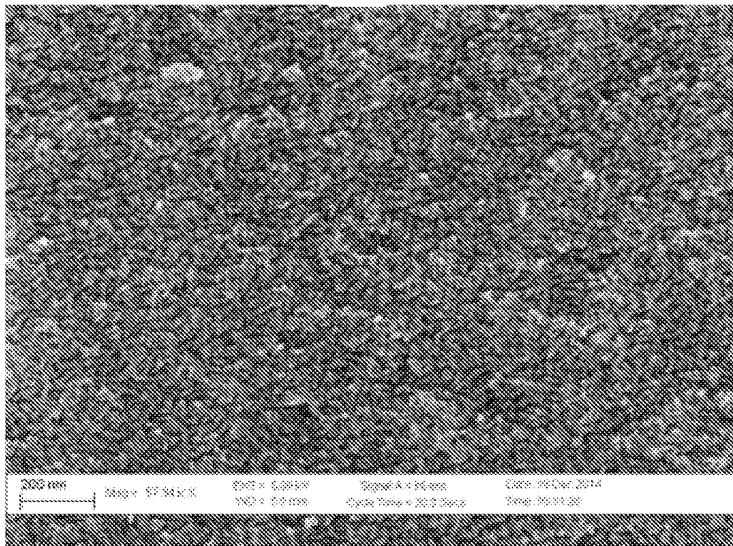
도면24b



도면25



도면26a



도면26b

