

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/115038 A1

(43) 国際公開日

2011年9月22日(22.09.2011)

PCT

- (51) 国際特許分類:
G01R 31/28 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/JP2011/055900
- (22) 国際出願日: 2011年3月14日(14.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-057310 2010年3月15日(15.03.2010) JP
- (71) 出願人(米国を除く全ての指定国について): 国立大学法人九州工業大学(Kyushu Institute of Technology) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町1番1号 Fukuoka (JP). 国立大学法人奈良先端科学技術大学院大学(NATIONAL UNI-

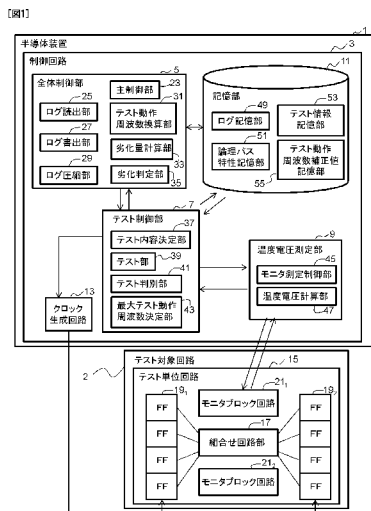
VERSITY CORPORATION NARA INSTITUTE OF SCIENCE AND TECHNOLOGY) [JP/JP]; 〒6300192 奈良県生駒市高山町8916-5 Nara (JP). 公立大学法人首都大学東京(Tokyo Metropolitan University) [JP/JP]; 〒1638001 東京都新宿区西新宿2-8-1 Tokyo (JP).

- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 佐藤 康夫 (SATO Yasuo) [JP/JP]; 〒8208502 福岡県飯塚市川津680-4 国立大学法人九州工業大学内 Fukuoka (JP). 梶原 誠司(KAJIHARA Seiji) [JP/JP]; 〒8208502 福岡県飯塚市川津680-4 国立大学法人九州工業大学内 Fukuoka (JP). 井上 美智子(INOUE Michiko) [JP/JP]; 〒6300192 奈良県生駒市高山町8916-5 国立大学法人奈良先端科学技術大学院大学内 Nara (JP). 米田 友和(YONEDA Tomokazu) [JP/JP]; 〒6300192 奈良県

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, DETECTION METHOD, AND PROGRAM

(54) 発明の名称: 半導体装置、検知方法及びプログラム



(57) Abstract: Disclosed is a semiconductor device and the like that can determine the performance of a semiconductor integrated circuit with a higher precision even when the testing environment fluctuates. The semiconductor device can detect degradation arising in the semiconductor integrated circuit, and is provided with: a measurement means that measures temperature and voltage; a determination means that distinguishes whether or not the contents of a test are executed within an allowable test timing in a circuit unit undergoing detection at each test operation frequency, and determines the maximum executed test operation frequency; and a calculation means that converts the maximum test operation frequency to a maximum test operation frequency at a baseline temperature and a baseline voltage, and calculates the amount of degradation, which represents the state of degradation. The semiconductor integrated circuit has a monitoring block circuit that monitors the values that are for the measurement means to measure the value of the temperature and voltage. The measurement means has an estimation means that estimates the value of the temperature and voltage of the circuit unit undergoing detection from the value monitored by the monitoring block circuit. The calculation means uses the value of the temperature and voltage that the estimation means estimated.

(57) 要約:

[続葉有]

- 1 Semiconductor Device
- 2 Circuit Undergoing Test
- 3 Control Circuit
- 5 Overall Control Unit
- 7 Test Control Unit
- 9 Temperature/Voltage Measurement Unit
- 11 Recording Unit
- 13 Clock Generating Circuit
- 15 Test Unit Circuit
- 17 Combinatorial Circuit Unit
- 21, 22 Monitoring Block Circuit
- 23 Main Control Unit
- 25 Log Read Unit
- 27 Log Write Unit
- 29 Log Compression Unit
- 31 Test Operation Frequency Conversion Unit
- 33 Degradation Amount Calculation Unit
- 35 Degradation Determination Unit
- 37 Test Content Determination Unit
- 39 Test Unit
- 41 Test Distinguishing Unit
- 43 Maximum Test Operation Frequency Determination Unit
- 45 Monitoring Measurement Control Unit
- 47 Temperature/Voltage Calculation Unit
- 49 Log Recording Unit
- 51 Logical Path Characteristic Recording Unit
- 53 Test Information Recording Unit
- 55 Test Operation Frequency Corrected Value Recording Unit

WO 2011/115038 A1



生駒市高山町8916-5 国立大学法人奈良先端科学技術大学院大学内 Nara (JP). 李賢彬(YI Hyunbean) [KR/JP]; 〒6300192 奈良県生駒市高山町8916-5 国立大学法人奈良先端科学技術大学院大学内 Nara (JP). 三浦幸也(MIURA Yukiya) [JP/JP]; 〒1910065 東京都日野市旭が丘6-6 公立大学法人首都大学東京内 Tokyo (JP).

(74) 代理人: 羽立 幸司(HADATE Koji); 〒8140001 福岡県福岡市早良区百道浜三丁目8番33号 福岡システムLSI総合開発センター Fukuoka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,

LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

テスト環境が変動する場合にも、より高精度に、半導体集積回路の動作性能を判断可能な半導体装置等を提供する。半導体集積回路に生じる劣化を検知することが可能な半導体装置であって、温度及び電圧を測定する測定手段と、各テスト動作周波数において検知対象回路部に対してテスト内容が許容テストタイミング内に実行されるか否かを判別し、実行される最大のテスト動作周波数を決定する決定手段と、最大テスト動作周波数を基準温度及び基準電圧における最大テスト動作周波数に換算して劣化の状態を表す劣化量も算出する算出手段とを備え、半導体集積回路は、測定手段が温度及び電圧の値を測定するための値をモニタするモニタブロック回路を有し、測定手段は、モニタブロック回路がモニタした値から検知対象回路部の温度及び電圧の値を推定する推定手段を有し、算出手段は、推定手段が推定した温度及び電圧の値を用いる。

明 細 書

発明の名称：半導体装置、検知方法及びプログラム

技術分野

[0001] 本発明は、半導体装置、検知方法及びプログラムに関し、特に、同一の半導体集積回路に生じる劣化又は同種の複数の半導体集積回路に生じるバラツキを検知することが可能な半導体装置等に関する。

背景技術

[0002] 極限的な微細化に伴う半導体集積回路の信頼性・安全性を確保することは、きわめて重要な社会的課題であり、様々なテスト手法が提案されている（非特許文献1及び2参照）。

[0003] 例えば、出荷後にもテストが可能な手法として、自己テスト（Built-In Self-Test：BIST）の手法が提案されている（特許文献1、2及び非特許文献3～5参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2003-68865号公報
特許文献2：特表2010-524101号公報

非特許文献

[0005] 非特許文献1：佐藤、外1名著，“フィールド高信頼化のためのアプローチ”，REAJ誌，Vol.31，No.7，p.514-519.
非特許文献2：Y.Sato、外3名著，“A Circuit Failure Prediction Mechanism (DART) for High Field Reliability”，The 8th IEEE International Conference on ASIC，p.581-584，2009.
非特許文献3：T.Vo、外9名著，“Design for Board and System Level Structure Test and Diagnosis”，Proc. Intl. Test Conf.，Paper 14.1 1-10，2006.
非特許文献4：Y.Li、外2名著，“CASP：Concurrent Autonomous Chip Se

lf-Test Using Stored Test Patterns”, Proc. Design Automation and Test in Europe, pp.885-890, 2008.

非特許文献5：O.Khan、外1名著，“A Self-Adaptive System Architecture to Address transistor Aging”, Proc. Design Automation and Test in Europe, pp.81-86, 2009.

発明の概要

発明が解決しようとする課題

[0006] 従来のテストは、テストの時点での半導体集積回路の動作性能のみを重視するものである。そのため、従来のテストは、基本的に、温度等が制御された同一の環境下でテストするものであった。このように、従来のテストは、基本的に、半導体集積回路の動作環境を、テストの内容に合わせることであり、テストの精度を確保しようとするものであった。

[0007] しかしながら、半導体集積回路の生産・使用は、様々な環境下で行われるものであって、必ずしも温度等が制御できるとは限らない。特に、フィールドでのテストは、半導体集積回路が使用された状態であり、温度等のテスト環境の制御は困難である。特許文献2に記載の技術は、出荷後に半導体集積回路をテストする際、電圧等のテスト環境を制御するものである。しかし、テスト環境を制御するための特別な装置を必要とし、大がかりな装置とならざるを得ない。テストを必要とする全ての半導体集積回路についてこのような装置を適用できるとは限らない。

[0008] このように温度等のテスト環境を制御できない場合、テスト環境が半導体集積回路のテスト結果に影響を及ぼしていた。例えば、発明者らのシミュレーションによれば、1°Cの変動で17 ps/サイクルの遅延変動が生じる場合がある。1 GHzの動作環境であれば、1サイクルは1 nsに対応するため、これらの環境変動に由来する遅延変動は無視できる微差ではない。このように、温度の変化だけでも、精確な判断を行うことが困難となる。そのため、従来のテストでは、そのままの状態では、生産時のテストでも、使用時のテストでも、環境が変化する場合に精度を維持しつつ対応することは困難

であった。

- [0009] ゆえに、本発明は、テスト環境が変動する場合にも、より高精度に、半導体集積回路の動作性能を判断可能な半導体装置等を提供することを目的とする。

課題を解決するための手段

- [0010] 本願発明の第1の観点は、テスト内容を実行する検知対象回路部を有する半導体集積回路に生じる劣化を検知することが可能な半導体装置であって、前記検知対象回路部の温度及び電圧を測定する測定手段と、各テスト動作周波数において前記検知対象回路部に対して前記テスト内容が許容テストタイミング内に実行されるか否かを判別し、実行される最大のテスト動作周波数を最大テスト動作周波数として決定する決定手段と、前記決定手段が決定した前記最大テスト動作周波数を、前記測定手段が測定した温度及び電圧の値を用いて、基準温度及び基準電圧における最大テスト動作周波数に換算するとともに、当該換算された最大テスト動作周波数に基づき劣化の状態を表す劣化量も算出する算出手段とを備え、前記半導体集積回路は、前記測定手段が前記温度及び電圧の値を測定するための値をモニタするモニタブロック回路を有し、前記測定手段は、テストが行われる毎に、前記検知対象回路部の温度及び電圧の下で動作した前記モニタブロック回路がモニタした値から前記検知対象回路部の温度及び電圧の値を推定する推定手段を有し、前記算出手段は、前記推定手段が推定した温度及び電圧の値を、前記測定手段が測定した温度及び電圧の値として用いて、前記決定手段が決定した前記最大テスト動作周波数を前記基準温度及び基準電圧における最大テスト動作周波数に換算する。

- [0011] 本願発明の第2の観点は、第1の観点の半導体装置であって、前記半導体集積回路は、 n 個（ n は、2以上の整数）の前記モニタブロック回路を備え、前記測定手段は、各モニタブロック回路における所定の時間内での発振回数として得られる測定周波数 F_i （ i は、 n 以下の自然数）を測定し、前記推定手段は、式(eq1)の係数 α_i 、 β 、 α'_i 及び β' を計算することにより、前

記検知対象回路部の温度 T 及び電圧 V の値を推定する。

[0012] [数1]

$$T = \sum_{i=1}^n \alpha_i F_i + \beta, \quad (\text{eq1})$$

$$V = \sum_{i=1}^n \alpha'_i F_i + \beta'.$$

[0013] 本願発明の第3の観点は、第2の観点の半導体装置であって、前記推定手段は、温度範囲若しくは電圧範囲を複数に区分して当該区分ごとに式(eq1)の前記係数 α_i 、 β 、 α'_i 及び β' を計算して、又は、温度範囲を複数に区分して当該区分ごとに式(eq1)の前記係数 α_i 及び β を計算すると共に電圧範囲を複数に区分して当該区分ごとに式(eq1)の前記係数 α'_i 及び β' を計算することにより、前記検知対象回路部の温度 T 及び電圧 V の値を推定する。

[0014] 本願発明の第4の観点は、第2又は3の観点の半導体装置であって、前記推定手段は、式(eq1)の前記測定周波数 F_i に代えて、前記測定周波数 F_i と初回の測定周波数 F_{i0} との差分である差分周波数 ΔF_i を用いて、前記検知対象回路部の温度 T 及び電圧 V の値を推定する。

[0015] 本願発明の第5の観点は、第1から4のいずれかの観点の半導体装置であって、前記測定手段が測定した測定値及び前記決定手段が決定した最大テスト動作周波数の組み合わせを記憶する記憶手段をさらに備え、前記算出手段は、前記記憶手段が記憶した測定値及び最大テスト動作周波数を用いる。

[0016] 本願発明の第6の観点は、第5の観点の半導体装置であって、前記最大テスト動作周波数は、前記記憶手段が記憶した異なるテスト時の複数の最大テスト動作周波数からランダムノイズを除去する演算が行われて決定される。

[0017] 本願発明の第7の観点は、第1から6のいずれかの観点の半導体装置であって、前記測定手段は所定のテスト動作周波数におけるテスト時の初期温度及び初期電圧を測定し、前記決定手段は、前記基準温度及び前記基準電圧と前回の最大テスト動作周波数とを用いながら前記初期温度及び前記初期電圧における最大テスト動作周波数候補を定め、周波数を増加後に減少させて又

は増加のみ若しくは減少のみさせて、実行される最大のテスト動作周波数を最大テスト動作周波数に決定する。

[0018] 本願発明の第 8 の観点は、第 1 から 7 のいずれかの観点の半導体装置であって、テストされるパスの長さ毎に異なるテスト内容を用意することを特徴とする。

[0019] 本願発明の第 9 の観点は、第 1 から 8 のいずれかの観点の半導体装置であって、許容テストタイミング及び/又は前記劣化量の値に応じてテスト内容及び/又はテスト順序を変更可能とする。

[0020] 本願発明の第 10 の観点は、テスト内容を実行する同種の複数の半導体集積回路に生じるバラツキを検知することが可能な半導体装置であって、前記検知対象回路部の温度及び電圧を測定する測定手段と、各テスト動作周波数において前記検知対象回路部に対して前記テスト内容が許容テストタイミング内に実行されるか否かを判別し、実行される最大のテスト動作周波数を最大テスト動作周波数として決定する決定手段と、前記決定手段が決定した前記最大テスト動作周波数を、前記測定手段が測定した温度及び電圧の値を用いて、基準温度及び基準電圧における最大テスト動作周波数に換算するとともに、当該換算された最大テスト動作周波数に基づきバラツキの度合を表す相違量も算出する算出手段とを備え、前記半導体集積回路は、前記測定手段が前記温度及び電圧の値を測定するための値をモニタするモニタブロック回路を有し、前記測定手段は、テストが行われる毎に、前記検知対象回路部の温度及び電圧の下で動作した前記モニタブロック回路がモニタした値から前記検知対象回路部の温度及び電圧の値を推定する推定手段を有し、前記算出手段は、前記推定手段が推定した温度及び電圧の値を、前記測定手段が測定した温度及び電圧の値として用いて、前記決定手段が決定した前記最大テスト動作周波数を前記基準温度及び基準電圧における最大テスト動作周波数に換算する。

[0021] 本願発明の第 11 の観点は、同一の半導体集積回路に生じる劣化又は同種の複数の半導体集積回路に生じるバラツキを検知することが可能な検知方法

であって、前記半導体集積回路の検知対象回路部における動作周波数と温度及び電圧との関係の特性が近似式により近似されており、測定手段が温度及び電圧の値を測定するステップと、決定手段が、前記半導体集積回路の検知対象回路部においてテスト内容が許容テストタイミング内に実行される最大のテスト動作周波数として最大テスト動作周波数を決定するステップと、算出手段が、前記温度及び電圧の値並びに前記最大テスト動作周波数を用いて、前記近似式に従って基準温度及び基準電圧における最大テスト動作周波数を算出するとともに、当該算出された最大テスト動作周波数に基づき劣化の状態を表す劣化量又はバラツキの度合を表す相違量も算出するステップを含む。

[0022] 本願発明の第12の観点は、第11の観点の検知方法であって、前記半導体集積回路は、前記測定手段が前記温度及び電圧の値を測定するための値をモニタする n 個（ n は、2以上の整数）のモニタブロック回路を備え、前記測定するステップは、前記測定手段が、各モニタブロック回路における所定の時間内での発振回数として得られる測定周波数 F_i （ i は、 n 以下の自然数）を測定する周波数測定ステップと、式(eq2)の係数 α_i 、 β 、 α'_i 及び β' を計算することにより、前記検知対象回路部の温度 T 及び電圧 V の値を推定する推定ステップとを含む。

[0023] [数2]

$$T = \sum_{i=1}^n \alpha_i F_i + \beta, \quad (eq2)$$

$$V = \sum_{i=1}^n \alpha'_i F_i + \beta'.$$

[0024] 本願発明の第13の観点は、コンピュータに第11又は12の観点の検知方法を実行させるためのプログラムである。

[0025] なお、本願発明を、プログラムを記録するコンピュータ読み取り可能な記録媒体として捉えてもよい。

[0026] また、許容テストタイミングは、テスト動作周波数の逆数である。そのた

め、許容テストタイミングとテスト動作周波数のどちらを用いても等価な処理を行うことが可能である。したがって、本願発明において、決定手段が、テスト内容が許容テストタイミング内に実行されるか否かを判別することには、テスト動作周波数に基づいて判別することも含まれる。

発明の効果

- [0027] 本願発明の各観点によれば、半導体装置において、最大テスト動作周波数並びに測定された温度及び電圧の測定値から、基準温度及び基準電圧における最大テスト動作周波数を算出することが可能となる。これにより、様々な環境下での半導体集積回路の動作性能を統一的に評価することが可能となる。すなわち、テスト環境を制御することなく、より高精度かつ定量的に、半導体集積回路の動作性能を判断することが可能となる。特に、半導体集積回路が備えるモニタブロック回路が温度及び電圧を測定するための値をモニタすることにより、別途センサーを用いることなく基準温度及び基準電圧への換算が可能となる。
- [0028] 特に、従来のテストは、基本的に、所定の条件をクリアする半導体集積回路を正常と判断するものであり、所定の条件を満たさなくなると、初めてテストで異常が検出されていた。そのため、従来のテストでは、半導体集積回路の正常の度合を定量的に判断して、例えば、出荷後のフィールドにおいて、高い精度で半導体集積回路の故障を予知する等の処理を行うことが困難であった。結果として、半導体集積回路は、例えば、回路素子を複数並列に設けて比較して故障を判断したり、バックアップ回路のような故障に備えた回路を備えたりするなど、極限的な微細化に反して回路サイズが増大する一因となっていた。
- [0029] 本願発明の各観点により、特に、フィールドにおける半導体集積回路に生じる劣化の状態を統一的にかつ定量的に検知することが可能となることから、劣化障害を事前に予知することが可能となる。劣化障害を事前に予知することにより、正常に動作する状態のうちに半導体集積回路を利用し又は半導体集積回路を交換等して故障への対策が可能となり、故障時のバックアップ

回路を必要最小限とすることができるため、回路サイズを小さくすることができる。

- [0030] また、本願発明の第2の観点によれば、複数のモニタブロック回路から得られる複数の測定周波数を用いて式 (eq1) に基づき温度及び電圧を推定する。これにより、1つのモニタブロック回路から得られる測定周波数を用いて推定する場合と比べて、推定の精度が向上する。しかも、一次式による推定が可能であることにより、極めて簡易な処理を行うプログラムや回路の設計が可能となる。したがって、異なる温度及び電圧環境に置かれた同一の半導体集積回路の性能を、同一の基準で比較することがさらに容易となる。
- [0031] さらに、本願発明の第3の観点によれば、温度範囲又は電圧範囲を複数の区分に分けて、各区分ごとに式 (eq1) の係数を算出する。これにより、区分ごとにより高精度な式を用いて温度又は電圧を推定することが可能となる。
- [0032] さらに、本願発明の第4の観点によれば、各回の測定周波数と初回の測定周波数との差分を式 (eq1) における測定周波数のパラメータとして用いる。これにより、製造バラツキによるモニタブロック回路から得られる測定周波数の変動分をキャンセルし、この変動分が式 (eq1) の中にして推定精度を悪化させることを防ぎ、さらに高精度に温度及び電圧を推定することが可能となる。
- [0033] さらに、本願発明の第5の観点によれば、記憶手段がテスト環境と最大テスト動作周波数との組合せを記憶する。したがって、このような履歴を用いることにより、異なる環境下で行われた複数回のテスト結果を自動的に比較することが可能となる。
- [0034] さらに、本願発明の第6の観点によれば、例えば複数回のテスト結果の平均をとることにより、最大テスト動作周波数からランダムノイズを除去することが可能となる。したがって、半導体集積回路の動作性能をさらに高精度に検知することが容易となる。
- [0035] さらに、本願発明の第7の観点によれば、テスト当初に前回テストに基づいて今回テストの最大テスト動作周波数を予測する。また、予測した最大テ

スト動作周波数を増減又は減少してテスト動作周波数を決定してテストを行うことにより、今回のテストにおける最大テスト動作周波数を決定する。これにより、高い精度で、テスト動作周波数の初期値を決定することが可能となり、テストの回数を減らすことができ、テスト時間を減少することができるだけでなく、テストを実行することにより半導体集積回路が受ける影響を軽減することが可能となる。なお、「テスト時間」は、テスト全体に要する時間を指す。以下、同様である。

[0036] さらに、本願発明の第 8 の観点によれば、テストされるパスの長さ毎に異なるテスト内容を実施することが可能となる。遅延テスト等では、基本的に、最大のパスの長さ以外の短いパスのテストは検出が困難である。一方、劣化には、TDDB (Time Dependent Dielectric Breakdown) のような酸化膜に発生する劣化のように、一定の劣化量に達するとトランジスタ動作破壊をおこすものもある。これは長いパスに発生するとは限らない。パスの長さ毎にテストを行うことにより、短いパスの劣化量測定が可能となる。しかも、テストの効率を向上させることが可能となる。これは、特に、許容テストタイミングが空き時間に制約されている出荷後の半導体集積回路において、短時間のテストで効果的な判断を行う場合に有効である。

[0037] さらに、本願発明の第 9 の観点によれば、劣化が進んでいると判定されたテスト内容を高い頻度で実行することが可能となる。これにより、特に、許容テストタイミングが空き時間に制約されている出荷後の半導体集積回路において、効率よく劣化を予知することがさらに容易となる。

[0038] また、本願発明の第 10 又は 11 の観点によれば、同種の複数の半導体集積回路の性能を、テスト環境を統一することなく同一の基準で比較することが可能となる。

図面の簡単な説明

- [0039] [図1]本願発明の実施例に係る半導体装置 1 の概要を示すブロック図である。
[図2]テスト対象回路 2 の設計フローの概要を示すフロー図である。
[図3]図 2 におけるフィールドテストの概要を示すフロー図である。

[図4] ログ情報の構成の一例を示す図である。

[図5] モニタブロック回路 2 1₁ 及び 2 1₂ の回路図の一例を示す図である。

[図6] R O 5 9 の温度に対する周波数特性の一例を示す図である。

[図7] ログの履歴を用いるテスト順変更方式の一例を示す概略図である。

[図8] 図 3 のフローを一部変更した、フィールドテストの他の一例の概要を示すフロー図である。

発明を実施するための形態

[0040] 以下、図面を参照して、本願発明の実施例について述べる。なお、本願発明は、以下の実施例に限定されるものではない。

実施例

[0041] 図 1 は、本願発明の実施例に係る半導体装置 1 の概要を示すブロック図である。以下、図 1 の半導体装置 1 の概要を説明する。

[0042] 半導体装置 1 は、テスト対象回路 2（本願請求項の「半導体集積回路」の一例）に生じる劣化を検知することが可能な半導体装置である。半導体装置 1 は、テスト対象回路 2 へのテストを制御する制御回路 3 を備える。後述するように、半導体装置 1 は、テスト対象回路 2 を備えるものであってもよいが、本実施例ではテスト対象回路 2 と制御回路 3 とが別の構成であるとした。

[0043] 一般に、半導体論理回路は主に順序回路である。順序回路は、アンド（AND）ゲート、ナンド（NAND）ゲート、オア（OR）ゲート、ノア（NOR）ゲート等の論理素子からなる組合せ回路部 1 7 と、回路の内部状態を記憶するフリップフロップ（FF）とよりなる。テスト対象回路 2 は、テストの単位となる回路であるテスト単位回路 1 5 を備える。テスト単位回路 1 5 は、組合せ回路部 1 7 と、複数のフリップフロップ 1 9₁ 及び 1 9₂ と、周波数を測定する複数のモニタブロック回路 2 1₁ 及び 2 1₂（本願請求項の「モニタブロック回路」の一例）とを備える。テスト単位回路 1 5 は、例えばブロックやモジュールと呼ばれる論理設計で扱う論理の単位（ブロックやモジュール）でもよいし、まとまった機能を持つ論理的な単位（コア）でもよい。

コアの例としては、算術演算部、データパス部、I/O制御部、等が考えられる。

[0044] 制御回路3は、半導体装置1全体を制御する全体制御部5と、テストを制御するテスト制御部7と、テストが行われる毎に、テスト動作周波数を変化させながら温度及び電圧の測定を制御する温度電圧測定部9（本願請求項の「測定手段」の一例）と、各種情報を記憶する記憶部11（本願請求項の「記憶手段」の一例）と、クロックを生成するクロック生成回路13とを備える。制御回路3は、全体制御部5、テスト制御部7、温度電圧測定部9などの制御ブロック構造として実現され、下記に説明するように、各制御ブロックは、階層的なものとして実現する。

[0045] 全体制御部5は、全体を制御する主制御部23と、ログを読み出すログ読出部25と、ログに書き出すログ書出部27と、ログを圧縮するログ圧縮部29と、所定の温度及び電圧条件におけるテスト動作周波数を異なる温度及び電圧条件におけるテスト動作周波数に換算するテスト動作周波数換算部31と、劣化量を計算する劣化量計算部33と、劣化の判定を行う劣化判定部35とを備える。（テスト動作周波数換算部31と劣化量計算部33を併せたものが、本願請求項の「算出手段」の一例である。）テスト動作周波数換算部31は、例えば後述する近似式（1）に従って、温度及び電圧の測定値並びにテスト制御部7が決定した最大テスト動作周波数も用いながら基準温度及び基準電圧における最大テスト動作周波数を算出する。劣化量計算部33は、基準温度及び基準電圧における最大テスト動作周波数としてテスト動作周波数換算部31が算出した値に基づき劣化の状態を表す劣化量を算出する。

[0046] テスト制御部7は、テスト単位回路15に対するテスト内容を決定するテスト内容決定部37と、テストを行うテスト部39と、各テスト動作周波数においてテスト単位回路15に対してテスト内容が許容テストタイミング内に実行されるか否かを判別するテスト判別部41と、テスト内容が許容テストタイミング内に実行される最大のテスト動作周波数を最大テスト動作周波

数に決定する最大テスト動作周波数決定部 4 3 とを備える。（テスト判別部 4 1 と最大テスト動作周波数決定部 4 3 を併せたものが、本願請求項の「決定手段」の一例である。）

[0047] 温度電圧測定部 9 は、テスト単位回路 1 5 の周波数の測定を制御するモニタ測定制御部 4 5 と、測定された周波数から温度及び電圧を計算により推定する温度電圧計算部 4 7（本願請求項の「推定手段」の一例）とを備える。なお、特に断らない限り、温度及び電圧の「測定」とは、測定されたテスト動作周波数を元に、温度電圧計算部 4 7 が温度及び電圧を算出することを指すものとする。同様に、温度及び電圧の「測定値」とは、そのように算出された値を指すものとする。

[0048] 記憶部 1 1 は、ログを記憶するログ記憶部 4 9 と、論理パス特性を記憶する論理パス特性記憶部 5 1 と、テスト情報を記憶するテスト情報記憶部 5 3 と、テスト動作周波数の補正値を記憶するテスト動作周波数補正値記憶部 5 5 とを備える。

[0049] 続いて、半導体装置 1 における情報の伝達について説明する。全体制御部 5 は、テスト制御部 7 に対して、例えば、テスト開始指示、前回テスト内容、テスト動作周波数 F_0 の初期値又は今回最大テスト動作周波数補正値を伝達する。一方、テスト制御部 7 は、全体制御部 5 に対して、例えば、テスト単位名、設計段階で定められたマシンサイクルでのテスト結果、今回最大テスト動作周波数 F_{MAX} 、今回テスト内容、温度又は電圧の測定値を伝達する。

[0050] さらに、全体制御部 5 は、記憶部 1 1 との間でログ情報をお互いに伝達する。

[0051] また、テスト制御部 7 は、温度電圧測定部 9 に対して、例えば温度又は電圧測定の開始又は終了の指示を伝達する。一方、温度電圧測定部 9 は、テスト制御部 7 に対して、温度又は電圧の測定値を伝達する。

[0052] さらに、テスト制御部 7 は、記憶部 1 1 に対して、例えばテスト順又は最終 F_{MAX} 補正値を伝達する。一方、記憶部 1 1 は、テスト制御部 7 に対して、例えばテスト情報を伝達する。

- [0053] さらに、テスト制御部 7 は、クロック生成回路 13 を制御して F_0 を発生させ、クロック生成回路 13 は、テストクロックで $FF19_1$ 及び 19_2 への書き込みを行い、その後、テスト動作周波数 F_0 。(または F_0 の逆数であるテストタイミング(本願請求項の「許容テストタイミング」の一例))で発生されるクロックで、組合せ回路部 17 を伝達したテストパターンを $FF19_1$ 又は 19_2 に取り込む。取り込まれたテスト応答は、 $FF19_1$ 又は 19_2 からテストクロックで読み出され、テスト制御部 7 へ伝達される。さらに、テスト制御部 7 は、テスト対象回路 2 に対して、テストパターンを伝達する。一方、テスト対象回路 2 は、テスト制御部 7 に対してテスト応答を伝達する。
- [0054] また、温度電圧測定部 9 は、モニタブロック回路 21_1 及び 21_2 に対して、周波数測定の開始又は終了の指示を伝達する。一方、モニタブロック回路 21_1 及び 21_2 は、温度電圧測定部 9 に対して、測定された周波数を伝達する。
- [0055] 以下、図 2 及び図 3 を参照して、半導体装置 1 を用いたテスト対象回路 2 のテストフローについて説明する。
- [0056] 図 2 は、半導体装置 1 を用いたテスト対象回路 2 の設計フローの概要を示すフロー図である。図 2 の設計フローは、チップの出荷までの処理(ステップ $ST001 \sim ST009$)と、システムの出荷までの処理(ステップ $ST010$ 及び $ST011$)と、システム出荷後の処理(ステップ $ST012$)に分かれる。各処理では、製造テスト(ステップ $ST008$)、ボード/システムテスト(ステップ $ST010$)及びフィールドテスト(ステップ $ST012$)が行われる。
- [0057] 図 2 を参照して、まず、チップの出荷までの処理について説明する。テスト対象回路 2 の論理設計を行い(ステップ $ST001$)、テスト容易化設計(Design For Testability: DFT)を行い、制御回路 3 並びにモニタブロック回路 21_1 及び 21_2 を付加する(ステップ $ST002$)。続いて、レイアウト設計を行い(ステップ $ST003$)、自動テスト生成処理(Automatic Test Pattern Generation: ATPG)を行い、BIST の種パターン(テストシード)を生成する(ステップ $ST004$)。続いて、論理パス特性

を取得する（ステップS T O O 5）。具体的には、テスト単位毎にテストされる最長論理パスの温度T、電圧V特性のシミュレーション計算を行う。ここで、テスト動作周波数と温度及び電圧との関係の特性を近似する近似式の係数を求める。例えば、発明者は、L S Iの使用温度範囲において周波数の温度及び電圧に対する線形性が良いことを見出した。そこで、温度Tと電圧Vを変数とする式（1）で表される近似式の係数a、b、c、d、eを求める。又は式（1）から導き出される後述の式を用いる。続いて、マスクを生成し（ステップS T O O 6）、チップを製造する（ステップS T O O 7）。続いて、製造テストを行う（ステップS T O O 8）。続いて、チップを出荷する（ステップS T O O 9）。

[0058] [数3]

$$F(T,V) = (aT + b)(cV + d) + e \quad (1)$$

[0059] 出荷されたチップは、他のチップと組み合わせられて、ボードやシステムとしてテストが行われる（ステップS T O 1 0）。ここで、テスト部39が初回のテストを実施して最初（劣化前）の F_{MAX} 値を求め、ログ書出部27が記憶部11に F_{MAX} 値を書き込む。続いて、システムを出荷する（ステップS T O 1 1）。

[0060] システムの出荷後には、フィールドでのテストが、空き時間（例えば、システムが動作する時間以外の時間など）を利用して行われる（ステップS T O 1 2）。このフィールドテストは、一般的に、テスト単位回路15ごとに行われる。テスト単位回路15によって周波数が異なることや、診断分解能を維持するためである。

[0061] 続いて、図3を用いて、図2におけるステップS T O 1 2のフィールドテストの具体例について説明する。なお、システムの空き時間を利用する代表的な例として、システム起動／終了時に行うパワーオン／オフテストについて説明する。

[0062] 図3を参照して、パワーオン／オフテスト開始すると、ログ読出部25が

前回テスト内容をログ記憶部49より読み出す。全体制御部5は、テスト制御部7に前回テスト内容を伝達し、テスト内容決定部37が前回パワーオン／オフテスト時に決められたテスト内容を今回のテスト内容として決定する（ステップST101）。続いて、テスト部39が、動作が保証されている、設計段階で定められたマシンサイクル $F_{org} + \delta$ でテストを行う。また、温度電圧測定部9がモニタブロック回路21₁及び21₂にテスト時の初期温度（ T_0 ）及び初期電圧（ V_0 ）を測定させる。ここで、 δ は最低動作マージンである（ステップST102）。

[0063] 続いて、 $F_{org} + \delta$ でのテストをパスするか否かの判別をテスト判別部41が行う（ステップST103）。もし、この段階のテストで動かなければ、テスト部39はエラー処理を行い（ステップST104）、フローを終了する。テストをパスすれば、続いて、ログ読出部25が基準温度（ T_{TYP} ）及び基準電圧（ V_{TYP} ）における前回 F_{MAX} をログから読み出す。また、テスト動作周波数換算部31が今回の条件である T_0 及び V_0 における前回 F_{MAX} に対する補正値を計算し、テスト動作周波数（ F_0 ）を得る（ステップST105）。この F_0 が今回テストにおける最初の最大テスト動作周波数候補である。ここで、前回 F_{MAX} から出発することで、テスト回数を減らすことを目的としている。また、今回テストの温度条件及び電圧条件は、前回テストとは異なる可能性があるため、補正値を計算している。今回テストの温度条件及び電圧条件が前回テストと同じであれば、ステップST105において補正値を計算する必要はない。

[0064] 続いて、得られたテスト動作周波数 F_0 でテスト部39がテストを行い、温度電圧測定部9がモニタブロック回路21₁及び21₂にテスト時の温度（ T_0 ）及び電圧（ V_0 ）を測定させる（ステップST106）。続いて、テスト判別部41が、 F_0 でのテストをパスするか否かの判別を行う（ステップST107）。ここでのテストにパスすれば、続いて、テスト部39がテスト動作周波数 F_0 を増加して $F_0 + \Delta F_1$ を新たな F_0 とし（ステップST108）、ステップST106に戻って再度 F_0 でテストを行う。これをテストにパスしなく

なるまで繰り返す。前回テスト時よりも性能が向上することは考えにくい
ため、前回テスト時よりも高いテスト動作周波数でパスするのは、測定誤差が
主な原因である。ここでの繰り返しが行われるとしても、繰り返しが1回程
度で済むように誤差 ΔF_1 を設計しておく。ステップST107においてテ
ストにパスしなければ、ステップST109に進む。

[0065] 続いて、ステップST109において、最大テスト動作周波数の劣化によ
る低下を求める。テスト部39が $F_c - \Delta F_2$ を新たな F_c としてテストを行う。
また、温度電圧測定部9がモニタブロック回路21₁及び21₂にテスト時の温
度(T_c)及び電圧(V_c)を測定させる。続いて、テスト判別部41が、 F_c で
のテストをパスするか否かの判別を行う(ステップST110)。ここでの
テストにパスしなければ、ステップST109に戻って再度 $F_c - \Delta F_2$ を新た
な F_c とし、テストにパスするまで繰り返す。テストにパスすれば、ステッ
プST111に進む。

[0066] 続いて、ステップST111において、最大テスト動作周波数決定部43
が F_c を今回 F_{MAX} に決定し、テスト制御部7が今回 F_{MAX} や今回テスト内容とを
全体制御部5に伝達する。また、ログ書出部27が今回のテストの T_c 及び V_c
における F_{MAX} をログに書き出す。また、テスト動作周波数換算部31が F_{MAX} を
基準温度(T_{TYP})及び基準電圧(V_{TYP})におけるテスト動作周波数 $F_{MAX@T_{TYP}}$
、 V_{TYP} に換算し、ログ書出部27がログに書き出す。続いて、劣化量計算部3
3がログの過去の履歴に照らして今回の劣化量の計算を行い、算出された劣
化量から許容される劣化量の閾値を差し引く計算を行う(ステップST11
2)。続いて、テスト判別部41が、得られた値が正であるか否かを判別す
る(ステップST113)。得られた値が正の値でなければ、ログ圧縮部2
9がログを圧縮し(ステップST114)、フローを終了する。一方、得ら
れた値が正の値であれば、テスト部39がエラー処理をし(ステップST1
15)、フローを終了する。

[0067] 1回のエラーで劣化判定部35が劣化と判定するか、数回のフィールドテ
ストで連続してエラーが続いた場合に劣化と判定するかは、システムに応じ

て決定すればよい。数回のフィールドテストを行う場合は、テスト部 39 が次回テストに備えた処理を行う。具体的には、次回テスト内容の決定、テストパターンの記憶部 11 からの読み出しなどを行う。

- [0068] 以下では、図 4 を参照して、ログ情報の構成について述べる。図 4 は、ログ記憶部 49 が記憶するログ情報の構成の一例を示す図である。
- [0069] ログは、測定値などの履歴として、効率的に最大周波数を測定するために用いられる。また、劣化判定を行う複数のテスト各回における最大テスト動作周波数から測定のランダムノイズを統計的に分析して除去する演算を行うためにも過去履歴として用いられる。ここでいうランダムノイズとは、例えば測定時に伴う丸め誤差などを指す。さらに、ログは、フィールドでの劣化履歴を設計や製造へフィードバックして利用するためにも用いられる。
- [0070] ログの情報としては、例えば、測定生データ、毎回の処理のオーバーヘッド低減のための加工情報が含まれる。具体的には、例えば図 4 に示すように、テスト時刻、テスト単位（コア名等）、テスト内容、最高テスト動作周波数（ F_{MAX} ）、テスト時の温度（ T_c ）、テスト時の電圧（ V_c ）、基準温度及び基準電圧に換算された最大テスト動作周波数（ $F_{MAX@T_{TYP}}$ 、 V_{TYP} ）などが含まれる。今回テスト動作周波数（ $F_c@T_c$ 、 V_c ）が含まれてもよい。
- [0071] ここで、ログ情報にテスト内容を含めることで、毎回異なるテスト内容としても対応可能となる。テスト時刻は、主に解析目的のために含まれており、本願発明の実施例に係る劣化検知フローに必須の情報ではない。また、最大テスト周波数を基準温度及び基準電圧に換算するのは、各回テストの比較処理のためである。基準温度としては、例えば 27°C などとすればよい。なお、テスト時間に余裕がある場合は、ログに $F_{MAX@T_{TYP}}$ 、 V_{TYP} を入れる代わりに、毎回のテストにおいて前回 F_{MAX} から $F_{MAX@T_{TYP}}$ 、 V_{TYP} を算出してもよい。
- [0072] 過去のログが多くなってきた場合、情報の圧縮を行うためにログ圧縮部 29 がログを圧縮する。ここで、出荷時情報を除いて古い情報は、劣化判定には不要となるので削除することが可能である。そのため、例えば、 $F_{MAX@T_{TYP}}$ 、 V_{TYP} が前回テストと同じであれば蓄積せず、変化が生じた場合にのみログを

蓄積するようにしてもよい。変化がない場合には、変化がないことのみ書き込むことでデータ量を減らすことが可能である。

- [0073] クロック生成回路13は、参照外部クロックのクロックを保ったまま、テストクロックの特定のクロックを指定幅だけずらし、テストタイミングを圧縮することが可能である。
- [0074] 続いて、図5を参照して、モニタブロック回路21₁及び21₂の周波数測定について述べる。図5は、モニタブロック回路21₁及び21₂の回路図の一例を示す図である。
- [0075] 図5を参照して、モニタブロック回路21₁は、値を保持するFF57と、温度及び電圧に応じて発振するリング・オシレータ（RO）59と、RO59の発振回数を計測するカウンタ61とを備える。モニタブロック回路21₁は、測定開始・終了指示を受けて、指定された時間（F_{org}のクロックの整数倍）内での発振回数を計測し、カウンタ61が測定した測定周波数をアウトプットする。
- [0076] 測定周波数のバラツキを低減するために、テスト単位回路15に、モニタブロック回路21₁だけでなく、同様の構成のモニタブロック回路21₂を搭載し、各モニタブロック回路21₁及び21₂が備えるRO59の段数を大きくするとよい。なお、RO59の回路は、NAND回路やNOT回路に限られない。さらに、図5に示すように、未使用時に電源をカットする電源カット回路63をモニタブロック回路21₁及び21₂ごとに付加することで、モニタブロック回路21₁及び21₂が未使用の時にRO59の劣化を防ぐことが可能である。
- [0077] それでもなお、モニタブロック回路から得られる測定周波数は、製造バラツキによる変動分 δF_i を含んでいる。そこで、温度電圧測定部9は、測定周波数 F_i に代えて、測定周波数と初回の測定周波数との差分である差分周波数 $\Delta F_i = (F_i + \delta F_i) - (F_{i0} + \delta F_{i0}) = (F_i - F_{i0}) + (\delta F_i - \delta F_{i0})$ を用いて、前記検知対象回路部の温度T及び電圧Vの値を推定する。これにより、製造バラツキによる変動分 δF_i の影響を低減し、さらに高精度

に温度及び電圧を推定することが可能となる。

[0078] 以下では、図6を用いてテスト時におけるRO59を用いた温度及び電圧の測定について述べる。図6は、RO59の温度に対する周波数特性の一例を示す図である。

[0079] 図6を参照して、3種類のリング・オシレータRO₁、RO₂及びRO₃は、それぞれ、周波数の温度や電圧の変化に対する変化率が異なる。このような複数のROを用いて測定を行うことで、温度及び電圧の推定を行うことが可能である。そこで、近似式(1)と同様に、複数のRO59の周波数測定値より例えば次の式(2)を用いて温度T及び電圧Vを推定する。ここで、a₁、b₁、c₁、d₁、e₁等は、各ROに定まる既知のパラメータであり、図2のステップS T O O 5において、例えば重回帰分析のような手法を用いてシミュレーションで求められている。F₁、F₂、F₃は、各ROにおいて測定された周波数である。したがって、テスト時における温度T₀及び電圧V₀を式(2)から求めることが可能である。なお、式(1)及び式(2)は、近似の精度を高めるために、例えば、区分的関数とする(すなわち、温度及び電圧の範囲を区分して係数を決定する)ことにより、近似の精度を高めるようにしてもよい。

[0080] [数4]

$$\left. \begin{aligned} F_1(T, V) &= (a_1 T + b_1)(c_1 V + d_1) + e_1 \\ F_2(T, V) &= (a_2 T + b_2)(c_2 V + d_2) + e_2 \\ F_3(T, V) &= (a_3 T + b_3)(c_3 V + d_3) + e_3 \end{aligned} \right\} \quad (2)$$

[0081] ここで、式(2)のF₁及びF₂の式より、式(2-1)を得る。同じく、式(2)のF₂及びF₃の式より、式(2-2)を得る。すなわち、式(2-3)のように表現可能である。さらに、異なる特性のROを用いているため、式(2-4)が実現できる。結局、温度T及び電圧Vは、式(2-5)で表される。すなわち、温度T及び電圧Vを測定周波数F_iの1次式で近似している。式(2-5)を一般式で表したものが式(eq1)である。

[0082] [数5]

$$\begin{aligned} a_2c_2F_1 - a_1c_1F_2 &= a_1a_2(c_2d_1 - c_1d_2)T + (a_2b_1 - a_1b_2)c_1c_2V \\ &+ (a_2b_1c_2d_1 - a_1b_2c_1d_2) + (a_2c_2e_1 - a_1c_1e_2) \\ &= a_1'T + b_1'V + c_1' \end{aligned} \quad (2-1)$$

$$a_3c_3F_2 - a_2c_2F_3 = a_2'T + b_2'V + c_2' \quad (2-2)$$

$$\begin{bmatrix} a_2c_2F_1 - a_1c_1F_2 \\ a_3c_3F_2 - a_2c_2F_3 \end{bmatrix} = \begin{bmatrix} a_1' \\ a_2' \end{bmatrix} T + \begin{bmatrix} b_1' \\ b_2' \end{bmatrix} V + \begin{bmatrix} c_1' \\ c_2' \end{bmatrix} = \begin{bmatrix} a_1' & b_1' \\ a_2' & b_2' \end{bmatrix} \begin{bmatrix} T \\ V \end{bmatrix} + \begin{bmatrix} c_1' \\ c_2' \end{bmatrix} \quad (2-3)$$

$$\begin{vmatrix} a_1' & b_1' \\ a_2' & b_2' \end{vmatrix} \neq 0 \quad (2-4)$$

$$\begin{bmatrix} T \\ V \end{bmatrix} = \begin{bmatrix} a_1' & b_1' \\ a_2' & b_2' \end{bmatrix}^{-1} \begin{bmatrix} a_2c_2F_1 - a_1c_1F_2 \\ a_3c_3F_2 - a_2c_2F_3 \end{bmatrix} + \begin{bmatrix} a_1' & b_1' \\ a_2' & b_2' \end{bmatrix}^{-1} \begin{bmatrix} c_1' \\ c_2' \end{bmatrix} \quad (2-5)$$

[0083] 本願発明の発明者は、複数のRO59を用いることにより、温度及び電圧の近似の精度が高まることをシミュレーションにより確認した。表1は、複数のRO59を用いて係数を決定したシミュレーション結果である。表1(a)は、ROを1個用いた場合のシミュレーション結果である。表1(b)は、ROを2個用いた場合のシミュレーション結果である。表1(c)は、ROを3個用いた場合のシミュレーション結果である。表内の数字は、推定される温度又は電圧の値のずれの最大値(Max)、最小値(Min)、及び標準偏差(StdDev)を示している。ROを1個しか用いない場合と比べてROを2個用いた場合、ずれが格段に小さいことが分かる。例えば、RO1個の場合の温度のずれの標準偏差が24.43であるのに対し、RO2個の場合の温度のずれの標準偏差は、最小で9.89となっている。また、ROを3個用いた場合は、さらにずれが小さくなることも示されている。

[0084]

[表1]

RO 1個	F1					F2					F3				
	V	-60~ 130	-60~0	0~70	70~130	V	-60~130	-60~0	0~70	70~130	V	-60~130	-60~0	0~70	70~130
Max	0.25	54.31	29.17	36.28	34.16	0.25	52.16	28.08	35.40	33.86	0.25	51.88	27.89	35.27	33.84
Min	-0.26	-44.21	-30.23	-35.99	-35.00	-0.26	-41.90	-29.02	-35.06	-34.69	-0.26	-41.49	-28.77	-34.89	-34.62
StdDev	0.13	24.43	14.59	17.04	17.38	0.13	23.28	14.04	16.60	17.14	0.13	23.09	13.93	16.53	17.11

(a)

RO 2個	F1-F2					F1-F3					F2-F3				
	V	-60~ 130	-60~0	0~70	70~130	V	-60~130	-60~0	0~70	70~130	V	-60~130	-60~0	0~70	70~130
Max	0.08	24.15	3.40	5.08	4.97	0.08	24.94	3.22	4.85	5.19	0.16	32.25	6.20	23.32	14.36
Min	-0.05	-15.11	-4.57	-4.75	-4.09	-0.05	-13.88	-4.41	-4.86	-4.78	-0.14	-15.55	-6.01	-7.18	-14.66
StdDev	0.03	10.23	2.29	2.59	2.54	0.03	9.89	2.17	2.52	2.73	0.06	10.37	2.80	5.13	6.14

(b)

RO 3個	F1-F2-F3				
	V	-60~130	-60~0	0~70	70~130
Max	0.07	27.21	3.51	4.75	4.74
Min	-0.05	-13.36	-4.42	-4.85	-4.05
StdDev	0.02	9.57	2.14	2.52	2.50

(c)

[0085] さらに、本願発明の発明者は、区分的関数を用いることにより温度及び電圧の近似の精度が高まることをシミュレーションにより確認した。シミュレーション結果を表2に示す。表2は、温度及び電圧のそれぞれについて温度範囲を区分して推定式の係数を決定したシミュレーション結果である。温度範囲を複数の範囲に分割して温度及び電圧をそれぞれ推定した場合の方が、区分しない場合と比べて推定誤差が格段に小さくなることが分かる。例えば、温度の推定値の平均値のずれは、8.3℃から1.8℃と1/4以下となった。また、電圧の推定値の平均値のずれは、15.0mVから3分割した場合には5.2mVへと約1/3となった。このように、温度の推定式について温度範囲又は電圧範囲を区分することにより、推定誤差を縮小することが可能となる。電圧の推定式についても、温度範囲又は電圧範囲を区分することにより、推定誤差を縮小することが可能となる。なお、表1にも、温度をマイナス60℃から130℃の範囲で3つに分割した場合のシミュレーション結果を示す。

[0086]

[表2]

手法		推定誤差	
		平均	最大
温度	分割無	8.3°C	23.3°C
	3分割	1.8°C	4.2°C
電圧	分割無	15.0mV	45.2mV
	2分割	14.6mV	44.9mV
	3分割	5.2mV	21.7mV

[0087] 続いて、テスト時の温度及び電圧における最大テスト周波数 $F_{MAX}@T_C, V_C$ を、比較のために基準温度及び基準電圧における最大テスト周波数 $F_{MAX}@T_{TYP}, V_{TYP}$ に換算する。まず、 $F_{MAX}@T_C, V_C$ は、次の式 (3) で表される。続いて、 $F_{MAX}@T_{TYP}, V_{TYP}$ は、式 (4) ~ (6) で次のように表される。ここで、式 (1) を用いて式 (4) から式 (5) の式変形を行い、式 (3) を用いて式 (5) から式 (6) の式変形を行った。式 (6) の第 1 項は計測値 $F_{MAX}@T_C, V_C$ であり、第 2 項、第 3 項及び第 4 項を計算することにより、 $F_{MAX}@T_{TYP}, V_{TYP}$ を求めることができる。通常、(6) 式の第 2 項は無視できるほど小さい。結局、(6-2) 式に示すように、テスト時の温度及び電圧における最大テスト周波数は、温度と電圧の増分の一次式で表される。したがって、極めて簡易な処理を行うプログラムや回路の設計により、精度の高い換算が可能となる。

[0088] [数6]

$$F_{MAX}@T_C, V_C = F_{MAX}(T_C, V_C) = (aT_C + b)(cV_C + d) + e \quad (3)$$

$$F_{MAX}@T_{TYP}, V_{TYP} = F_{MAX}(T_{TYP}, V_{TYP}) \quad (4)$$

$$= (aT_{TYP} + b)(cV_{TYP} + d) + e \quad (5)$$

$$= F_{MAX}@T_C, V_C + ad(T_{TYP}V_{TYP} - T_CV_C) + ad(T_{TYP} - T_C) + bc(V_{TYP} - V_C) \quad (6)$$

$$\doteq F_{MAX}@T_C, V_C + ad(T_{TYP} - T_C) + bc(V_{TYP} - V_C) \quad (6-2)$$

[0089] 続いて、図 3 のステップ S T 1 1 2 における劣化量計算について述べる。

劣化量は、同一のテスト単位回路15かつ同一のテスト内容に基づいて算出する。毎回の測定された劣化量は、ランダムな測定誤差（測定分解能 ε の $1/2$ ）を含むので補正を要する。ここでは、補正方法の例として、2つの方法について述べる。

[0090] 1つ目の補正方法として、過去のN回について平均をとることで、平均誤差を ε/\sqrt{N} に低減することが可能である。劣化速度が大きい場合、現時点の重みが少ないため、劣化評価が過少となる可能性がある。しかし、テスト対象回路2の経年劣化は極めて緩やかであり、このような補正方法が十分に有効である。例えば、 $N=5$ 以上とすることで劣化量の増減が小さく抑えられ、確度の高い劣化判断が可能である。

[0091] 2つ目の補正方法として、過去のテストに遡り、その前後N回について平均をとることによっても、平均誤差を ε/\sqrt{N} に低減することが可能である。現在の劣化量を1つ目の補正方法で補正し、かつ、2つ目の補正方法を用いることで、さらに確度の高い劣化判断が可能となる。

[0092] 以下では、図3のフローにおける劣化判定方法について3つの方法を述べる。

[0093] 1つ目の劣化判定方法として、次の式(7)に示すように、遅延劣化により設計動作マージンが限界値まで低下したことをもって劣化と判定する。

[0094] [数7]

$$F_C @ T_{TYP}, V_{TYP} \leq F_{ORG} - \delta \quad (7)$$

[0095] 2つ目の劣化判定方法として、遅延劣化量がある閾値以上となったことをもって劣化と判定してもよい。

[0096] 3つ目の劣化判定方法として、不特定原因によるシステム速度/(システム速度 $-\alpha$)での誤動作を式(7)で判定してもよい。

[0097] 以下では、遅延劣化量を網羅的に観測するためのテストパターンの用意について述べる。

[0098] 一般に、論理素子を多数含む長いパスを対象としたテストは、時間がかか

るが、一度のテストで多数の論理素子についてテストが可能となる。また、期待とは異なる信号が出力される遷移故障については、長いパスで用いられなかった論理素子に対して、長いパスのテストと同時に短いパスのテストを行って検出することも可能である。

[0099] しかし、遅延劣化については、1回のテスト内容では、律速となる最長のパスの遅延しか観測されず、同時にテストの対象とした短いパスの遅延を観測するのが困難である。ここで、パスの遅延について以下のことが成り立つ。

[0100] 1回のテストでテストされるパスの遅延を、 T_{pd1}, \dots, T_{pdn} とする。劣化前は、 $\max(T_{pd1}, \dots, T_{pdn})$ が観測可能である。劣化後は、劣化量を Δ_i とすると、 $\max(T_{pd1} + \Delta_1, \dots, T_{pdn} + \Delta_n)$ が観測可能である。パスの遅延値 Δ_i は、パスごとに異なるため、次の式(8)から式(11)が成り立つ。

[0101] [数8]

$$\max \Delta_i \geq \{ \max(T_{pd1} + \Delta_1, \dots, T_{pdn} + \Delta_n) - \max(T_{pd1}, \dots, T_{pdn}) \} \quad (8)$$

$$\max \Delta_i = \Delta_j \text{とおくと,}$$

$$\max \Delta_i = (T_{pdj} + \Delta_j) - T_{pdj} \quad (9)$$

$$\leq \{ \max(T_{pd1} + \Delta_1, \dots, T_{pdn} + \Delta_n) - \min(T_{pd1}, \dots, T_{pdn}) \} \quad (10)$$

$$\leq \{ \max(T_{pd1} + \Delta_1, \dots, T_{pdn} + \Delta_n) - \max(T_{pd1}, \dots, T_{pdn}) \}$$

$$- \{ \max(T_{pd1}, \dots, T_{pdn}) - \min(T_{pd1}, \dots, T_{pdn}) \} \quad (11)$$

[0102] 式(11)の第1項は測定値の差で観測可能である。したがって、第2項であるテスト内容内のパス遅延値差を少なくすれば、高精度に $\max \Delta$ 値が推定可能である。

[0103] そこで、複数のテスト内容を、テストされるパスの長さ毎に複数レベルに揃える。例えば、1回目のテストを、遅延が大きいパス（パス遅延 T_{pdi} が $T_{sys} - \delta_1 \leq T_{pdi} \leq T_{sys}$ となるような長さのパス）のグループに対して行う。ここで、 T_{sys} はシステム速度である。続いて、2回目のテストを、遅延が次に大きいパス（パス遅延が $T_{sys} - \delta_2 \leq T_{pdi} \leq T_{sys} - \delta_1$ となるような長さのパス）の

グループに対して行う。同様に、3回目のテストを、遅延がさらに次に大きいパス（パス遅延が $T_{\text{sys}} - \delta_3 \leq T_{\text{pd}} \leq T_{\text{sys}} - \delta_2$ となるような長さのパス）のグループに対して行う。

[0104] このように、およそパスの長さが揃ったグループ毎にテストを行うことで、短いパスの遅延劣化も含めて遅延劣化量を網羅的に観測することが可能となる。ゲート酸化膜の劣化として代表的な T D D B (Time Dependent Dielectric Breakdown) として、遅延量がある程度増加した後に、ゲート酸化膜が破壊されてしまうことが知られている。このような場合、長いパス上の回路でなくとも、論理動作が壊れてしまう。したがって、短いパスの遅延増加も含めて事前に観測することが重要となる。

[0105] また、フィールドテストでは、テスト時間が限られている。このような限られたテスト時間に応じて、テスト内容を決定しなければならない。ここで、前述の T D D B 以外の不具合であるシステム的なエラー等は、長いパスにおいて生じやすい。そこで、例えばパスの長さを利用して、確保したテスト時間が小さい場合には、パスの長さが長いものを対象としてテストを行うことにより、重要な素子に限定してテストを行うとすればよい。一方、確保したテスト時間が大きい場合には、パスの長さが短いものも対象としてテストを行うことにより、素子を網羅的にテストを行うことができる。このように、適切な長さのパスごとのグループを対象としてテストを実行することにより、限られたテスト時間を効率的に用いることがさらに容易となる。このような効率化は、プロセスの出来具合で T D D B が起こりにくいと判断可能である場合に、特に有効である。

[0106] さらに、ログを用いることで、履歴を元に劣化が進行している個所のテスト実行頻度を上げることも可能である。フィールドテストのテスト時間は、ユーザが使用していない空き時間に限られている。したがって、許容テストタイミング及び／又は劣化量の値に応じてテスト内容及び／又はテスト順序が変更することは、前述の短時間のテストが可能となることと相まって、効率的に劣化による障害発生を未然に防止する上で非常に有効となる。

- [0107] 以下では、ログの履歴を元に劣化進行個所のテスト頻度を上げる方式について、図7を参照して述べる。図7は、ログの履歴を用いるテスト順変更方式の一例を示す概略図である。
- [0108] 図7を参照して、まず全体のテスト集合を複数のテストセット TS_1 、 TS_2 、…に分割する。フィールドテスト開始時には、テストリストの実行の順番が予め用意した初期テスト順リストとして決定されており、初期テスト順リストに従ってリスト順に巡回しながらテストを実行する。テスト実行頻度は、劣化の進み具合に応じてタイマーで管理されている。例えば、8種類のテストセットがあり、一回のテスト当たり3つのテストセットが実行される場合、初期テスト順リストに従って、1回目のテストでは、 TS_1 、 TS_2 及び TS_3 が実行され、2回目のテストでは TS_4 、 TS_5 及び TS_6 が実行され、3回目のテストでは、 TS_7 、 TS_8 及び TS_1 が実行され、4回目のテストでは、 TS_2 、 TS_3 及び TS_4 が実行される。このように、リスト順に巡回して実行される。
- [0109] ここで例えば、 TS_1 及び TS_4 において、劣化傾向が発見され、特に TS_1 の劣化が進行していたとする。そうすると、ログの履歴を元に危険リストに TS_1 及び TS_4 が記録され更新される。危険リストは複数存在し、各危険リストは、テスト実行頻度をタイマーで管理されている。タイマーは、危険度が高いテストセットが記録される危険リストほど短い時間間隔でのテスト実行頻度となるように調整されている。フィールドテスト実行時には、危険リストに記録された TS_1 及び TS_4 は、タイマーで管理された許容テストタイミング毎に、初期テスト順リストに割り込みをかけて優先的に実行される。特に、 TS_1 は、劣化が進行しているため、 TS_4 に比べてテスト実行頻度がさらに高められる。その結果、例えば、変更後には、1回目のテストでは、 TS_1 、 TS_4 及び TS_2 が実行され、2回目のテストでは TS_1 、 TS_3 及び TS_5 が実行され、3回目のテストでは、 TS_1 、 TS_4 及び TS_6 が実行され、4回目のテストでは、 TS_1 、 TS_7 及び TS_8 が実行される。このように、リスト順に巡回して実行される。このように、劣化の進行度合いに応じてテスト順を変更する

ことにより、限られたフィールドテスト時間内に効率的にテストを実行して劣化による障害発生を未然に防ぐことが可能である。

- [0110] なお、図3のステップST103又はステップST113のテストの閾値としては、複数の値を用いてもよい。例えば、警告レベルの判定とエラーレベルの判定のために2つの判定値を設けるとしてもよい。複数の基準を設けることで、履歴情報が少ない場合も、ある程度実用的な運用が可能となる。
- [0111] また、図3のステップST113において、閾値判定以外の判定方法を用いてエラーを出力するとしてもよい。
- [0112] さらに、図3のフロー図における処理の一部を、図8に示す処理のようにしてもよい。図8は、図3のフローを一部変更した、フィールドテストの他の一例の概要を示すフロー図である。
- [0113] 図8を参照して、図3のフロー図におけるステップST107からステップST112の処理を、図8に示すステップST207からステップST215の処理のようにしてもよい。まず、ステップST107に対応するステップST207において、テスト判別部41が、 F_0 でのテストをパスするか否かの判別を行う。
- [0114] ステップST207でのテストにパスすれば、続いて、テスト部39がテスト動作周波数 F_0 を増加して $F_0 + \Delta F_1$ を新たな F_0 とし、テストを行う。また、温度電圧測定部9がモニタブロック回路21₁及び21₂にこのテスト時の温度(T_0)及び電圧(V_0)を測定させる(ステップST208)。続いて、テスト判別部41が、 F_0 でのテストをパスするか否かの判別を行う(ステップST209)。ここでのテストにパスしなければ、最大テスト動作周波数決定部43が $F_0 - \Delta F_1$ を今回 F_{MAX} に決定する。これに合わせて、今回 F_{MAX} の T_0 及び V_0 も $F_0 - \Delta F_1$ における T_0 及び V_0 とし(ステップST210)、ステップST214へと進む。ステップST209でのテストにパスすれば、ステップST208に戻って、ステップST209でのテストにパスしなくなるまでこれを繰り返す。
- [0115] ステップST207でのテストにパスしなければ、続いて、テスト部39

がテスト動作周波数 F_0 を減少させて $F_0 - \Delta F_2$ を新たな F_0 とし、テストを行う。また、温度電圧測定部9がモニタブロック回路21₁及び21₂にこのテスト時の T_0 及び V_0 を測定させる（ステップST211）。続いて、テスト判別部41が、 F_0 でのテストをパスするか否かの判別を行う（ステップST212）。ここでのテストにパスすれば、最大テスト動作周波数決定部43が F_0 を今回 F_{MAX} に決定し（ステップST213）、ステップST214へと進む。ステップST212でのテストにパスしなければ、ステップST211に戻って、ステップST212でのテストにパスするまでこれを繰り返す。

[0116] 続いて、今回 F_{MAX} や今回テスト内容とがテスト制御部7から全体制御部5に伝達される。ログ書出部27が伝達された今回のテストの T_0 及び V_0 における F_{MAX} をログに書き出す。また、テスト動作周波数換算部31が F_{MAX} を基準温度（ T_{TYP} ）及び基準電圧（ V_{TYP} ）におけるテスト動作周波数 $F_{MAX@T_{TYP}}$ 、 V_{TYP} に換算し、ログ書出部27がログに書き出す（ステップST214）。続いて、ステップST112に対応するステップST215において、劣化量計算部33がログの過去の履歴に照らして今回の劣化量の計算を行い、算出された劣化量から許容される劣化量の閾値を差し引く計算を行う。以下、ステップST216からステップST218の処理は、図3のフローにおけるステップST113からステップST115の処理と同様に行う。

[0117] 図8のフローを用いることにより、テスト周波数を増加し且つ減少させる代わりに、増加のみ又は減少のみさせることとなる。したがって、図3のフローに比べてテスト数を減らしてフィールドテストに要する時間を短縮することが可能となる。

[0118] さらに、今回 F_{MAX} を求めるために、前回 F_{MAX} から周波数を減少後に増加させるとしてもよい。例えば、図8のステップST212とステップST213の間に、 ΔF_2 をよりも小さな値である ΔF_3 ずつ小刻みに F_0 を増加させることにより、今回 F_{MAX} を求めるとしてもよい。

[0119] さらに、モニタブロック回路21₁において、RO59の制御とカウンタ61の制御を別にしてもよい。このようにすることで、RO59を動かし続け

つつカウンタ61を止めることが可能となる。RO59の発振を止めると、発熱が停止し、モニタ対象回路に影響を及ぼしてしまう。このような影響を及ぼさずに、カウンタ61を止めることにより、ビット数増加による回路増を防ぐことができる。

- [0120] さらに、図2のフローにおけるステップST010のボード／システムテストではなく、ステップST008の製造テストにおいて、初回のテストを実施して最初（劣化前）の F_{MAX} 値を求め、テストが有する記憶部に記憶されるとしてもよい。
- [0121] さらに、テスト対象回路2と制御回路3とは、図1に示すように別チップでもよいし、図1の半導体装置1がテスト対象回路2を備え、テスト対象回路2及び制御回路3が一体のものとして実現されるものであってもよい。また、制御回路3は、マイコンやFPGA（Field Programmable Gate Array）で実現されるものであってもよい。特に、テスト対象回路2が記憶部11を備える場合、図2のフローにおけるステップST010のボード／システムテストではなくステップST008の製造テストにおいて、初回のテストを実施して最初（劣化前）の F_{MAX} 値を求め、記憶部11に F_{MAX} 値を書き込むとしてもよい。
- [0122] さらに、RO59の代わりに、論理素子を組み合わせて結果としてROとして機能する回路を用いてもよい。また、高精度の測定が求められる場合は、RO59を用いた熱計測及び電圧計測を行う代わりに、熱センサーや電圧センサーを用いてもよい。ただし、一般のセンサーは、測定のためにレファレンス値を必要とする。また、測定前のキャリブレーション及び測定後のデジタル変換処理を要する。この点、RO59は、測定のためにレファレンス値を要しない。また、測定前のキャリブレーションも不要である。さらに、標準的なデジタル設計の範囲内で処理できるため、特別にデジタル変換処理を組み込む必要もない。そのため、RO59を用いることは有利といえる。
- [0123] さらに、本願発明に係る半導体装置1は、同一のテスト対象回路2の劣化を検知する代わりに、同種の複数のテスト対象回路2に生じるバラツキを検

知するために用いることも可能である。この場合、全体制御部5は、劣化量計算部33の代わりにバラツキの度合を表す相違量計算部を備えるとすればよい。相違量計算部は、テスト動作周波数換算部31が算出した、基準温度及び基準電圧における同種の複数のテスト対象回路2について得られた各最大テスト動作周波数に基づいて相違量を計算する。

符号の説明

- [0124] 1 半導体装置、2 テスト対象回路、3 制御回路、5 全体制御部、7 テスト制御部、9 温度電圧測定部、11 記憶部、13 クロック生成回路、15 テスト単位回路、21₁, 21₂ モニタブロック回路、25 ログ読出部、27 ログ書出部、31 テスト動作周波数換算部、33 劣化量計算部、35 劣化判定部、37 テスト内容決定部、39 テスト部、41 テスト判別部、43 最大テスト動作周波数決定部、45 モニタ測定制御部、47 温度電圧計算部、49 ログ記憶部、51 論理パス特性記憶部、53 テスト情報記憶部、55 テスト動作周波数補正值記憶部、59 リング・オシレータ (RO)

請求の範囲

[請求項1]

テスト内容を実行する検知対象回路部を有する半導体集積回路に生じる劣化を検知することが可能な半導体装置であって、

前記検知対象回路部の温度及び電圧を測定する測定手段と、

各テスト動作周波数において前記検知対象回路部に対して前記テスト内容が許容テストタイミング内に実行されるか否かを判別し、実行される最大のテスト動作周波数を最大テスト動作周波数として決定する決定手段と、

前記決定手段が決定した前記最大テスト動作周波数を、前記測定手段が測定した温度及び電圧の値を用いて、基準温度及び基準電圧における最大テスト動作周波数に換算するとともに、当該換算された最大テスト動作周波数に基づき劣化の状態を表す劣化量も算出する算出手段とを備え、

前記半導体集積回路は、前記測定手段が前記温度及び電圧の値を測定するための値をモニタするモニタブロック回路を有し、

前記測定手段は、テストが行われる毎に、前記検知対象回路部の温度及び電圧の下で動作した前記モニタブロック回路がモニタした値から前記検知対象回路部の温度及び電圧の値を推定する推定手段を有し、

前記算出手段は、前記推定手段が推定した温度及び電圧の値を、前記測定手段が測定した温度及び電圧の値として用いて、前記決定手段が決定した前記最大テスト動作周波数を前記基準温度及び基準電圧における最大テスト動作周波数に換算する、半導体装置。

[請求項2]

前記半導体集積回路は、 n 個（ n は、2以上の整数）の前記モニタブロック回路を備え、

前記測定手段は、各モニタブロック回路における所定の時間内での発振回数として得られる測定周波数 F_i （ i は、 n 以下の自然数）を測定し、

前記推定手段は、式(eq1)の係数 α_i 、 β 、 α'_i 及び β' を計算することにより、前記検知対象回路部の温度 T 及び電圧 V の値を推定する、請求項1記載の半導体装置。

[数1]

$$T = \sum_{i=1}^n \alpha_i F_i + \beta, \quad (\text{eq1})$$

$$V = \sum_{i=1}^n \alpha'_i F_i + \beta'.$$

[請求項3] 前記推定手段は、温度範囲若しくは電圧範囲を複数に区分して当該区分ごとに式(eq1)の前記係数 α_i 、 β 、 α'_i 及び β' を計算して、又は、温度範囲を複数に区分して当該区分ごとに式(eq1)の前記係数 α_i 及び β を計算すると共に電圧範囲を複数に区分して当該区分ごとに式(eq1)の前記係数 α'_i 及び β' を計算することにより、前記検知対象回路部の温度 T 及び電圧 V の値を推定する、請求項2記載の半導体装置。

[請求項4] 前記推定手段は、式(eq1)の前記測定周波数 F_i に代えて、前記測定周波数 F_i と初回の測定周波数 F_{i0} との差分である差分周波数 ΔF_i を用いて、前記検知対象回路部の温度 T 及び電圧 V の値を推定する、請求項2又は3記載の半導体装置。

[請求項5] 前記測定手段が測定した測定値及び前記決定手段が決定した最大テスト動作周波数の組み合わせを記憶する記憶手段をさらに備え、

前記算出手段は、前記記憶手段が記憶した測定値及び最大テスト動作周波数を用いる、請求項1から4のいずれかに記載の半導体装置。

[請求項6] 前記最大テスト動作周波数は、前記記憶手段が記憶した異なるテスト時の複数の最大テスト動作周波数からランダムノイズを除去する演算が行われて決定される、請求項5記載の半導体装置。

[請求項7] 前記測定手段は所定のテスト動作周波数におけるテスト時の初期温度及び初期電圧を測定し、

前記決定手段は、前記基準温度及び前記基準電圧と前回の最大テスト動作周波数とを用いながら前記初期温度及び前記初期電圧における最大テスト動作周波数候補を定め、周波数を増加後に減少させて又は増加のみ若しくは減少のみさせて、実行される最大のテスト動作周波数を最大テスト動作周波数に決定する、請求項 1 から 6 のいずれかに記載の半導体装置。

[請求項8] テストされるパスの長さ毎に異なるテスト内容を用意することを特徴とする、請求項 1 から 7 のいずれかに記載の半導体装置。

[請求項9] 許容テストタイミング及び/又は前記劣化量の値に応じてテスト内容及び/又はテスト順序を変更可能とする、請求項 1 から 8 のいずれかに記載の半導体装置。

[請求項10] テスト内容を実行する同種の複数の半導体集積回路に生じるバラツキを検知することが可能な半導体装置であって、

前記検知対象回路部の温度及び電圧を測定する測定手段と、

各テスト動作周波数において前記検知対象回路部に対して前記テスト内容が許容テストタイミング内に実行されるか否かを判別し、実行される最大のテスト動作周波数を最大テスト動作周波数として決定する決定手段と、

前記決定手段が決定した前記最大テスト動作周波数を、前記測定手段が測定した温度及び電圧の値を用いて、基準温度及び基準電圧における最大テスト動作周波数に換算するとともに、当該換算された最大テスト動作周波数に基づきバラツキの度合を表す相違量も算出する算出手段とを備え、

前記半導体集積回路は、前記測定手段が前記温度及び電圧の値を測定するための値をモニタするモニタブロック回路を有し、

前記測定手段は、テストが行われる毎に、前記検知対象回路部の温度及び電圧の下で動作した前記モニタブロック回路がモニタした値から前記検知対象回路部の温度及び電圧の値を推定する推定手段を有し

、
前記算出手段は、前記推定手段が推定した温度及び電圧の値を、前記測定手段が測定した温度及び電圧の値として用いて、前記決定手段が決定した前記最大テスト動作周波数を前記基準温度及び基準電圧における最大テスト動作周波数に換算する、半導体装置。

[請求項11]

同一の半導体集積回路に生じる劣化又は同種の複数の半導体集積回路に生じるバラツキを検知することが可能な検知方法であって、

前記半導体集積回路の検知対象回路部における動作周波数と温度及び電圧との関係の特性が近似式により近似されており、

測定手段が温度及び電圧の値を測定するステップと、

決定手段が、前記半導体集積回路の検知対象回路部においてテスト内容が許容テストタイミング内に実行される最大のテスト動作周波数として最大テスト動作周波数を決定するステップと、

算出手段が、前記温度及び電圧の値並びに前記最大テスト動作周波数を用いて、前記近似式に従って基準温度及び基準電圧における最大テスト動作周波数を算出するとともに、当該算出された最大テスト動作周波数に基づき劣化の状態を表す劣化量又はバラツキの度合を表す相違量も算出するステップを含む、検知方法。

[請求項12]

前記半導体集積回路は、前記測定手段が前記温度及び電圧の値を測定するための値をモニタする n 個（ n は、2以上の整数）のモニタブロック回路を備え、

前記測定するステップは、前記測定手段が、

各モニタブロック回路における所定の時間内での発振回数として得られる測定周波数 F_i （ i は、 n 以下の自然数）を測定する周波数測定ステップと、

式(eq2)の係数 α_i 、 β 、 α'_i 及び β' を計算することにより、前記検知対象回路部の温度 T 及び電圧 V の値を推定する推定ステップとを含む、請求項11記載の検知方法。

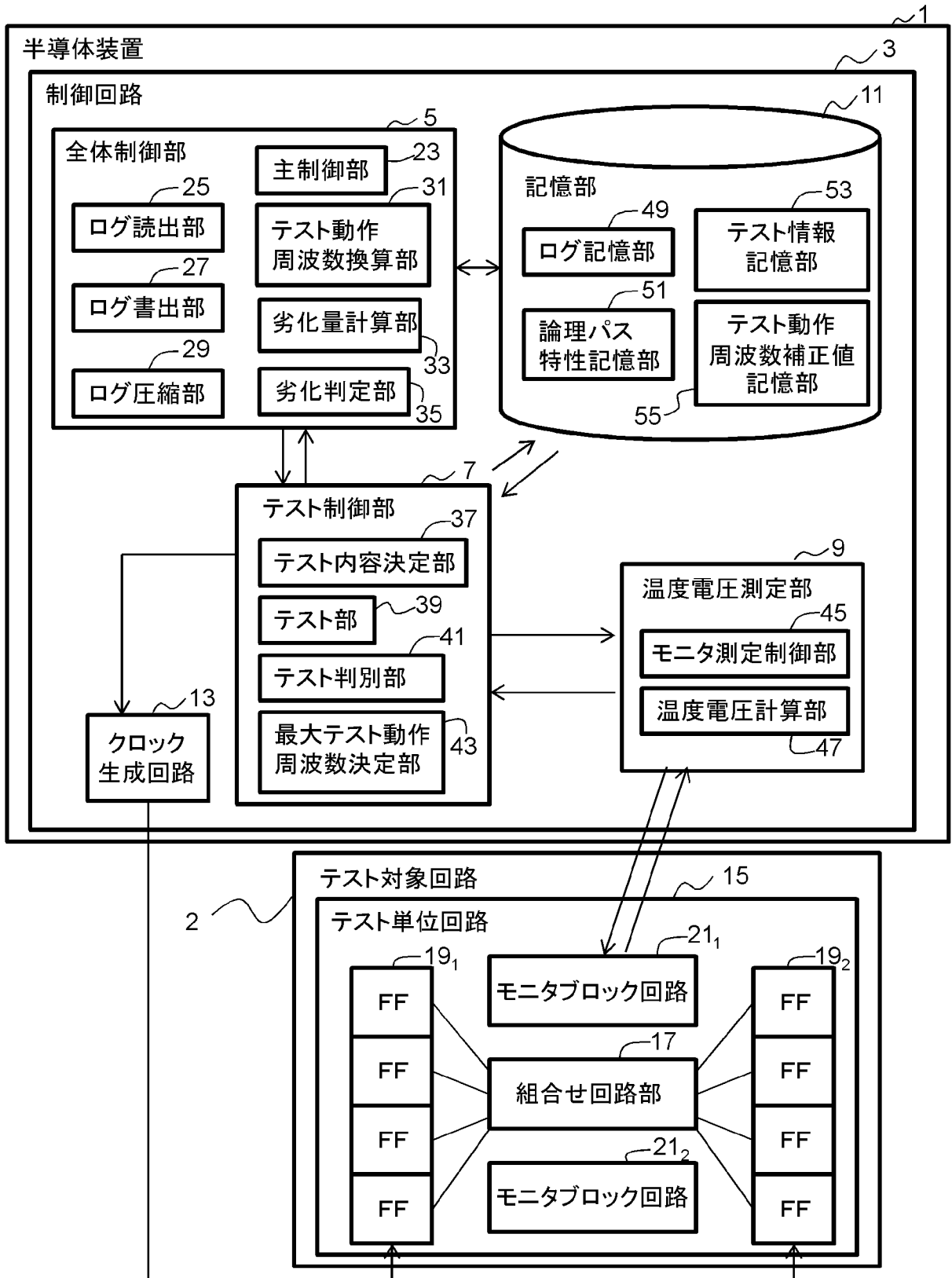
[数2]

$$T = \sum_{i=1}^n \alpha_i F_i + \beta,$$
$$V = \sum_{i=1}^n \alpha'_i F_i + \beta'.$$

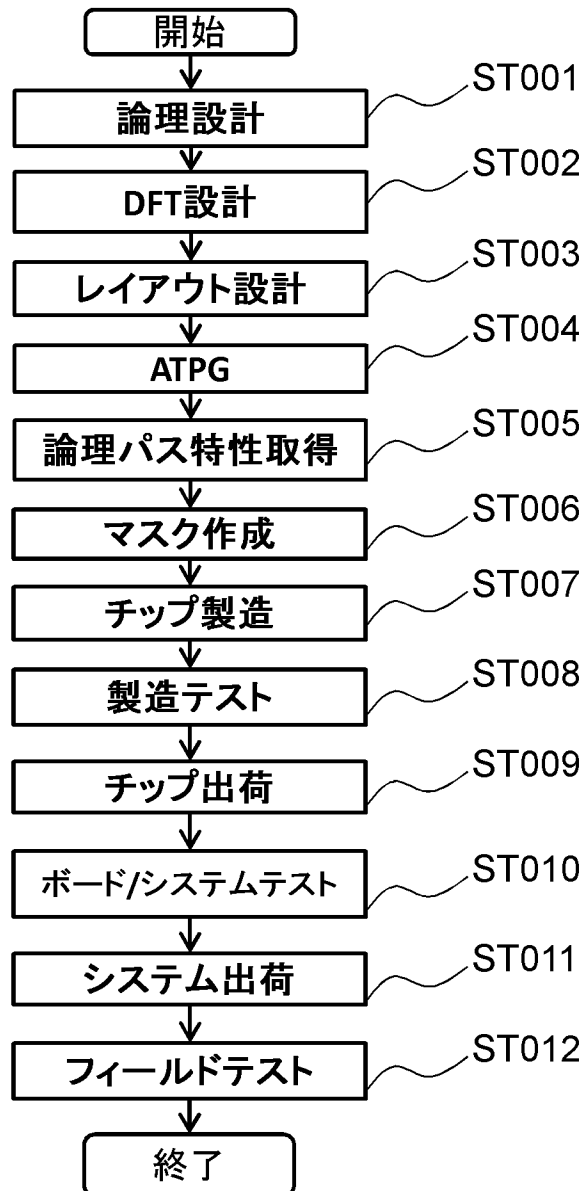
(eq2)

[請求項13] コンピュータに請求項 1 1 又は 1 2 に記載の検知方法を実行させるためのプログラム。

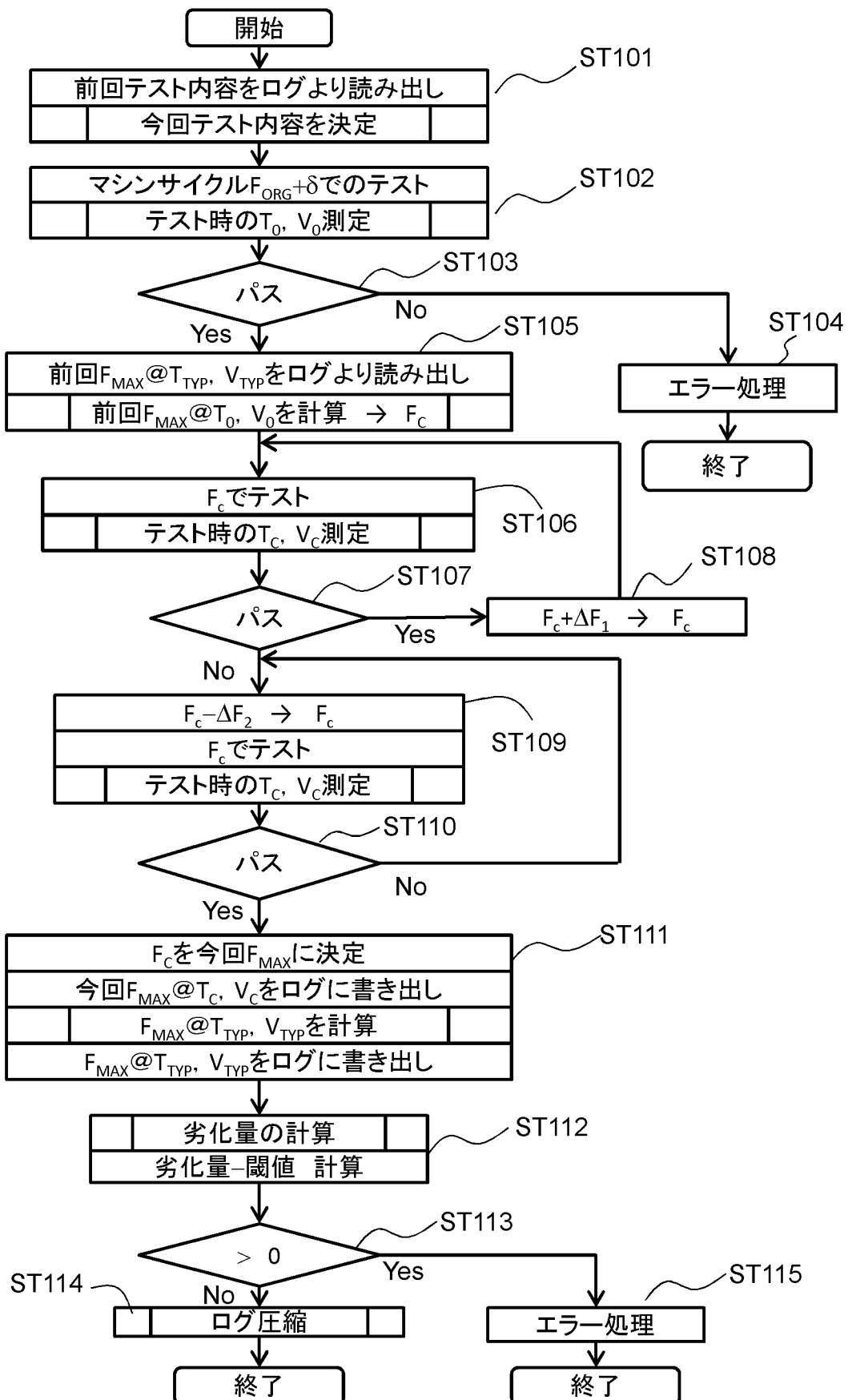
[図1]



[図2]



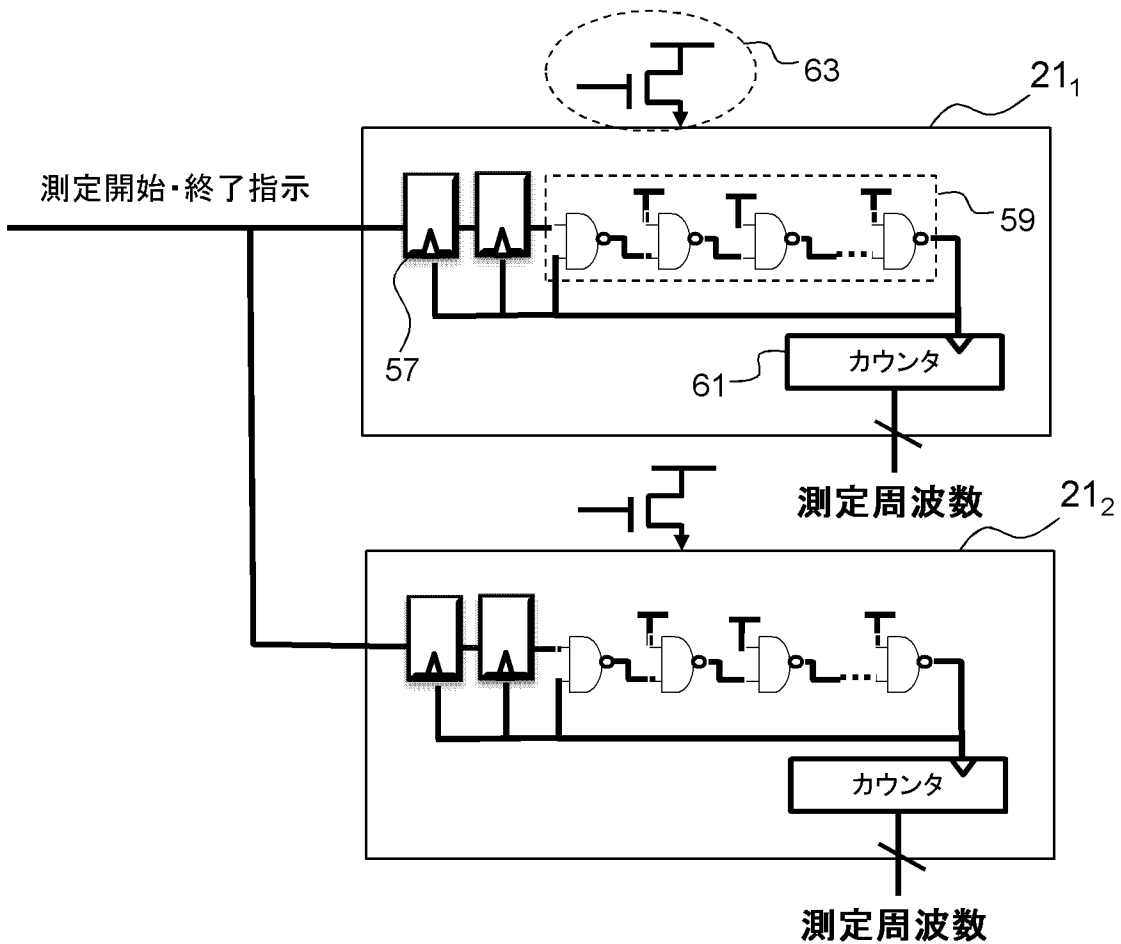
[図3]



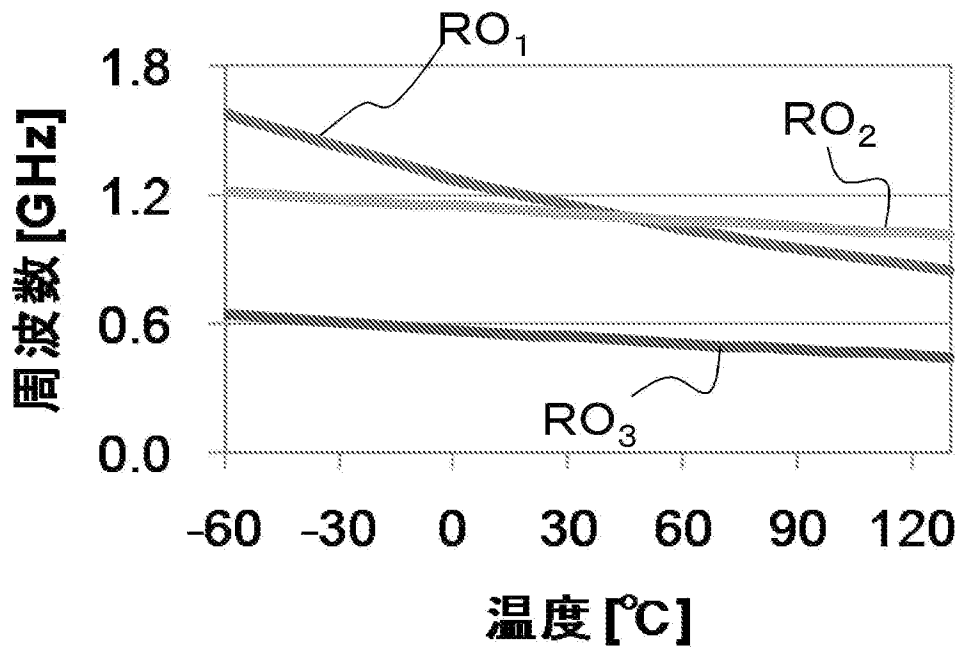
[図4]

テスト時刻	テスト単位	テスト内容	F_{MAX}	T_C	V_C	F_{MAX} @ T_{TYP}, V_{TYP}
200912111315	CORE1	TEST1	80	50	1.5	85
200912111315	CORE2	TEST1	64	45	1.4	68
200912130910	CORE1	TEST2	85	55	1.6	84
200912130910	CORE2	TEST2	63	45	1.4	67
200912160805	CORE1	TEST3	70	80	1.3	85
200912160905	CORE2	TEST3	60	75	1.4	66
201001050715	CORE1	TEST1	80	27	1.5	85
201001050715	CORE2	TEST1	68	27	1.5	68
201001150908	CORE1	TEST3	76	80	1.5	86
201001150908	CORE2	TEST3	60	75	1.5	68

[図5]

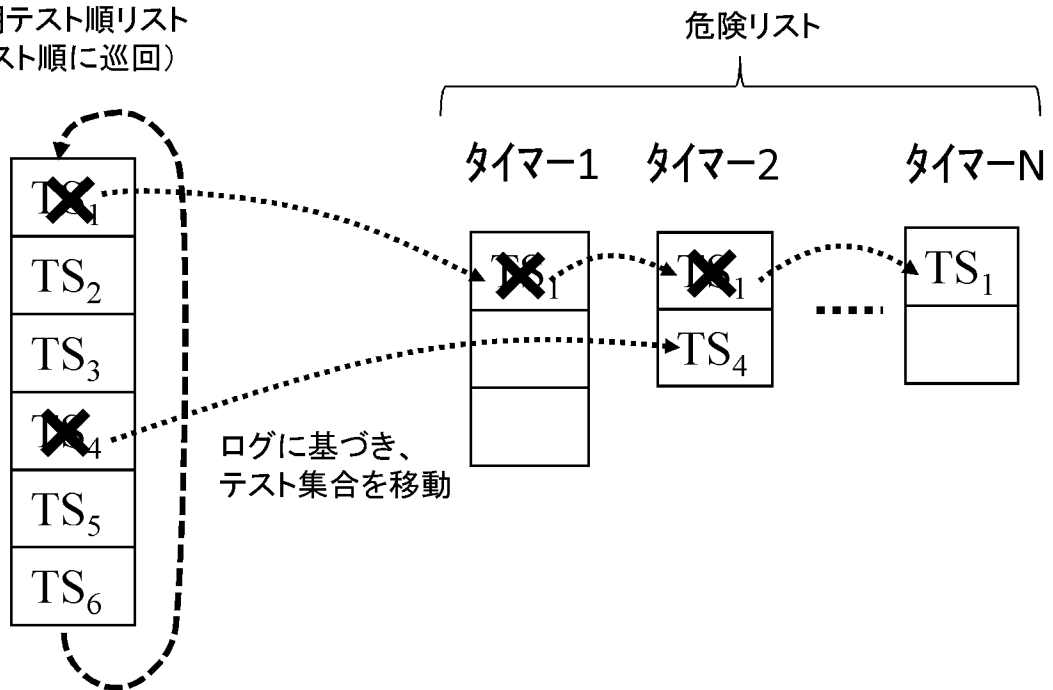


[図6]

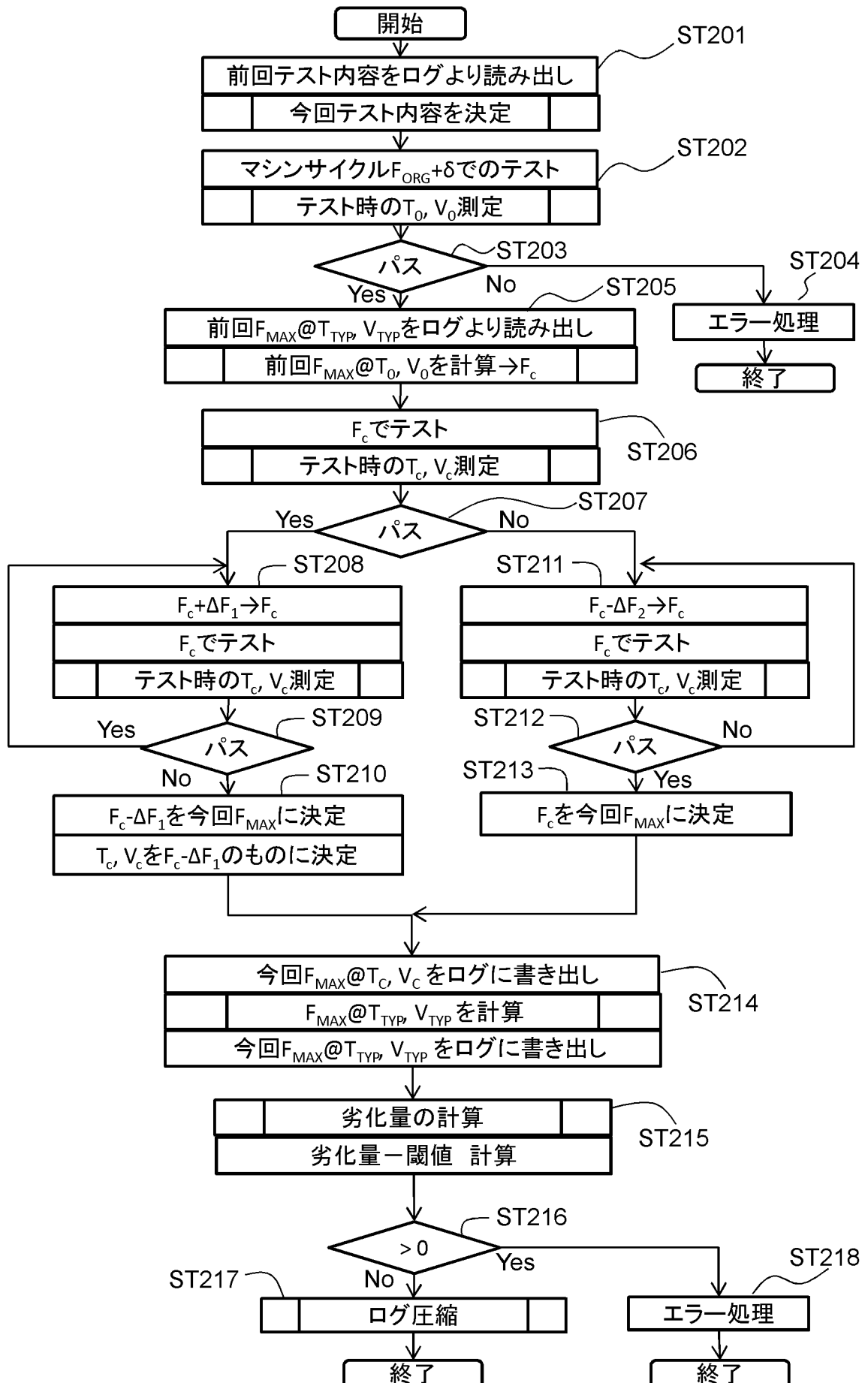


[図7]

フィールドテスト開始時の
初期テスト順リスト
(リスト順に巡回)



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/055900

A. CLASSIFICATION OF SUBJECT MATTER G01R31/28(2006.01) i, H01L21/822(2006.01) i, H01L27/04(2006.01) i														
According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED														
Minimum documentation searched (classification system followed by classification symbols) G01R31/26-3193, H01L21/822, H01L27/04														
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched														
<table border="0"> <tr> <td>Jitsuyo Shinan Koho</td> <td>1922-1996</td> <td>Jitsuyo Shinan Toroku Koho</td> <td>1996-2011</td> </tr> <tr> <td>Kokai Jitsuyo Shinan Koho</td> <td>1971-2011</td> <td>Toroku Jitsuyo Shinan Koho</td> <td>1994-2011</td> </tr> </table>			Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011	Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011				
Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011											
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011											
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)														
C. DOCUMENTS CONSIDERED TO BE RELEVANT														
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A	JP 9-292436 A (Matsushita Electric Industrial Co., Ltd.), 11 November 1997 (11.11.1997), entire text; all drawings (Family: none)	1-13												
A	JP 7-191095 A (Tektronix, Inc.), 28 July 1995 (28.07.1995), entire text; all drawings & US 5428626 A & US 5576657 A & US 5644261 A & US 5428626 A	1-13												
A	JP 9-061503 A (Advantest Corp.), 07 March 1997 (07.03.1997), entire text; all drawings (Family: none)	1-13												
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.														
<table border="0"> <tr> <td>* Special categories of cited documents:</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"E" earlier application or patent but published on or after the international filing date</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"&" document member of the same patent family</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td></td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table>			* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	"O" document referring to an oral disclosure, use, exhibition or other means		"P" document published prior to the international filing date but later than the priority date claimed	
* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention													
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone													
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art													
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family													
"O" document referring to an oral disclosure, use, exhibition or other means														
"P" document published prior to the international filing date but later than the priority date claimed														
Date of the actual completion of the international search 30 March, 2011 (30.03.11)	Date of mailing of the international search report 14 June, 2011 (14.06.11)													
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer													
Facsimile No.	Telephone No.													

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/055900

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-068865 A (Sony Corp.), 07 March 2003 (07.03.2003), entire text; all drawings (Family: none)	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G01R31/28(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G01R31/26-3193, H01L21/822, H01L27/04		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2011年 日本国実用新案登録公報 1996-2011年 日本国登録実用新案公報 1994-2011年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-292436 A (松下電器産業株式会社) 1997. 11. 11, 全文, 全図 (ファミリーなし)	1-13
A	JP 7-191095 A (テクトロニクス・インコーポレイテッド) 1995. 07. 28, 全文, 全図 & US 5428626 A & US 5576657 A & US 5644261 A & US 5428626 A	1-13
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 30.03.2011	国際調査報告の発送日 14.06.2011	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 堀 圭史 電話番号 03-3581-1101 内線 3258	2S 3005

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-061503 A (株式会社アドバンテスト) 1997.03.07, 全文, 全図 (ファミリーなし)	1-13
A	JP 2003-068865 A (ソニー株式会社) 2003.03.07, 全文, 全図 (ファミリーなし)	1-13