



(12) 发明专利申请

(10) 申请公布号 CN 116387038 A

(43) 申请公布日 2023. 07. 04

(21) 申请号 202211720240.X

H01G 4/224 (2006.01)

(22) 申请日 2022.12.30

H01G 4/228 (2006.01)

(30) 优先权数据

10-2021-0194177 2021.12.31 KR

(71) 申请人 三星电机株式会社

地址 韩国京畿道水原市

(72) 发明人 李有淨 李忠烈 崔亨综 元光渊

安昭贞 李冈夏 成佑庆 朴明俊

李种皓

(74) 专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

专利代理师 王锐 张红

(51) Int. Cl.

H01G 4/30 (2006.01)

H01G 4/12 (2006.01)

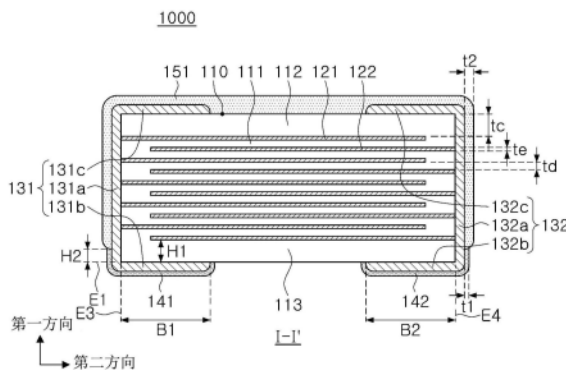
权利要求书12页 说明书30页 附图24页

(54) 发明名称

多层电子组件

(57) 摘要

本公开提供一种多层电子组件。所述多层电子组件包括：主体，包括介电层以及交替设置的内电极，且相应的介电层介于所述内电极之间；第一外电极，包括第一连接部以及从所述第一连接部延伸的第一带部和第三带部；第二外电极，包括第二连接部以及从所述第二连接部延伸的第二带部和第四带部；绝缘层，设置为延伸至所述第一连接部的一部分和所述第二连接部的一部分上；第一镀层，设置在所述第一带部上并且设置为延伸以与所述绝缘层接触；以及第二镀层，设置在所述第二带部上并且设置为延伸以与所述绝缘层接触。所述第一镀层或所述第二镀层的平均厚度小于所述绝缘层的平均厚度。



1. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极与所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面、所述第二表面、所述第三表面和所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括设置在所述第三表面上的第一连接部、从所述第一连接部延伸至所述第一表面的一部分上的第一带部和从所述第一连接部延伸至所述第二表面的一部分上的第三带部;

第二外电极,包括设置在所述第四表面上的第二连接部、从所述第二连接部延伸至所述第一表面的一部分上的第二带部和从所述第二连接部延伸至所述第二表面的一部分上的第四带部;

绝缘层,设置在所述第二表面上并且设置为延伸至所述第一连接部的一部分和所述第二连接部的一部分上;

第一镀层,设置在所述第一带部上并且设置为延伸以与所述绝缘层接触;以及

第二镀层,设置在所述第二带部上并且设置为延伸以与所述绝缘层接触,

其中,所述第一镀层和所述第二镀层中的至少一个的平均厚度小于所述绝缘层的平均厚度。

2. 如权利要求1所述的多层电子组件,其中,

所述第一镀层和所述第二镀层中的每个的平均厚度小于所述绝缘层的平均厚度。

3. 如权利要求1所述的多层电子组件,其中,

t_1/t_2 小于或等于0.67,其中, t_1 为所述第一镀层和所述第二镀层中的至少一个的平均厚度,并且 t_2 为所述绝缘层的平均厚度。

4. 如权利要求3所述的多层电子组件,其中,

t_1/t_2 小于或等于0.5。

5. 如权利要求3所述的多层电子组件,其中,

t_1 为所述第一镀层和所述第二镀层中的每个的平均厚度。

6. 如权利要求1所述的多层电子组件,其中,

所述第一镀层和所述第二镀层各自具有大于或等于 $0.5\mu\text{m}$ 且小于或等于 $15\mu\text{m}$ 的平均厚度。

7. 如权利要求1所述的多层电子组件,其中,

所述绝缘层具有大于或等于 $1\mu\text{m}$ 且小于或等于 $20\mu\text{m}$ 的平均厚度。

8. 如权利要求1所述的多层电子组件,其中,

所述绝缘层包括玻璃。

9. 如权利要求1所述的多层电子组件,其中,

$H_1 > H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端或所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

10. 如权利要求1所述的多层电子组件,其中,
H1<H2,其中,H1是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且H2是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端或所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。
11. 如权利要求10所述的多层电子组件,其中,
H2<T/2,其中,T是所述主体的在所述第一方向上的平均尺寸。
12. 如权利要求1所述的多层电子组件,其中,
 $0.2 \leq B1/L \leq 0.4$ 且 $0.2 \leq B2/L \leq 0.4$,其中,L是所述主体的在所述第二方向上的平均尺寸,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸,并且B2是在所述第二方向上从所述第四表面的延长线到所述第二带部的末端的平均尺寸。
13. 如权利要求1所述的多层电子组件,所述多层电子组件还包括:
附加绝缘层,设置在所述第一表面上并且设置在所述第一带部与所述第二带部之间。
14. 如权利要求1所述的多层电子组件,其中,
所述第一外电极和所述第二外电极中的每个包括镍和镍合金中的至少一种。
15. 如权利要求1所述的多层电子组件,其中,
B3<B1且B4<B2,其中,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸,B2是在所述第二方向上从所述第四表面的延长线到所述第二带部的末端的平均尺寸,B3是在所述第二方向上从所述第三表面的延长线到所述第三带部的末端的平均尺寸,并且B4是在所述第二方向上从所述第四表面的延长线到所述第四带部的末端的平均尺寸。
16. 如权利要求1所述的多层电子组件,其中,
所述第一连接部和所述第二连接部设置为与所述第五表面和所述第六表面间隔开。
17. 如权利要求1所述的多层电子组件,其中,
所述多层电子组件的在所述第二方向上的最大尺寸小于或等于1.1mm,并且所述多层电子组件的在所述第三方向上的最大尺寸小于或等于0.55mm。
18. 如权利要求1所述的多层电子组件,其中,
所述介电层具有小于或等于0.35 μm 的平均厚度。
19. 如权利要求1所述的多层电子组件,其中,
所述第一内电极和所述第二内电极中的每个具有小于或等于0.35 μm 的平均厚度。
20. 如权利要求1所述的多层电子组件,其中,
所述主体包括电容形成部和覆盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极且所述介电层介于所述第一内电极与所述第二内电极之间,所述覆盖部分别设置在所述电容形成部的在所述第一方向上的相对表面上,
所述覆盖部的在所述第一方向上的平均尺寸小于或等于15 μm 。
21. 如权利要求1所述的多层电子组件,其中,
所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的高度相同或低于所述第一表面的延长线的高度的高度上。
22. 如权利要求1所述的多层电子组件,其中,

所述第一镀层和所述第二镀层设置为覆盖所述绝缘层的末端的一部分。

23. 如权利要求1所述的多层电子组件,其中,

所述绝缘层设置为覆盖所述第一镀层和所述第二镀层中的每个的末端的一部分。

24. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极与所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面、所述第二表面、所述第三表面和所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括设置在所述第三表面上的第一连接部和从所述第一连接部延伸至所述第一表面的一部分上的第一带部;

第二外电极,包括设置在所述第四表面上的第二连接部和从所述第二连接部延伸至所述第一表面的一部分上的第二带部;

绝缘层,设置为覆盖整个所述第二表面并且设置为延伸至所述第一连接部的一部分和所述第二连接部的一部分上;

第一镀层,设置在所述第一带部上并且设置为延伸以与所述绝缘层接触;以及

第二镀层,设置在所述第二带部上并且设置为延伸以与所述绝缘层接触,

其中, t_1/t_2 小于或等于0.67,其中, t_1 为所述第一镀层和所述第二镀层中的至少一个的平均厚度,并且 t_2 为所述绝缘层的平均厚度。

25. 如权利要求24所述的多层电子组件,其中,

t_1 为所述第一镀层和所述第二镀层中的每个的平均厚度。

26. 如权利要求24所述的多层电子组件,其中,

t_1/t_2 为小于或等于0.5。

27. 如权利要求24所述的多层电子组件,其中,

所述第一镀层或所述第二镀层的平均厚度 t_1 大于或等于 $0.5\mu\text{m}$ 且小于或等于 $15\mu\text{m}$ 。

28. 如权利要求24所述的多层电子组件,其中,

所述绝缘层的平均厚度 t_2 大于或等于 $1\mu\text{m}$ 且小于或等于 $20\mu\text{m}$ 。

29. 如权利要求24所述的多层电子组件,其中,

所述绝缘层包括玻璃。

30. 如权利要求24所述的多层电子组件,其中,

$H_1 > H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端或所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

31. 如权利要求24所述的多层电子组件,其中,

$H_1 < H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端或所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

32. 如权利要求31所述的多层电子组件,其中,
 $H2 < T/2$,其中,T是所述主体的在所述第一方向上的平均尺寸。
33. 如权利要求24所述的多层电子组件,其中,
 $0.2 \leq B1/L \leq 0.4$ 且 $0.2 \leq B2/L \leq 0.4$,其中,L是所述主体的在所述第二方向上的平均尺寸,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸,并且B2是在所述第二方向上从所述第四表面的延长线到所述第二带部的末端的平均尺寸。
34. 如权利要求24所述的多层电子组件,所述多层电子组件还包括:
附加绝缘层,设置在所述第一表面上并且设置在所述第一带部与所述第二带部之间。
35. 如权利要求24所述的多层电子组件,其中,
所述第一外电极和所述第二外电极中的每个包括镍和镍合金中的至少一种。
36. 如权利要求24所述的多层电子组件,其中,
所述第一连接部和所述第二连接部设置为与所述第五表面和所述第六表面间隔开。
37. 如权利要求24所述的多层电子组件,其中,
所述第一连接部和所述第二连接部设置为与所述第二表面间隔开。
38. 如权利要求24所述的多层电子组件,其中,
所述多层电子组件的在所述第二方向上的最大尺寸为小于或等于1.1mm,并且所述多层电子组件的在所述第三方向上的最大尺寸小于或等于0.55mm。
39. 如权利要求24所述的多层电子组件,其中,
所述介电层具有小于或等于 $0.35\mu\text{m}$ 的平均厚度。
40. 如权利要求24所述的多层电子组件,其中,
所述第一内电极和所述第二内电极中的每个具有小于或等于 $0.35\mu\text{m}$ 的平均厚度。
41. 如权利要求24所述的多层电子组件,其中,
所述主体包括电容形成部和覆盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极且所述介电层介于所述第一内电极与所述第二内电极之间,所述覆盖部分别设置在所述电容形成部的在所述第一方向上的相对的表面上,
所述覆盖部的在所述第一方向上的平均尺寸小于或等于 $15\mu\text{m}$ 。
42. 如权利要求24所述的多层电子组件,其中,
所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的高度相同或低于所述第一表面的延长线的高度的高度上。
43. 如权利要求24所述的多层电子组件,其中,
所述第一镀层和所述第二镀层设置为覆盖所述绝缘层的末端的一部分。
44. 如权利要求32所述的多层电子组件,其中,
所述绝缘层设置为覆盖所述第一镀层和所述第二镀层中的每个的末端的一部分。
45. 一种多层电子组件,包括:
主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极与所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面、所述第二表面、所述第三表面和所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括设置在所述第三表面上的第一连接部和从所述第一连接部延伸至所述第一表面的一部分上的第一带部;

第二外电极,包括设置在所述第四表面上的第二连接部和从所述第二连接部延伸至所述第一表面的一部分上的第二带部;

绝缘层,设置在所述第一连接部和所述第二连接部上;

第一镀层,设置在所述第一带部上并且设置为延伸以与所述绝缘层接触;以及

第二镀层,设置在所述第二带部上并且设置为延伸以与所述绝缘层接触,

其中,所述第一外电极和所述第二外电极设置在与所述第二表面的延长线的高度相同或低于所述第二表面的延长线的高度的高度上,并且

t_1/t_2 小于或等于0.67,其中, t_1 为所述第一镀层和所述第二镀层中的至少一个的平均厚度,并且 t_2 为所述绝缘层的平均厚度。

46.如权利要求45所述的多层电子组件,其中,
 t_1 为所述第一镀层和所述第二镀层的平均厚度。

47.如权利要求45所述的多层电子组件,其中,
 t_1/t_2 小于或等于0.5。

48.如权利要求45所述的多层电子组件,其中,
所述第一镀层或所述第二镀层的平均厚度 t_1 大于或等于 $0.5\mu\text{m}$ 且小于或等于 $15\mu\text{m}$ 。

49.如权利要求45所述的多层电子组件,其中,
所述绝缘层的平均厚度 t_2 大于或等于 $1\mu\text{m}$ 且小于或等于 $20\mu\text{m}$ 。

50.如权利要求45所述的多层电子组件,其中,
所述绝缘层包括玻璃。

51.如权利要求45所述的多层电子组件,其中,
 $H_1 > H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端或所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

52.如权利要求45所述的多层电子组件,其中,
 $H_1 < H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端或所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

53.如权利要求52所述的多层电子组件,其中,
 $H_2 < T/2$,其中, T 是所述主体的在所述第一方向上的平均尺寸。

54.如权利要求45所述的多层电子组件,其中,
 $0.2 \leq B_1/L \leq 0.4$ 且 $0.2 \leq B_2/L \leq 0.4$,其中, L 是所述主体的在所述第二方向上的平均尺寸, B_1 是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸,并且 B_2 是在所述第二方向上从所述第四表面的延长线到所述第二带部的末端的平均尺寸。

55.如权利要求45所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一带部与所述第二带部之间。

56. 如权利要求45所述的多层电子组件,其中,
所述第一外电极和所述第二外电极中的每个包括镍和镍合金中的至少一种。
57. 如权利要求45所述的多层电子组件,其中,
所述第一连接部和所述第二连接部设置为与所述第五表面和所述第六表面间隔开。
58. 如权利要求45所述的多层电子组件,其中,
所述第一连接部和所述第二连接部设置为与所述第二表面间隔开。
59. 如权利要求45所述的多层电子组件,其中,
所述多层电子组件的在所述第二方向上的最大尺寸小于或等于1.1mm,并且所述多层电子组件的在所述第三方向上的最大尺寸小于或等于0.55mm。
60. 如权利要求45所述的多层电子组件,其中,
所述介电层具有小于或等于0.35 μm 的平均厚度。
61. 如权利要求45所述的多层电子组件,其中,
所述第一内电极和所述第二内电极中的每个具有小于或等于0.35 μm 的平均厚度。
62. 如权利要求45所述的多层电子组件,其中,
所述主体包括电容形成部和覆盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极且所述介电层介于所述第一内电极与所述第二内电极之间,所述覆盖部分别设置在所述电容形成部的在所述第一方向上的相对的表面上,
所述覆盖部的在所述第一方向上的平均尺寸小于或等于15 μm 。
63. 如权利要求45所述的多层电子组件,其中,
所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的高度相同或低于所述第一表面的延长线的高度的高度上。
64. 如权利要求45所述的多层电子组件,其中,
所述第一镀层和所述第二镀层设置为覆盖所述绝缘层的末端的一部分。
65. 如权利要求45所述的多层电子组件,其中,
所述绝缘层设置为覆盖所述第一镀层和所述第二镀层中的每个的末端的一部分。
66. 如权利要求45所述的多层电子组件,其中,
所述第一外电极还包括从所述第一连接部延伸至所述第二表面的一部分上的第三带部,并且
所述第二外电极还包括从所述第二连接部延伸至所述第二表面的一部分上的第四带部。
67. 一种多层电子组件,包括:
主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极与所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面、所述第二表面、所述第三表面和所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;
第一外电极,包括设置在所述第三表面上的第一连接部、从所述第一连接部延伸至所述第一表面的一部分上的第一带部和设置为从所述第一连接部延伸至将所述第二表面和所述第三表面彼此连接的拐角上的第一拐角部;

第二外电极,包括设置在所述第四表面上的第二连接部、从所述第二连接部延伸至所述第一表面的一部分上的第二带部和设置为从所述第二连接部延伸至所述第二表面和所述第四表面彼此连接的拐角上的第二拐角部;

绝缘层,设置在所述第一连接部和所述第二连接部上并且设置为覆盖所述第二表面以及所述第一拐角部和所述第二拐角部;

第一镀层,设置在所述第一带部上;以及

第二镀层,设置在所述第二带部上,

其中, $B3 \leq G1$ 且 $B4 \leq G2$,其中, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第一拐角部的末端的平均尺寸, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第二拐角部的末端的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域的在所述第二方向上的平均尺寸,并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域的在所述第二方向上的平均尺寸,并且

所述第一镀层和所述第二镀层中的至少一个的平均厚度小于所述绝缘层的平均厚度。

68. 如权利要求67所述的多层电子组件,其中,

所述第一镀层和所述第二镀层中的每个的平均厚度小于所述绝缘层的平均厚度。

69. 如权利要求67所述的多层电子组件,其中,

$t1/t2$ 小于或等于0.67,其中, $t1$ 为所述第一镀层和所述第二镀层中的至少一个的平均厚度,并且 $t2$ 为所述绝缘层的平均厚度。

70. 如权利要求69所述的多层电子组件,其中,

$t1$ 为所述第一镀层和所述第二镀层中的每个的平均厚度。

71. 如权利要求69所述的多层电子组件,其中,

$t1/t2$ 小于或等于0.5。

72. 如权利要求69所述的多层电子组件,其中,

所述第一镀层或所述第二镀层的平均厚度 $t1$ 大于或等于 $0.5\mu\text{m}$ 且小于或等于 $15\mu\text{m}$ 。

73. 如权利要求67所述的多层电子组件,其中,

所述绝缘层的平均厚度 $t2$ 大于或等于 $1\mu\text{m}$ 且小于或等于 $20\mu\text{m}$ 。

74. 如权利要求67所述的多层电子组件,其中,

所述绝缘层包括玻璃。

75. 如权利要求67所述的多层电子组件,其中,

$H1 > H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端或所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

76. 如权利要求67所述的多层电子组件,其中,

$H1 < H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端或所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

77. 如权利要求75所述的多层电子组件,其中,

$H2 < T/2$, 其中, T 是所述主体的在所述第一方向上的平均尺寸。

78. 如权利要求67所述的多层电子组件, 其中,

所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的高度相同或低于所述第一表面的延长线的高度的高度上。

79. 如权利要求67所述的多层电子组件, 其中,

$0.2 \leq B1/L \leq 0.4$ 且 $0.2 \leq B2/L \leq 0.4$, 其中, L 是所述主体的在所述第二方向上的平均尺寸, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸, 并且 $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带部的末端的平均尺寸。

80. 如权利要求67所述的多层电子组件, 所述多层电子组件还包括:

附加绝缘层, 设置在所述第一表面上并且设置在所述第一带部与所述第二带部之间。

81. 如权利要求67所述的多层电子组件, 其中,

所述第一外电极和所述第二外电极中的每个包括镍和镍合金中的至少一种。

82. 如权利要求67所述的多层电子组件, 其中,

$B3 < B1$ 且 $B4 < B2$, 其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸, 并且 $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带部的末端的平均尺寸。

83. 如权利要求67所述的多层电子组件, 其中,

所述多层电子组件的在所述第二方向上的最大尺寸小于或等于 1.1mm , 并且所述多层电子组件的在所述第三方向上的最大尺寸小于或等于 0.55mm 。

84. 如权利要求67所述的多层电子组件, 其中,

所述介电层具有小于或等于 $0.35\mu\text{m}$ 的平均厚度。

85. 如权利要求67所述的多层电子组件, 其中,

所述第一内电极和所述第二内电极中的每个具有小于或等于 $0.35\mu\text{m}$ 的平均厚度。

86. 如权利要求67所述的多层电子组件, 其中,

所述主体包括电容形成部和覆盖部, 所述电容形成部包括交替设置的所述第一内电极和所述第二内电极且所述介电层介于所述第一内电极与所述第二内电极之间, 所述覆盖部分别设置在所述电容形成部的在所述第一方向上的相对的表面上,

所述覆盖部的在所述第一方向上的平均尺寸小于或等于 $15\mu\text{m}$ 。

87. 如权利要求67所述的多层电子组件, 其中,

所述第一拐角部和所述第二拐角部设置在与所述第二表面的延长线的高度相同或低于所述第二表面的延长线的高度的高度上。

88. 如权利要求67所述的多层电子组件, 其中,

所述第一连接部和所述第二连接部设置为与所述第五表面和所述第六表面间隔开。

89. 如权利要求67所述的多层电子组件, 其中,

所述第一拐角部和所述第二拐角部设置为与所述第二表面间隔开。

90. 如权利要求67所述的多层电子组件, 其中,

所述第一镀层设置为覆盖所述绝缘层的设置在所述第一外电极上的末端, 并且所述第二镀层设置为覆盖所述绝缘层的设置在所述第二外电极上的末端。

91. 如权利要求67所述的多层电子组件, 其中,

所述绝缘层设置为覆盖所述第一镀层的设置在所述第一连接部上的末端,并且设置为覆盖所述第二镀层的设置在所述第二连接部上的末端。

92. 如权利要求67所述的多层电子组件,其中,

所述绝缘层设置为覆盖所述第五表面的一部分和所述第六表面的一部分。

93. 如权利要求67所述的多层电子组件,其中,

$B1 \geq G1$ 且 $B2 \geq G2$,其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸,并且 $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带部的末端的平均尺寸。

94. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极与所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面、所述第二表面、所述第三表面和所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括设置在所述第三表面上的第一连接电极和设置在所述第一表面上并连接到所述第一连接电极的第一带电极;

第二外电极,包括设置在所述第四表面上的第二连接电极和设置在所述第一表面上并连接到所述第二连接电极的第二带电极;

第一绝缘层,设置在所述第一连接电极上;

第二绝缘层,设置在所述第二连接电极上;

第一镀层,设置在所述第一带电极上;以及

第二镀层,设置在所述第二带电极上,

其中,所述第一镀层和所述第二镀层中的至少一个的平均厚度小于所述第一绝缘层和所述第二绝缘层中的至少一个的平均厚度。

95. 如权利要求94所述的多层电子组件,其中,

所述第一镀层的平均厚度小于所述第一绝缘层的平均厚度,并且/或者所述第二镀层的平均厚度小于所述第二绝缘层的平均厚度。

96. 如权利要求94所述的多层电子组件,其中,

$t1/t2$ 小于或等于0.67,其中, $t1$ 为所述第一镀层和所述第二镀层中的至少一个的平均厚度,并且 $t2$ 为所述第一绝缘层和所述第二绝缘层中的至少一个的平均厚度。

97. 如权利要求96所述的多层电子组件,其中,

$t1$ 为所述第一镀层和所述第二镀层中的每个的平均厚度,并且 $t2$ 为所述第一绝缘层和所述第二绝缘层中的每个的平均厚度。

98. 如权利要求96所述的多层电子组件,其中,

$t1/t2$ 小于或等于0.5。

99. 如权利要求94所述的多层电子组件,其中,

所述第一镀层或所述第二镀层的平均厚度大于或等于 $0.5\mu\text{m}$ 且小于或等于 $15\mu\text{m}$ 。

100. 如权利要求94所述的多层电子组件,其中,

所述第一绝缘层或所述第二绝缘层的平均厚度大于或等于 $1\mu\text{m}$ 且小于或等于 $20\mu\text{m}$ 。

101. 如权利要求94所述的多层电子组件,其中,
所述第一绝缘层或所述第二绝缘层包括玻璃。
102. 如权利要求94所述的多层电子组件,其中,
H1>H2,其中,H1是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且H2是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接电极上的末端或所述第二镀层的设置在所述第二连接电极上的末端的平均尺寸。
103. 如权利要求94所述的多层电子组件,其中,
H1<H2,其中,H1是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中设置为最靠近所述第一表面的内电极的平均尺寸,并且H2是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接电极上的末端或所述第二镀层的设置在所述第二连接电极上的末端的平均尺寸。
104. 如权利要求103所述的多层电子组件,其中,
H2<T/2,其中,T是所述主体的在所述第一方向上的平均尺寸。
105. 如权利要求94所述的多层电子组件,所述多层电子组件还包括:
所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的高度相同或低于所述第一表面的延长线的高度的高度上。
106. 如权利要求94所述的多层电子组件,所述多层电子组件还包括:
附加绝缘层,设置在所述第一表面上并且设置在所述第一带电极与所述第二带电极之间。
107. 如权利要求94所述的多层电子组件,其中,
所述第一连接电极和所述第二连接电极中的每个包括镍和镍合金中的至少一种。
108. 如权利要求94所述的多层电子组件,其中,
所述多层电子组件的在所述第二方向上的最大尺寸小于或等于1.1mm,并且所述多层电子组件的在所述第三方向上的最大尺寸小于或等于0.55mm。
109. 如权利要求94所述的多层电子组件,其中,
所述介电层具有小于或等于0.35 μm 的平均厚度。
110. 如权利要求94所述的多层电子组件,其中,
所述第一内电极和所述第二内电极中的每个具有小于或等于0.35 μm 的平均厚度。
111. 如权利要求94所述的多层电子组件,其中,
所述主体包括电容形成部和覆盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极且所述介电层介于所述第一内电极与所述第二内电极之间,所述覆盖部分别设置在所述电容形成部的在所述第一方向上的相对的表面上,
所述覆盖部的在所述第一方向上的平均尺寸小于或等于15 μm 。
112. 如权利要求94所述的多层电子组件,其中,
所述第一绝缘层和所述第二绝缘层中的每个包括环氧树脂、丙烯酸树脂、乙基纤维素中的至少一种。
113. 如权利要求94所述的多层电子组件,其中,
所述第一连接电极和所述第二连接电极设置为与所述第五表面和所述第六表面间隔

开。

114. 如权利要求94所述的多层电子组件,其中,
所述第一连接电极和所述第二连接电极设置为与所述第二表面间隔开。

115. 如权利要求94所述的多层电子组件,其中,
所述第一镀层设置为覆盖所述第一绝缘层的设置在所述第一外电极上的与所述第一表面相邻的末端,并且所述第二镀层设置为覆盖所述第二绝缘层的设置在所述第二外电极上的与所述第一表面相邻的末端。

116. 如权利要求94所述的多层电子组件,其中,
所述第一绝缘层设置为覆盖所述第一镀层的设置在所述第一连接电极上的末端,并且所述第二绝缘层设置为覆盖所述第二镀层的设置在所述第二连接电极上的末端。

117. 如权利要求94所述的多层电子组件,其中,
所述第一绝缘层和所述第二绝缘层延伸至所述第五表面和所述第六表面以彼此连接,并且设置为覆盖所述第五表面的一部分和所述第六表面的一部分。

118. 如权利要求94所述的多层电子组件,其中,
所述第一绝缘层和所述第二绝缘层延伸至所述第五表面和所述第六表面以彼此连接,并且设置为覆盖整个所述第五表面和整个所述第六表面。

119. 如权利要求94所述的多层电子组件,其中,
所述第一绝缘层和所述第二绝缘层延伸到所述第二表面以彼此连接。

120. 如权利要求116所述的多层电子组件,其中,
所述主体具有将所述第一表面和所述第三表面彼此连接的第1-3拐角、将所述第一表面和所述第四表面彼此连接的第1-4拐角、将所述第二表面和所述第三表面彼此连接的第2-3拐角以及将所述第二表面和所述第四表面彼此连接的第2-4拐角,

所述第1-3拐角和所述第2-3拐角具有随着接近所述第三表面而向所述主体的在所述第一方向上的中央收缩的形式,并且所述第1-4拐角和所述第2-4拐角具有随着接近所述第四表面而向所述主体的在所述第一方向上的中央收缩的形式,并且

所述第一连接电极包括设置为延伸至所述第1-3拐角和所述第2-3拐角上的拐角部,并且所述第二连接电极包括设置为延伸至所述第1-4拐角和所述第2-4拐角上的拐角部。

121. 如权利要求94所述的多层电子组件,其中,
所述第一外电极还包括设置在所述第二表面上并连接到所述第一连接电极的第三带电极,并且

所述第二外电极还包括设置在所述第二表面上并连接到所述第二连接电极的第四带电极。

122. 如权利要求121所述的多层电子组件,其中,

$B1 \geq G1, B3 \geq G1, B2 \geq G2$ 且 $B4 \geq G2$, 其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带电极的末端的平均尺寸, $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带电极的末端的平均尺寸, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第三带电极的末端的平均尺寸, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第四带电极的末端的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域的在所述第二方向上的平均尺寸, 并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开

的区域的在所述第二方向上的平均尺寸。

123. 如权利要求121所述的多层电子组件,其中,

$B1 \geq G1$, $B3 \leq G1$, $B2 \geq G2$ 且 $B4 \leq G2$, 其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带电极的末端的平均尺寸, $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带电极的末端的平均尺寸, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第三带电极的末端的平均尺寸, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第四带电极的末端的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域的在所述第二方向上的平均尺寸, 并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域的在所述第二方向上的平均尺寸。

124. 如权利要求94所述的多层电子组件,其中,

所述第一带电极和所述第二带电极包括与所述第一内电极和所述第二内电极中包括的金属相同的金属。

125. 如权利要求94所述的多层电子组件,其中,

所述第一连接电极和所述第二连接电极包括与所述第一内电极和所述第二内电极中包括的金属相同的金属。

126. 如权利要求94所述的多层电子组件,其中,

所述第一带电极和所述第二带电极中的每个包括烧结电极,所述烧结电极包括导电金属和玻璃。

127. 如权利要求94所述的多层电子组件,其中,

所述第一连接电极和所述第二连接电极中的每个包括烧结电极,所述烧结电极包括导电金属和玻璃。

128. 如权利要求94所述的多层电子组件,其中,

所述第一带电极和所述第二带电极中的每个包括镀层。

129. 如权利要求94所述的多层电子组件,其中,

所述第一连接电极和所述第二连接电极中的每个包括镀层。

130. 如权利要求124或125所述的多层电子组件,其中,

所述相同的金属是镍。

131. 如权利要求126所述的多层电子组件,其中,

所述导电金属包括镍、铜以及它们的合金中的至少一种。

多层电子组件

[0001] 本申请要求于2021年12月31日在韩国知识产权局提交的第10-2021-0194177号韩国专利申请的优先权的权益,该韩国专利申请的公开内容通过引用被全部包含于此。

技术领域

[0002] 本公开涉及一种多层电子组件。

背景技术

[0003] 多层陶瓷电容器(MLCC)(一种多层电子组件)可以是安装在各种电子产品(诸如成像装置(包括液晶显示器(LCD)或等离子体显示面板(PDP))、计算机、智能手机或移动电话)中的任意一种的印刷电路板上以用于在其中充电或从其中放电的片式电容器。

[0004] 多层陶瓷电容器具有小尺寸,实现高电容,并且容易安装在电路板上,因此可用作各种电子装置的组件。随着诸如计算机和移动装置的各种电子装置具有更小尺寸和更高输出,对具有更小尺寸和更高电容的多层陶瓷电容器的需求不断增加。

[0005] 近年来,随着对电子产品的行业关注的增加,需要多层陶瓷电容器具有高可靠性特性以用在汽车和信息娱乐系统中。

[0006] 为了实现多层陶瓷电容器的小型化和高电容化,需要通过形成薄的内电极和介电层来增加层叠的层数,并且需要显著减小不影响电容形成的部分的体积来增大实现电容所需的有效体积分数。

[0007] 此外,需要显著减小安装空间以在板的有限区域中安装尽可能多的组件。

[0008] 另外,由于边缘厚度随着多层陶瓷电容器的小型化和高电容化而减小,因此可能引起外部水分渗透或镀液渗透,从而使可靠性劣化。因此,需要一种能够保护多层陶瓷电容器免受外部水分渗透或镀液渗透影响的方法。

发明内容

[0009] 本公开的一方面在于提供一种具有提高的每单位体积的电容的多层电子组件。

[0010] 本公开的另一方面在于提供一种具有改善的可靠性的多层电子组件。

[0011] 本公开的另一方面在于提供一种可使安装空间显著减小的多层电子组件。

[0012] 根据本公开的另一方面,一种多层电子组件包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极与所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面、所述第二表面、所述第三表面和所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括设置在所述第三表面上的第一连接部、从所述第一连接部延伸至所述第一表面的一部分上的第一带部和从所述第一连接部延伸至所述第二表面的一部分上的第三带部;第二外电极,包括设置在所述第四表面上的第二连接部、从所述第二连接部延伸至所述第一表面的一部分上的第二带部和从

所述第二连接部延伸至所述第二表面的一部分上的第四带部；绝缘层，设置在所述第二表面上并且设置为延伸至所述第一连接部的一部分和所述第二连接部的一部分上；第一镀层，设置在所述第一带部上并且设置为延伸以与所述绝缘层接触；以及第二镀层，设置在所述第二带部上并且设置为延伸以与所述绝缘层接触。所述第一镀层和所述第二镀层中的至少一个的平均厚度小于所述绝缘层的平均厚度。

[0013] 根据本公开的另一方面，一种多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极与所述第二内电极之间，并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面、所述第二表面、所述第三表面和所述第四表面并且在第三方向上彼此相对的第五表面和第六表面；第一外电极，包括设置在所述第三表面上的第一连接部和从所述第一连接部延伸至所述第一表面的一部分上的第一带部；第二外电极，包括设置在所述第四表面上的第二连接部和从所述第二连接部延伸至所述第一表面的一部分上的第二带部；绝缘层，设置为覆盖整个所述第二表面并且设置为延伸至所述第一连接部的一部分和所述第二连接部的一部分上；第一镀层，设置在所述第一带部上并且设置为延伸以与所述绝缘层接触；以及第二镀层，设置在所述第二带部上并且设置为延伸以与所述绝缘层接触。在所述多层电子组件中， t_1/t_2 小于或等于0.67，其中， t_1 为所述第一镀层和所述第二镀层中的至少一个的平均厚度，并且 t_2 为所述绝缘层的平均厚度。

[0014] 根据本公开的另一方面，一种多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极与所述第二内电极之间，并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面、所述第二表面、所述第三表面和所述第四表面并且在第三方向上彼此相对的第五表面和第六表面；第一外电极，包括设置在所述第三表面上的第一连接部和从所述第一连接部延伸至所述第一表面的一部分上的第一带部；第二外电极，包括设置在所述第四表面上的第二连接部和从所述第二连接部延伸至所述第一表面的一部分上的第二带部；绝缘层，设置在所述第一连接部和所述第二连接部上；第一镀层，设置在所述第一带部上并且设置为延伸以与所述绝缘层接触；以及第二镀层，设置在所述第二带部上并且设置为延伸以与所述绝缘层接触。所述第一外电极和所述第二外电极设置在所述第二表面的延长线的高度相同或低于所述第二表面的延长线的高度上。在所述多层电子组件中， t_1/t_2 小于或等于0.67，其中， t_1 为所述第一镀层和所述第二镀层中的至少一个的平均厚度，并且 t_2 为所述绝缘层的平均厚度。

[0015] 根据本公开的另一方面，一种多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极与所述第二内电极之间，并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面、所述第二表面、所述第三表面和所述第四表面并且在第三方向上彼此相对的第五表面和第六表面；第一外电极，包括设置在所述第三表面上的第一连接部、从所述第一连接部延伸至所述第一表面的一部分上的第一带部和设置为从

所述第一连接部延伸至将所述第二表面和所述第三表面彼此连接的拐角上的第一拐角部；第二外电极，包括设置在所述第四表面上的第二连接部、从所述第二连接部延伸至所述第一表面的一部分上的第二带部和设置为从所述第二连接部延伸至将所述第二表面和所述第四表面彼此连接的拐角上的第二拐角部；绝缘层，设置在所述第一连接部和所述第二连接部上并且设置为覆盖所述第二表面以及所述第一拐角部和所述第二拐角部；第一镀层，设置在所述第一带部上；以及第二镀层，设置在所述第二带部上。 $B3 \leq G1$ 且 $B4 \leq G2$ ，其中， $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第一拐角部的末端的平均尺寸， $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第二拐角部的末端的平均尺寸， $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域的在所述第二方向上的平均尺寸，并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域的在所述第二方向上的平均尺寸，并且所述第一镀层和所述第二镀层中的至少一个的平均厚度小于所述绝缘层的平均厚度。

[0016] 根据本公开的另一方面，一种多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极与所述第二内电极之间，并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面、所述第二表面、所述第三表面和所述第四表面并且在第三方向上彼此相对的第五表面和第六表面；第一外电极，包括设置在所述第三表面上的第一连接电极和设置在所述第一表面上且连接到所述第一连接电极的第一带电极；第二外电极，包括设置在所述第四表面上的第二连接电极和设置在所述第一表面上且连接到所述第二连接电极的第二带电极；第一绝缘层，设置在所述第一连接电极上；第二绝缘层，设置在所述第二连接电极上；第一镀层，设置在所述第一带电极上；以及第二镀层，设置在所述第二带电极上。所述第一镀层和所述第二镀层中的至少一个的平均厚度小于所述第一绝缘层和所述第二绝缘层中的至少一个的平均厚度。

附图说明

[0017] 通过结合附图以及以下具体实施方式，本公开的以上和其他方面、特征及优点将被更清楚地理解。

[0018] 图1是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0019] 图2是图1的多层电子组件的主体的示意性立体图。

[0020] 图3是沿图1的线I-I'截取的截面图。

[0021] 图4是图2的主体的示意性分解立体图。

[0022] 图5是图1的多层电子组件安装在基板上的安装基板的示意性立体图。

[0023] 图6是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0024] 图7是沿图6的线II-II'截取的截面图。

[0025] 图8是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0026] 图9是沿图8的线III-III'截取的截面图。

[0027] 图10是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0028] 图11是沿图10的线IV-IV'截取的截面图。

[0029] 图12是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

- [0030] 图13是沿图12的线V-V'截取的截面图。
- [0031] 图14是根据本公开中的示例性实施例的多层电子组件的示意性立体图。
- [0032] 图15是沿图14的线VI-VI'截取的截面图。
- [0033] 图16是示出图14的变型示例的示图。
- [0034] 图17是根据本公开中的示例性实施例的多层电子组件的示意性立体图。
- [0035] 图18是沿图17的线VII-VII'截取的截面图。
- [0036] 图19是示出图17的变型示例的示图。
- [0037] 图20是根据本公开中的示例性实施例的多层电子组件的示意性立体图。
- [0038] 图21是沿图20的线VIII-VIII'截取的截面图。
- [0039] 图22是示出图20的变型示例的示图。
- [0040] 图23是根据本公开中的示例性实施例的多层电子组件的示意性立体图。
- [0041] 图24是沿图23的线IX-IX'截取的截面图。
- [0042] 图25是示出图23的变型示例的示图。
- [0043] 图26是根据本公开中的示例性实施例的多层电子组件的示意性立体图。
- [0044] 图27是沿图26的线X-X'截取的截面图。
- [0045] 图28是示出图25的变型示例的示图。
- [0046] 图29是根据本公开中的示例性实施例的多层电子组件的示意性立体图。
- [0047] 图30是沿图29的线XI-XI'截取的截面图。
- [0048] 图31是根据本公开中的示例性实施例的多层电子组件的示意性立体图。
- [0049] 图32是沿图31的线XII-XII'截取的截面图。
- [0050] 图33是图32的区域K1的放大图。
- [0051] 图34是根据本公开的一个示例性实施例的图15中的区域P的放大图。
- [0052] 图35是根据本公开的另一示例性实施例的图15中的区域P的放大图。
- [0053] 图36示出了图14的另一变型示例。
- [0054] 图37示出了图14的又一变型示例。

具体实施方式

[0055] 在下文中,将参照附图如下描述本公开的实施例。

[0056] 然而,本公开可以以许多不同的形式例示,并且不应被解释为局限于这里阐述的具体实施例。更确切地说,提供这些实施例使得本公开将是透彻的和完整的,并且将向本领域技术人员充分地传达本公开的范围。因此,为了清楚的描述,可夸大附图中的要素的形状和尺寸,并且在附图中,由相同的附图标记表示的要素是相同的要素。

[0057] 在附图中,可省略特定要素以清楚地示出本公开,并且为了清楚地表示多个层和区域,可放大厚度。将使用相同的附图标记来描述在相同构思的范围内具有相同功能的相同要素。此外,在整个说明书中,将理解的是,除非另有说明,否则当部分“包括”要素时,该部分还可包括另一要素,而不排除另一要素。

[0058] 在附图中,第一方向可指的是厚度方向T,第二方向可指的是长度方向L,第三方向可指的是宽度方向W。

[0059] 图1是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0060] 图2是图1的多层电子组件的主体的示意性立体图。

[0061] 图3是沿图1的线I-I'截取的截面图。

[0062] 图4是图2的主体的示意性分解立体图。

[0063] 图5是图1的多层电子组件安装在基板上的安装基板的示意性立体图。

[0064] 在下文中,将参照图1至图5描述根据本公开中的示例性实施例的多层电子组件1000。

[0065] 根据本公开中的示例性实施例的多层电子组件1000可包括:主体110,包括介电层111以及交替设置的第一内电极121和第二内电极122,且相应的介电层111介于第一内电极121与第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1、第二表面2、第三表面3和第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6;第一外电极131,包括设置在第三表面3上的第一连接部131a、从第一连接部131a延伸至第一表面1的一部分上的第一带部131b和从第一连接部131a延伸至第二表面2的一部分上的第三带部131c;第二外电极132,包括设置在第四表面4上的第二连接部132a、从第二连接部132a延伸至第一表面1的一部分上的第二带部132b和从第二连接部132a延伸至第二表面2的一部分上的第四带部132c;绝缘层151,设置在第二表面2上并设置为延伸至第一连接部131a的一部分和第二连接部132a的一部分上;第一镀层141,设置在第一带部131b上并且设置为延伸至与绝缘层151接触;以及第二镀层142,设置在第二带部132b上并且设置为延伸至与绝缘层151接触。第一镀层141和第二镀层142中的至少一个的厚度 t_1 小于绝缘层151的厚度 t_2 。此外,第一镀层141和第二镀层142中的每个的厚度 t_1 小于绝缘层151的厚度 t_2 。

[0066] 在主体110中,介电层111与内电极121和122可交替地层叠。

[0067] 主体110不限于特定形状,并且如附图中所示,主体110可具有六面体形状或类似于六面体形状的形状。因为用于形成主体110的陶瓷粉末颗粒在烧结主体的工艺中收缩,所以主体110可不具有含有完美直线的六面体的形状。然而,主体110可具有基本上六面体的形状。

[0068] 主体110可具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2、连接到第三表面3和第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6。

[0069] 在示例性实施例中,主体110可具有将第一表面1和第三表面3彼此连接的第1-3拐角、将第一表面1和第四表面4彼此连接的第1-4拐角、将第二表面2和第三表面3彼此连接的第2-3拐角以及将第二表面2和第四表面4彼此连接的第2-4拐角。第1-3拐角和第2-3拐角可具有随着接近第三表面3而向主体110的在第一方向上中央收缩的形状,并且第1-4拐角和第2-4拐角可具有随着接近第四表面4而向主体110的在第一方向上的中央收缩的形状。

[0070] 由于介电层111的没有设置内电极121和122的边缘区域叠置,因此可能由于内电极121和122的厚度而形成台阶,使得当相对于第一表面1观察时,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有向主体110的在第一方向上的中央收缩的形状,和/或当相对于第二表面2观察时,将第二表面2连接到第三表面3、第四表面4、

第五表面5和第六表面6的拐角可具有向主体110的在第一方向上的中央收缩的形状。可选地,由于在主体110的烧结工艺期间的收缩行为,当相对于第一表面1观察时,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有向主体110的在第一方向上的中央收缩的形状,和/或当相对于第二表面2观察时,将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有向主体110的在第一方向上的中央收缩的形状。可选地,当通过执行防止碎裂缺陷等的附加工艺使将主体110的相应表面彼此连接的拐角圆化时,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角和/或将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有圆化形状。

[0071] 拐角可包括将第一表面1和第三表面3彼此连接的第1-3拐角、将第一表面1和第四表面4彼此连接的第1-4拐角、将第二表面2和第三表面3彼此连接的第2-3拐角以及将第二表面2和第四表面4彼此连接的第2-4拐角。另外,拐角可包括将第一表面1和第五表面5彼此连接的第1-5拐角、将第一表面1和第六表面6彼此连接的第1-6拐角、将第二表面2和第五表面5彼此连接的第2-5拐角以及将第二表面2和第六表面6彼此连接的第2-6拐角。主体110的第一表面1、第二表面2、第三表面3、第四表面4、第五表面5和第六表面6可以是整体平坦表面,并且非平坦区域可以是拐角。在下文中,每个表面的延长线可指的是基于每个表面的平坦部分延伸的线。

[0072] 在外电极131和132中,设置在主体110的拐角上的区域可被称为拐角部,设置在主体110的第三表面3和第四表面4上的区域可被称为连接部,并且设置在主体110的第一表面1和第二表面2上的区域可被称为带部。

[0073] 当通过以下方式来形成边缘部114和115:层叠其上涂覆有用于内电极的导电膏的陶瓷生片,切割层叠的陶瓷生片以获得电容形成部Ac并将内电极暴露于电容形成部Ac的在第三方向(宽度方向)上的相对的侧表面,然后在电容形成部Ac的在第三方向(宽度方向)上的相对的侧表面上层叠单个介电层或者两个或更多个介电层,以抑制由内电极121和122形成的台阶时,将第一表面1连接到第五表面5和第六表面6的部分以及将第二表面2连接到第五表面5和第六表面6的部分可不具有上述收缩的形式。

[0074] 形成主体110的多个介电层111可处于烧结状态,并且相邻的介电层111可彼此一体化为使得它们之间的边界在不使用扫描电子显微镜(SEM)的情况下不容易区分。

[0075] 根据本公开中的示例性实施例,介电层111的原材料没有特别限制,只要可获得足够的电容即可。例如,可使用钛酸钡基材料、铅复合钙钛矿基材料、钛酸锶基材料等作为介电层111的原材料。钛酸钡基材料可包括 $BaTiO_3$ 基陶瓷粉末颗粒。 $BaTiO_3$ 基陶瓷粉末颗粒的示例可包括 $BaTiO_3$ 以及其中钙(Ca)、锆(Zr)等部分固溶于 $BaTiO_3$ 中的 $(Ba_{1-x}Ca_x)TiO_3$ ($0 < x < 1$)、 $Ba(Ti_{1-y}Ca_y)O_3$ ($0 < y < 1$)、 $(Ba_{1-x}Ca_x)(Ti_{1-y}Zr_y)O_3$ ($0 < x < 1$ 且 $0 < y < 1$)、 $Ba(Ti_{1-y}Zr_y)O_3$ ($0 < y < 1$)等。

[0076] 另外,根据本公开的目的,介电层111的原材料可包括添加到粉末颗粒(诸如钛酸钡($BaTiO_3$)粉末颗粒等)的各种陶瓷添加剂、有机溶剂、粘合剂、分散剂等。

[0077] 介电层111的平均厚度 t_d 不必受到限制。

[0078] 通常,当介电层形成为具有小于 $0.6\mu m$ 的小的平均厚度时,例如,当介电层的平均厚度小于或等于 $0.35\mu m$ 时,可靠性可能劣化。

[0079] 然而,根据示例性实施例,通过在外电极的连接部上设置绝缘层并在外电极的带部上设置镀层,可防止外部水分渗透和镀液渗透等以改善可靠性。因此,即使当介电层111的平均厚度小于或等于 $0.35\mu\text{m}$ 时,也可确保改善的可靠性。

[0080] 因此,当介电层111的平均厚度小于或等于 $0.35\mu\text{m}$ 时,根据本公开的可靠性改善效果可变得更显著。

[0081] 介电层111的平均厚度 t_d 可指的是设置在第一内电极121与第二内电极122之间的介电层111的平均厚度。

[0082] 介电层111的平均厚度可从通过用放大倍率10000的扫描电子显微镜(SEM)扫描主体110的在长度-厚度方向(L-T)上的截面而获得的图像来测量。更具体地,可通过在所获得的图像中测量一个介电层的在长度方向上以相等间隔设置的30个点处的厚度并对测量的厚度求平均值来获得介电层111的平均厚度。可在电容形成部 A_c 中指定以相等间隔设置的该30个点。此外,当测量10个介电层的平均厚度时,可进一步使介电层的平均厚度一般化。

[0083] 主体110可包括电容形成部 A_c 以及覆盖部112和113,电容形成部 A_c 设置在主体110中并且包括多个内电极121和122,多个内电极121和122设置为彼此面对,且相应的介电层111介于内电极121和122之间,覆盖部112和113在第一方向上分别设置在电容形成部 A_c 的上方和下方。

[0084] 另外,对形成电容器的电容有贡献的电容形成部 A_c 可通过重复层叠多个第一内电极121和多个第二内电极122且使相应的介电层111介于第一内电极121与第二内电极122之间而形成。

[0085] 覆盖部112和113可包括上覆盖部112和下覆盖部113,上覆盖部112在第一方向上设置在电容形成部 A_c 的上方,下覆盖部113在第一方向上设置在电容形成部 A_c 的下方。

[0086] 上覆盖部112和下覆盖部113可通过在厚度方向上分别在电容形成部 A_c 的上表面和下表面上层叠单个介电层或者两个或更多个介电层来形成,并且可基本上用于防止由物理应力或化学应力引起的对内电极的损坏。

[0087] 上覆盖部112和下覆盖部113不包括内电极,并且可包括与介电层111的材料相同的材料。

[0088] 例如,上覆盖部112和下覆盖部113可包括陶瓷材料(诸如钛酸钡(BaTiO_3)基陶瓷材料)。

[0089] 覆盖部112和113的平均厚度 t_c 不必受到限制。然而,覆盖部112和113的平均厚度 t_c 可小于或等于 $15\mu\text{m}$,以更容易地实现多层电子组件的小型化和高电容化。另外,根据示例性实施例,通过在外电极的连接部上设置绝缘层并在外电极的带部上设置镀层,可防止外部水分渗透和镀液渗透以改善可靠性。因此,即使当覆盖部112和113的平均厚度 t_c 小于或等于 $15\mu\text{m}$ 时,也可确保改善的可靠性。此外, t_c 还可表示覆盖部112和113中的每个的平均厚度。

[0090] 覆盖部112和113的平均厚度 t_c 可指的是覆盖部112和113的在第一方向上的尺寸,并且可以是在电容形成部 A_c 的上表面上以相等间隔设置的五个点处测量的上覆盖部112在第一方向上的尺寸或在电容形成部 A_c 的下表面上以相等间隔设置的五个点处测量的下覆盖部113在第一方向上的尺寸的平均值。

[0091] 另外,边缘部114和115可设置在电容形成部 A_c 的侧表面上。

[0092] 边缘部114和115可包括设置在电容形成部Ac的在宽度方向上的一个侧表面上的边缘部114和设置在电容形成部Ac的在宽度方向上的另一侧表面上的边缘部115。例如,边缘部114和115可分别设置在电容形成部Ac的在宽度方向上的相对的侧表面上。

[0093] 边缘部114和115可指的是:在沿宽度-厚度方向(W-T)截取的主体110的截面中,第一内电极121的两个末端和第二内电极122的两个末端与主体110的外表面之间的区域。

[0094] 边缘部114和115可基本上用于防止由物理应力或化学应力引起的对内电极的损坏。

[0095] 可通过以下方式来形成边缘部114和115:将导电膏涂覆到陶瓷生片(要形成边缘部的位置除外)以形成内电极。

[0096] 另外,为了抑制由内电极121和122形成的台阶,可通过以下方式来形成边缘部114和115:层叠涂覆有用于内电极的导电膏的陶瓷生片以获得层叠体,切割层叠体以获得电容形成部Ac并将内电极暴露于电容形成部Ac的在第三方向(宽度方向)上的相对的侧表面,然后在电容形成部Ac的在第三方向(宽度方向)上的相对的侧表面上层叠单个介电层或者两个或更多个介电层。

[0097] 边缘部114和115的平均厚度不必受到限制。然而,边缘部114或115的平均厚度可小于或等于15 μm ,以更容易地实现多层电子组件的小型化和高电容化。另外,根据示例性实施例,通过在外电极的连接部上设置绝缘层并设置在外电极的带部上设置镀层,可防止外部水分渗透和镀液渗透以改善可靠性。因此,即使当边缘部114或115的平均厚度小于或等于15 μm 时,也可确保改善的可靠性。

[0098] 边缘部114或115的平均厚度可指的是:在电容形成部Ac的侧表面上以相等间隔设置的五个点处测量的边缘部114或115的在第三方向上的尺寸的平均值。

[0099] 内电极121和122可与介电层111交替地层叠。

[0100] 内电极121和122可包括第一内电极121和第二内电极122。第一内电极121和第二内电极122可交替地设置为彼此面对,且相应的介电层111介于第一内电极121与第二内电极122之间以构成主体110,并且第一内电极121和第二内电极122可分别暴露于主体110的第三表面3和第四表面4。

[0101] 参照图3,第一内电极121可与第四表面4间隔开并可通过第三表面3暴露,并且第二内电极122可与第三表面3间隔开并可通过第四表面4暴露。第一外电极131可设置在主体的第三表面3上以连接到第一内电极121,并且第二外电极132可设置在主体的第四表面4上以连接到第二内电极122。

[0102] 例如,第一内电极121可不与第二外电极132连接,并且可与第一外电极131连接,第二内电极122可不与第一外电极131连接,并且可与第二外电极132连接。因此,第一内电极121可形成为与第四表面4间隔开预定距离,第二内电极122可形成为与第三表面3间隔开预定距离。

[0103] 在这种情况下,第一内电极121和第二内电极122可通过设置在它们之间的介电层111彼此电分离。

[0104] 主体110可通过以下方式来形成:交替层叠其上印刷有用于第一内电极121的导电膏的陶瓷生片和其上印刷有用于第二内电极122的导电膏的陶瓷生片,并烧结层叠的陶瓷生片。

[0105] 内电极121和122中的每个的材料不受限制,并且可以是具有优异导电性的材料。例如,内电极121和122可包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的至少一种。

[0106] 此外,内电极121和122可通过在陶瓷生片上印刷用于内电极的导电膏来形成,该导电膏包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的至少一种。印刷用于内电极的导电膏的方法可以是丝网印刷法、凹版印刷法等,但示例性实施例不限于此。

[0107] 内电极121和122的平均厚度 t_e 不必受到限制。

[0108] 通常,当内电极形成为具有小于 $0.6\mu\text{m}$ 的小的平均厚度时,例如,当内电极的平均厚度小于或等于 $0.35\mu\text{m}$ 时,可靠性可能劣化。

[0109] 然而,根据示例性实施例,通过在外电极的连接部上设置绝缘层并设在外电极的带部上设置镀层,可防止外部水分渗透和镀液渗透以改善可靠性。因此,即使当内电极121和122的平均厚度小于或等于 $0.35\mu\text{m}$ 时,也可确保改善的可靠性。

[0110] 因此,当内电极121和122的平均厚度小于或等于 $0.35\mu\text{m}$ 时,根据本公开的多层电子组件的上述效果可变得更显著,并且可更容易地实现多层电子组件的小型化和高电容化。

[0111] 内电极121和122的平均厚度 t_e 可指的是第一内电极121和第二内电极122中的每个的平均厚度。此外, t_e 还可表示第一内电极121或第二内电极122的平均厚度。

[0112] 内电极121和122的平均厚度可从通过用放大倍率为10000的扫描电子显微镜(SEM)扫描主体110的在长度-厚度方向(L-T)上的截面而获得的图像来测量。更具体地,可通过在获得的图像中测量一个内电极的在长度方向上以相等间隔设置的30个点处的厚度并对测量的厚度求平均值来获得内电极121和122的平均厚度。可在电容形成部Ac中指定以相等间隔设置的该30个点。另外,当测量10个内电极的平均厚度时,可进一步使内电极的平均厚度一般化。

[0113] 外电极131和132可设置在主体110的第三表面3和第四表面4上。外电极131和132可包括分别设置在主体110的第三表面3和第四表面4上的第一外电极131和第二外电极132,以分别连接到第一内电极121和第二内电极122。

[0114] 外电极131和132可包括第一外电极131和第二外电极132,第一外电极131包括设置在第三表面上的第一连接部131a和从第一连接部131a延伸至第一表面的一部分上的第一带部131b,第二外电极132包括设置在第四表面上的第二连接部132a和从第二连接部132a延伸至第一表面的一部分上的第二带部132b。第一连接部131a可在第三表面上连接到第一内电极121,并且第二连接部132a可在第四表面上连接到第二内电极122。

[0115] 另外,第一外电极131可包括从第一连接部131a延伸至第二表面的一部分上的第三带部131c,第二外电极132可包括从第二连接部132a延伸至第二表面的一部分上的第四带部132c。此外,第一外电极131可包括从第一连接部131a延伸至第五表面的一部分和第六表面的一部分上的第一侧带部,第二外电极132可包括从第二连接部132a延伸至第五表面的一部分和第六表面的一部分上的第二侧带部。

[0116] 然而,第三带部、第四带部、第一侧带部和第二侧带部可以不是本公开的必要组件。第一外电极131和第二外电极132可不设置在第二表面上,并且也可不设置在第五表面

和第六表面上。另外，第一连接部131a和第二连接部132a可设置为与第五表面和第六表面间隔开，并且第一连接部131a和第二连接部132a可设置为与第二表面间隔开。

[0117] 外电极131和132可设置在主体110的第三表面3和第四表面4上。外电极131和132可包括分别设置在主体110的第三表面3和第四表面4上的第一外电极131和第二外电极132，以分别连接到第一内电极121和第二内电极122。

[0118] 外电极131和132可包括第一外电极131和第二外电极132，第一外电极131包括设置在第三表面3上的第一连接部131a和从第一连接部131a延伸至第一表面1的一部分上的第一带部131b，第二外电极132包括设置在第四表面4上的第二连接部132a和从第二连接部132a延伸至第一表面1的一部分上的第二带部132b。第一连接部131a可在第三表面3上连接到第一内电极121，并且第二连接部132a可在第四表面4上连接到第二内电极122。

[0119] 另外，第一外电极131可包括从第一连接部131a延伸至第二表面2的一部分上的第三带部131c，第二外电极132可包括从第二连接部132a延伸至第二表面2的一部分上的第四带部132c。此外，第一外电极131可包括从第一连接部131a延伸至第五表面5的一部分和第六表面6的一部分上的第一侧带部，第二外电极132可包括从第二连接部132a延伸至第五表面5的一部分和第六表面6的一部分上的第二侧带部。

[0120] 然而，第三带部、第四带部、第一侧带部和第二侧带部可以不是本公开的必要组件。第一外电极131和第二外电极132可不设置在第二表面2上，或者可不设置在第五表面5和第六表面6上。由于第一外电极131和第二外电极132不设置在第二表面2上，因此第一外电极131和第二外电极132可设置在与主体的第二表面的延长线的高度相同或低于主体的第二表面的延长线的高度上。另外，参照示出了多层电子组件1005'、1005"的各种示例性实施例(图14中的多层电子组件1005的变型示例)的图36和图37，第一连接部131a-5'和第二连接部132a-5'可设置为与第五表面5和第六表面6间隔开，第一连接部131a-5"和第二连接部132a-5"可设置为与第二表面2间隔开。另外，第一带部131b和第二带部132b也可设置为与第五表面5和第六表面6间隔开。

[0121] 当第一外电极131和第二外电极132分别包括第三带部131c和第四带部132c时，绝缘层被示出为设置在第三带部131c和第四带部132c上。然而，示例性实施例不限于此，并且镀层可设置在第三带部131c和第四带部132c上以改善安装的容易性。另外，第一外电极131和第二外电极132可分别包括第三带部131c和第四带部132c，但可不包括侧带部。在这种情况下，第一连接部131a和第二连接部132a以及第一带部131b、第二带部132b、第三带部131c和第四带部132c可具有与第五表面和第六表面间隔开的形状。

[0122] 在本实施例中已经描述了多层电子组件1000具有两个外电极131和132的结构。然而，外电极131和132的数量和形状可根据内电极121和122的形状或其他目的而变化。

[0123] 外电极131和132可利用具有导电性的任意材料(诸如金属)形成，并且可考虑电特性、结构稳定性等来确定外电极131和132中的每个的具体材料。此外，外电极131和132可具有多层结构。

[0124] 外电极131和132可以是包括导电金属和玻璃的烧结电极，或者包括导电金属和树脂的树脂基电极。

[0125] 另外，外电极131和132可具有烧结电极和树脂基电极顺序地形成在主体上的形式。另外，外电极131和132可通过将包括导电金属的片材转印到主体的方法形成，或者可通

过将包括导电金属的片材转印到烧结电极的方法形成。

[0126] 外电极131和132中包括的导电金属不受限制,只要它是可电连接到内电极以形成电容的材料即可,并且可包括从由例如镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金组成的组中选择的至少一种。详细地,外电极131和132可包括镍(Ni)和Ni合金中的至少一种,因此,可进一步改善与包括Ni的内电极121和122的连接性。

[0127] 绝缘层151可设置在第二表面上并延伸至第一连接部131a的一部分和第二连接部132a的一部分上。

[0128] 由于第一连接部131a和第二连接部132a是连接到内电极121和122的部分,因此它们可以是在镀覆工艺中镀液渗透或在实际使用期间水分渗透所沿的路径。在本公开中,由于绝缘层151设置在连接部131a和132a上,因此可防止外部水分渗透或镀液渗透。

[0129] 绝缘层151可设置为与第一镀层141和第二镀层142接触。在这种情况下,绝缘层151可部分地覆盖第一镀层141的末端和第二镀层142的末端并与第一镀层141的末端和第二镀层142的末端接触,或者第一镀层141和第二镀层142可部分地覆盖绝缘层151的末端并与绝缘层151的末端接触。

[0130] 当外电极131和132不设置在第二表面上时,绝缘层151可设置为覆盖整个第二表面2。此外,绝缘层151不是必需设置在第二表面2上,绝缘层151可不设置在第二表面2的一部分或整个第二表面2上,并且绝缘层151可分成分别设置在第一连接部131a和第二连接部132a上的两个绝缘层。

[0131] 在示例性实施例中,绝缘层151可设置在第一连接部131a和第二连接部132a上。

[0132] 由于第一连接部131a和第二连接部132a是连接到内电极121和122的部分,因此它们可以是在镀覆工艺中镀液渗透或在实际使用期间水分渗透所沿的路径。在本公开中,绝缘层151设置在连接部131a和132a上,从而可防止外部水分渗透或镀液渗透。

[0133] 绝缘层151可设置为与第一镀层141和第二镀层142接触。在这种情况下,绝缘层151可部分地覆盖第一镀层141的末端和第二镀层142的末端并与第一镀层141的末端和第二镀层142的末端接触,或者第一镀层141和第二镀层142可部分地覆盖绝缘层151的末端并与绝缘层151的末端接触。

[0134] 绝缘层151可设置在第一连接部131a和第二连接部132a上,并且可设置为覆盖第二表面以及第三带部131c和第四带部132c。在这种情况下,绝缘层151可设置为覆盖第三带部131c和第四带部132c以及第二表面的未设置第三带部131c和第四带部132c的区域。因此,绝缘层151可覆盖第三带部131c的末端和第四带部132c的末端与主体110彼此接触的区域,以阻挡水分渗透,从而进一步改善防潮可靠性。

[0135] 绝缘层151可设置在第二表面上并延伸至第一连接部131a和第二连接部132a。此外,当外电极131和132不设置在第二表面上时,绝缘层可设置为覆盖整个第二表面。绝缘层151不是必需设置在第二表面上。绝缘层151可不设置在第二表面的一部分或整个第二表面上,并且可分成分别设置在第一连接部131a和第二连接部132a上的两个绝缘层。当绝缘层不设置在第二表面上时,绝缘层可设置在与第二表面的延长线的高度相同或低于第二表面的延长线的高度的高度上。另外,绝缘层可不设置在第二表面上,而是设置在第一连接部131a和第二连接部132a上并延伸至第五表面和第六表面,从而构成单个绝缘层。

[0136] 此外,绝缘层151可设置为覆盖第一侧带部的一部分和第二侧带部的一部分以及第五表面的一部分和第六表面的一部分。在这种情况下,第五表面和第六表面的未覆盖有绝缘层151覆盖的部分可暴露于外部。

[0137] 另外,绝缘层151可设置为覆盖整个第一侧带部、整个第二侧带部、整个第五表面和整个第六表面。在这种情况下,第五表面和第六表面可不暴露于外部,从而改善防潮可靠性。此外,连接部131a和132a可不直接暴露于外部,从而改善多层电子组件1000的可靠性。例如,绝缘层151可覆盖整个第一侧带部和整个第二侧带部,并且可覆盖第五表面和第六表面的除了形成第一侧带部和第二侧带部的区域之外的所有区域。

[0138] 绝缘层151可用于防止镀层141和142形成在外电极131和132的其上设置有绝缘层151的区域上,并且可用于改善密封特性以防止水分或镀液从外部渗透。

[0139] 绝缘层151的材料不必受到限制,并且绝缘层151可包括绝缘材料以具有电绝缘性质。例如,绝缘层151中包括的绝缘材料可以是选自由环氧树脂、丙烯酸树脂、乙基纤维素等组成的组中的至少一种,或者可以是玻璃。例如,详细地,绝缘层151的材料可以是具有改善的阻镀液性并且硅(Si)的摩尔百分比大于或等于20mol%且小于或等于65mol%的玻璃材料。

[0140] 当绝缘层151包括玻璃时,绝缘层151的分层发生的可能性高。然而,根据示例性实施例,镀层可形成为厚度 t_1 小于绝缘层的厚度 t_2 ,以减小镀层和绝缘层彼此接触的面积,使得即使当绝缘层151包括玻璃时也可有效地防止分层的发生。因此,当绝缘层151包括玻璃时,防止绝缘层151的分层的效果可更显著。

[0141] 形成绝缘层151的方法不必受到限制。例如,绝缘层151可通过以下方式形成:在主体110上形成外电极131和132,形成基体层,将包含玻璃粉末颗粒的膏涂覆到所得结构或将所得结构浸入包含玻璃的膏中,或者将包含玻璃粉末颗粒的片材转印到连接部131a和132a以及带部131c和132c,然后进行热处理。

[0142] 第一镀层141和第二镀层142可分别设置在第一带部131b和第二带部132b上。镀层141和142可用于改善安装特性。由于镀层141和142设置在带部131b和132b上,因此可显著减小安装空间并且可显著减少镀液渗透到内电极中,以改善可靠性。第一镀层141的一个末端和第二镀层142的一个末端可与第一表面接触,并且第一镀层141的另一末端和第二镀层142的另一末端可与绝缘层151接触。

[0143] 镀层141和142的类型不受限制,并且镀层141和142中的每个可以是包括Cu、Ni、Sn、Ag、Au、Pd以及它们的合金(例如,PdNi)中的至少一种的镀层,并可形成为多个层。

[0144] 作为镀层141和142的更具体的示例,镀层141和142可以是Ni镀层或Sn镀层,或者可具有Ni镀层和Sn镀层顺序地形成在第一带部131b和第二带部132b上的形式。

[0145] 第一镀层141和第二镀层142中的至少一个的平均厚度 t_1 可小于绝缘层151的平均厚度 t_2 。

[0146] 绝缘层151可用于防止外部水分渗透或镀液渗透,但与镀层141和142的连接性可能降低,从而导致镀层141和142的分层。当镀层分层时,多层电子组件1000与基板180之间的粘附强度可能降低。“镀层141和142的分层”可表示镀层被部分地去除或与外电极131和132物理地分离。由于镀层与绝缘层之间的连接性较弱,因此绝缘层与镀层之间的界面处的间隙增大或者异物通过间隙渗透的可能性高,并且镀层由于易受外部冲击等而分层的可能

性高。

[0147] 根据本发明人的研究,证实了绝缘层和镀层彼此接触的面积与镀层分层的可能性成比例。根据示例性实施例,镀层可形成为平均厚度 t_1 小于绝缘层的平均厚度 t_2 ,使得镀层和绝缘层彼此接触的面积可减小。因此,可抑制分层的发生以提高多层电子组件1000与基板180之间的粘附强度。

[0148] 第一镀层141或第二镀层142的平均厚度 t_1 可以是在第一连接部131a和第二连接部132a或第一带部131b和第二带部132b上以相等间隔设置的五个点处测量的第一镀层141或第二镀层142的厚度的平均值,并且绝缘层151的平均厚度 t_2 可以是在第一连接部131a和第二连接部132a上以相等间隔设置的五个点处测量的绝缘层151的厚度的平均值。也可使用本领域普通技术人员理解的即使在本公开中没有描述的其他测量方法和/或工具。

[0149] 在示例性实施例中, t_1/t_2 小于或等于0.67,其中, t_1 是第一镀层141和第二镀层142中的至少一个的平均厚度,并且 t_2 是绝缘层151的平均厚度。此外,在本文中, t_1 还可以是第一镀层141和第二镀层142中的每个的平均厚度。

[0150] 表1示出了在改变第一镀层141或第二镀层142的平均厚度 t_1 和绝缘层151的平均厚度 t_2 时是否发生分层的情况。

[0151] 为了确定是否发生分层,每个测试编号制备400个样品并进行带测试。当镀层分离时,镀层被确定为分层,并且分层的镀层的数量列于表1中。

[0152] 表1

[0153]

测试编号	t_1 (μm)	t_2 (μm)	t_1/t_2	分层
1	12	8	1.5	181/400
2	8	8	1	113/400
3	7.2	8	0.9	98/400
4	6.4	8	0.8	93/400
5	5.6	8	0.7	87/400
6	5.36	8	0.67	13/400
7	4.8	8	0.6	3/400
8	4.0	8	0.5	0/400
9	3.2	8	0.4	0/400

[0154] 测试编号1是镀层的平均厚度 t_1 大于绝缘层的平均厚度 t_2 的情况,并且可看出,发生分层的次数最多。

[0155] 参照测试编号1至9,可看出,随着 t_1/t_2 减小,发生分层的次数减小。

[0156] 在镀层的平均厚度 t_1 小于绝缘层的平均厚度 t_2 的测试编号3至9中,有100个或更少(具体地,98个或更少)的样品发生分层,并且分层率小于25%。因此,可看出,详细地,镀层的平均厚度 t_1 可小于绝缘层的平均厚度 t_2 。

[0157] 此外,可看出,与 t_1/t_2 为0.7的测试编号5相比,在 t_1/t_2 为0.67的测试编号6中,分层的发生显著减少。因此,更详细地, t_1/t_2 可小于或等于0.67。

[0158] 例如,在 t_1/t_2 小于或等于0.5的测试编号8和9中,在400个样品中没有发生分层的样品。因此,更详细地, t_1/t_2 可小于或等于0.5。

[0159] t_1/t_2 的下限不必受到限制。然而,当镀层具有显著小的厚度时,可能发生未镀覆

并且粘附强度可能降低。当绝缘层具有显著大的厚度时,每单位体积的电容可能降低。因此, t_1/t_2 可大于或等于0.025。

[0160] 在示例性实施例中,第一镀层和/或第二镀层的平均厚度 t_1 可大于或等于 $0.5\mu\text{m}$ 且小于或等于 $15\mu\text{m}$ 。

[0161] 当第一镀层或第二镀层的平均厚度 t_1 小于 $0.5\mu\text{m}$ 时,可能发生未镀覆并且粘附强度可能降低。当第一镀层或第二镀层的平均厚度 t_1 大于 $15\mu\text{m}$ 时,镀层中的应力可能增大以使基板剥离,使得粘附强度可能降低。

[0162] 在示例性实施例中,绝缘层151的平均厚度 t_2 可大于或等于 $1\mu\text{m}$ 且小于或等于 $20\mu\text{m}$ 。

[0163] 当绝缘层151的平均厚度 t_2 小于 $1\mu\text{m}$ 时,通过绝缘层防止水分或镀液渗透的效果可能不足。当绝缘层151的平均厚度 t_2 大于 $20\mu\text{m}$ 时,每单位体积的电容可能减小。

[0164] 在示例性实施例中,第一镀层141和第二镀层142可设置为延伸以分别部分地覆盖第一连接部131a和第二连接部132a。在本实施例中, $H_1 > H_2$,其中, H_1 是在第一方向上从第一表面1到第一内电极121和第二内电极122中设置为最靠近第一表面1的内电极的平均尺寸, H_2 是在第一方向上从第一表面1的延长线E1到第一镀层141的设置在第一连接部131a上的末端或第二镀层142的设置在第二连接部132a上的末端的平均尺寸。因此,可抑制在镀覆工艺期间镀液渗透到内电极中,以改善可靠性。

[0165] 平均尺寸 H_1 和 H_2 可以是在第三方向上在相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1000的截面(L-T截面)中测量的值的平均值。平均尺寸 H_1 可以是在每个截面中在设置为最靠近第一表面1的内电极连接到外电极的点处测量的值的平均值,并且平均尺寸 H_2 可以是基于镀层的设置在外电极的连接部上的末端测量的值的平均值。在测量平均尺寸 H_1 和 H_2 时用作基准的第一表面的延长线可相同。此外,在本文中, H_2 还可以是在第一方向上从第一表面1的延长线E1到第一镀层141的设置在第一连接部131a上的末端和第二镀层142的设置在第二连接部132a上的末端中的每个的平均尺寸。

[0166] 在示例性实施例中, $0.2 \leq B_1/L \leq 0.4$ 且 $0.2 \leq B_2/L \leq 0.4$,其中, L 是主体110的在第二方向上的平均尺寸, B_1 是在第二方向上从第三表面的延长线E3到第一带部的末端的平均尺寸,并且 B_2 是在第二方向上从第四表面的延长线E4到第二带部的末端的平均尺寸。

[0167] 当 B_1/L 小于0.2并且/或者 B_2/L 小于0.2时,可能难以确保足够的粘附强度。另一方面,当 B_1/L 大于0.4并且/或者 B_2/L 大于0.4时,在高电压电流下可能在第一带部131b与第二带部132b之间产生漏电流,并且第一带部131b和第二带部132b可能在镀覆工艺期间通过镀覆扩散等彼此电连接。

[0168] 平均尺寸 B_1 、 B_2 和 L 可以是在第三方向上在相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1000的截面(L-T截面)中测量的值的平均值。

[0169] 参照示出了多层电子组件1000安装在基板180上的安装基板1100的图5,多层电子组件1000的镀层141和142可通过焊料171和172与设置在基板180上的电极焊盘181和182结合。

[0170] 当内电极121和122沿第一方向层叠时,多层电子组件1000可水平地安装在基板180上,使得内电极121和122与安装表面平行。然而,示例性实施例不限于水平安装的情况。当内电极121和122沿第三方向层叠时,多层电子组件1000可垂直地安装在基板180上,使得

内电极121和122与安装表面垂直。

[0171] 多层电子组件1000的尺寸不必受到限制。

[0172] 然而,为了同时实现小型化和高电容化,可减小介电层和内电极的厚度以增加层叠的层数。因此,在具有1005(长度×宽度,1.0mm×0.5mm)或更小的尺寸的多层电子组件1000中,改善可靠性和提高每单位体积的电容的效果可变得更显著。

[0173] 因此,当考虑到制造误差和外电极的尺寸,多层电子组件1000具有小于或等于1.1mm的长度和小于或等于0.55mm的宽度时,根据本公开的可靠性改善效果可更显著。多层电子组件1000的长度可指的是多层电子组件1000的在第二方向上的最大尺寸,并且多层电子组件1000的宽度可指的是多层电子组件1000的在第三方向上的最大尺寸。

[0174] 图6是根据本公开中的示例性实施例的多层电子组件1001的示意性立体图。图7是沿图6的线II-II'截取的截面图。

[0175] 参照图6和图7,在根据示例性实施例的多层电子组件1001中,第一镀层141-1和第二镀层142-1可设置在与第一表面的延长线E1的高度相同或低于第一表面的延长线E1的高度上。因此,在安装期间,焊料的高度可显著减小,并且安装空间可显著减小。

[0176] 此外,绝缘层151-1可设置为延伸至与第一表面的延长线的高度相同或低于第一表面的延长线的高度,以与第一镀层141-1和第二镀层142-1接触。

[0177] 图8是根据本公开中的示例性实施例的多层电子组件1002的示意性立体图。图9是沿图8的线III-III'截取的截面图。

[0178] 参照图8和图9,根据示例性实施例的多层电子组件1002还可包括设置在第一表面1上并且设置在第一带部131b与第二带部132b之间的附加绝缘层161。更具体地,例如,附加绝缘层161可设置在第一表面1上并且设置在第一镀层141与第二镀层142之间。因此,可防止在高电压电流下可能在第一带部131b与第二带部132b之间产生的漏电流等。

[0179] 附加绝缘层161的类型不必受到限制。例如,附加绝缘层161可以是环环氧树脂、丙烯酸树脂、乙基纤维素等组成的组中选择的至少一种。除了上述聚合物树脂之外,附加绝缘层161还可包括从由TiO₂、BaTiO₃、Al₂O₃、SiO₂、BaO等组成的组中选择的至少一种作为添加剂。因此,可改善与主体或外电极的粘附性。附加绝缘层161和绝缘层151的材料可相同,或者可彼此不同。

[0180] 图10是根据本公开中的示例性实施例的多层电子组件1003的示意性立体图。图11是沿图10的线IV-IV'截取的截面图。

[0181] 参照图10和图11,根据示例性实施例的多层电子组件1003可满足 $H1 < H2$,其中, $H1$ 是在第一方向上从第一表面1到第一内电极121和第二内电极122中设置为最靠近第一表面1的内电极的平均尺寸,并且 $H2$ 是在第一方向上从第一表面1的延长线E1到镀层141-3和142-3的设置于连接部131a和132a上的末端的平均尺寸。因此,可增大在安装期间与焊料接触的面积以改善粘附强度。此外,绝缘层151-3可设置为与镀层141-3和142-3的设置于连接部131a和132a上的末端接触。

[0182] 更详细地, $H2 < T/2$,其中, T 是主体110的在第一方向上的平均尺寸。例如, $H1 < H2 < T/2$ 。这是因为当平均尺寸 $H2$ 大于或等于 $T/2$ 时,通过绝缘层改善防潮可靠性的效果可能降低。

[0183] 平均尺寸 $H1$ 、 $H2$ 和 T 可以是在第三方向上在相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1003的截面(L-T截面)中测量的值的平均值。平均尺寸 $H1$ 可以

是在每个截面中在设置为最靠近第一表面1的内电极连接到外电极的点处测量的值的平均值,并且平均尺寸H2可以是在每个截面中相对于镀层的设置在外电极的连接部上的末端测量的值的平均值。另外,平均尺寸T可以是在每个截面中测量主体110的在第一方向上的最大尺寸之后通过求平均值而获得的值。

[0184] 图12是根据本公开中的示例性实施例的多层电子组件1004的示意性立体图。图13是沿图12的线V-V' 截取的截面图。

[0185] 参照图12和图13,在根据示例性实施例的多层电子组件1004中,第一带部131b-4的平均尺寸B1可大于第三带部131c-4的平均尺寸B3,并且第二带部132b-4的平均尺寸B2可大于第四带部132c-4的平均尺寸B4。因此,可增大在安装期间与焊料接触的面积以改善粘附强度。

[0186] 更详细地, $B_3 < B_1$ 且 $B_4 < B_2$,其中,B1是在第二方向上从第三表面3的延长线E3到第一带部131b-4的末端的平均尺寸,B2是在第二方向上从第四表面4的延长线E4到第二带部132b-4的末端的平均尺寸,B3是在第二方向上从第三表面3的延长线E3到第三带部131c-4的末端的平均尺寸,并且B4是在第二方向上从第四表面4的延长线E4到第四带部132c-4的末端的平均尺寸。

[0187] 在这种情况下, $0.2 \leq B_1/L \leq 0.4$ 且 $0.2 \leq B_2/L \leq 0.4$,其中,L是主体110的在第二方向上的平均尺寸。

[0188] 平均尺寸B1、B2、B3、B4和L可以是在第三方向上在相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1004的截面(L-T截面)中测量的值的平均值。

[0189] 第一外电极131-4可包括从第一连接部131a-4延伸至第五表面的一部分和第六表面的一部分的第一侧带部,并且第二外电极132-4可包括从第二连接部132a-4延伸至第五表面的一部分和第六表面的一部分的第二侧带部。在这种情况下,第一侧带部和第二侧带部的在第二方向上的尺寸可在朝向第一表面的方向上逐渐增大。例如,第一侧带部和第二侧带部可设置为具有渐变的形状或梯形形状。

[0190] 此外, $B_3 \leq G_1$ 且 $B_4 \leq G_2$,其中,B3是在第二方向上从第三表面的延长线E3到第三带部131c-4的末端的平均尺寸,B4是在第二方向上从第四表面的延长线E4到第四带部132c-4的末端的平均尺寸,G1是第三表面与第二内电极122彼此间隔开区域的在第二方向上的平均尺寸,并且G2是第四表面与第一内电极121彼此间隔开区域的在第二方向上的平均尺寸。因此,外电极占据的体积可显著减小,以增大多层电子组件1004的每单位体积的电容。

[0191] 平均尺寸G1可以是在从主体的在第三方向上的中央沿第一方向和第二方向截取的主体的截面中,通过对相对于设置在第一方向上的中央部分中的五个任意的第二内电极测量的与第三表面间隔开区域的在第二方向上的尺寸求平均值而获得的值,并且平均尺寸G2可以是在从主体的在第三方向上的中央沿第一方向和第二方向截取的主体的截面中,通过对相对于设置在第一方向上的中央部分中的五个任意的第一内电极测量的与第四表面间隔开区域的在第二方向上的尺寸求平均值而获得的值。

[0192] 此外,可在第三方向上在相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1004的截面(L-T截面)中获得平均尺寸G1和G2,从而可进一步使平均尺寸G1和G2一般化。

[0193] 然而,本公开不旨在限于 $B3 \leq G1$ 且 $B4 \leq G2$,并且可包括 $B3 \geq G1$ 且 $B4 \geq G2$ 的情况作为示例性实施例。因此,在示例性实施例中, $B3 \geq G1$ 且 $B4 \geq G2$,其中, $B3$ 是在第二方向上从第三表面的延长线到第三带部的末端的平均尺寸, $B4$ 是在第二方向上从第四表面的延长线到第四带部的末端的平均尺寸, $G1$ 是第三表面与第二内电极彼此间隔开的区域的在第二方向上的平均尺寸,并且 $G2$ 是第四表面与第一内电极彼此间隔开的区域的在第二方向上的平均尺寸。

[0194] 在示例性实施例中, $B1 \geq G1$ 且 $B2 \geq G2$,其中, $B1$ 是在第二方向上从第三表面的延长线 $E3$ 到第一带部的末端的平均尺寸,并且 $B2$ 是在第二方向上从第四表面的延长线 $E4$ 到第二带部的末端的平均尺寸。因此,可改善多层电子组件1004与基板180之间的粘附强度。

[0195] 图14是根据本公开中的示例性实施例的多层电子组件1005的示意性立体图。图15是沿图14的线VI-VI'截取的截面图。

[0196] 参照图14和图15,根据示例性实施例的多层电子组件1005的第一外电极131-5和第二外电极132-5可不设置在第二表面上,并且可设置在第三表面、第四表面和第一表面上以具有“L”形状。例如,第一外电极131-5和第二外电极132-5可设置在与第二表面的延长线 $E2$ 的高度相同或低于第二表面的延长线 $E2$ 的高度的高度上。

[0197] 第一外电极131-5可包括设置在第三表面3上的第一连接部131a-5和从第一连接部131a-5延伸至第一表面1的一部分上的第一带部131b-5。第二外电极132-5可包括设置在第四表面4上的第二连接部132a-5和从第二连接部132a-5延伸至第一表面1的一部分上的第二带部132b-5。外电极131-5和132-5可不设置在第二表面2上,使得绝缘层151-5可设置为覆盖整个第二表面2。因此,外电极131-5和132-5占据的体积可显著减小,以进一步提高多层电子组件1005的每单位体积的电容。然而,绝缘层151-5不必局限于覆盖整个第二表面2的形式,并且绝缘层不覆盖第二表面2的一部分或整个第二表面2,并可具有被分成分别覆盖第一连接部131a-5和第二连接部132a-5的两个绝缘层的形式。

[0198] 另外,绝缘层151-5可设置为覆盖第五表面的一部分和第六表面的一部分,以进一步改善可靠性。在这种情况下,第五表面和第六表面的未覆盖有绝缘层151-5的部分可暴露于外部。

[0199] 此外,绝缘层151-5可设置为覆盖整个第五表面和整个第六表面。在这种情况下,第五表面和第六表面可不暴露于外部,从而进一步改善防潮可靠性。

[0200] 第一镀层141-5可设置在第一带部131b-5上,并且第二镀层142-5可设置在第二带部132b-5上。第一镀层141-5和第二镀层142-5可设置为分别延伸至第一连接部131a-5的一部分和第二连接部132a-5的一部分上。

[0201] 在这种情况下,外电极131-5和132-5甚至可不设置在第五表面5和第六表面6上。例如,外电极131-5和132-5可仅设置在第三表面、第四表面和第一表面上。

[0202] 另外, $H1 < H2$,其中, $H1$ 是在第一方向上从第一表面1到第一内电极121和第二内电极122中设置为最靠近第一表面1的内电极的平均尺寸,并且 $H2$ 是在第一方向上从第一表面1的延长线 $E1$ 到镀层141-5和142-5的设置连接部131a-5和132a-5上的末端的平均尺寸。因此,可增大在安装期间与焊料接触的面积以改善粘附强度,并且可增大外电极131-5和132-5与镀层141-5和142-5之间的接触面积以抑制等效串联电阻(ESR)的增大。

[0203] 更详细地, $H2 < T/2$,其中, T 是主体110的在第一方向上的平均尺寸。例如, $H1 < H2 < T/$

2。这是因为当 H_2 大于或等于 $T/2$ 时,通过绝缘层改善防潮可靠性的效果可能降低。

[0204] 第一镀层141-5和第二镀层142-5可设置为覆盖绝缘层151-5的在第三表面和第四表面上的一部分。例如,如图34中所示,第一镀层141-5可设置为覆盖绝缘层151-5的在第三表面上的末端。并且,第二镀层142-5可设置为覆盖绝缘层151-5的在第四表面上的末端。因此,可增大绝缘层151-5与镀层141-5和142-5之间的粘附性,以改善多层电子组件1005的可靠性。

[0205] 绝缘层151-5可设置为覆盖第一镀层141-5的在第三表面上的一部分和第二镀层142-5的在第四表面上的一部分。例如,如图35中所示,绝缘层151-5可设置为覆盖第一镀层141-5的在第三表面上的末端。并且,绝缘层151-5可设置为覆盖第二镀层142-5的在第四表面上的末端。因此,可增大绝缘层151-5与镀层141-5和142-5之间的粘附性,以改善多层电子组件1005的可靠性。

[0206] 图16示出了图14的变型示例。参照图16,在根据示例性实施例的多层电子组件1005的变型示例(多层电子组件1006)中,第一外电极131-6和第二外电极132-6可具有其中第一外电极和第二外电极不设置在第二表面上的“L”形状。

[0207] 第一外电极131-6可包括设置在第三表面3上的第一连接部131a-6和从第一连接部131a-6延伸至第一表面的一部分上的第一带部131b-6。第二外电极132a-6可包括设置在第四表面4上的第二连接部132a-6和从第二连接部132a-6延伸至第一表面1的一部分上的第二带部132b-6。由于外电极131-6和132-6不设置在第二表面上,因此绝缘层151-5可覆盖整个第二表面2。在这种情况下,外电极131-6和132-6甚至可不设置在第五表面5和第六表面6上。例如,外电极131-6和132-6可仅设置在第三表面、第四表面和第一表面上。

[0208] 第一附加电极层134可设置在第一连接部131a-6与第三表面之间,并且第二附加电极层135可设置在第二连接部132a-6与第四表面之间。第一附加电极层134可设置在不超出第三表面之外的范围内,并且第二附加电极层135可设置在不超出第四表面之外的范围内。

[0209] 第一附加电极层134和第二附加电极层135可改善内电极121和122与外电极131-6和132-6之间的电连接性,并且可具有与外电极131-6和132-6的改善的粘附性,以用于进一步改善外电极131-6和132-6与主体110之间的机械粘附性。

[0210] 第一附加电极层134和第二附加电极层135可利用具有导电性的任意材料(诸如金属)形成,并且可考虑电特性、结构稳定性等来确定第一附加电极层134和第二附加电极层135中的每个的具体材料。另外,第一附加电极层134和第二附加电极层135中的每个可以是包括导电金属和玻璃的烧结电极,或者包括导电金属和树脂的树脂基电极。第一附加电极层134和第二附加电极层135可通过将包括导电金属的片材转印到主体上来形成。

[0211] 可使用具有改善的导电性的材料作为第一附加电极层134和第二附加电极层135中包括的导电金属,但是该导电金属不受限制。例如,导电金属可以是Cu、Ni、Pd、Ag、Sn、Cr以及它们的合金中的至少一种。详细地,第一附加电极层134和第二附加电极层135可包括Ni和Ni合金中的至少一种。因此,可进一步改善与包括Ni的内电极121和122的连接性。

[0212] 图17是根据本公开中的示例性实施例的多层电子组件2000的示意性立体图。图18是沿图17的线VII-VII'截取的截面图。

[0213] 参照图17和图18,根据示例性实施例的多层电子组件2000可包括:主体110,包括

介电层111以及交替设置的第一内电极121和第二内电极122,且相应的介电层111介于第一内电极121与第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1、第二表面2、第三表面3和第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6;第一外电极231,包括设置在第三表面3上的第一连接电极231a和设置在第一表面1上并连接到第一连接电极231a的第一带电极231b;第二外电极232,包括设置在第四表面4上的第二连接电极232a和设置在第一表面1上并连接到第二连接电极232a的第二带电极232b;第一绝缘层251,设置在第一连接电极231a上;第二绝缘层252,设置在第二连接电极232a上;第一镀层241,设置在第一带电极231b上;以及第二镀层242,设置在第二带电极232b上。第一镀层241和第二镀层242中的至少一个的平均厚度 t_1 小于第一绝缘层251和第二绝缘层252中的至少一个的平均厚度 t_2 。此外,第一镀层241的平均厚度 t_1 小于第一绝缘层251的平均厚度 t_2 ,并且/或者第二镀层242的平均厚度 t_1 小于第二绝缘层252的平均厚度 t_2 。

[0214] 第一连接电极231a可设置在第三表面3上以连接到第一内电极121,并且第二连接电极232a可设置在第四表面4上以连接到第二内电极122。另外,第一绝缘层251可设置在第一连接电极231a上,并且第二绝缘层252可设置在第二连接电极232a上。

[0215] 在现有技术中,当形成外电极时,主要使用将主体的内电极暴露在其上的表面浸渍到包括导电金属的膏中的方法。然而,在通过浸渍法形成的外电极中,在主体的在厚度方向上的中央部分处的外电极的厚度可能显著较大。除了由浸渍法导致的外电极的厚度不均匀问题之外,由于内电极暴露于主体的第三表面和第四表面,设置在第三表面和第四表面上的外电极中的每个可形成厚度大于或等于预定厚度,以抑制水分和镀液通过外电极渗透。

[0216] 然而,在本公开中,绝缘层251和252设置在连接电极231a和232a上,使得即使当连接电极231a和232a在内电极暴露在其上的第三表面和第四表面上形成为薄的厚度时,也可确保足够的可靠性。

[0217] 第一连接电极231a和第二连接电极232a可分别具有与第三表面和第四表面对应的形状。从第一连接电极231a和第二连接电极232a中的每个朝向主体110的表面可具有与主体110的第三表面和第四表面中的相应表面的面积相同的面积。第一连接电极231a和第二连接电极232a可分别设置在不超出第三表面3和第四表面4之外的范围内。连接电极231a和232a可设置为不延伸至主体110的第一表面1、第二表面2、第五表面5和第六表面6上。例如,在示例性实施例中,第一连接电极231a和第二连接电极232a可设置为与第五表面5和第六表面6间隔开。因此,在确保内电极121和122与外电极231和232之间充分连接的同时,外电极占据的体积可显著减小,以进一步增大多层电子组件2000的每单位体积的电容。

[0218] 在这方面,第一连接电极231a和第二连接电极232a可设置为与第二表面2间隔开。例如,当外电极231和232不设置在第二表面2上时,外电极231和232占据的体积可进一步显著减小,以进一步增大多层电子组件2000的每单位体积的电容。

[0219] 然而,连接电极231a和232a可包括延伸至主体110的拐角以设置在拐角上的拐角部。例如,在示例性实施例中,第一连接电极可包括设置为延伸至第1-3拐角和第2-3拐角上的拐角部,并且第二连接电极可包括设置为延伸至第1-4拐角和第2-4拐角上的拐角部。

此外,第一绝缘层和/或第二绝缘层的平均厚度大于或等于 $1\mu\text{m}$ 且小于或等于 $20\mu\text{m}$ 。

[0230] 第一带电极231b和第二带电极232b可设置在主体110的第一表面1上。第一带电极231b和第二带电极232b可分别与第一连接电极231a和第二连接电极232a接触,以分别电连接到第一内电极121和第二内电极122。

[0231] 根据现有技术的通过浸渍法形成的外电极可在第三表面和第四表面上具有大的厚度,并且可部分地延伸至第一表面、第二表面、第五表面和第六表面,使得可能难以确保高的有效体积比。

[0232] 然而,根据本公开中的示例性实施例,第一连接电极231a和第二连接电极232a可设置在主体110的内电极暴露在其上的表面上,并且第一带电极231b和第二带电极232b可设置在主体110的将要安装于基板上的表面上,从而可确保高的有效体积比。

[0233] 当内电极121和122沿第一方向层叠时,多层电子组件2000可水平地安装在基板上,使得内电极121和122与安装表面平行。然而,本公开不限于水平安装多层电子组件2000的情况,并且当内电极121和122沿第三方向层叠时,多层电子组件2000可垂直地安装在基板上,使得内电极121和122与安装表面垂直。

[0234] 第一带电极231b和第二带电极232b可利用任意材料(诸如金属)形成,只要其具有导电性即可,并且可考虑电特性和结构稳定性来确定具体材料。例如,第一带电极231b和第二带电极232b可以是包括导电金属和玻璃的烧结电极,并且可使用将包括导电金属和玻璃的膏涂覆到主体的第一表面的方法来形成。然而,示例性实施例不限于此,并且第一带电极231b和第二带电极232b中的每个可以是通过在主体的第一表面上镀覆导电金属而形成的镀层。

[0235] 可使用具有改善的导电性的材料作为第一带电极231b和第二带电极232b中包括的导电金属,并且该导电金属不受限制。例如,导电金属可以是镍(Ni)、铜(Cu)以及它们的合金中的至少一种,并且可包括与内电极121和122中包括的金属相同的金属。

[0236] 第一带电极231b和第二带电极232b可利用具有导电性的任意材料(诸如金属)形成,并且可考虑电特性、结构稳定性等来确定第一带电极231b和第二带电极232b中的每个的具体材料。此外,第一带电极231b和第二带电极232b中的每个可以是包括导电金属和玻璃的烧结电极,并且可通过将包括导电金属的片材转印到主体的第一表面上来形成。

[0237] 可使用具有改善的导电性的材料作为第一带电极231b和第二带电极232b中包括的导电金属,但不限于此。例如,导电金属可以是镍(Ni)、铜(Cu)以及它们的合金中的至少一种。

[0238] 在示例性实施例中,第一外电极231还可包括设置在第二表面2上并连接到第一连接电极231a的第三带电极(未示出),并且第二外电极232还可包括设置在第二表面2上并连接到第二连接电极232a的第四带电极(未示出)。在这种情况下,虽然未示出,但第一绝缘层251和第二绝缘层252可分别延伸并覆盖第三带电极(未示出)和第四带电极(未示出)。

[0239] 在本实施例中, $B1 \geq G1$, $B3 \leq G1$, $B2 \geq G2$ 且 $B4 \leq G2$,其中, $B1$ 是在第二方向上从第三表面的延长线E3到第一带电极231b的末端的平均尺寸, $B2$ 是在第二方向上从第四表面的延长线E4到第二带电极232b的末端的平均尺寸, $B3$ 是在第二方向上从第三表面的延长线E3到第三带电极(未示出)的末端的平均尺寸, $B4$ 是在第二方向上从第四表面的延长线E4到第四带电极(未示出)的末端的平均尺寸, $G1$ 是第三表面和第二内电极122彼此间隔开的区域的

在第二方向上的平均尺寸,并且G2是第四表面和第一内电极121彼此间隔开的区域的在第二方向上的平均尺寸。因此,外电极占据的体积可显著减小,以增大多层电子组件2000的每单位体积的电容并增大在安装期间与焊料接触的面积,从而改善粘附强度。

[0240] 然而,本公开不旨在限于 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 且 $B4 \leq G2$,并且可包括 $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 且 $B4 \geq G2$ 的情况作为示例性实施例。因此,在本实施例中, $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 且 $B4 \geq G2$,其中, $B1$ 是在第二方向上从第三表面的延长线E3到第一带电极231b的末端的平均尺寸, $B2$ 是在第二方向上从第四表面的延长线E4到第二带电极232b的末端的平均尺寸, $B3$ 是在第二方向上从第三表面的延长线E3到第三带电极(未示出)的末端的平均尺寸, $B4$ 是在第二方向上从第四表面的延长线E4到第四带电极(未示出)的末端的平均尺寸, $G1$ 是第三表面和第二内电极122彼此间隔开的区域的在第二方向上的平均尺寸,并且G2是第四表面和第一内电极121彼此间隔开的区域的在第二方向上的平均尺寸。因此,第一表面和第二表面中的一个表面可用作安装表面,从而可改善安装的容易性。

[0241] 第一镀层241和第二镀层242可分别设置在第一带电极231b和第二带电极232b上。第一镀层241和第二镀层242用于改善安装特性。第一镀层241和第二镀层242的类型不受限制,并且第一镀层241和第二镀层242中的每个可以是包括Ni、Sn、Pd以及它们的合金中的至少一种的镀层,并可形成为多个层。

[0242] 作为第一镀层241和第二镀层242的更具体的示例,第一镀层241和第二镀层242中的每个可以是Ni镀层或Sn镀层。可选地,镀层241和242可具有其中Ni镀层和Sn镀层可顺序地形成在第一带电极231b和第二带电极232b上的形式。

[0243] 在示例性实施例中,第一镀层241和第二镀层242可延伸以分别部分地覆盖第一连接电极231a和第二连接电极232a。

[0244] 在本实施例中, $H1 > H2$,其中, $H1$ 是在第一方向上从第一表面1到第一内电极121和第二内电极122中设置为最靠近第一表面1的内电极的平均尺寸,并且 $H2$ 是在第一方向上从第一表面1的延长线E1到第一镀层241的设置在第一连接电极231a上的末端或第二镀层242的设置在第二连接电极232a上的末端的平均尺寸。因此,可抑制在镀覆工艺期间镀液渗透到内电极中,以改善可靠性。

[0245] 在示例性实施例中,第一绝缘层251和第二绝缘层252可设置为分别与第一连接电极231a和第二连接电极232a直接接触,并且第一连接电极231a和第二连接电极232a可包括导电金属和树脂。因此,镀层241和242可不设置在第一连接电极231a和第二连接电极232a的外表面的设置有绝缘层251和252的区域中,从而可有效地抑制由镀液引起的对外电极的侵蚀。

[0246] 在示例性实施例中,第一镀层241可设置为覆盖第一绝缘层251的设置在第一外电极231上的与第一表面相邻的末端,并且第二镀层242可设置为覆盖第二绝缘层252的设置在第二外电极232上的与第一表面相邻的末端。因此,可增加绝缘层251和252与镀层241和242之间的粘附性,以改善多层电子组件2000的可靠性。另外,通过在将镀层241和242形成在外电极231和232上之前形成第一绝缘层251和第二绝缘层252,可更可靠地抑制形成镀层期间的镀液渗透。由于在形成镀层之前形成绝缘层,因此镀层241和242可具有覆盖绝缘层251和252的末端的形式。

[0247] 在示例性实施例中,第一绝缘层251可设置为覆盖第一镀层241的设置在第一连接

电极231a上的末端,并且第二绝缘层252可设置为覆盖第二镀层242的设置在第二连接电极232a上的末端。因此,可增加绝缘层251和252与镀层241和242之间的粘附性,以改善多层电子组件2000的可靠性。

[0248] 图19是示出图17的变型示例的示图。参照图19,在根据示例性实施例的多层电子组件2000的变型示例(多层电子组件2001)中,第一绝缘层251-1和第二绝缘层252-1可延伸至第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-1。在这种情况下,彼此连接的第一绝缘层251-1和第二绝缘层252-1可设置为覆盖第五表面的一部分和第六表面的一部分。

[0249] 图20是根据本公开中的示例性实施例的多层电子组件2002的示意性立体图。图21是沿图20的线VIII-VIII'截取的截面图。

[0250] 参照图20和图21,在根据示例性实施例的多层电子组件2002中,第一镀层241-2和第二镀层242-2可设置在与第一表面的延长线E1的高度相同或低于第一表面的延长线E1的高度的高度上。因此,在安装期间,焊料的高度可显著减小,并且安装空间可显著减小。

[0251] 另外,第一绝缘层251-2和第二绝缘层252-2可延伸至与第一表面的延长线E1的高度相同或低于第一表面的延长线E1的高度的高度,以分别与第一镀层241-2和第二镀层242-2接触。

[0252] 图22是示出图20的变型示例(多层电子组件2003)的示图。参照图22,在根据示例性实施例的多层电子组件2002的变型示例(多层电子组件2003)中,第一绝缘层251-3和第二绝缘层252-3可延伸至第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-3。在这种情况下,彼此连接的第一绝缘层251-3和第二绝缘层252-3可设置为覆盖整个第五表面和整个第六表面。

[0253] 图23是根据本公开中的示例性实施例的多层电子组件2004的示意性立体图。图24是沿图23的线IX-IX'截取的截面图。

[0254] 参照图23和图24,根据示例性实施例的多层电子组件2004还可包括设置在第一表面1上并且设置在第一带电极231b与第二带电极232b之间的附加绝缘层261。更具体地,例如,附加绝缘层261可设置在第一表面1上并且设置在第一镀层241-2与第二镀层242-2之间。因此,可防止在高电压电流下可能在第一带电极231b与第二带电极232b之间产生的漏电流。

[0255] 附加绝缘层261的类型不必受到限制。例如,附加绝缘层261可包括从由环氧树脂、丙烯酸树脂、乙基纤维素等组成的组中选择的至少一种。另外,除了上述聚合物树脂之外,附加绝缘层261还可包括从由 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 、 BaO 等组成的组中选择的至少一种作为添加剂。因此,可改善与主体或外电极的粘附性。附加绝缘层261与绝缘层251-2和252-2的材料可相同或者可彼此不同。

[0256] 图25是示出图23的变型示例(多层电子组件2005)的示图。参照图25,在根据示例性实施例的多层电子组件2004的变型示例(多层电子组件2005)中,第一绝缘层251-5和第二绝缘层252-5可延伸至第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-5。

[0257] 图26是根据本公开中的示例性实施例的多层电子组件2006的示意性立体图。图27是沿图26的线X-X'截取的截面图。

[0258] 参照图26和图27,根据示例性实施例的多层电子组件2006可包括设置在第一连接

电极231a上的第一绝缘层251-6和设置在第二连接电极232a上的第二绝缘层252-6。在本实施例中, $H1 < H2$, 其中, $H1$ 是在第一方向上从第一表面1到第一内电极121和第二内电极122中设置为最靠近第一表面1的内电极的平均尺寸, 并且 $H2$ 是在第一方向上从第一表面1的延长线E1到第一镀层241-6的设置在第一连接电极231a上的末端或第二镀层242-6的设置在第二连接电极232a上的末端的平均尺寸。因此, 可增大在安装期间与焊料接触的面积以改善粘附强度。

[0259] 更详细地, $H2 < T/2$, 其中, T 是主体110的在第一方向上的平均尺寸。例如, $H1 < H2 < T/2$ 。这是因为当 $H2$ 大于或等于 $T/2$ 时, 通过绝缘层改善防潮可靠性的效果可能降低。

[0260] 图28是示出图26的变型示例(多层电子组件2007)的示图。参照图28, 在根据示例性实施例的多层电子组件2006的变型示例(多层电子组件2007)中, 第一绝缘层251-7和第二绝缘层252-7可延伸至第五表面5和第六表面6以彼此连接, 从而构成单个绝缘层253-7。

[0261] 图29是根据本公开中的示例性实施例的多层电子组件2008的示意性立体图。图30是沿图29的线XI-XI'截取的截面图。

[0262] 参照图29和图30, 根据示例性实施例的多层电子组件2008中的第一绝缘层251-8和第二绝缘层252-8可延伸至第二表面2、第五表面5和第六表面6以彼此连接, 从而构成单个绝缘层253-8。如图29中所示, 绝缘层253-8可具有覆盖整个第二表面并且覆盖第五表面的仅一部分和第六表面的仅一部分的形式。

[0263] 图31是根据本公开中的示例性实施例的多层电子组件3000的示意性立体图。图32是沿图31的线XII-XII'截取的截面图。图33是图32的区域K1的放大图。

[0264] 参照图31至图33, 根据示例性实施例的多层电子组件3000可包括: 主体110, 包括介电层111以及交替设置的第一内电极121和第二内电极122, 且相应的介电层111介于第一内电极121与第二内电极122之间, 并且主体110具有在第一方向上彼此相对的第一表面和第二表面、连接到第一表面和第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到第一表面、第二表面、第三表面和第四表面并且在第三方向上彼此相对的第五表面和第六表面; 第一外电极331, 包括设置在主体110的第三表面上的第一连接部331a、从第一连接部331a延伸至第一表面1的一部分上的第一带部331b和设置为从第一连接部331a延伸至将主体110的第二表面和第三表面彼此连接的拐角上的第一拐角部331c; 第二外电极332, 包括设置在主体110的第四表面上的第二连接部332a、从第二连接部332a延伸至第一表面的一部分上的第二带部332b和设置为从第二连接部332a延伸至将主体110的第二表面和第四表面连接的拐角上的第二拐角部332c; 绝缘层351, 设置在第一连接部331a和第二连接部332a上并且设置为覆盖第二表面2以及第一拐角部331c和第二拐角部332c; 第一镀层341, 设置在第一带部331b上; 以及第二镀层342, 设置在第二带部332b上。第一镀层341或第二镀层342的平均厚度小于绝缘层351的平均厚度。此外, 第一镀层341和第二镀层342中的每个的平均厚度小于绝缘层351的平均厚度。

[0265] 在示例性实施例中, $B3 \leq G1$ 且 $B4 \leq G2$, 其中, $B3$ 是在第二方向上从第三表面的延长线E3到第一拐角部331c的末端的平均尺寸, $B4$ 是在第二方向上从第四表面的延长线E4到第二拐角部332c的末端的平均尺寸, $G1$ 是第三表面和第二内电极彼此间隔开的区域的在第二方向上的平均尺寸, 并且 $G2$ 是第四表面和第一内电极彼此间隔开的区域的在第二方向上的平均尺寸。因此, 外电极331和332占据的体积可显著减小, 以增大多层电子组件3000的每单

位体积的电容。

[0266] 在这种情况下, $B1 \geq G1$ 且 $B2 \geq G2$, 其中, $B1$ 是在第二方向上从第三表面的延长线 $E3$ 到第一带部 $331b$ 的末端的平均尺寸, $B2$ 是在第二方向上从第四表面的延长线 $E4$ 到第二带部 $332b$ 的末端的平均尺寸。因此, 可增大在安装期间与焊料接触的面积以改善粘附强度。

[0267] 根据示例性实施例的多层电子组件 3000 可包括主体 110 , 主体 110 包括介电层 111 以及交替设置的第一内电极 121 和第二内电极 122 , 且相应的介电层介于第一内电极 121 与第二内电极 122 之间, 并且主体 110 具有在第一方向上彼此相对的第一表面和第二表面、连接到第一表面和第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到第一表面、第二表面、第三表面和第四表面并且在第三方向上彼此相对的第五表面和第六表面。除了主体的第一表面或第二表面的拐角具有收缩的形状(稍后将描述)之外, 多层电子组件 3000 的主体 110 可具有与多层电子组件 1000 的主体 110 的构造相同的构造。

[0268] 外电极 331 和 332 可设置在主体 110 的第三表面 3 和第四表面 4 上。外电极 331 和 332 可包括第一外电极 331 和第二外电极 332 , 第一外电极 331 设置在主体 110 的第三表面 3 上以连接到第一内电极 121 , 第二外电极 332 设置在主体 110 的第四表面 4 上以连接到第二内电极 122 。

[0269] 外电极 331 和 332 可包括第一外电极 331 和第二外电极 332 , 第一外电极 331 包括设置在第三表面上的第一连接部 $331a$ 、从第一连接部 $331a$ 延伸至第一表面的一部分上的第一带部 $331b$ 以及设置为从第一连接部 $331a$ 延伸至将主体的第二表面和第三表面彼此连接的拐角上的第一拐角部 $331c$, 第二外电极 332 包括设置在第四表面上的第二连接部 $332a$ 、从第二连接部 $332a$ 延伸至第一表面的一部分上的第二带部 $332b$ 以及设置为从第二连接部 $332a$ 延伸至将主体的第二表面和第四表面彼此连接的拐角上的第二拐角部 $332c$ 。第一连接部 $331a$ 可在第三表面上连接到第一内电极 121 , 并且第二连接部 $332a$ 可在第四表面上连接到第二内电极 122 。

[0270] 在示例性实施例中, 第一连接部 $331a$ 和第二连接部 $332a$ 可设置为与第五表面和第六表面间隔开。因此, 外电极 331 和 332 占据的体积可显著减小, 以使多层电子组件 3000 进一步小型化。

[0271] 由于介电层 111 的没有设置内电极 121 和 122 的边缘区域叠置, 因此可能由于内电极 121 和 122 中的每个的厚度而形成台阶。因此, 当相对于第一表面观察时, 将第一表面连接到第三表面、第四表面、第五表面和第六表面的拐角可具有向主体 110 的在第一方向上的中央收缩的形式, 和/或当相对于第二表面观察时, 将第二表面连接到第三表面、第四表面、第五表面和第六表面的拐角可具有向主体 110 的在第一方向上的中央收缩的形式。可选地, 由于在烧结主体 110 的工艺中的收缩行为, 当相对于第一表面 1 观察时, 将第一表面 1 连接到第三表面 3 、第四表面 4 、第五表面 5 和第六表面 6 的拐角可具有向主体 110 的在第一方向上的中央收缩的形式, 和/或当相对于第二表面 2 观察时, 将第二表面 2 连接到第三表面 3 、第四表面 4 、第五表面 5 和第六表面 6 的拐角可具有向主体 110 的在第一方向上的中央收缩的形式。可选地, 当通过防止碎裂缺陷等的附加工艺使将主体 110 的相应表面连接的拐角圆化时, 将第一表面 1 连接到第三表面 3 、第四表面 4 、第五表面 5 和第六表面 6 的拐角和/或将第二表面 2 连接到第三表面 3 、第四表面 4 、第五表面 5 和第六表面 6 的拐角可具有圆化形状。

[0272] 拐角可包括将第一表面 1 和第三表面 3 彼此连接的第 $1-3$ 拐角 $C1-3$ 、将第一表面 1 和

第四表面4彼此连接的第1-4拐角C1-4、将第二表面2和第三表面3彼此连接的第2-3拐角C2-3以及将第二表面2和第四表面4彼此连接的第2-4拐角C2-4。此外,拐角可包括将第一表面1和第五表面5彼此连接的第1-5拐角、将第一表面1和第六表面6彼此连接的第1-6拐角、将第二表面2和第五表面5彼此连接的第2-5拐角以及将第二表面2和第六表面6彼此连接的第2-6拐角。然而,为了抑制由内电极121和122形成的台阶,在层叠之后,可进行切割以获得电容形成部Ac并使内电极暴露于电容形成部Ac的在第三方向(宽度方向)上的相对的侧表面,然后将单个介电层或者两个或更多个介电层层叠在电容形成部Ac的在第三方向(宽度方向)上的相对的侧表面上,以形成边缘部114和115。在这种情况下,将第一表面1连接到第五表面5和第六表面6的部分以及将第二表面2连接到第五表面5和第六表面6的部分可不具有上述收缩的形式。

[0273] 主体110的第一表面、第二表面、第三表面、第四表面、第五表面和第六表面可以是整体平坦表面,并且非平坦区域可被认为是拐角。外电极331和332的设置拐角上的区域可被认为是拐角部。

[0274] 在这方面,第一拐角部331c和第二拐角部332c可设置在与第二表面2的延长线E2的高度相同或低于第二表面2的延长线E2的高度的高度上,并且第一拐角部331c和第二拐角部332c可设置为与第二表面2间隔开。例如,外电极331和332不设置在第二表面2上,使得外电极331和332占据的体积可进一步显著减小,以进一步增大多层电子组件3000的每单位体积的电容。另外,第一拐角部331c可设置在将第三表面3和第二表面2彼此连接的第2-3拐角C2-3的一部分上,并且第二拐角部332c可设置在将第四表面4和第二表面2彼此连接的第2-4拐角C2-4的一部分上。

[0275] 第二表面的延长线E2可定义如下。

[0276] 在从多层电子组件3000的在宽度方向上的中央沿长度-厚度方向截取的多层电子组件3000的截面(L-T截面)中,可沿长度方向从第三表面3到第四表面4绘制具有相等间隔的七条直线P0、P1、P2、P3、P4、P5、和P6,穿过直线P2与第二表面2相交的点和直线P4与第二表面2相交的点的直线可被定义为第二表面2的延长线E2。

[0277] 外电极331和332可利用具有导电性的任意材料(诸如金属)形成,并且可考虑电特性、结构稳定性等确定外电极131和132中的每个的具体材料。此外,外电极331和332可具有多层结构。

[0278] 外电极331和332可以是包括导电金属和玻璃的烧结电极,或者可以是包括导电金属和树脂的树脂基电极。

[0279] 另外,外电极331和332可具有烧结电极和树脂基电极顺序形成在主体上的形式。另外,外电极331和332可通过将包括导电金属的片材转印到主体的方法形成,或者可通过将包括导电金属的片材转印到烧结电极的方法形成。

[0280] 可使用具有改善的导电性的材料作为外电极331和332中包括的导电金属,并且该导电金属不受限制。例如,导电金属可以是铜(Cu)、镍(Ni)、钯(Pd)、银(Ag)、锡(Sn)、铬(Cr)以及它们的合金中的至少一种。详细地,外电极331和332可包括Ni和Ni合金中的至少一种。因此,可进一步改善与包括Ni的内电极121和122的连接性。

[0281] 绝缘层351可设置在第一连接部331a和第二连接部332a上。

[0282] 第一连接部331a和第二连接部332a是连接到内电极121和122的部分,因此,第一

连接部331a和第二连接部332a可以是在镀覆工艺期间镀液渗透或在实际使用期间水分渗透所沿的路径。在本公开中,由于绝缘层351设置在连接部331a和332a上,因此可防止外部水分渗透或外部镀液渗透。

[0283] 绝缘层351可设置为与第一镀层341和第二镀层342接触。在这种情况下,绝缘层351可具有接触并覆盖第一镀层341和第二镀层342的与绝缘层351接触的末端的一部分的形式,或者第一镀层341和第二镀层342可具有接触并覆盖绝缘层351的末端的一部分的形式。

[0284] 绝缘层351可设置在第一连接部331a和第二连接部332a上,并且可设置为覆盖第二表面以及第一拐角部331c和第二拐角部332c。另外,绝缘层351可覆盖第一拐角部331c的末端和第二拐角部332c的末端与主体110接触的区域,以阻挡水分渗透,从而进一步改善防潮可靠性。

[0285] 绝缘层351可设置在第二表面上以延伸至第一连接部331a和第二连接部332a。另外,当外电极331和332不设置在第二表面上时,绝缘层351可设置为覆盖整个第二表面。绝缘层351不必设置在第二表面2上,并且可不设置在第二表面2的一部分或整个第二表面2上,或者绝缘层351可分成分别设置在第一连接部331a和第二连接部332a上的两个绝缘层。然而,即使在这种情况下,绝缘层351也可设置为覆盖整个第一拐角部331c和整个第二拐角部332c。当绝缘层351不设置在第二表面上时,绝缘层351可设置在与第二表面的延长线的高度相同或低于第二表面的延长线的高度的高度上。另外,尽管绝缘层351不设置在第二表面2上,但是绝缘层351可设置在第一连接部331a和第二连接部332a上并延伸至第五表面5和第六表面6上,从而构成单个绝缘层。

[0286] 在示例性实施例中,绝缘层351可设置为覆盖第五表面5的一部分和第六表面6的一部分以改善可靠性。在这种情况下,第五表面5和第六表面6的未覆盖有绝缘层351覆盖的部分可暴露于外部。

[0287] 此外,绝缘层351可设置为覆盖整个第五表面5和整个第六表面6。在这种情况下,第五表面5和第六表面6可不暴露于外部,从而进一步改善防潮可靠性。

[0288] 绝缘层351可用于防止镀层341和342形成在外电极331和332的其上设置有绝缘层351的区域上,并且可用于改善密封特性以显著减少外部水分渗透或外部镀液渗透。绝缘层351的组分、组成、平均厚度和效果与多层电子组件1000和2000以及多层电子组件1000和2000的各种变型示例中包括的绝缘层的组分、组成、平均厚度和效果相同,并且将省略对它们的描述。

[0289] 第一镀层341和第二镀层342可分别设置在第一带部331b和第二带部332b上。镀层341和342可用于改善安装特性。由于镀层341和342分别设置在带部331b和332b上,因此可显著减小安装空间,并且可显著减少镀液渗透到内电极中以改善可靠性。第一镀层341和第二镀层342中的每个的一端可与第一表面1接触,并且其另一端可与绝缘层351接触。

[0290] 镀层341和342的类型不受限制,并且镀层341和342中的每个可以是包括Cu、Ni、Sn、Ag、Au、Pd以及它们的合金中的至少一种的镀层,并可形成为多个层。

[0291] 作为镀层341和342的更具体的示例,镀层341和342可以是Ni镀层或Sn镀层。可选地,镀层341和342可具有Ni镀层和Sn镀层可顺序地形成在第一带部331b和第二带部332b上的形式。

[0292] 在示例性实施例中,绝缘层351可设置为与第一外电极331和第二外电极332直接接触,并且第一外电极331和第二外电极332可包括导电金属和玻璃。因此,镀层341和342可不设置在第一外电极331和第二外电极332的外表面的设置有绝缘层351的区域中,从而可有效地抑制由镀液引起的对外电极的侵蚀。

[0293] 在示例性实施例中,第一镀层341可设置为覆盖绝缘层351的设置在第一外电极331上的末端,并且第二镀层342可设置为覆盖绝缘层351的设置在第二外电极332上的末端。因此,可增加绝缘层351与镀层341和342之间的粘附性,以改善多层电子组件3000的可靠性。另外,通过在将镀层341和342形成在外电极331和332上之前形成绝缘层351,可更可靠地抑制在形成镀层期间的镀液渗透。由于在形成镀层之前形成绝缘层,因此镀层341和342可具有覆盖绝缘层351的末端的形式。

[0294] 在示例性实施例中,绝缘层351可设置为覆盖第一镀层341的设置在第一连接部331a上的末端,并且可设置为覆盖第二镀层342的设置在第二连接部332a上的末端。因此,可增加绝缘层351与镀层341和342之间的粘附性,以改善多层电子组件3000的可靠性。

[0295] 在示例性实施例中,第一镀层341和第二镀层342可设置为延伸至分别部分地覆盖第一连接部331a和第二连接部332a。在本实施例中, $H_1 > H_2$,其中, H_1 是在第一方向上从第一表面1到第一内电极121和第二内电极122中设置为最靠近第一表面1的内电极的平均尺寸,并且 H_2 是在第一方向上从第一表面1的延长线到第一镀层341和第二镀层342中的每个的设置在第一连接部331a和第二连接部332a中的相应连接部上的末端的平均尺寸。因此,可抑制在镀覆工艺期间镀液渗透到内电极中以改善可靠性。

[0296] 在另一示例性实施例中, $H_1 < H_2$,其中, H_1 是在第一方向上从第一表面1到第一内电极121和第二内电极122中设置为最靠近第一表面1的内电极的平均尺寸,并且 H_2 是在第一方向上从第一表面1的延长线到镀层341和342的设置在连接部331a和332a上的末端的平均尺寸。因此,可增大在安装期间与焊料接触的面积以改善粘附强度。更详细地, $H_2 < T/2$,其中, T 是主体110的在第一方向上的平均尺寸。例如, $H_1 < H_2 < T/2$ 。这是因为当 H_2 大于或等于 $T/2$ 时,通过绝缘层改善防潮可靠性的效果可能降低。此外,在本文中, H_2 可以是在第一方向上从第一表面1的延长线到第一镀层341的设置在第一连接部331a上的末端或第二镀层342的设置在第二连接部332a上的末端的平均尺寸,或者可以是在第一方向上从第一表面1的延长线到第一镀层341的设置在第一连接部331a上的末端和第二镀层342的设置在第二连接部332a上的末端中的每个的平均尺寸。

[0297] 在示例性实施例中,第一镀层341和第二镀层342可设置在与第一表面的延长线的高度相同或低于第一表面的延长线的高度的高度上。因此,在安装期间,焊料的高度可显著减小,并且安装空间可显著减小。此外,绝缘层351可延伸至与第一表面的延长线的高度相同或低于第一表面的延长线的高度的高度,以与第一镀层341和第二镀层342接触。

[0298] 在示例性实施例中, $0.2 \leq B_1/L \leq 0.4$ 且 $0.2 \leq B_2/L \leq 0.4$,其中, L 是主体的在第二方向上的尺寸, B_1 是在第二方向上从第三表面的延长线到第一带部的末端的平均尺寸,并且 B_2 是在第二方向上从第四表面的延长线到第二带部的末端的平均尺寸。

[0299] 当 B_1/L 小于0.2并且/或者 B_2/L 小于0.2时,可能难以确保足够的粘附强度。另一方面,当 B_1/L 大于0.4并且/或者 B_2/L 大于0.4时,在高电压电流下可能在第一带部331b与第二带部332b之间产生漏电流,并且在镀覆工艺期间,第一带部331b和第二带部332b可能通过

镀覆扩散等彼此电连接。

[0300] 在示例性实施例中,多层电子组件3000可包括设置在第一表面上并且设置在第一带部331b与第二带部332b之间的附加绝缘层。因此,可防止在高电压电流下可能在第一带部331b与第二带部332b之间产生的漏电流。

[0301] 附加绝缘层的类型不必受到限制。附加绝缘层可以是环环氧树脂、丙烯酸树脂、乙基纤维素等组成的组中选择的至少一种,或者附加绝缘层可包括玻璃。

[0302] 在示例性实施例中, $B3 < B1$ 并且/或者 $B4 < B2$,其中, $B1$ 是在第二方向上从第三表面的延长线到第一带部的末端的平均尺寸,并且 $B2$ 是在第二方向上从第四表面的延长线到第二带部的末端的平均尺寸。第一带部331b的平均尺寸 $B1$ 可大于第一拐角部331c的平均尺寸 $B3$,并且/或者第二带部332b的平均尺寸 $B2$ 可大于第二拐角部332c的平均尺寸 $B4$ 。因此,可增大在安装期间与焊料接触的面积以改善粘附强度。

[0303] 更详细地, $B3 < B1$ 且 $B4 < B2$,其中, $B1$ 是在第二方向上从第三表面的延长线到第一带部的末端的平均尺寸, $B2$ 是在第二方向上从第四表面的延长线到第二带部的末端的平均尺寸, $B3$ 是在第二方向上从第三表面的延长线到第三带部的末端的平均尺寸,并且 $B4$ 是在第二方向上从第四表面的延长线到第四带部的末端的平均尺寸。

[0304] 在示例性实施例中, $t1/t2$ 可小于或等于0.67,其中, $t1$ 是第一镀层341和第二镀层342中的至少一个的平均厚度, $t2$ 是绝缘层351的平均厚度。

[0305] 绝缘层351可用于防止外部水分渗透或镀液渗透,但是与镀层341和342的连接性可能较弱,从而导致镀层341和342的分层。当镀层分层时,多层电子组件3000与基板180之间的粘附强度可能降低。“镀层的分层”可表示镀层被部分地去除或与外电极331和332物理地分离。由于镀层与绝缘层之间的连接性较弱,因此绝缘层与镀层之间的界面处的间隙增大或者异物通过间隙渗透的可能性高,并且镀层由于易受外部冲击等而分层的可能性高。

[0306] 根据示例性实施例,镀层可形成为平均厚度小于绝缘层的平均厚度,从而可减小镀层与绝缘层之间的接触面积。因此,可抑制分层的发生,以改善与多层电子组件3000的粘附强度。

[0307] 多层电子组件3000的尺寸不必受到限制。

[0308] 然而,为了同时实现小型化和高电容化,可减小介电层和内电极的厚度以增加层叠的层数。因此,在具有1005(长度×宽度,1.0mm×0.5mm)或更小的尺寸的多层电子组件3000中,改善可靠性和提高每单位体积的电容的效果可变得更显著。

[0309] 因此,当考虑到制造误差和外电极的尺寸,多层电子组件3000具有小于或等于1.1mm的长度和小于或等于0.55mm的宽度时,根据本公开的可靠性改善效果可更显著。多层电子组件3000的长度可指的是多层电子组件3000的在第二方向上的最大尺寸,并且多层电子组件3000的宽度可指的是多层电子组件3000的在第三方向上的最大尺寸。

[0310] 此外,在本文中,第一镀层的平均厚度和第二镀层的平均厚度可相同或彼此不同。第一绝缘层的平均厚度和第二绝缘层的平均厚度可相同或彼此不同。相对于第一镀层测量的平均尺寸 $H2$ 和相对于第二镀层测量的平均尺寸 $H2$ 可相同或彼此不同。

[0311] 如上所述,根据示例性实施例,绝缘层可设置在外电极的连接部上,并且镀层可设置在外电极的带部上。因此,可改善多层电子组件的可靠性,同时提高多层电子组件的每单位体积的电容。

[0312] 另外,可显著减小多层电子组件的安装空间。

[0313] 另外,镀层可形成为厚度小于绝缘层的厚度。因此,可防止分层以改善粘附强度。

[0314] 虽然上面已经示出和描述了示例性实施例,但是对于本领域技术人员来说将易于理解的是,在不脱离本公开的由所附权利要求限定的范围的情况下,可进行修改和变型。

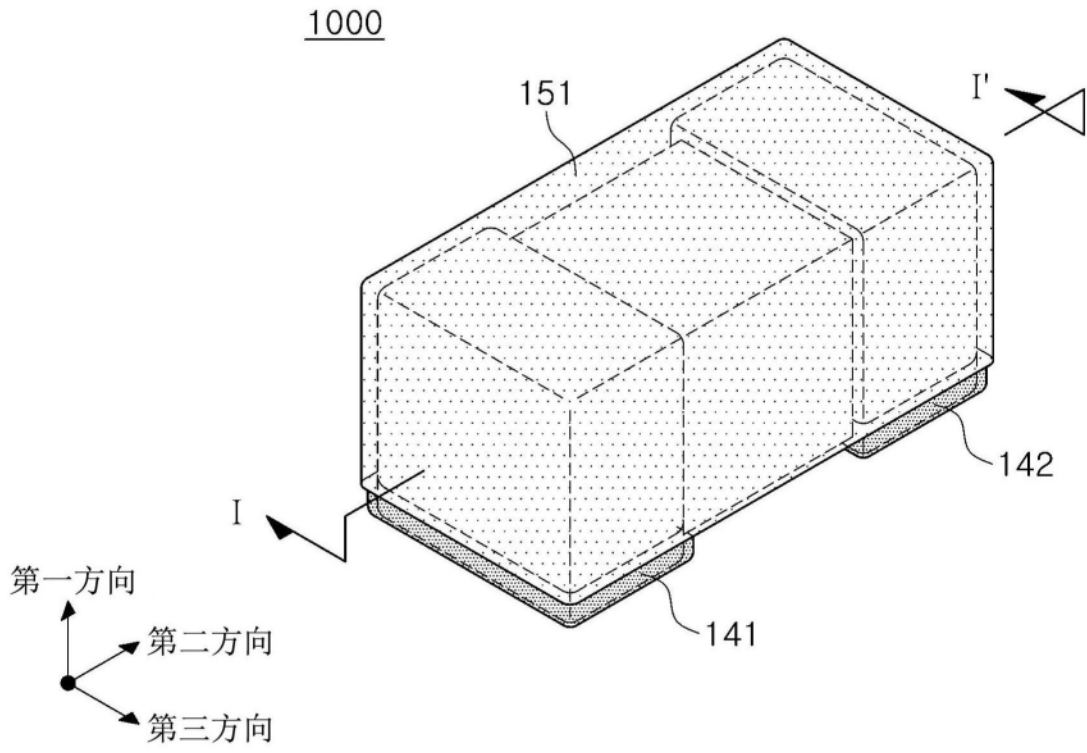


图1

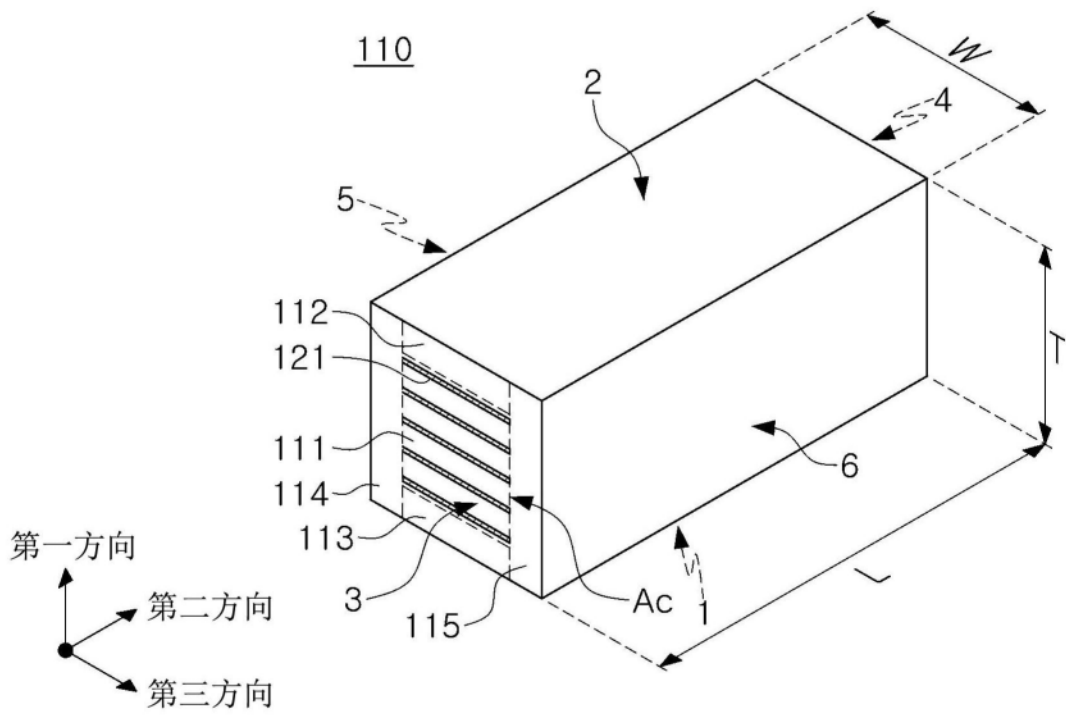


图2

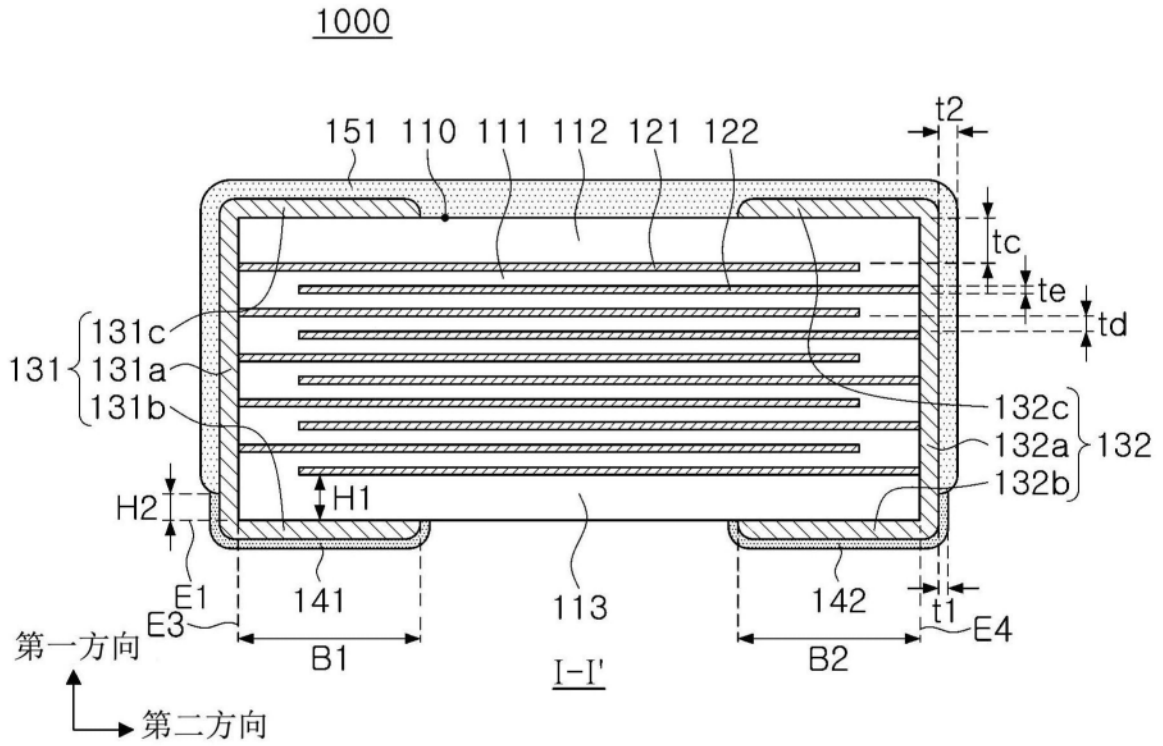


图3

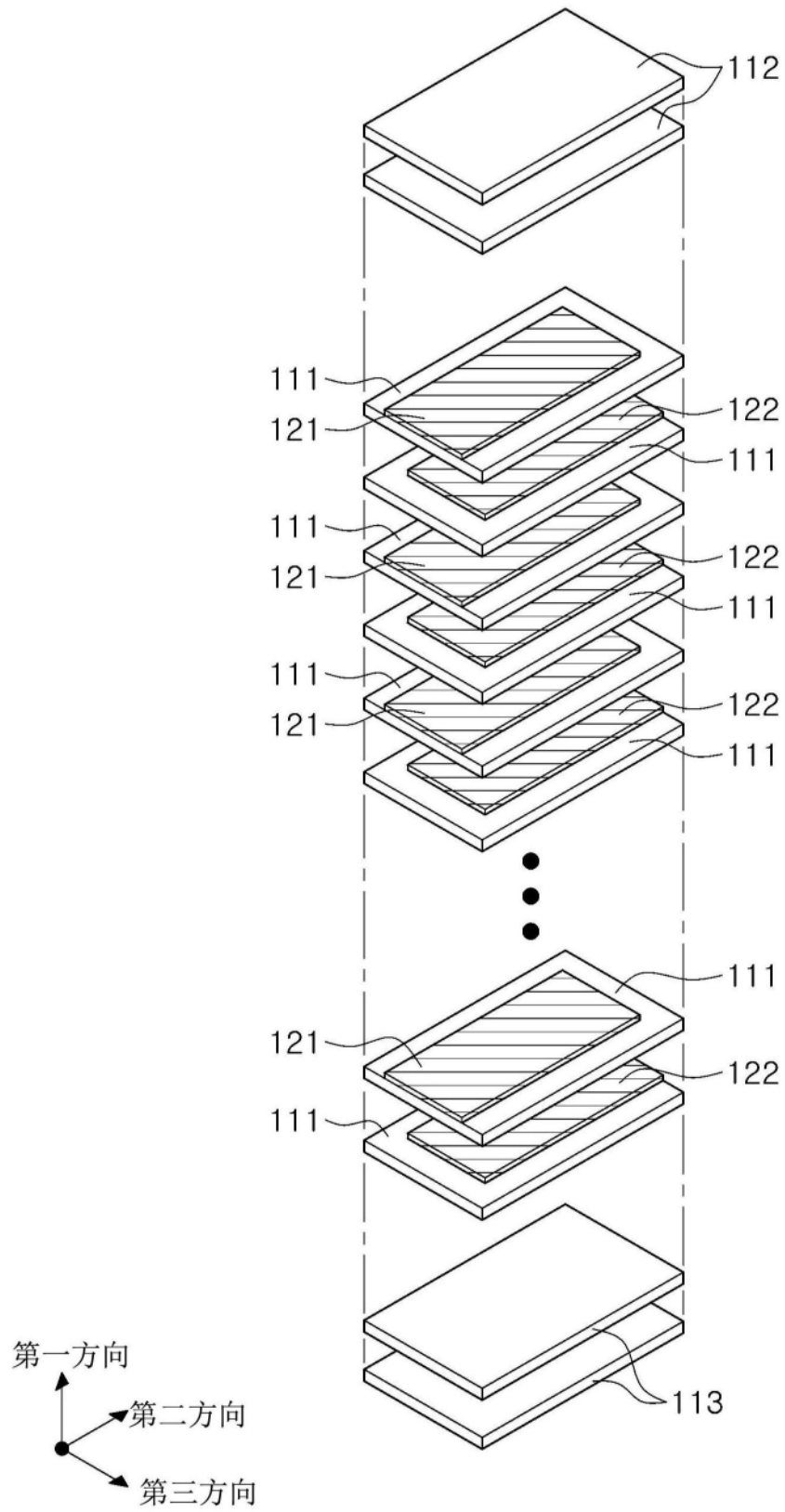


图4

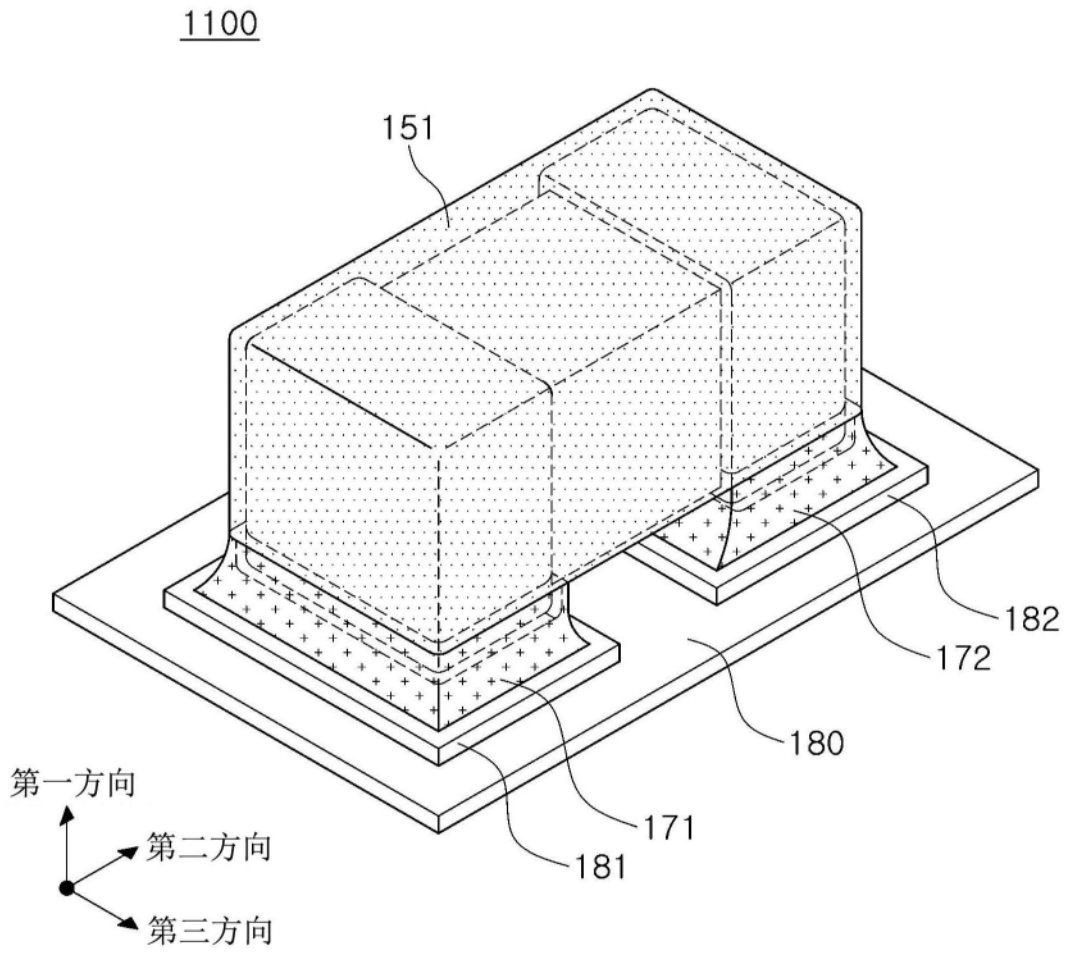


图5

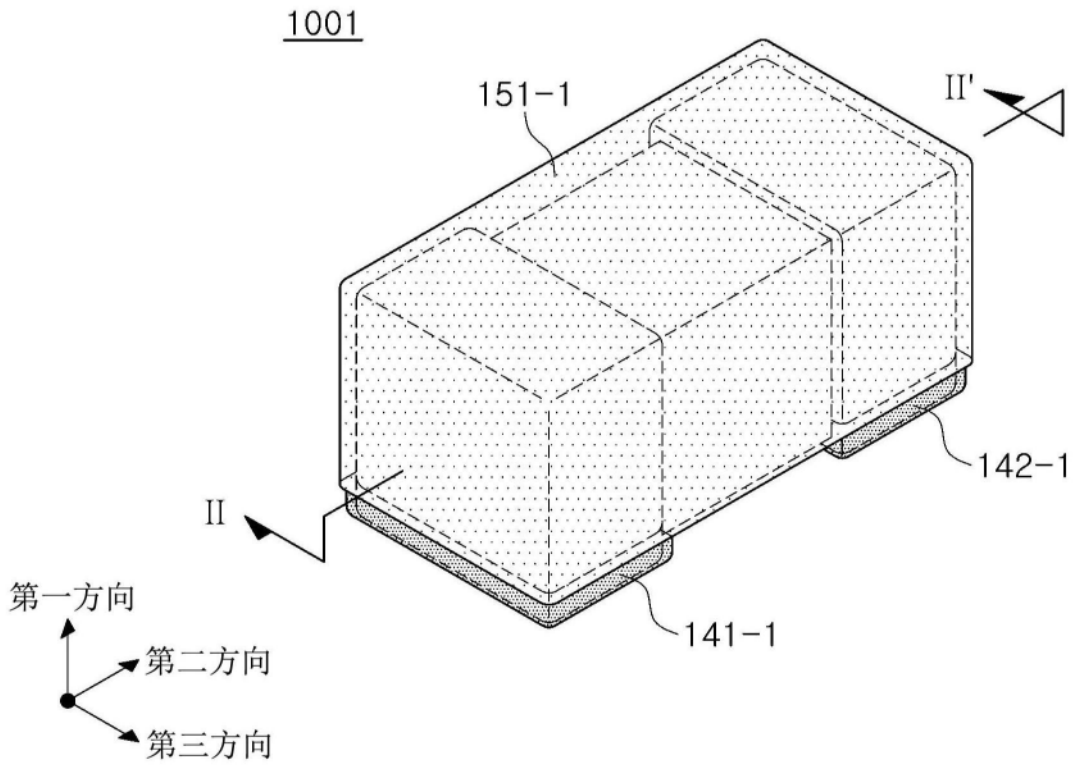


图6

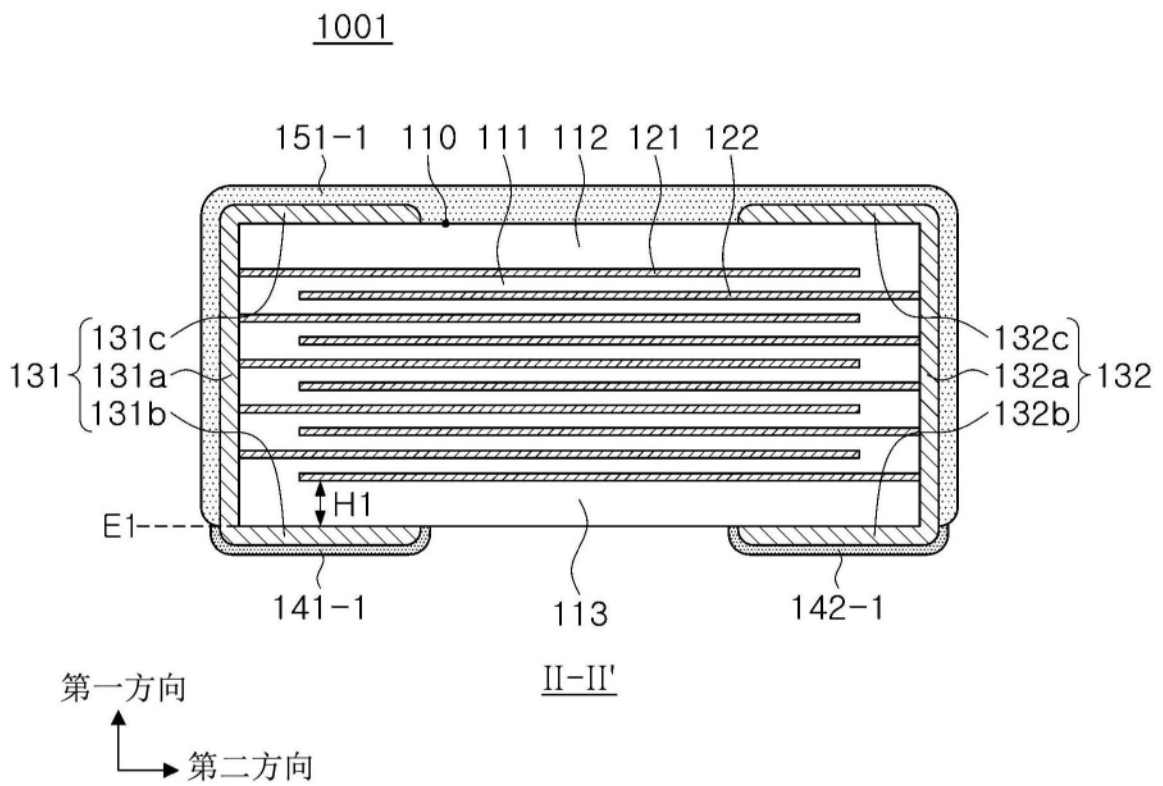


图7

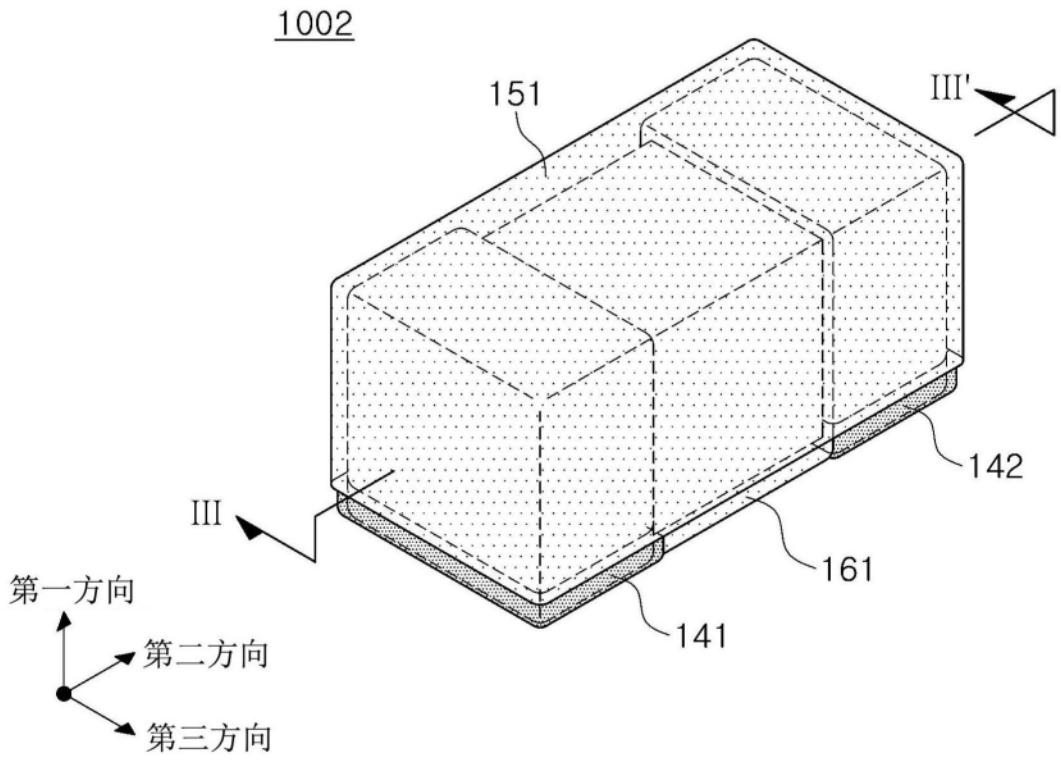


图8

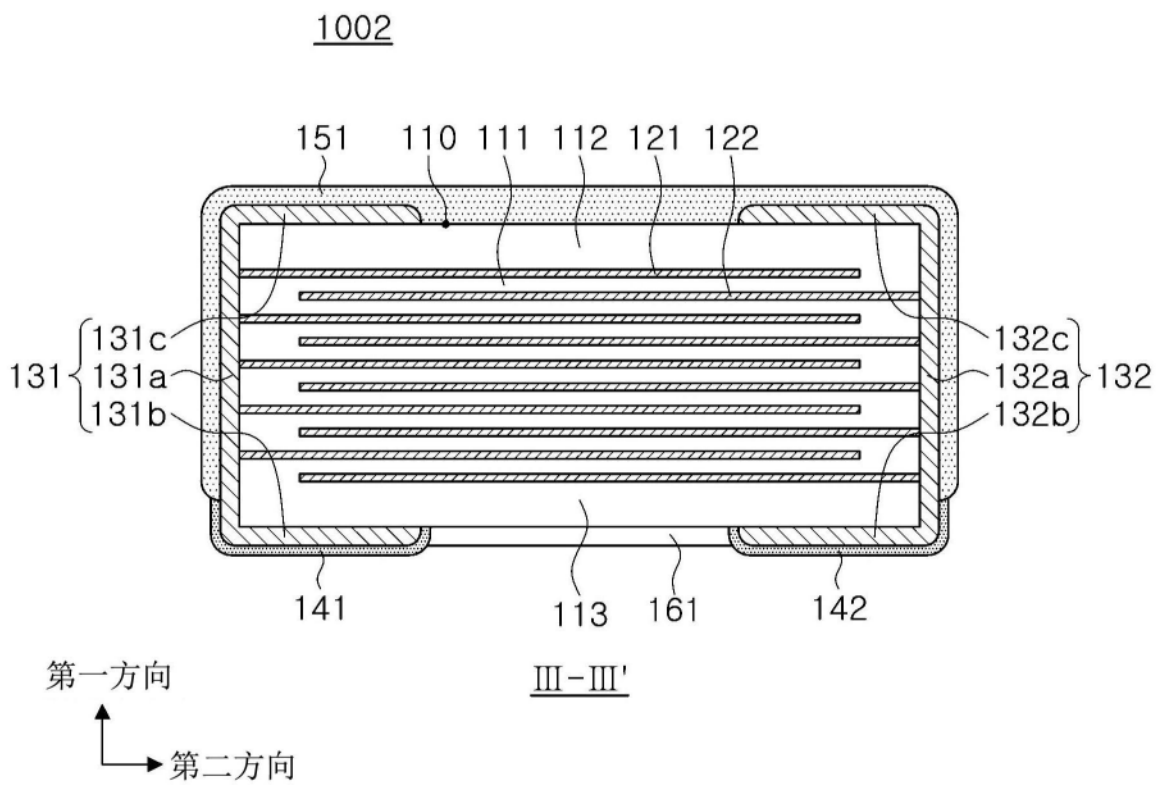


图9

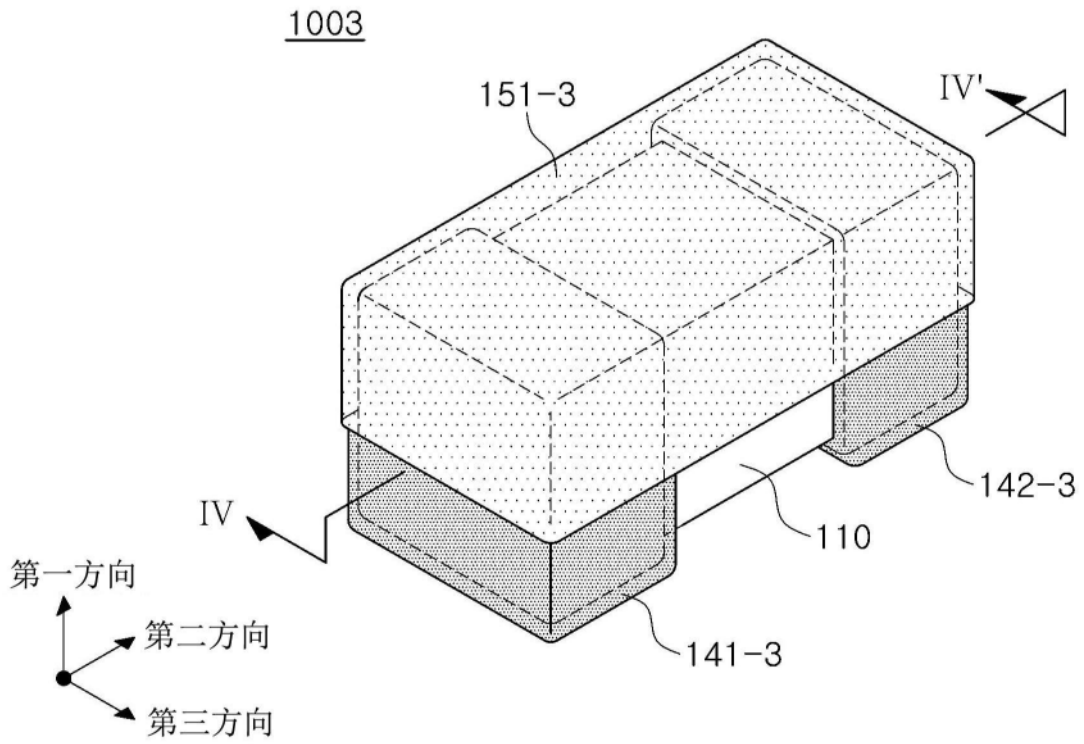


图10

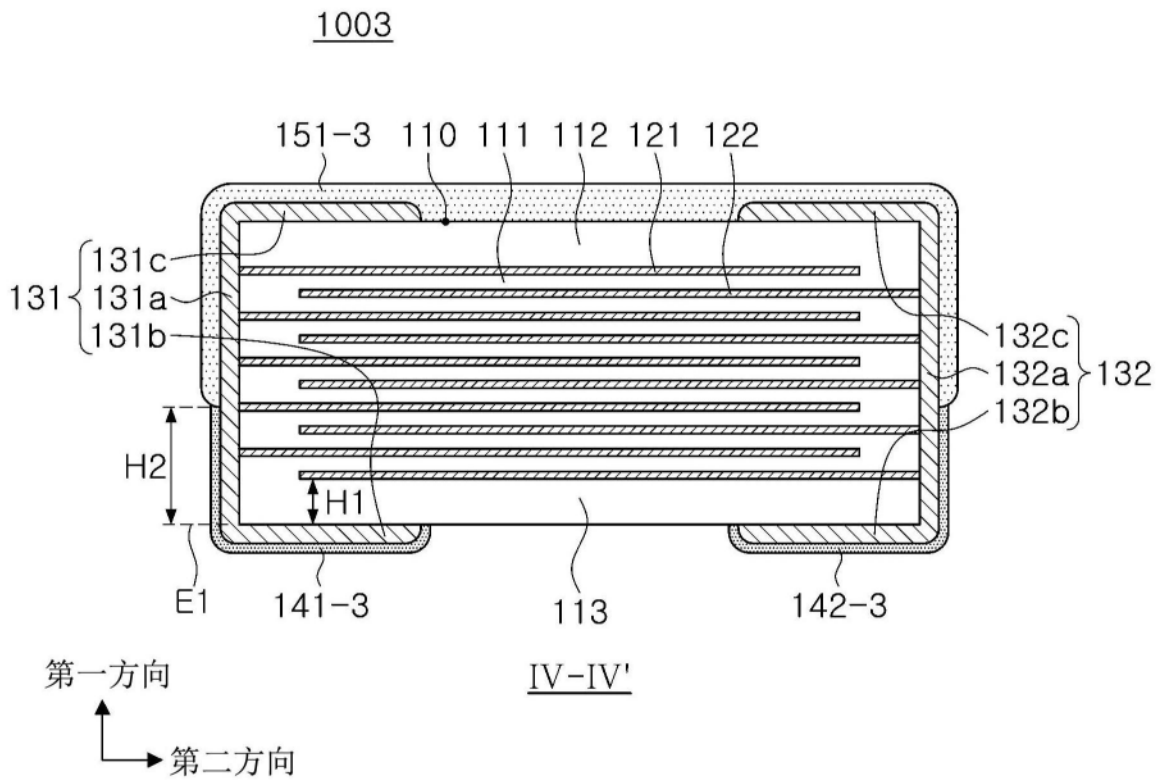


图11

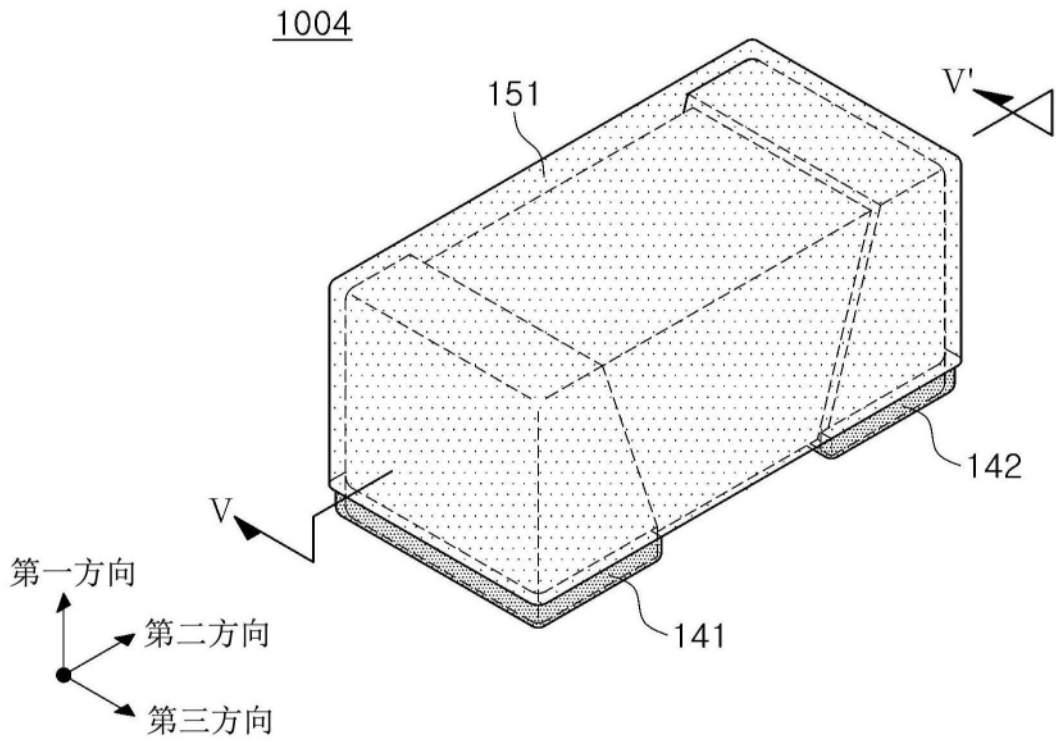


图12

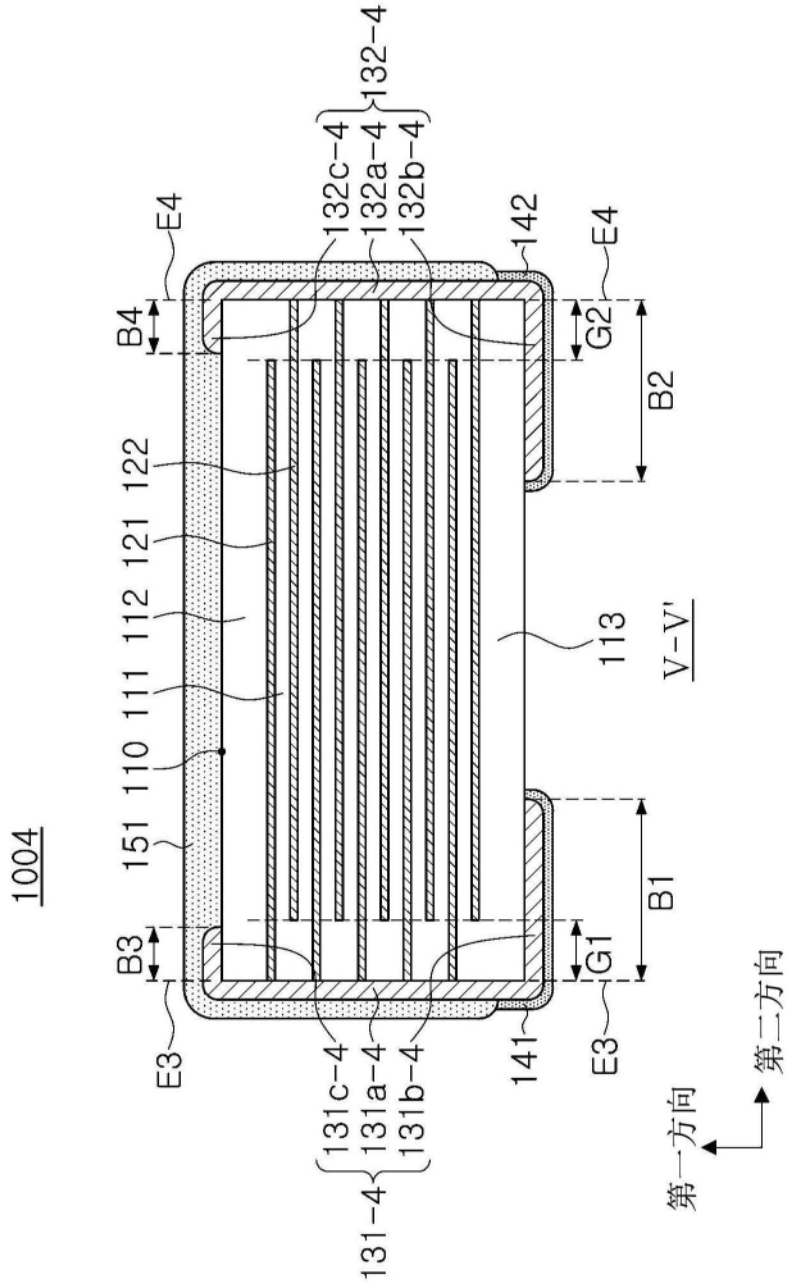


图13

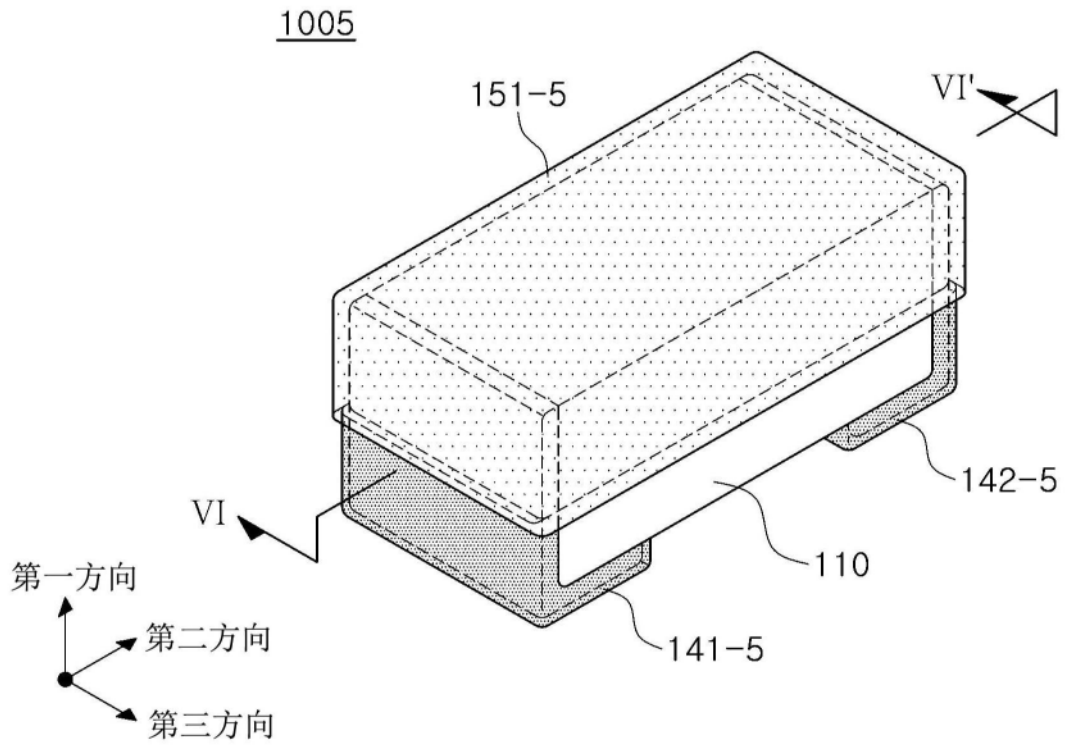


图14

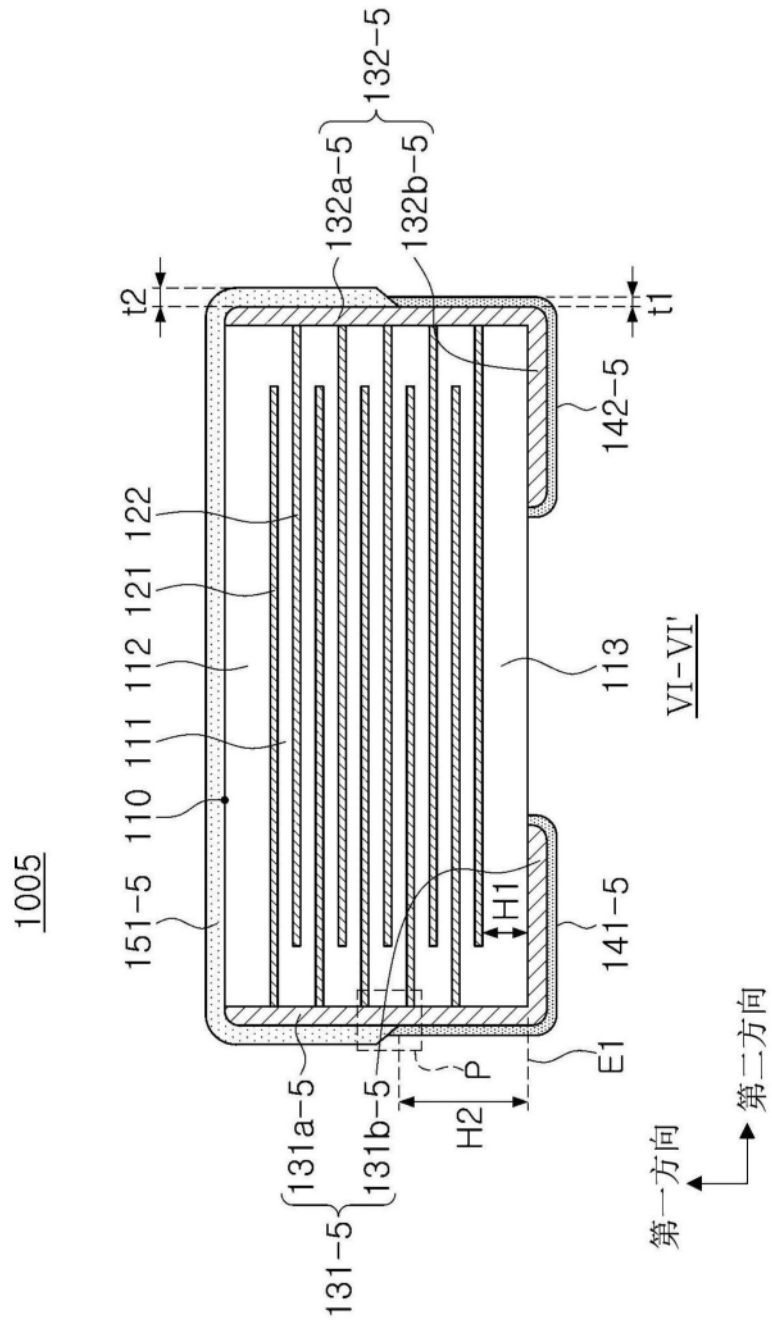


图15

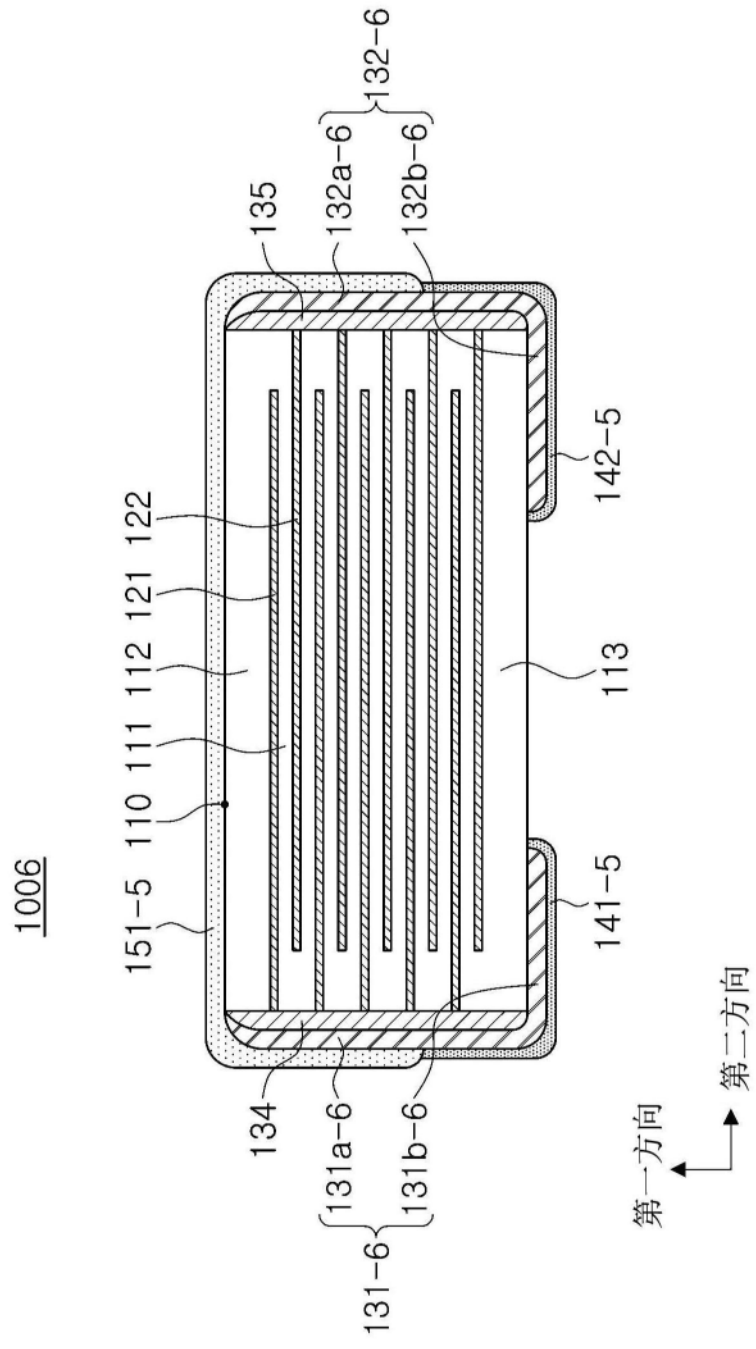


图16

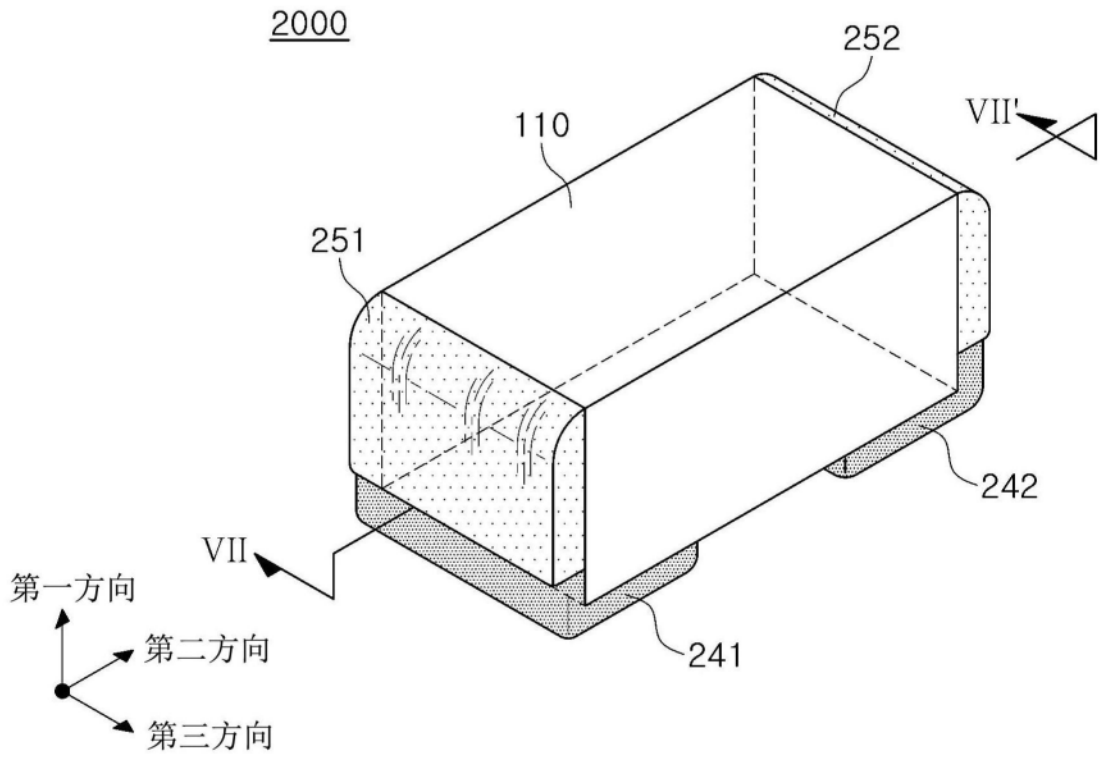


图17

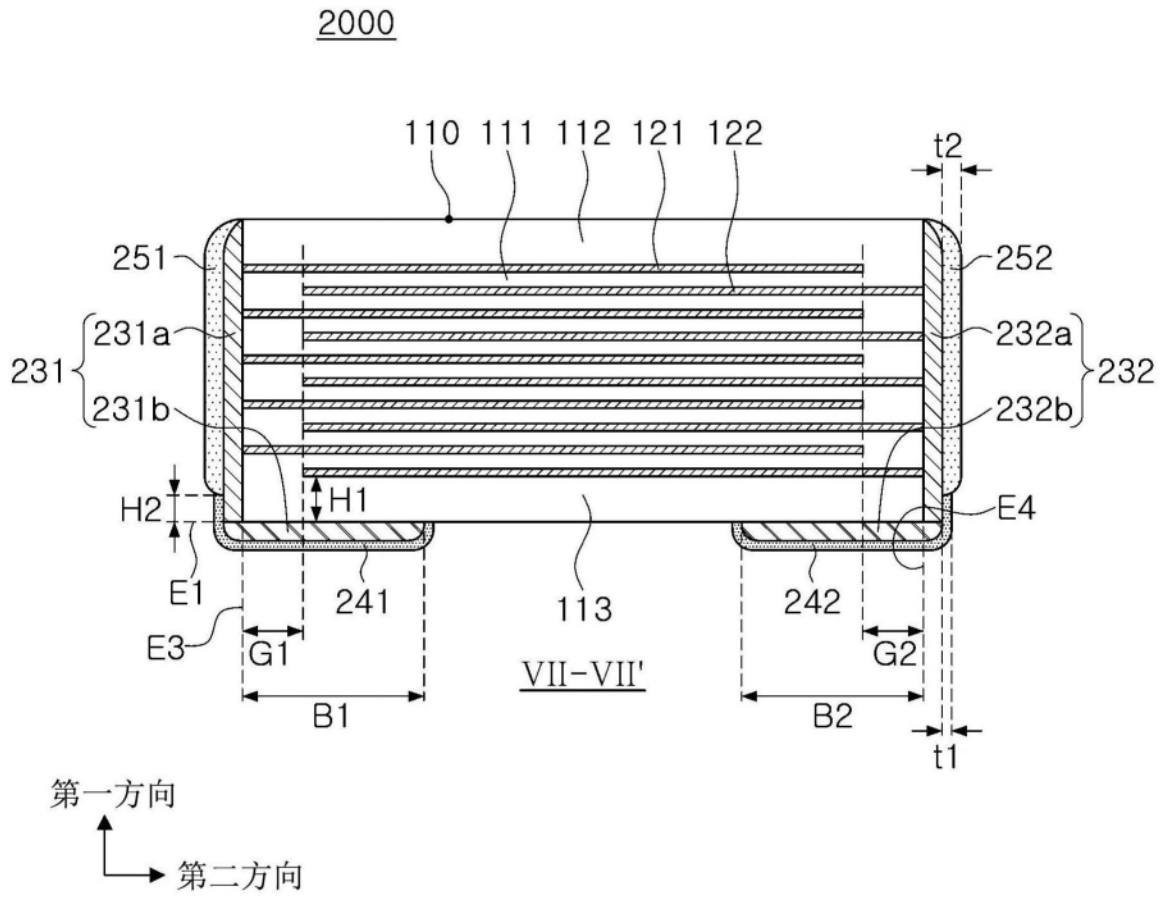


图18

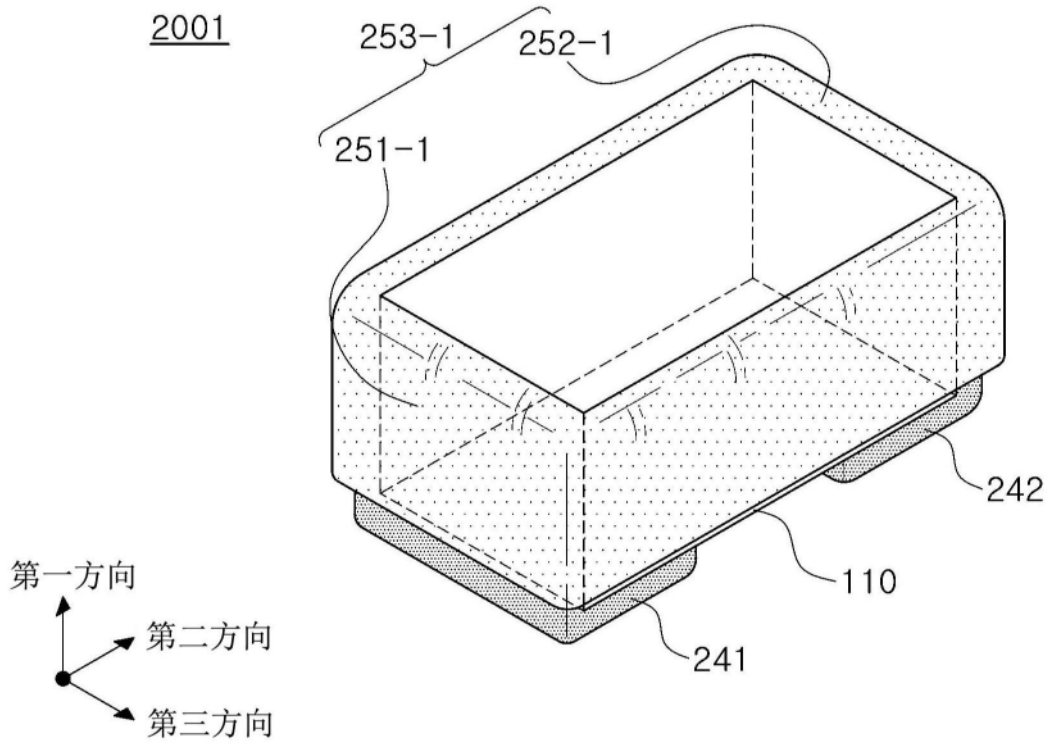


图19

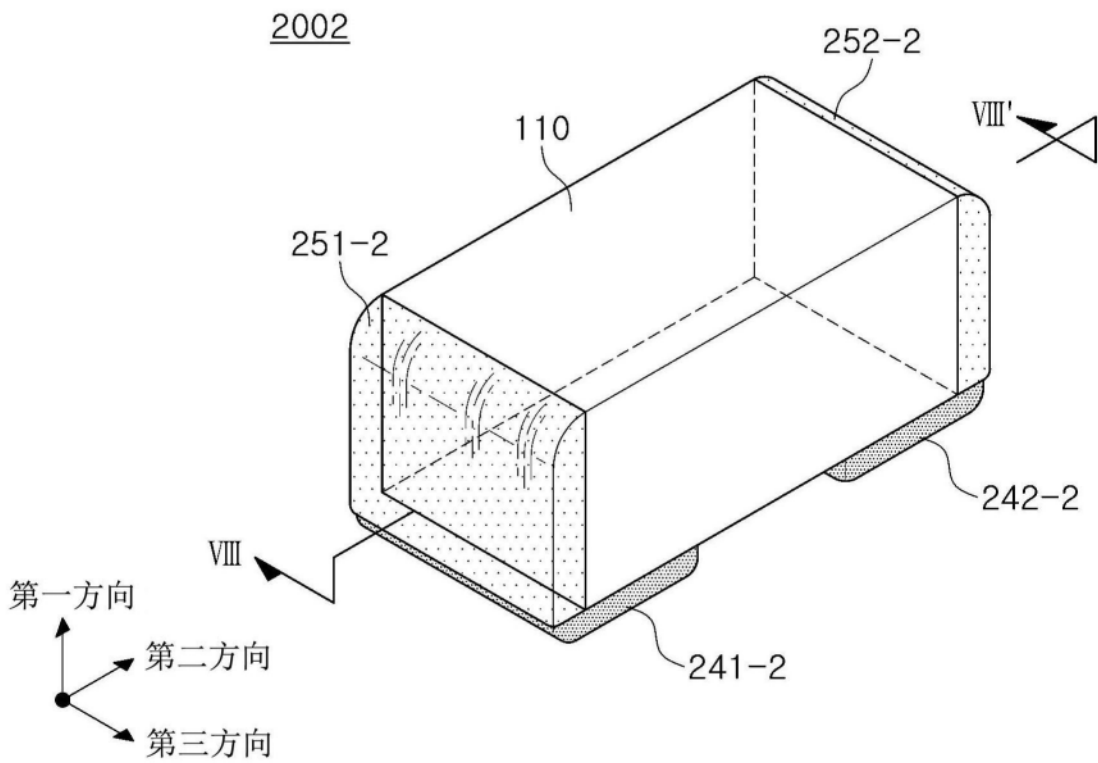


图20

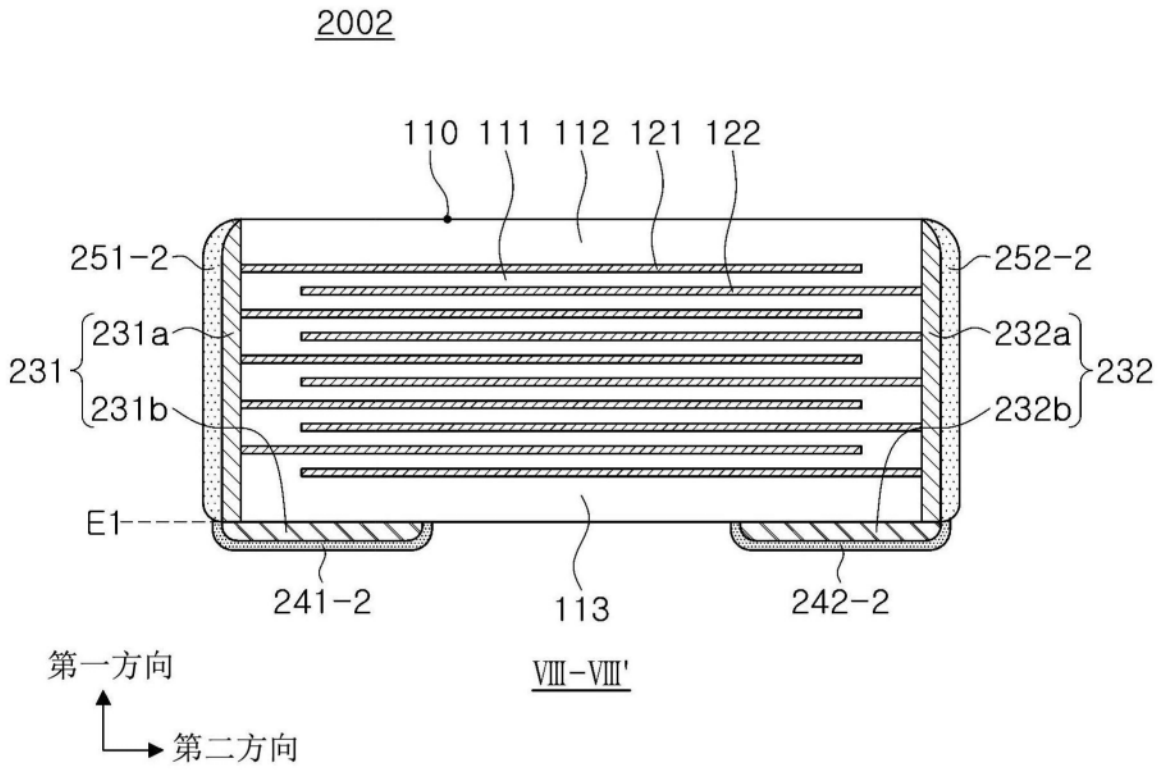


图21

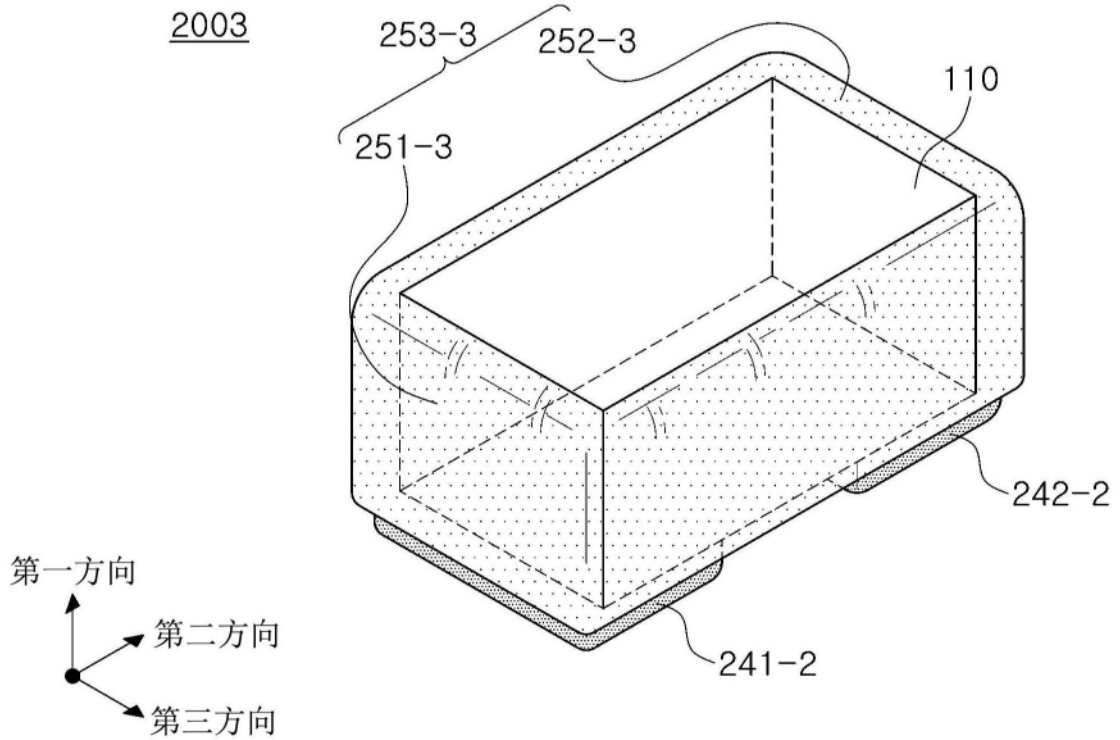


图22

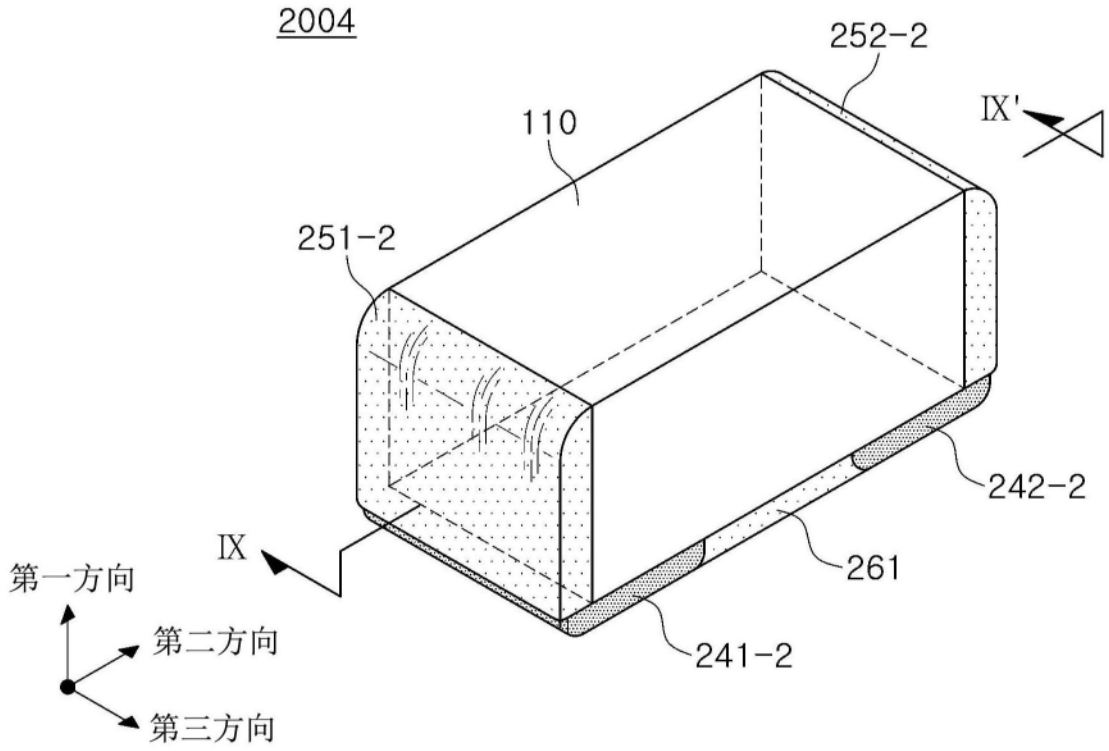


图23

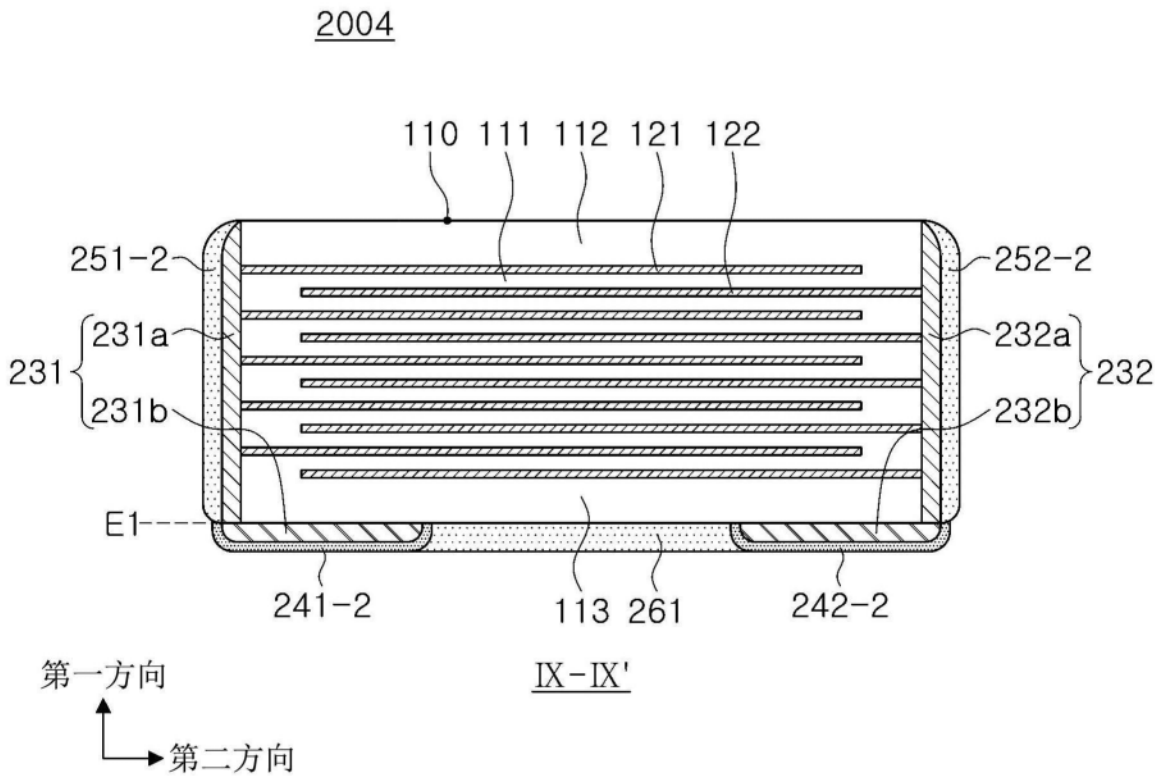


图24

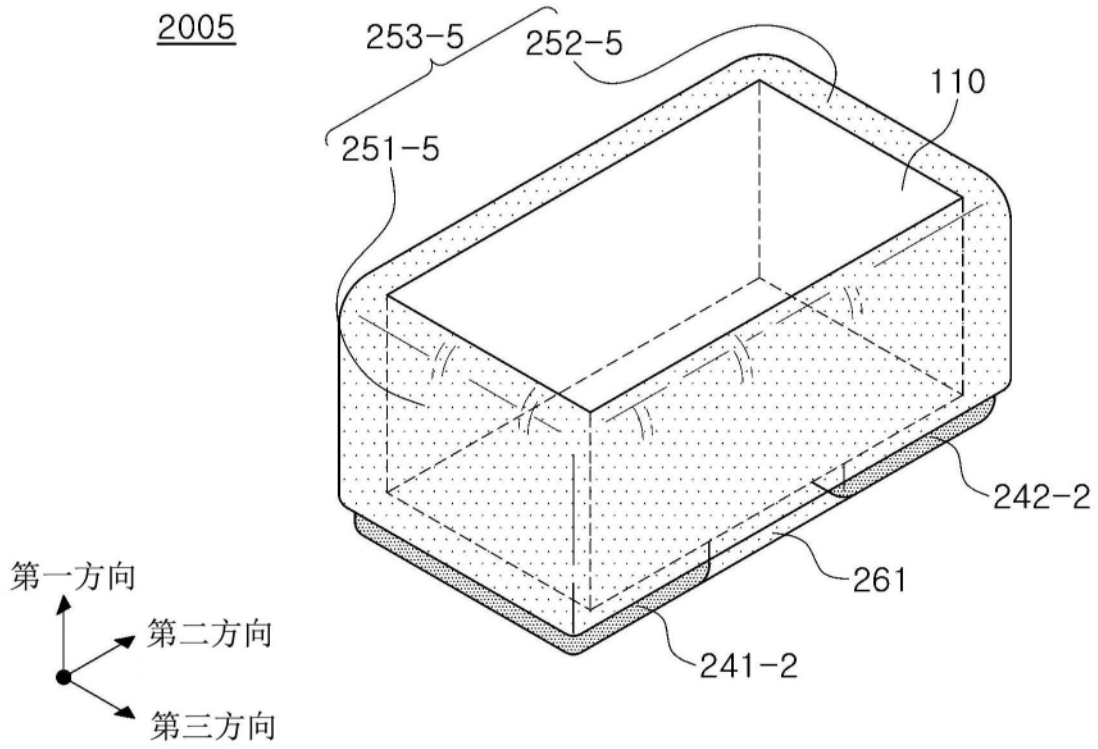


图25

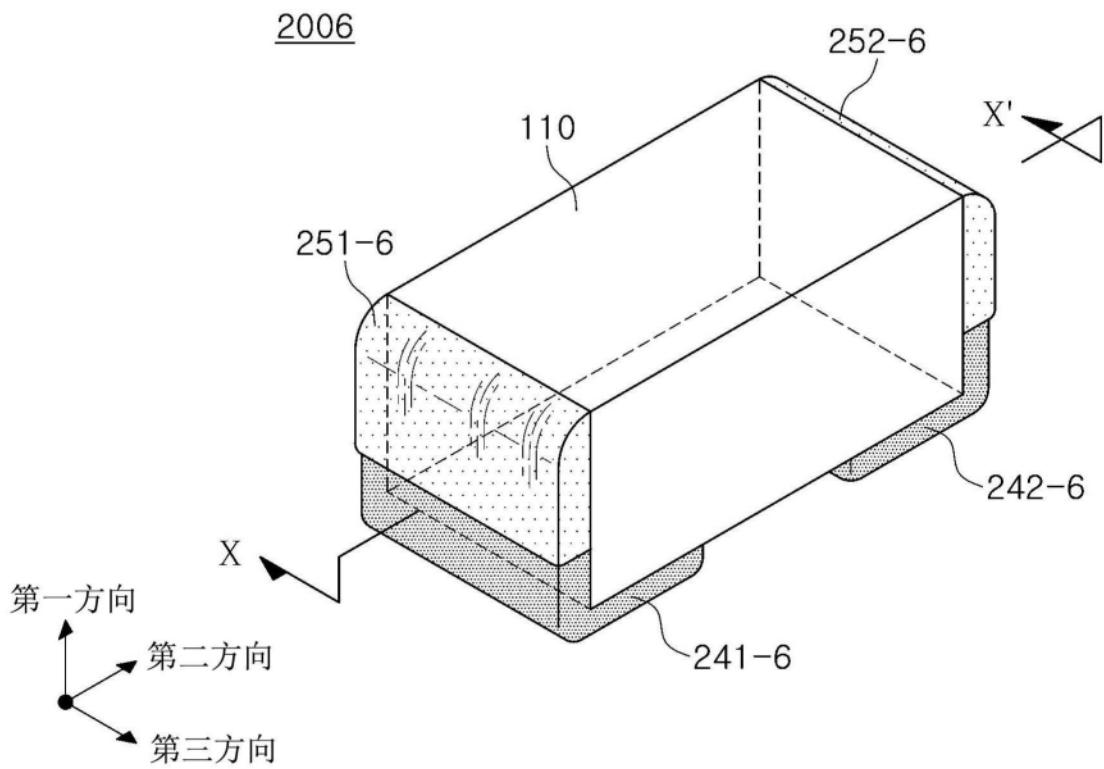


图26

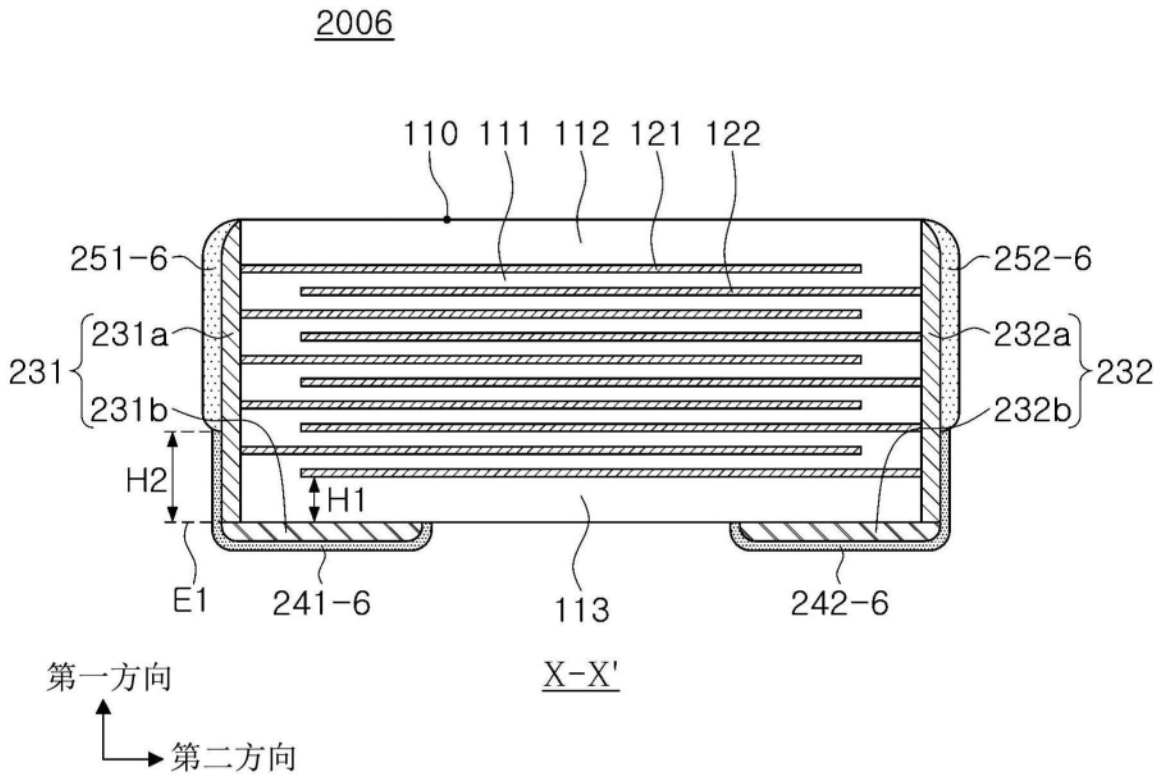


图27

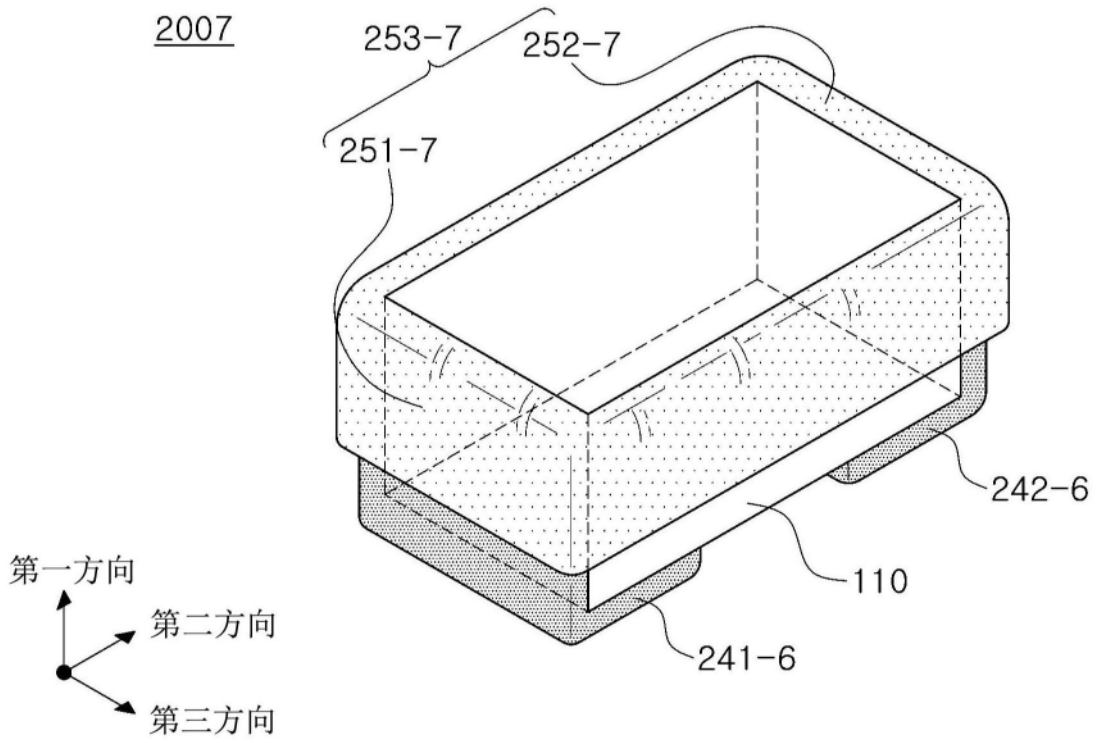


图28

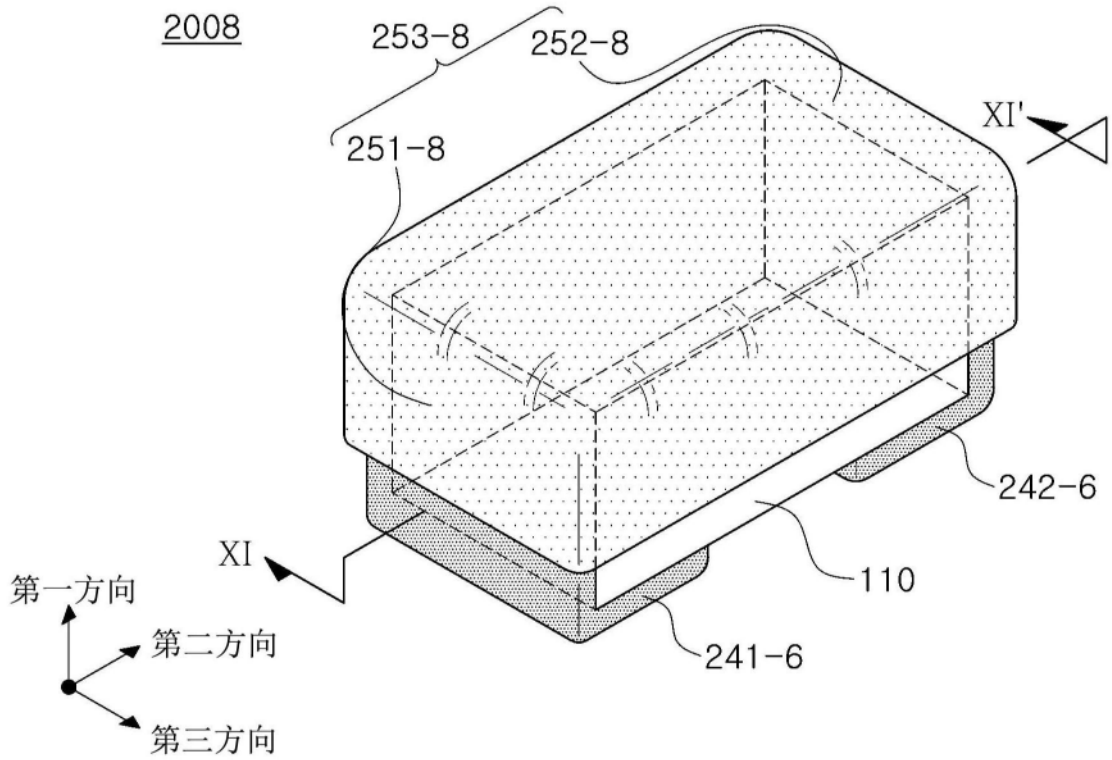


图29

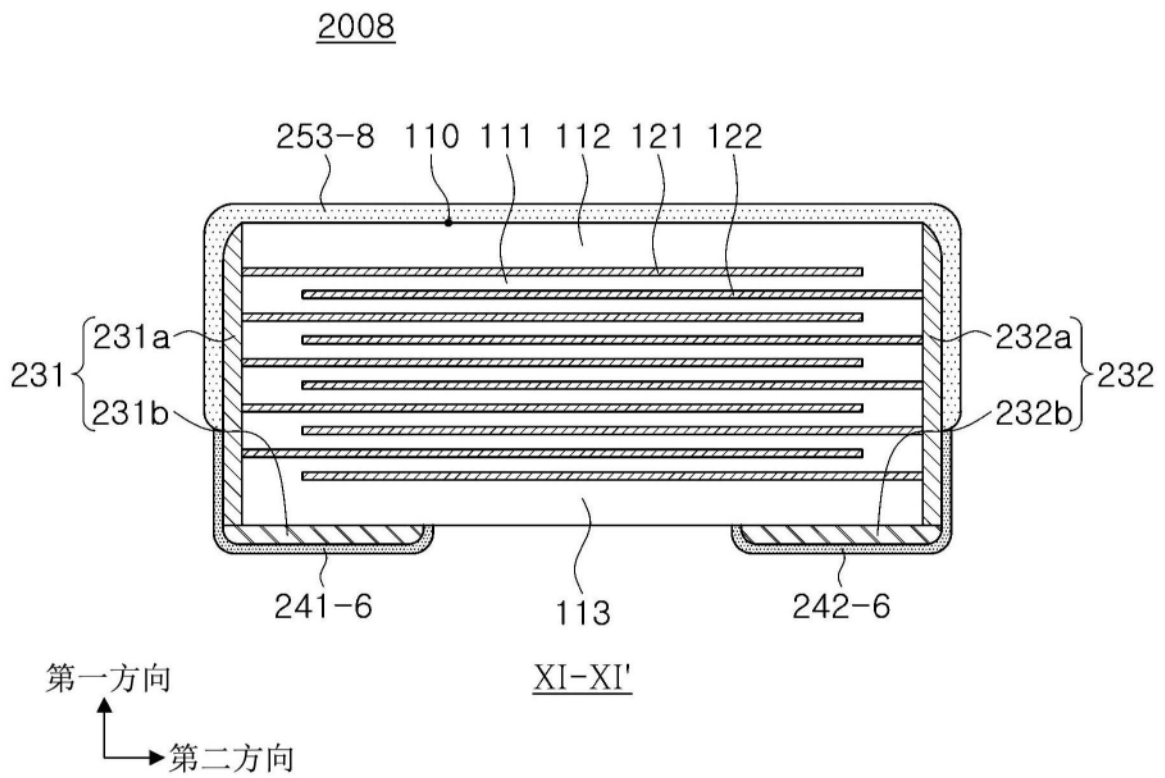


图30

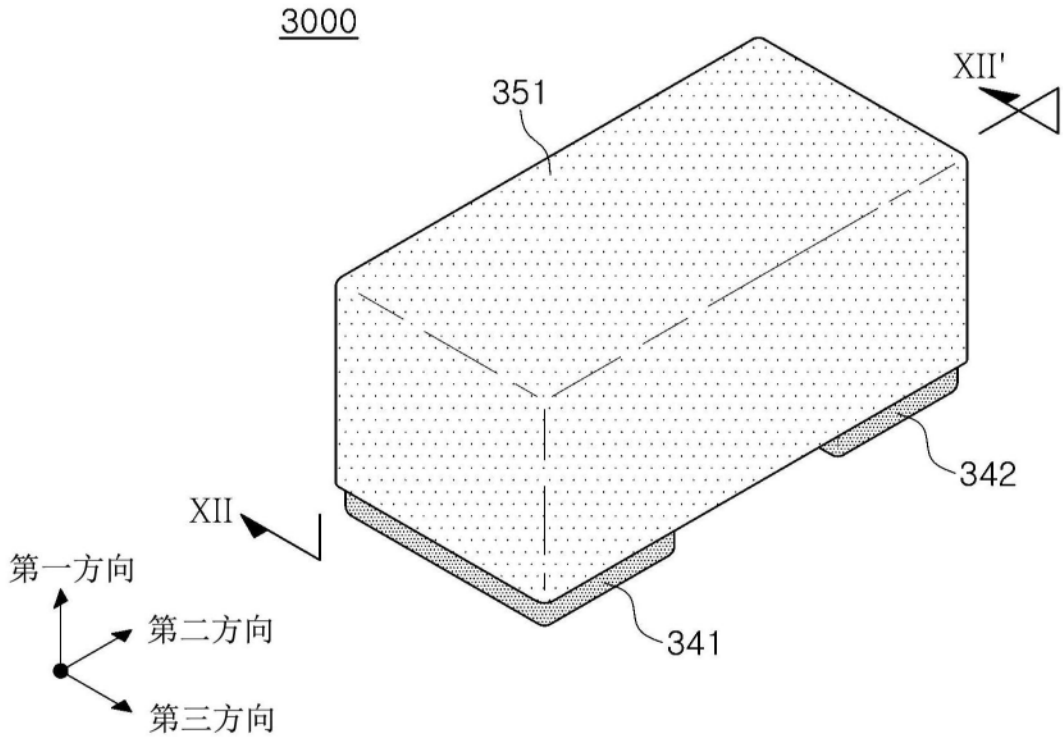


图31

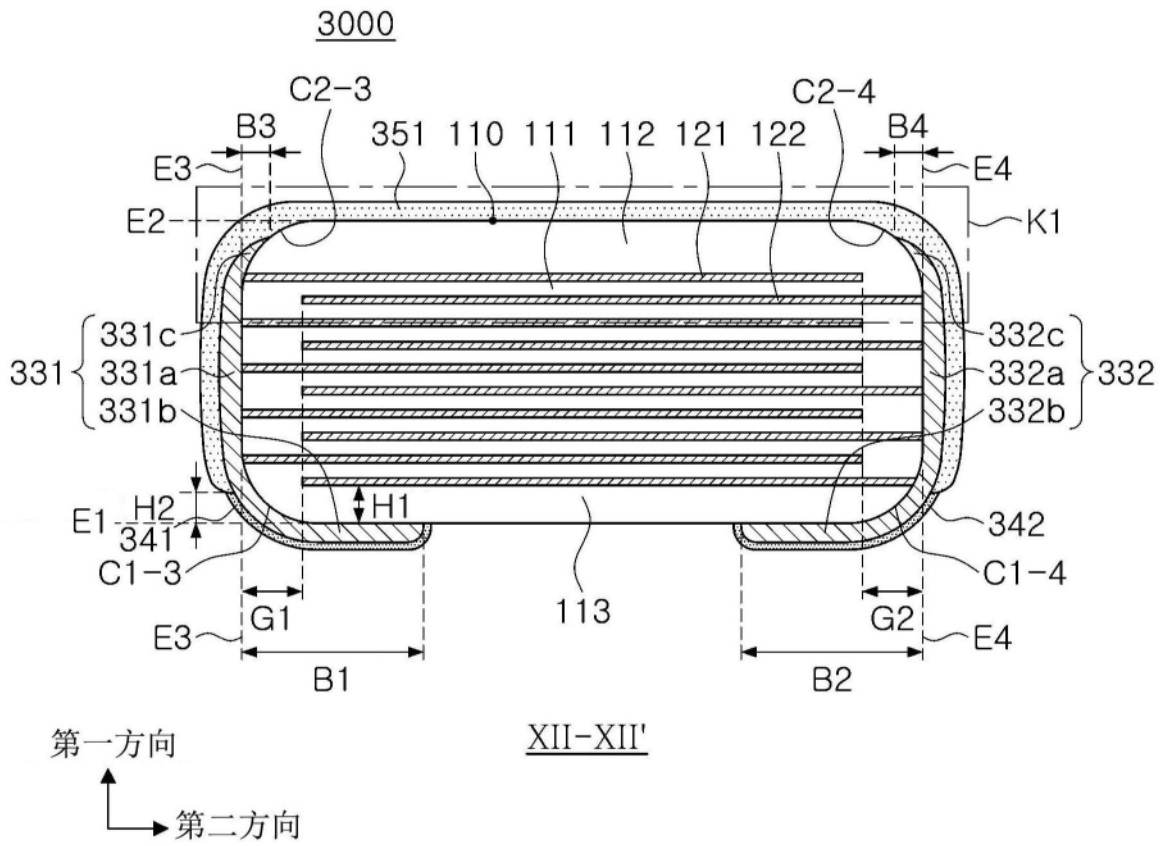


图32

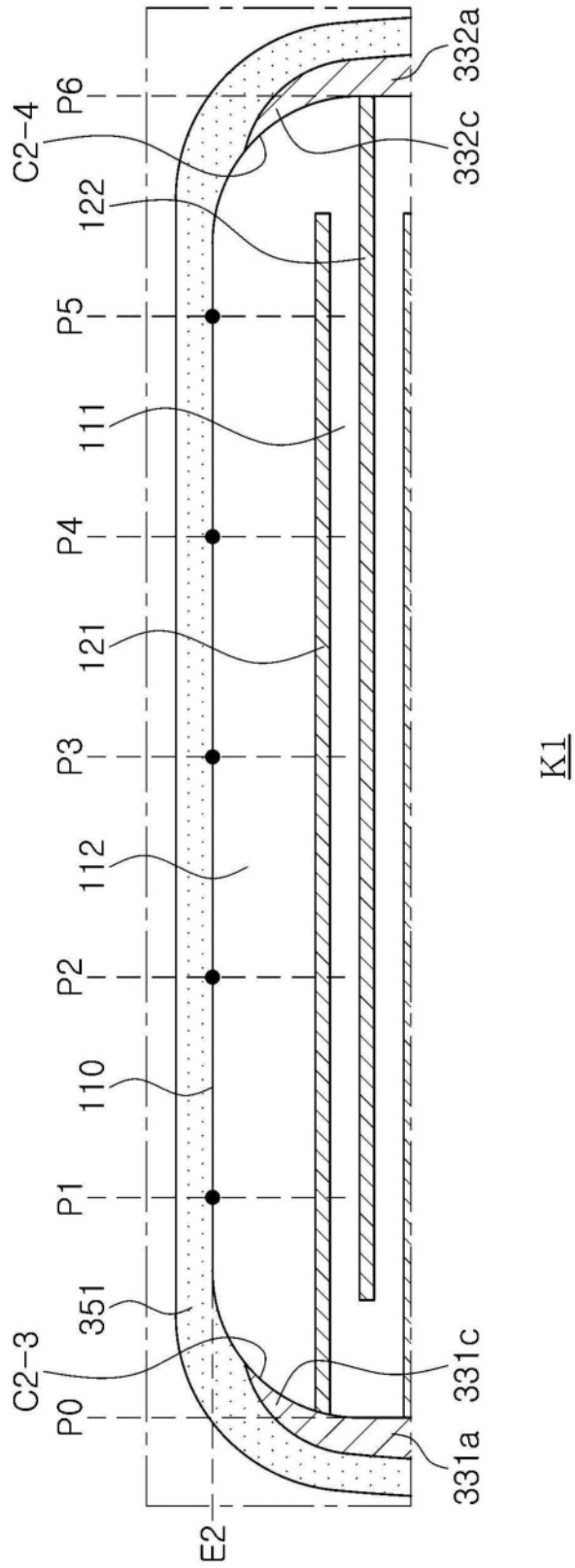


图33

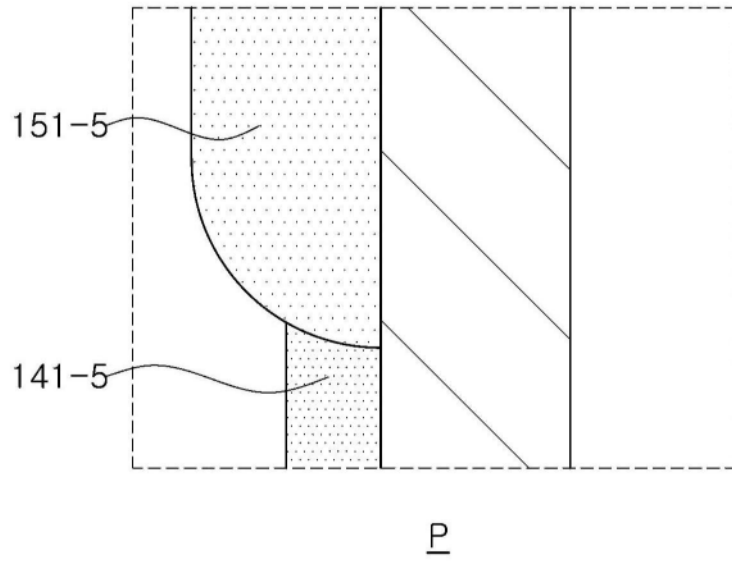


图34

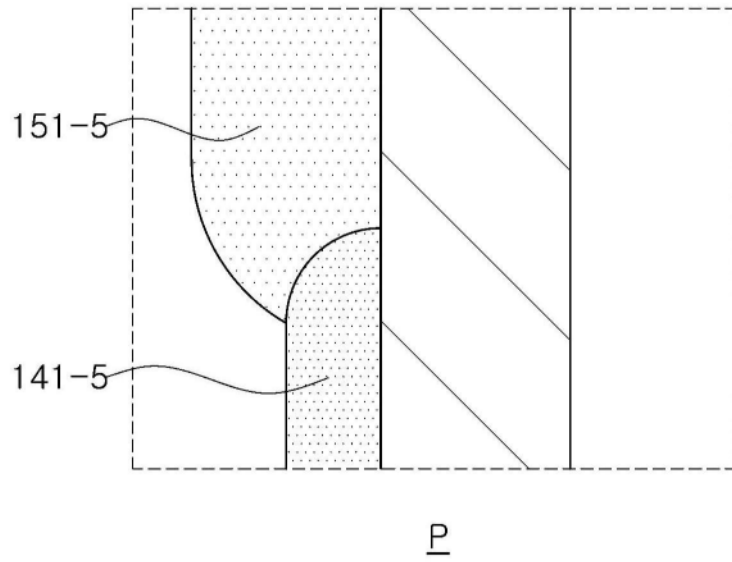


图35

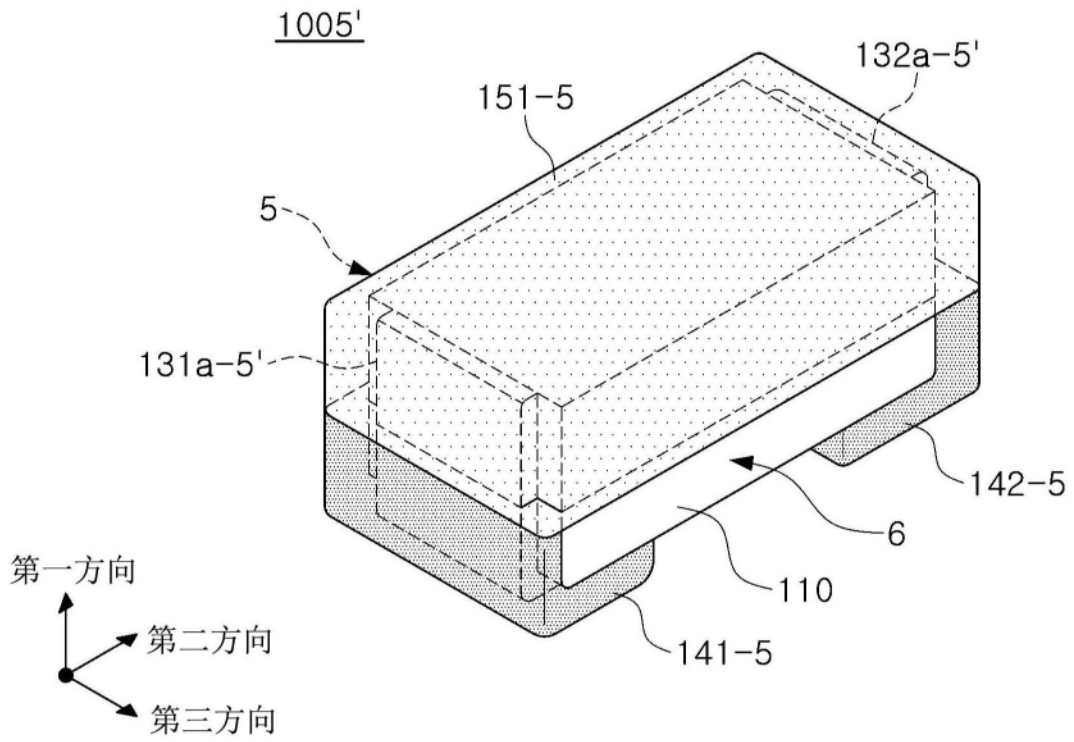


图36

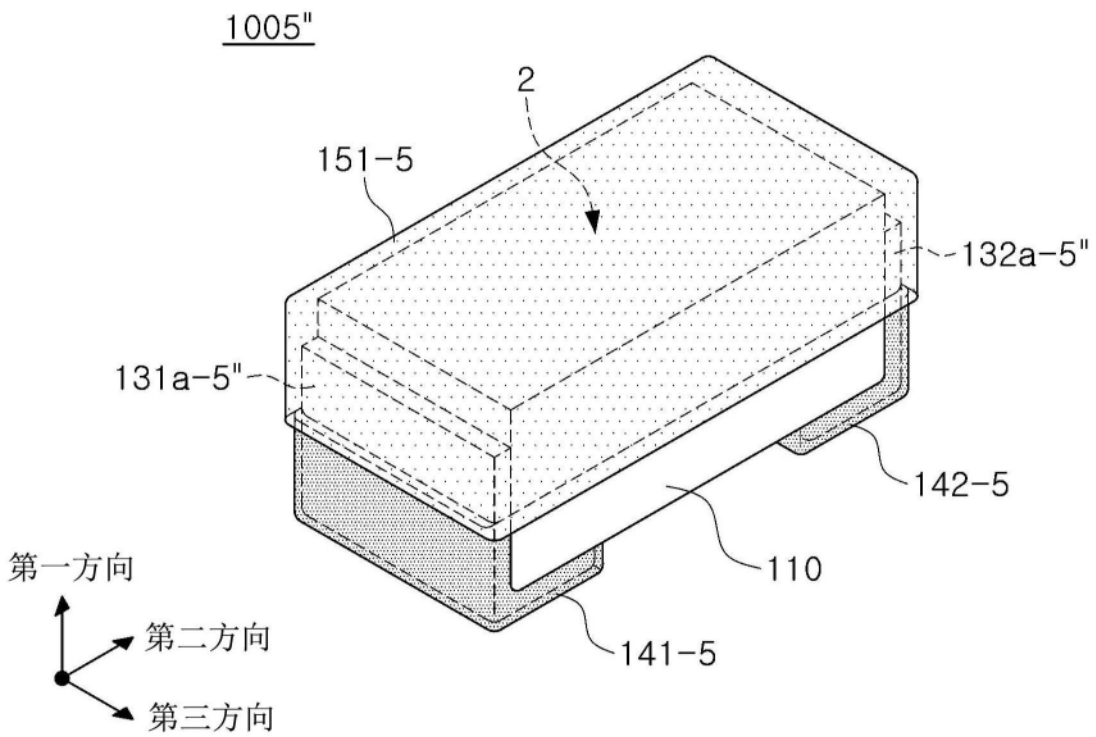


图37