



(12) 发明专利申请

(10) 申请公布号 CN 103887202 A

(43) 申请公布日 2014. 06. 25

(21) 申请号 201410109846. 9

(22) 申请日 2014. 03. 24

(71) 申请人 上海华力微电子有限公司

地址 201203 上海市浦东新区张江开发区高
斯路 568 号

(72) 发明人 周建华 刘巍

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 王宏婧

(51) Int. Cl.

H01L 21/66(2006. 01)

权利要求书1页 说明书5页 附图3页

(54) 发明名称

监测方法

(57) 摘要

本发明揭露了一种监测方法,用于用于在线监测 SiGe 结构和 STI 界面性能。所述监测方法通过形成结面积相同的边缘型 PN 结和面积型 PN 结,量测出两者的漏电流,通过数据比对和分析得到 SiGe 结构和 STI 的界面的状态。这样,可以直接通过监测 SiGe 结构和 STI 的界面的漏电流来监测 SiGe 结构和 STI 的界面的状态。从而实现对线上产品的实时监测,无需等到问题产生再进行 TEM 切片来研究界面是否正常,大大提高了产品良率。



1. 一种监测方法,用于在线监测 SiGe 结构和 STI 界面性能,所述监测方法包括:
设计 SiGe 结构与 N 型阱形成的面积型 PN 结的版图;
设计多个边缘型 PN 结并联结构,所述多个边缘型 PN 结的结面积与所述面积型 PN 结的结面积相同;
在器件制造过程中在衬底上形成所述边缘型 PN 结和面积型 PN 结;
在线测量两种 PN 结的漏电流并记录;
进行归一化计算,分别计算出面积型 PN 结归一化电流 IL_{AP} 和边缘型 PN 结归一化电流 IL_{EP} ;
计算归一化电流之差 ΔIL , $\Delta IL=IL_{AP}-IL_{EP}$;
进行 IL_{AP} 、 IL_{EP} 及 ΔIL 的数据分析,判断 SiGe 结构和 STI 的界面性能。
2. 如权利要求 1 所述的监测方法,其特征在于:进行 IL_{AP} 、 IL_{EP} 及 ΔIL 的数据分析方法为:将 IL_{AP} 、 IL_{EP} 及 ΔIL 与标准范围对比,当 PN 结有异常时, IL_{AP} 及 IL_{EP} 同时异常;当 SiGe 结构和 STI 界面异常时, IL_{AP} 正常、 IL_{EP} 与 ΔIL 异常。
3. 如权利要求 1 所述的监测方法,其特征在于:在选择性外延生长 SiGe 工艺形成 COMS 器件的过程中,在衬底上形成上述的两种 PN 结。
4. 如权利要求 3 所述的监测方法,其特征在于:在衬底上形成所述边缘型 PN 结的结面积与所述面积型 PN 结的步骤包括:
进行浅沟槽隔离制作,以在衬底上形成浅沟槽隔离结构;
进行阱注入,形成 P 型阱或 N 型阱,同时形成边缘型 PN 结和面积型 PN 结的 N 型阱;
形成栅极;
进行轻掺杂注入,形成漏轻掺杂结构;
在栅极侧壁上制作栅极第一侧墙;
进行选择性外延生长 SiGe 工艺,在源漏区域形成重掺杂的 SiGe 结构,在边缘型 PN 结和面积型 PN 结的 N 型阱上形成边缘型 PN 结和面积型 PN 结的 SiGe 结构,以形成边缘型 PN 结和面积型 PN 结;
制作栅极第二侧墙,进行源漏注入以形成源漏极,以及进行金属前介质、通孔、金属插塞和金属层的制作步骤。
5. 如权利要求 4 所述的监测方法,其特征在于:所述栅极为多晶硅材质。
6. 如权利要求 4 所述的监测方法,其特征在于:通过 P 型掺杂源漏极注入形成 P 型的源漏极,所述 P 型掺杂为硼掺杂。
7. 如权利要求 4 所述的监测方法,其特征在于:所述选择性外延生长 SiGe 工艺包括,对要形成 SiGe 结构的区域进行回刻工艺,然后选择性外延生长 SiGe 结构。

监测方法

技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种监测 SiGe 结构和 STI 界面性能的监测方法。

背景技术

[0002] 随着超大规模集成电路技术的迅速发展, MOSFET 器件的尺寸在不断减小,通常包括 MOSFET 器件沟道长度的减小,栅氧化层厚度的减薄等以获得更快的器件速度。但是随着超大规模集成电路技术发展至超深亚微米级时,特别是 90 纳米及以下技术节点时,减小沟道长度会带来一系列问题,为了控制短沟道效应,会在沟道中掺以较高浓度的杂质,这会降低载流子的迁移率,从而导致器件性能下降,单纯的器件尺寸减小很难满足大规模集成电路技术的发展。因此,应力工程的广泛研究用来提高载流子的迁移率,从而达到更快的器件速度,并满足摩尔定律的规律。

[0003] 上世纪 80 年代到 90 年代,学术界就已经开始基于硅基衬底实现异质结构研究,直到本世纪初才实现商业应用。其中有两种代表性的应力应用,一种是由 IBM 提出的双轴应力技术(Biaxial Technique);另一种是由 Intel 提出的单轴应力技术(Uniaxial Technique);即 SMT (Stress Memorization Technology)对 NMOSFET 的沟道施加张应力提高电子的迁移率,和选择性(或嵌入)外延生长锗硅(SiGe 结构)对 PMOSFET 沟道施加压应力提高空穴的迁移率的两种工艺方法,从而提高器件的性能。其中,参照附图 1,选择性外延生长 SiGe 工艺形成 COMS 器件通常包括以下步骤:首先进行步骤 S100,进行浅沟槽隔离制作,以在衬底上形成浅沟槽隔离结构;然后进行步骤 S101,进行阱注入,形成 P 型阱或 N 型阱;然后进行步骤 S102,形成栅极;之后进行步骤 S103,进行轻掺杂注入,形成漏轻掺杂结构;然后进行步骤 S104,在栅极侧壁上制作栅极第一侧墙;之后进行步骤 S105,进行选择性外延生长 SiGe 工艺,在源漏区域形成重掺杂的 SiGe 结构;进行步骤 S106,制作栅极第二侧墙;进行步骤 S107,进行源漏注入以形成源漏极;然后进行步骤 S108,进行金属前介质、通孔、金属插塞和金属层的制作。

[0004] 对于选择性(或嵌入)外延生长 SiGe 工艺,已经有大量地研究发现生长工艺的气体组成、流量,腔体反应温度、时间,退火温度、时间等会对应力产生影响,并建立有线上实时监测系统来监测上述工艺参数的稳定性。但是,这些都是仅仅表征锗硅 SiGe 结构自身的性能,而 SiGe 结构和 SI 界面、以及 SiGe 结构和 STI 界面性能好坏,会直接影响器件性能,从而影响整个电路的工作状态,现有的监测系统并不能反映出的监测,这两个界面的性能。通常只能在工艺研发或工艺生产线上产品出现问题时,对问题样品进行 TEM 切片来研究界面是否正常,并没有很好的半导体工艺线实时监测方法。

[0005] 对于 SiGe 结构和 SI 界面,通常会设计有大面积的 P 型重掺杂 SiGe 结构与 N 型阱 PN 结,通过在线测量该 PN 结的漏电流来表征界面特性。但是对于 SiGe 结构和 STI 界面,并没有很好的在线监测方法。

发明内容

[0006] 本发明提供一种监测方法,以实现在线监测 SiGe 结构和 STI 界面性能的目的。

[0007] 为解决以上问题,本发明提供一种监测方法,用于在线监测 SiGe 结构和 STI 界面性能,所述监测方法包括:

[0008] 设计 SiGe 结构与 N 型阱形成的面积型 PN 结的版图;

[0009] 设计多个边缘型 PN 结并联结构,所述多个边缘型 PN 结的结面积与所述面积型 PN 结的结面积相同;

[0010] 在器件制造过程中在衬底上形成所述边缘型 PN 结和面积型 PN 结;

[0011] 在线测量两种 PN 结的漏电流并记录;

[0012] 进行归一化计算,分别计算出面积型 PN 结归一化电流 IL_{AP} 和边缘型 PN 结归一化电流 IL_{EP} ;

[0013] 计算归一化电流之差 ΔIL , $\Delta IL = IL_{AP} - IL_{EP}$;

[0014] 进行 IL_{AP} 、 IL_{EP} 及 ΔIL 的数据分析,判断 SiGe 结构和 STI 的界面性能。

[0015] 可选的,进行 IL_{AP} 、 IL_{EP} 及 ΔIL 的数据分析方法为:将 IL_{AP} 、 IL_{EP} 及 ΔIL 与标准范围对比,当 PN 结有异常时, IL_{AP} 及 IL_{EP} 同时异常;当 SiGe 结构和 STI 界面异常时, IL_{AP} 正常、 IL_{EP} 与 ΔIL 异常。

[0016] 可选的,在选择性延生长 SiGe 工艺形成 COMS 器件的过程中在衬底上形成上述的两种 PN 结,包括:

[0017] 进行浅沟槽隔离制作,以在衬底上形成浅沟槽隔离结构;

[0018] 进行阱注入,形成 P 型阱或 N 型阱,同时形成边缘型 PN 结和面积型 PN 结的 N 型阱;

[0019] 形成栅极;

[0020] 进行轻掺杂注入,形成漏轻掺杂结构;

[0021] 在栅极侧壁上制作栅极第一侧墙;

[0022] 进行选择外延生长 SiGe 工艺,在源漏区域形成重掺杂的 SiGe 结构,在边缘型 PN 结和面积型 PN 结的 N 型阱上形成边缘型 PN 结和面积型 PN 结的 SiGe 结构,以形成边缘型 PN 结和面积型 PN 结;

[0023] 制作栅极第二侧墙,进行源漏注入以形成源漏极,以及进行金属前介质、通孔、金属插塞和金属层的制作步骤。

[0024] 可选的,所述栅极为多晶硅材质。

[0025] 可选的,通过 P 型掺杂源漏极注入形成 P 型的源漏极,所述 P 型掺杂为硼掺杂。

[0026] 可选的,所述选择性外延生长 SiGe 工艺包括,对要形成 SiGe 结构的区域进行回刻工艺,然后选择性外延生长 SiGe 结构

[0027] 与现有技术相比,本发明所提供的检测方法在器件形成的过程中,同时形成结面积相同的边缘型 PN 结和面积型 PN 结,然后测量分析两种 PN 结的漏电流,实现判断 SiGe 结构和 STI 的界面性能的目的。这样,能对生产线上的产品进行监测,无需在产品出现问题后再进行 TEM 切片来研究,大大提升了产品良率。

附图说明

- [0028] 图 1 为现有选择性外延生长 SiGe 工艺形成 COMS 器件的流程图；
- [0029] 图 2 为为本发明实施例监测方法的流程图；
- [0030] 图 3 为本发明实施例监测方法的面积型 PN 结和边缘性 PN 结的俯视版图；
- [0031] 图 4 为本实施监测方法中部分边缘型 PN 结和面积型 PN 结的剖面结构示意图。

具体实施方式

[0032] 在背景技术中已经提及,现有技术中没有对在线产品的 SiGe 结构和 SI 界面状态进行检测的方法,只能在线上产品出现问题时,对问题样品进行 TEM 切片进行研究,严重影响产品良率。

[0033] 为此,本发明提供一种监测方法,用于在线监测 SiGe 结构和 STI 界面性能。本发明的核心思想在于,通过监测 SiGe 结构和 STI 的界面的漏电流来实现监测 SiGe 结构和 STI 的界面的状态。边缘型的 PN 结除了 PN 结漏电流之外,在结的边缘的 SiGe 结构和 STI 的界面上也会出现漏电流,这是由于 SiGe 结构是选择型的外延生长,即,基于 Si “种子”外延形成 SiGe 结构,而 STI 材质为 SiO₂,因此 SiGe 结构和 STI 的界面并不是很完美,也会出现漏电流。边缘型 PN 结和面积型 PN 结具有相同的结面积,而边缘型 PN 结边缘存在较大面积 SiGe 结构和 STI 的界面,这样对比两者的漏电流即可得到 SiGe 结构和 STI 的界面的漏电流,即可实现通过监测 SiGe 结构和 STI 的界面的漏电流来实现监测 SiGe 结构和 STI 的界面的状态的目的。

[0034] 请参考图 2,其为本发明实施例监测方法的流程图,所述方法包括如下步骤:

[0035] 步骤 S010,设计 SiGe 结构与 N 型阱形成的面积型 PN 结的版图;

[0036] 步骤 S011,设计多个边缘型 PN 结并联结构,所述多个边缘型 PN 结的结面积与所述面积型 PN 结的结面积相同;

[0037] 步骤 S012,在器件制造过程中在衬底上形成上述的两种 PN 结;

[0038] 步骤 S013,在线测量两种 PN 结的漏电流并记录;

[0039] 步骤 S014,进行归一化计算,分别计算出面积型 PN 结归一化电流 IL_{AP} 和边缘型 PN 结归一化电流 IL_{EP} ;

[0040] 步骤 S015,计算归一化电流之差 ΔIL , $\Delta IL = IL_{AP} - IL_{EP}$;

[0041] 步骤 S016,进行数据分析:将 IL_{AP} 、 IL_{EP} 及 ΔIL 与标准范围对比,当 PN 结有异常时, IL_{AP} 及 IL_{EP} 同时异常;当 SiGe 结构和 STI 界面异常时, IL_{AP} 正常、 IL_{EP} 与 ΔIL 异常。其中,所述标准范围可以通过在线大量 IL_{AP} 、 IL_{EP} 及 ΔIL 数据制定获得。

[0042] 下面将具体结和到 CMOS 制作工艺流程中对本发明进行更详细的描述,其中表示了本发明的优选实施例,应所述理解本领域技术人员可以修改在此描述的本发明,而仍然实现本发明的有利效果。因此,下列描述应当被理解为对于本领域技术人员的广泛知道,而并不作为对本发明的限制。

[0043] 为了清楚,不描述实际实施例的全部特征。在下列描述中,不详细描述公知的功能和结构,因为它们会使本发明由于不必要的细节而混乱。应当认为在任何实际实施例的开发中,必须做出大量实施细节以实现开发者的特定目标,例如按照有关系统或有关商业的限制,由一个实施例改变为另一个实施例。另外,应当认为这种开发工作可能是复杂和耗费时间的,但是对于本领域技术人员来说仅仅是常规工作。

[0044] 在下列段落中参照附图以举例方式更具体地描述本发明。根据下面说明和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0045] 首先,执行步骤 S010 和 S011,设计 SiGe 结构与 N 型阱形成的面积型 PN 结的版图,以及设计多个边缘型 PN 结并联结构,所述多个边缘型 PN 结的面积与所述面积型 PN 结相同面积。参照图 3,其中,401 为面积型 PN 结的俯视版图,402 为边缘性 PN 结的俯视版图。本实施例中,所述边缘性 PN 结的版图 401 可以包括 COMS 工艺中选择性外延生长 SiGe 结构的所有形状,例如“工”字形、“十”字形、“口”字形等。可以理解的是,图 3 中的形状仅仅为边缘型 PN 结在本实施例中结和 CMOS 制作工艺的具体实施方式,其版图形状不仅限于图 3 中的形状,可以包括实际工艺生产中 SiGe 结构所有形状分布,本领域技术人员可以根据本发明的核心思想结和具体的器件制造工艺设计边缘型 PN 结版图形状。

[0046] 然后执行步骤 S012,在 COMS 器件制造过程中在衬底上形成上述的两种 PN 结,参照图 4,图 4 为本实施监测方法中部分边缘型 PN 结和面积型 PN 结的剖面结构示意图。所述面积型 PN 结有较大的结面积,所述边缘型 PN 结在结边缘处有较多的与 STI 的接触面。其中,利用过程可参照背景技术部分以及附图 1:首先进行步骤 S100,进行浅沟槽隔离制作,以在衬底上形成浅沟槽隔离结构(STI)403;然后进行步骤 S101,进行阱注入,形成 P 型阱或 N 型阱,在该步骤中,同时形成边缘型 PN 结和面积型 PN 结的 N 型阱 405;然后进行步骤 S102,形成栅极,本实施例中,所述栅极为多晶硅材质;之后进行步骤 S103,进行轻掺杂注入,形成漏轻掺杂结构;然后进行步骤 S104,在栅极侧壁上制作栅极第一侧墙;之后进行步骤 S105,进行选择性外延生长 SiGe 工艺,在源漏区域形成重掺杂的 SiGe 结构,在同一过程中,在边缘型 PN 结和面积型 PN 结的 N 型阱上形成边缘型 PN 结和面积型 PN 结的 SiGe 结构 404,分别形成了边缘型 PN 结 402 和面积型 PN 结 401;之后继续进行后续的 COMS 工艺步骤 S106、S107 以及 S108,制作栅极第二侧墙,进行源漏注入以形成源漏极,进行金属前介质、通孔、金属插塞和金属层的制作,在本实施例中,通过 P 型掺杂源漏极注入形成 P 型的源漏极,所述 P 型掺杂为硼掺杂。所述选择性外延生长 SiGe 工艺包括,对要形成 SiGe 结构的区域进行回刻工艺,然后选择性外延生长 SiGe 结构。具体到本实施中,对硅衬底上 COMS 的源漏极区域以及边缘型 PN 结和面积型 PN 结区域进行回刻工艺,然后基于 Si “种子”外延形成 SiGe 结构。

[0047] 在分别形成了边缘型 PN 结和面积型 PN 结后,进行步骤 S013,在线测量两种 PN 结的漏电流并记录数据;例如可以在 COMS 金属层制作后的 WAT 检测站点时,分别对所述面积型 PN 结和边缘型 PN 结的漏电流进行测量。

[0048] 之后进行步骤 S014,进行归一化计算,分别计算出面积型 PN 结归一化电流 IL_{AP} 和边缘型 PN 结归一化电流 IL_{EP} ;然后进行步骤 S015,计算归一化电流之差 ΔIL , $\Delta IL = IL_{AP} - IL_{EP}$ 。其中 IL_{AP} 表征了面积型 PN 结的状态, IL_{EP} 表征了边缘型 PN 结的状态,SiGe 结构与 STI 界面的状态, ΔIL 表征了 SiGe 结构与 STI 界面的状态。

[0049] 接着执行步骤 S016,进行数据进行分析:将 IL_{AP} 、 IL_{EP} 及 ΔIL 与标准范围对比,当 PN 结有异常时, IL_{AP} 及 IL_{EP} 同时异常;当 SiGe 结构和 STI 界面异常时, IL_{AP} 正常、 IL_{EP} 与 ΔIL 异常。其中,所述标准范围可以通过在线大量 IL_{AP} 、 IL_{EP} 及 ΔIL 数据制定获得。通常可以利用所有相同产品的数据绘制出参数曲线表,定制出合理的范围。这样即可反映出在

线产品的 SiGe 结构和 STI 界面性能的状态,无需进行 TEM 切片来研究界面是否正常。

[0050] 当然,上述实施例仅仅为结和到 CMOS 制作工艺中的方案,本领域技术人员可以根据本发明的核心思想,将本发明的监测方法结和到其他选择性外延生长 SiGe 工艺中去。

[0051] 综上所述,本发明提供的监测方法,通过形成结面积相同的边缘型 PN 结和面积型 PN 结,量测出两者的漏电流,通过数据比对和分析得到 SiGe 结构和 STI 的界面的状态。采用这样的方式,可以直接通过监测 SiGe 结构和 STI 的界面的漏电流来监测 SiGe 结构和 STI 的界面的状态。从而实现在线上产品的实时监测,无需等到问题产生再进行 TEM 切片来研究界面是否正常,大大提高了产品良率。

[0052] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

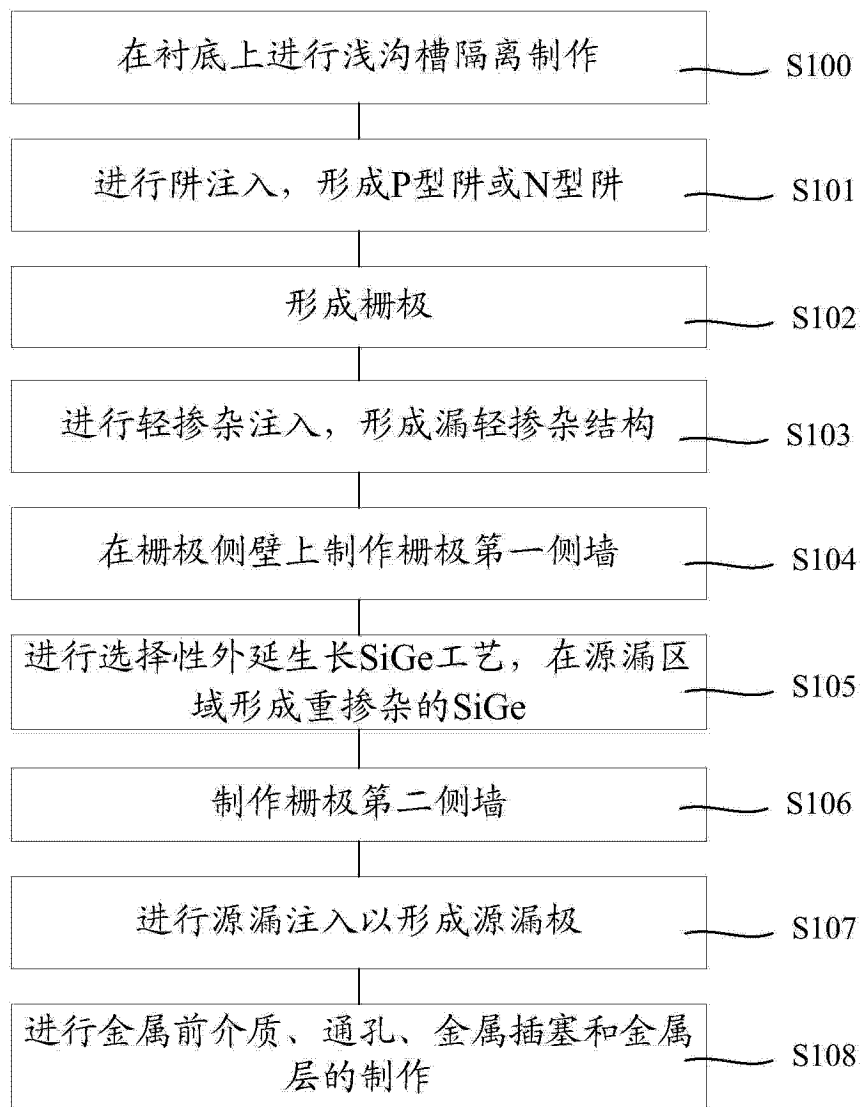


图 1

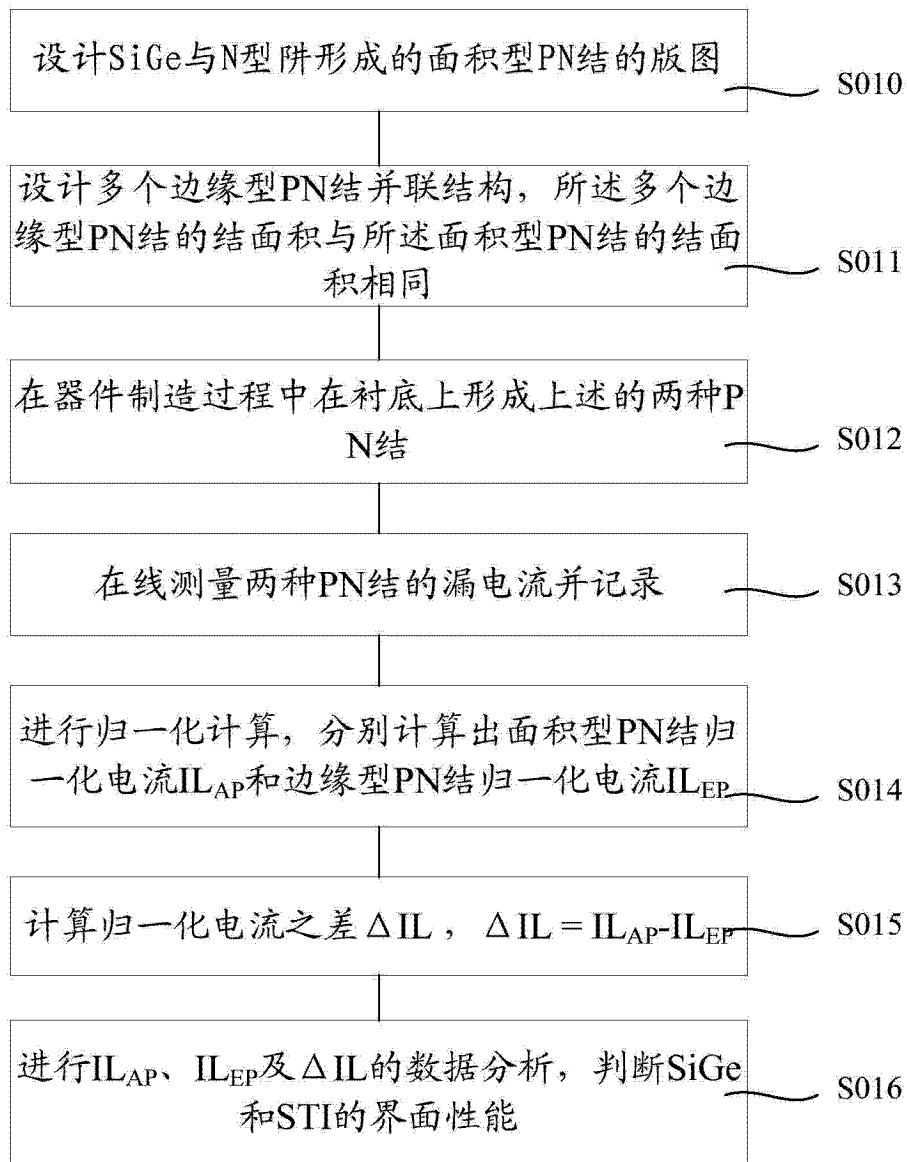


图 2

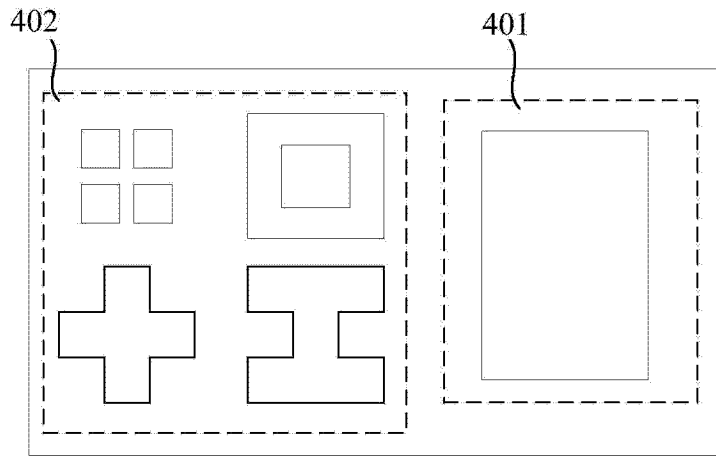


图 3

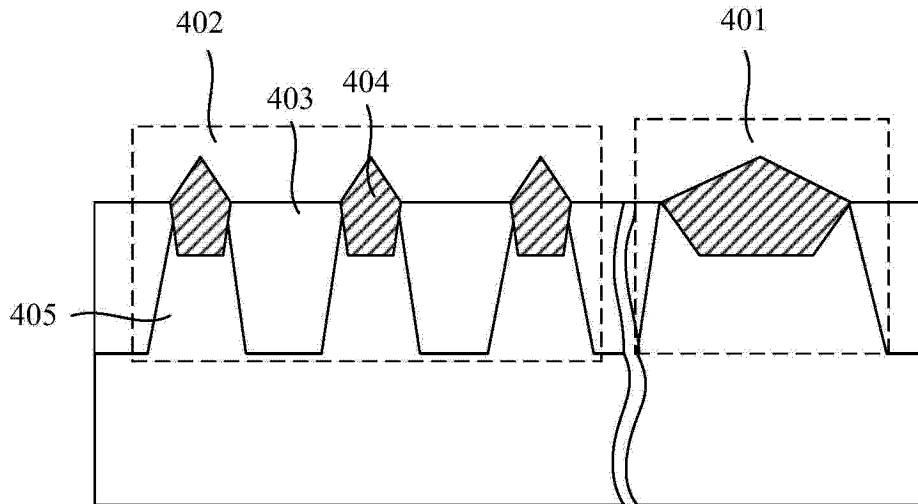


图 4