

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7530668号
(P7530668)

(45)発行日 令和6年8月8日(2024.8.8)

(24)登録日 令和6年7月31日(2024.7.31)

(51)国際特許分類

F I

H 0 1 L 31/107(2006.01)

H 0 1 L 31/10

B

請求項の数 23 (全23頁)

(21)出願番号	特願2022-524640(P2022-524640)	(73)特許権者	506115514
(86)(22)出願日	令和2年10月30日(2020.10.30)		ザ リージェンツ オブ ザ ユニバーシテ
(65)公表番号	特表2023-500636(P2023-500636		ィ オブ カリフォルニア
	A)		The Regents of the U
(43)公表日	令和5年1月10日(2023.1.10)		niversity of Califo
(86)国際出願番号	PCT/US2020/058176		rnia
(87)国際公開番号	WO2021/087237		アメリカ合衆国, カリフォルニア州 9
(87)国際公開日	令和3年5月6日(2021.5.6)		4 6 0 7 - 5 2 0 0 , オークランド, フ
審査請求日	令和5年10月27日(2023.10.27)		ランクリン ストリート 1 1 1 1 , 1 2
(31)優先権主張番号	62/928,775		番 フロア
(32)優先日	令和1年10月31日(2019.10.31)	(74)代理人	100078282
(33)優先権主張国・地域又は機関	米国(US)		弁理士 山本 秀策
早期審査対象出願		(74)代理人	100113413
			弁理士 森下 夏樹
		(72)発明者	ジー, キャロリン

最終頁に続く

(54)【発明の名称】 深接合低利得電子なだれ検出器

(57)【特許請求の範囲】

【請求項1】

電子なだれダイオードであって、前記電子なだれダイオードは、
半導体構造であって、前記半導体構造は、
複数の区分を含むn型領域またはp型領域を備える第1の領域であって、前記複数の
区分の各々は、前記第1の領域より高いドーパント密度を有する埋め込み領域を含む、第
1の領域と、
第2の領域であって、前記第2の領域は、前記第1の領域がn型領域を備えるときにp
型領域を備えるか、または、前記第1の領域がp型領域を備えるときにn型領域を備える
、第2の領域と、
前記第1の領域と前記第2の領域との間の利得領域であって、前記利得領域は、前記
第1の領域と前記第2の領域との間に埋設されており、前記利得領域は、
前記n型領域より高いn型ドーパント密度を有するn⁺型領域と、
前記p型領域より高いp型ドーパント密度を有するp⁺型領域と、
前記n⁺型領域と前記p⁺型領域との間のp-n接合と
を含む、利得領域と
を含む、半導体構造と、
複数の第1の電極を備えている読み出し構造であって、前記第1の電極のうちの少なく
とも1つは、前記区分の各々の上にあり、異なる区分上の前記第1の電極は、互いから電
氣的に分離され、前記区分の各々は、前記埋め込み領域と前記埋め込み領域上の前記第1

の電極のうちの前記少なくとも１つとの間の第１のオーミック接触を含む、読み出し構造と、

前記第２の領域と第２の電極との間の第２のオーミック接触とを備え、

前記 p - n 接合は、極性バイアスが前記第１の電極と前記第２の電極との間に印加されると、逆バイアス電場を経験し、前記極性バイアスは、前記第１の領域が n 型領域を備えるときに前記第１の電極が前記第２の電極よりも高い電位を有し、前記第１の領域が p 型領域を備えるときに前記第１の電極が前記第２の電極よりも低い電位を有するようなものであり、

複数の電子または正孔が、入射荷電粒子または光子に応答して、前記第２の領域において発生させられ、

前記利得領域を横断して印加される前記逆バイアス電場内で加速される前記電子または前記正孔は、前記利得領域における衝突イオン化を通して、前記利得領域内に追加の電子または追加の正孔を発生させ、

前記区分を含む前記第１の領域は、前記利得領域内の電場から前記第１の電極を分離し、それによって、前記埋め込み領域間に絶縁破壊がない一方、前記追加の電子または前記追加の正孔が前記利得領域から前記第１の領域を通して前記第１の電極へドリフトすることを可能にする、電子なだれダイオード。

【請求項 2】

前記半導体構造は、本質的に、シリコンから成る、請求項 1 に記載の電子なだれダイオード。

【請求項 3】

前記第１の領域の第１の表面と、

前記 n⁺型領域と前記 p⁺型領域との間の第１の界面を備えている前記 p - n 接合と、
100 マイクロメートル未満または 100 マイクロメートルに等しい、前記第１の界面と前記第１の表面との間の第１の距離 D1 と

をさらに備えている、請求項 1 に記載の電子なだれダイオード。

【請求項 4】

前記第１の距離は、3 ~ 6 マイクロメートルの範囲内にある、請求項 3 に記載の電子なだれダイオード。

【請求項 5】

前記 n⁺型領域は、第１の n 型ドーパント密度を有し、前記 p⁺型領域は、第１の p 型ドーパント密度を有し、

前記第１の n 型ドーパント密度は、前記第１の p 型ドーパント密度の 10 % 以内である、請求項 1 に記載の電子なだれダイオード。

【請求項 6】

前記第１の n 型ドーパント密度および前記第１の p 型ドーパント密度は、 $2 \cdot 6 \times 10^{16} \sim 3 \cdot 8 \times 10^{16}$ ドーパント原子 / cm^3 の範囲内にある、請求項 5 に記載の電子なだれダイオード。

【請求項 7】

前記 n 型領域は、 $1 \times 10^{12} \sim 1 \times 10^{14}$ 原子 / cm^3 の範囲内にある第２の n 型ドーパント密度を有し、

前記 p 型領域は、 $1 \times 10^{12} \sim 1 \times 10^{14}$ 原子 / cm^3 の範囲内にある第２の p 型ドーパント密度を有する、請求項 6 に記載の電子なだれダイオード。

【請求項 8】

前記第１の表面と反対の前記半導体構造の側の前記第２の領域の第２の表面と、
20 マイクロメートル ~ 100 マイクロメートルの範囲内にある前記第２の表面と前記第１の界面との間の第２の距離と

をさらに備えている、請求項 3 に記載の電子なだれダイオード。

【請求項 9】

10

20

30

40

50

前記ダイオードが空乏を経験すると、前記逆バイアス電場、前記 n^+ 型領域内の第 1 の n 型ドーパント密度、および前記 p^+ 型領域内の第 2 の p 型ドーパント密度は、前記 $p-n$ 接合の絶縁破壊なしで、前記 $p-n$ 接合における衝突イオン化を使用して利得を達成する範囲内にあり、

前記 n 型領域内の第 2 の n 型ドーパント密度および前記 p 型領域内の第 2 の p 型ドーパント密度は、

前記逆バイアス電場が前記 n 型領域または前記 p 型領域において衝突イオン化を誘発せず、

前記第 2 の p 型ドーパント密度が前記 p 型領域におけるドリフト速度の飽和を可能にし、

前記第 2 の n 型ドーパント密度が前記 n 型領域におけるドリフト速度の飽和を可能にする

ような範囲内にある、請求項 1 に記載の電子なだれダイオード。

【請求項 10】

完全空乏から開始すると、前記第 1 の電極および第 2 の電極を横断する逆バイアス電圧の増加の関数として、前記電子なだれダイオードの利得は、前記 $p-n$ 接合における絶縁破壊まで、単調に増加し、

前記利得は、

前記 p 型領域の連続と置換された前記 p^+ 型領域と、

前記 n 型領域の連続と置換された前記 n^+ 型領域と

を有する前記ダイオードの応答によって除算された前記 $p-n$ 接合を伴う前記電子なだれダイオードの前記応答として特徴付けられ、前記 p 型領域の前記連続は、前記 p^+ 型領域と同一の厚さを有し、前記 n 型領域の前記連続は、前記 n^+ 型領域と同一の厚さを有する、請求項 1 に記載の電子なだれダイオード。

【請求項 11】

前記区分の各々は、3 マイクロメートル $\times$ 3 マイクロメートルまたはそれより大きい表面積を有するか、または、

前記区分の数密度が、最大 10^5 区分 / 平方ミリメートルである、請求項 1 に記載の電子なだれダイオード。

【請求項 12】

隣接する区分間の p 型または n 型ドーパントを備えている静電分離障壁をさらに備え、前記静電分離障壁は、互いから前記第 1 の電極を電氣的に分離し、前記静電分離障壁は、前記 $p-n$ 接合に到達しない深度に延びている、請求項 1 に記載の電子なだれダイオード。

【請求項 13】

前記静電分離障壁は、 $1e^{12} \sim 1e^{14}$ ドーパント原子 / cm^3 の範囲内にある第 3 の p 型または n 型ドーパント密度を備えている、請求項 12 に記載の電子なだれダイオード。

【請求項 14】

前記第 1 の領域の第 1 の表面、

隣接する区分間の p 型ドーパントまたは n 型ドーパントを備えている静電分離障壁をさらに備え、

前記静電分離障壁は、互いから前記第 1 の電極を電氣的に分離し、

前記静電分離障壁は、前記 $p-n$ 接合に到達しない深度に延びており、

前記半導体構造における前記ドーパント密度は、調整され、それによって、前記ダイオードの利得は、前記区分の長さに沿った位置の関数として、前記第 1 の表面と平行な任意の方向に、 $+/-10\%$ を超えて変動しない、請求項 7 に記載の電子なだれダイオード。

【請求項 15】

前記第 2 の領域に関して、50 マイクロメートル以下の厚さを有するバルク領域を備え、信号電荷の大部分は、前記電子なだれダイオードへの荷電粒子または光子の入射に応答

10

20

30

40

50

して、500ピコ秒以内に前記第1の電極上に収集され、1GHzを上回る繰り返し率を可能にする、請求項14に記載の電子なだれダイオード。

【請求項16】

前記埋め込み領域は、 $1 \text{ e}^{17} \sim 1 \cdot \text{e}^{19}$ ドーパント原子 / cm^3 の範囲内にあり第4のn型ドーパントまたはp型ドーパント密度を備えている、請求項13に記載の電子なだれダイオード。

【請求項17】

前記電子なだれダイオードは、前記区分間に接合終端拡張(JTE)構造を含まない、請求項1に記載の電子なだれダイオード。

【請求項18】

前記複数の区分を含む前記第1の領域は、前記n型領域を備え、
前記第2の領域は、p型バルク領域を備え、前記第2のオーミック接触は、前記p型バルク領域と前記第2の電極との間にある、請求項1に記載の電子なだれダイオード。

【請求項19】

電子なだれダイオードを作製する方法であって、前記方法は、
半導体構造を取得または作成することであって、前記半導体構造は、
n型領域またはp型領域を備える第1の領域と、
第2の領域であって、前記第2の領域は、前記第1の領域が前記n型領域を備えるときにp型領域を備えるか、または、前記第1の領域がp型領域を備えるときにn型領域を備える、第2の領域と、

前記n型領域と前記p型領域との間の利得領域であって、前記利得領域は、前記n型領域と前記p型領域との間に埋設され、前記利得領域は、

前記n型領域より高いn型ドーパント密度を有するn⁺型領域と、

前記p型領域より高いp型ドーパント密度を有するp⁺型領域と、

前記n⁺型領域と前記p⁺型領域との間のp-n接合と

を含み、前記第1の領域の表面は、読み出し構造を形成し、前記読み出し構造は、前記第1の領域内の複数の区分を備え、前記区分の各々は、前記第1の領域より高いドーパント密度を有する埋め込み領域を含む、利得領域と

を含む、ことと、

複数の第1の電極を発生させることであって、前記第1の電極のうちの少なくとも1つは、前記区分の各々の上にあり、異なる区分上の前記第1の電極は、互いから電氣的に分離されている、ことと、

前記埋め込み領域の各々と、前記埋め込み領域の各々上の前記第1の電極のうちの前記1つとの間に第1のオーミック接触を形成することと、

前記第2の領域と第2の電極との間に第2のオーミック接触を形成することであって、それによって、前記p-n接合が、前記第1の電極と前記第2の電極との間で、電場の印加によって逆バイアスされ、前記第1の領域がn型領域を備えるときに、前記電場は、前記第1の電極が前記第2の電極よりも高い電位を有するようにし、前記第1の領域がp型領域を備えるときに、前記電場は、前記第1の電極が前記第2の電極よりも低い電位を有するようにする、ことと

を含み、

複数の電子または正孔が、入射荷電粒子または光子に応答して、前記第2の領域において発生させられ、

前記利得領域を横断して印加される前記電場内で加速される前記電子または前記正孔は、前記利得領域における衝突イオン化を通して、前記利得領域内に追加の電子または追加の正孔を発生させ、

前記区分を含む前記第1の領域は、前記利得領域内の電場から前記第1の電極を分離し、それによって、前記埋め込み領域間に絶縁破壊がない一方、前記追加の電子または前記追加の正孔が前記利得領域から前記第1の領域を通して前記第1の電極へドリフトすることを可能にする、方法。

10

20

30

40

50

【請求項 20】

前記半導体は、本質的に、シリコンから成り、前記第1の電極は、前記埋め込み領域に結合されたDCである、請求項19に記載の方法。

【請求項 21】

D1は、2～10マイクロメートルの範囲内にある、請求項3に記載の電子なだれダイオード。

【請求項 22】

前記光子は、X線光子を含む、請求項1に記載の電子なだれダイオード。

【請求項 23】

前記光子は、X線光子を含む、請求項19に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本願は、35 U.S.C. § 119(e) (米国特許法第119条(e)) 下、その出願が参照することによって本明細書に組み込まれるCarolyn Gee、Simone Michele Mazza、Bruce A. Schumm、およびYuzhan Zhaoによる、「DEEP JUNCTION LOW-GAIN AVALANCHE DETECTOR」と題され、2019年10月31日に出願された同時係属中かつ本発明の譲受人に譲渡された米国仮特許出願62/928,775号(弁理士整理番号第284,0004USP1号(UC2019-978-2))の利益を請求する。

20

【0002】

(発明の分野)

本発明は、電子なだれダイオードと、それを作製する方法とに関する。

【背景技術】

【0003】

電子なだれダイオードは、多くの用途において、光子検出器として使用される。検出プロセスは、(1)電磁放射、荷電粒子、または光子にตอบสนองして、電子なだれダイオードが電子および正孔を発生させることと、(2)ダイオードに印加される強逆バイアス電圧を使用して、ダイオード内の電子と正孔とを分離することと、(3)ダイオード内の電子をさらに加速させるための強逆バイアス電圧を使用し、衝突イオン化(内部利得機構)を通して追加の電子を発生させることと、(4)光発生電子の各々から衝突イオン化を通して発生させられる複数の電子発生を使用して、検出信号を形成することとを含む。

30

【0004】

図1は、p型増倍層との接合を形成するn⁺型層(カソード)を有する低利得電子なだれ検出器(LGAD)を図示する。電子は、電磁放射にตอบสนองして、p型バルク領域内で光発生させられ、p型増倍層は、利得層であり、追加の電子が、衝突イオン化を通して発生させられる。p⁺アノードが、p型バルク領域上に形成され、それによってオーミック接続が、p型バルクとアノード平面との間に作製されることができ、アノードおよびカソードを横断した逆バイアス電圧の印加を可能にする。シリコン内に製作されるそのようなLGADは、特に、超高速(約10ps)タイミングの分野において、粒子検出のために使用されることができる。しかしながら、衝突イオン化プロセスを誘発するために必要とされる高電場は、センサを同時に、空乏化させ、読み出し区分を確立するために使用される別個のn-p接合間の絶縁破壊につながる。結果として、実践中のデバイスは、接合終端拡張部(JTE)を含み、JTEは、近隣の埋め込み物間の静電分離を提供するが、センサ区分間の不感領域の導入を招き、不感領域は、入射荷電粒子または光子からの堆積電荷に鈍感である。この不感領域の幅は、50μm以上であり、1mmをはるかに下回る粒度または空間分解能スケールに関して従来のLGADセンサを非効率にする。

40

【0005】

しかしながら、粒子物理学(4D追跡)および光子科学(高フレーム率X線撮像)用途

50

は、 $50\text{ }\mu\text{m}$ スケールにおける粒度または空間分解能を要求する。したがって、L G A D センサの電流粒度限界を克服する必要がある。本開示は、この必要を充足する。

【発明の概要】

【課題を解決するための手段】

【0006】

本明細書に議論されるように、電子なだれダイオードは、追加の信号電荷の「電子なだれ」を発生させるために、 $p-n$ 接合またはその近傍において高電場を使用することによって、信号利得を提供するために高電場を使用する。しかしながら、高電場は、電子なだれダイオードの読み出し構造において絶縁破壊も生じさせ、ダイオードから読み出しの粒度に限界をもたらす。

10

【0007】

本開示は、高電場領域を局所化し、それを読み出し構造から分離し、それによって、L G A D 上の粒度限界の問題を解決する、埋設された接合を備えている低利得電子なだれ検出器 (L G A D) 等の電子なだれダイオードを説明する。典型的例では、平面の高度にドープされたダイオード接合が、デバイスの表面の数マイクロメートル下に埋設され、表面読み出し構造に接近するエリア内の電場領域を可能にする一方、接合のエリア内の高電場領域は、L G A D の利得特性を生み出す。

【0008】

典型的実施形態では、埋設されるダイオード接合は、達成可能粒度を限定する従来の L G A D において採用される接合終端拡張 (J T E) 構造のための必要を排除する。本明細書に説明される実施形態を使用して達成可能な有意に高度の粒度は、L G A D のための追加の用途の範囲を広げる。

20

【0009】

電子なだれフォトダイオードが、限定ではないが、以下を含む多くの方法で具現化されることができる。

【0010】

1. 電子なだれダイオードであって、電子なだれダイオードは、半導体構造であって、半導体構造は、

各々が n 型 (p 型) 領域より高いドーパント密度を有する埋め込み領域を含む複数の区分を含む n 型 (p 型) 領域と、

30

p 型 (n 型) 領域と、

n 型 (p 型) 領域と p 型 (n 型) 領域との間の利得領域とを含み、

利得領域とは、 n 型 (p 型) 領域と p 型 (n 型) 領域との間に埋設され、利得領域は、

n 型領域より高い n 型ドーパント密度を有する n^+ 型領域と、

p 型領域より高い p 型ドーパント密度を有する p^+ 型領域と、

n^+ 型領域と p^+ 型領域との間の $p-n$ 接合と

を含む、半導体構造と、

複数の第1の電極を備えている読み出し構造であって、第1の電極のうちの少なくとも1

40

つは、区分の各々の上にあり、異なる区分上の第1の電極は、互いから電氣的に分離され、区分の各々は、埋め込み領域と埋め込み領域上の第1の電極のうちの少なくとも1つとの間の第1のオーミック接触を含む、読み出し構造と、

p 型 (n 型) 領域と第2の電極との間の第2のオーミック接触と、

を備え、

$p-n$ 接合は、適切な極性バイアスが第1の電極と第2の電極との間に印加されると、逆

バイアス電場を経験する、電子なだれダイオード。

【0011】

2. 半導体構造は、本質的に、シリコンから成る、実施例1に記載の電子なだれダイオード。

【0012】

50

3. n 型 (p 型) 領域の第 1 の表面と、
n + 型領域と p + 型領域との間に第 1 の界面を備えている p - n 接合と、
2 ~ 10 マイクロメートルの範囲内にある第 1 の界面と第 1 の表面との間の第 1 の距離と、
をさらに備えている、実施例 1 または実施例 2 に記載の電子なだれダイオード。

【 0013 】

4. 第 1 の距離は、3 ~ 6 マイクロメートルの範囲内にある、実施例 3 に記載の電子なだれダイオード。

【 0014 】

5. n + 型領域は、第 1 の n 型ドーパント密度を有し、p + 型領域は、第 1 の p 型ドーパント密度を有し、
第 1 の n 型ドーパント密度は、第 1 の p 型ドーパント密度の 10 % 以内である、
前述の実施例のいずれかに記載の電子なだれダイオード。

【 0015 】

6. 第 1 の n 型ドーパント密度および第 1 の p 型ドーパント密度は、 $2.6 \times 10^{16} \sim 3.8 \times 10^{16}$ ドーパント原子 / 立方センチメートル (cm^3) の範囲内にある、実施例 5 に記載の電子なだれダイオード。

【 0016 】

7. n 型領域は、 $1 \times 10^{12} \sim 1 \times 10^{14}$ 原子 / cm^3 の範囲内にある第 2 の n 型ドーパント密度を有し、
p 型領域は、 $1 \times 10^{12} \sim 1 \times 10^{14}$ 原子 / cm^3 の範囲内にある第 2 の p 型ドーパント密度を有する、
前述の実施例のいずれかに記載の電子なだれダイオード。

【 0017 】

8. 第 1 の表面と反対の半導体構造の側の p 型 (n 型) 領域の第 2 の表面と、
20 マイクロメートル ~ 100 マイクロメートルの範囲内にある第 1 の界面と第 2 の表面との間の第 2 の距離と
をさらに備えている、前述の実施例のいずれかに記載の電子なだれダイオード。

【 0018 】

9. ダイオードが逆バイアス電場を経験すると、n + 型領域内の第 1 の n 型ドーパント密度と、p + 型領域内の第 2 の p 型ドーパント密度とは、p - n 接合の絶縁破壊なしで、
p - n 接合における衝突イオン化を使用して、利得を達成する範囲内にあり、
n 型領域内の第 2 の n 型ドーパント密度および p 型領域内の第 2 の p 型ドーパント密度は、
逆バイアス電場が n 型領域または p 型領域において衝突イオン化を誘発せず、
第 2 の p 型ドーパント密度が p 型領域におけるドリフト速度の飽和を可能にし、
第 2 の n 型ドーパント密度が n 型領域におけるドリフト速度の飽和を可能にするような、
範囲内にある、前述の実施例のいずれかに記載の電子なだれダイオード。

【 0019 】

10. 完全空乏から開始すると、第 1 の電極および第 2 の電極を横断する逆バイアス電圧の増加の関数として、ダイオードの利得が、p - n 接合における絶縁破壊まで、単調に増加し、
利得は、

p 型領域の連続と置換された p + 型領域 (p + 型領域と同一の厚さを有する) と、
n 型領域の連続と置換された n + 型領域 (n + 型領域と同一の厚さを有する) と、
を有するダイオードの応答によって除算された p - n 接合を伴うなだれダイオードの応答として特徴付けられる、
前述の実施例のいずれかに記載の電子なだれダイオード。

【 0020 】

11. 区分の各々は、 3×3 マイクロメートルまたはそれより大きい表面積を有するか、または、
区分の数密度は、最大 10^5 区分 / 平方ミリメートルである、
前述の実施例のいずれかに記載の電子なだれダイオード。

10

20

30

40

50

【 0 0 2 1 】

1 2 . 隣接する区分間に p 型 (n 型) ドーパントを備えている静電分離障壁をさらに備え、
障壁は、互いから第 1 の電極を電氣的に分離し、
障壁は、p - n 接合に到達しない深度に延びている、
前述の実施例のいずれかに記載の電子なだれダイオード。

【 0 0 2 2 】

1 3 . 障壁は、 $1 \text{ e } ^ { 1 2 } \sim 1 \text{ e } ^ { 1 4 }$ ドーパント原子 / cm^3 の範囲内にある第 3 の p 型 (n 型) ドーパント密度を備えている、実施例 1 2 に記載の電子なだれダイオード。

【 0 0 2 3 】

1 4 . 半導体構造におけるドーパント密度は、ダイオードの利得が、区分の長さに沿った位置の関数として、第 1 の表面と平行な任意の方向に、+ / - 1 0 % を超えて変動しないように調整される、実施例 6、7 および 1 2 に記載の電子なだれダイオード。

【 0 0 2 4 】

1 5 . p 型 (n 型) 領域に関して、5 0 マイクロメートル以下の厚さを有するバルク領域を備え、信号電荷の大部分は、5 0 0 ピコ秒以内に収集され、1 G H z を上回る繰り返し率を可能にする、実施例 1 4 に記載の電子なだれダイオード。

【 0 0 2 5 】

1 6 . 埋め込み領域は、 $1 \text{ e } ^ { 1 7 } \sim 1 \cdot \text{e} ^ { 1 9 }$ ドーパント原子 / cm^3 の範囲内にある第 4 の n 型 (p 型) ドーパント密度を備えている、前述の実施例のいずれかに記載の電子なだれダイオード。

【 0 0 2 6 】

1 7 . ダイオードは、区分間に接合終端拡張 (J T E) 構造を含まない、前述の実施例のいずれかに記載の電子なだれダイオード。

【 0 0 2 7 】

1 8 . 複数の区分を含む n 型 (p 型) 領域は、n 型 (p 型) 領域を備え、p 型 (n 型) 領域は、第 2 のオーミック接触が p 型 (n 型) バルク領域と第 2 の電極との間にあるように、p 型バルク領域を備えている、前述の実施例のいずれかに記載の電子なだれダイオード。

【 0 0 2 8 】

1 9 . 電子なだれダイオードを作製する方法であって、方法は、半導体構造を取得または作成することであって、半導体構造は、n 型 (p 型) 領域と、

p 型 (n 型) 領域と、
n 型領域と p 型領域との間の利得領域と
を含み、

利得領域は、n 型領域と p 型領域との間に埋設され、利得領域は、n 型領域より高い n 型ドーパント密度を有する n^+ 型領域と、p 型領域より高い p 型ドーパント密度を有する p^+ 型領域と、
 n^+ 型領域と p^+ 型領域との間の p - n 接合と

を含み、
n 型 (p 型) 領域の表面は、読み出し構造を形成し、読み出し構造は、n 型 (p 型) 領域内の複数の区分を備え、区分の各々は、n 型 (p 型) 領域より高いドーパント密度を有する埋め込み領域を含む、ことと、
埋め込み領域と第 1 の電極との間に第 1 のオーミック接触を形成することと、
複数の第 1 の電極を発生させることであって、第 1 の電極のうちの少なくとも 1 つは、区分の各々の上にあり、異なる区分上の第 1 の電極は、互いから電氣的に分離されることと、
p - n 接合が、第 1 の電極と第 2 の電極との間で、適切な極性の電場の印加によって逆バイアスされるように、p 型 (n 型) 領域と第 2 の電極との間に第 2 のオーミック接触を形成することと

10

20

30

40

50

を含む、方法。

【 0 0 2 9 】

20．半導体は、本質的に、シリコンから成る、実施例 19 に記載の方法。

【 0 0 3 0 】

21．第 1 の電極は、埋め込み領域に結合された DC である、実施例 19 または 20 に記載の方法。

【 0 0 3 1 】

22．電子（正孔）が、入射荷電粒子または光子に応答して、p 型（n 型）領域（バルク領域を備えている）において発生させられ、
利得領域を横断して印加される逆バイアス電場内で加速される電子（正孔）は、利得領域
における衝突イオン化を通して、利得領域内に追加の電子（正孔）を発生させ、
n 型（p 型）領域（区分を含む）は、埋め込み領域間に絶縁破壊がない一方、追加の電子
（正孔）が利得領域から n 型（p 型）領域を通して第 1 の電極へドリフトすることを可能
にするように、利得領域内の電場から第 1 の電極を分離する、
前述の実施例のいずれかに記載の方法またはデバイス。

【 0 0 3 2 】

電磁放射または荷電粒子に応答して発生させられる電子または正孔は、衝突イオン化を
通して利得領域内に追加の電子を発生させるが、区分される n 型（p 型）領域は、利得領
域を第 1 の電極から分離する低電場領域を備えている。

【 0 0 3 3 】

注記：科学的記数法 $m \times 10^n / \text{立方センチメートル} (\text{cm}^3)$ （m は、実数であり、n
は、整数である）で本明細書において表されるドーパント密度またはレベルは、標準記法
 $m \times 10^n$ に匹敵する。

本発明は、例えば、以下を提供する。

（項目 1）

電子なだれダイオードであって、前記電子なだれダイオードは、

半導体構造であって、前記半導体構造は、

複数の区分を含む n 型（p 型）領域であって、複数の区分の各々は、n 型（p 型）領域
より高いドーパント密度を有する埋め込み領域を含む、n 型（p 型）領域と、

p 型（n 型）領域と、

前記 n 型（p 型）領域と前記 p 型（n 型）領域との間の利得領域と

を含み、

前記利得領域は、前記 n 型（p 型）領域と前記 p 型（n 型）領域との間に埋設されてお
り、前記利得領域は、

前記 n 型領域より高い n 型ドーパント密度を有する n^+ 型領域と、

前記 p 型領域より高い p 型ドーパント密度を有する p^+ 型領域と、

前記 n^+ 型領域と前記 p^+ 型領域との間の p - n 接合と

を含む、半導体構造と、

複数の第 1 の電極を備えている読み出し構造であって、前記第 1 の電極のうちの少なく
とも 1 つは、前記区分の各々の上にあり、異なる区分上の前記第 1 の電極は、互いから電
氣的に分離され、前記区分の各々は、前記埋め込み領域と前記埋め込み領域上の前記第 1
の電極のうちの少なくとも 1 つとの間の第 1 のオーミック接触を含む、読み出し構造と、

前記 p 型（n 型）領域と第 2 の電極との間の第 2 のオーミック接触と

を備え、

前記 p - n 接合は、適切な極性バイアスが、前記第 1 の電極と前記第 2 の電極との間に
印加されると、逆バイアス電場を経験する、電子なだれダイオード。

（項目 2）

前記半導体構造は、本質的に、シリコンから成る、項目 1 に記載の電子なだれダイオ
ード。

（項目 3）

10

20

30

40

50

前記 n 型 (p 型) 領域の第 1 の表面と、

前記 n^+ 型領域と前記 p^+ 型領域との間の第 1 の界面を備えている p - n 接合と、

2 ~ 10 マイクロメートルの範囲内にある前記第 1 の界面と前記第 1 の表面との間の第 1 の距離 D_1 と

をさらに備えている、項目 1 または項目 2 に記載の電子なだれダイオード。

(項目 4)

前記第 1 の距離は、3 ~ 6 マイクロメートルの範囲内にある、項目 3 に記載の電子なだれダイオード。

(項目 5)

前記 n^+ 型領域は、第 1 の n 型ドーパント密度を有し、前記 p^+ 型領域は、第 1 の p 型ドーパント密度を有し、

前記第 1 の n 型ドーパント密度は、前記第 1 の p 型ドーパント密度の 10 % 以内である、項目 1 - 4 のいずれかに記載の電子なだれダイオード。

(項目 6)

前記第 1 の n 型ドーパント密度および前記第 1 の p 型ドーパント密度は、 $2.6 \times 10^{16} \sim 3.8 \times 10^{16}$ ドーパント原子 / cm^{-3} の範囲内にある、項目 5 に記載の電子なだれダイオード。

(項目 7)

前記 n 型領域は、 $1 \times 10^{12} \sim 1 \times 10^{14}$ 原子 / cm^{-3} の範囲内にある第 2 の n 型ドーパント密度を有し、

前記 p 型領域は、 $1 \times 10^{12} \sim 1 \times 10^{14}$ 原子 / cm^{-3} の範囲内にある第 2 の p 型ドーパント密度を有する、項目 1 - 6 のいずれかに記載の電子なだれダイオード。

(項目 8)

前記第 1 の表面と反対の前記半導体構造の側の前記 p 型 (n 型) 領域の第 2 の表面と、20 マイクロメートル ~ 100 マイクロメートルの範囲内にある前記第 2 の表面と前記第 1 の界面との間の第 2 の距離と

をさらに備えている、項目 1 - 7 のいずれかに記載の電子なだれダイオード。

(項目 9)

前記ダイオードが空乏を経験すると、前記逆バイアス電場、前記 n^+ 型領域内の第 1 の n 型ドーパント密度、および前記 p^+ 型領域内の第 2 の p 型ドーパント密度は、前記 p - n 接合の絶縁破壊なしで、前記 p - n 接合における衝突イオン化を使用して利得を達成する範囲内にあり、

前記 n 型領域内の第 2 の n 型ドーパント密度および前記 p 型領域内の第 2 の p 型ドーパント密度は、

前記逆バイアス電場が前記 n 型領域または前記 p 型領域において衝突イオン化を誘発せず、

前記第 2 の p 型ドーパント密度が前記 p 型領域におけるドリフト速度の飽和を可能にし、前記第 2 の n 型ドーパント密度が前記 n 型領域におけるドリフト速度の飽和を可能にするような範囲内にある、項目 1 - 8 のいずれかに記載の電子なだれダイオード。

(項目 10)

完全空乏から開始すると、前記第 1 の電極および第 2 の電極を横断する逆バイアス電圧の増加の関数として、前記電子なだれダイオードの利得は、前記 p - n 接合における絶縁破壊まで、単調に増加し、

前記利得は、

前記 p 型領域の連続と置換された p^+ 型領域 (前記 p^+ 型領域と同一の厚さを有する) と

前記 n 型領域の連続と置換された n^+ 型領域 (前記 n^+ 型領域と同一の厚さを有する) と

を有する前記ダイオードの応答によって除算された前記 p - n 接合を伴う前記電子なだれダイオードの前記応答として特徴付けられる、項目 1 - 9 のいずれかに記載の電子なだれダイオード。

10

20

30

40

50

(項目 1 1)

前記区分の各々は、 3×3 マイクロメートルまたはそれより大きい表面積を有するか、または、

前記区分の数密度が、最大 10^{15} 区分 / 平方ミリメートルである、項目 1 - 1 0 のいずれかに記載の電子なだれダイオード。

(項目 1 2)

隣接する区分間の p 型 (n 型) ドーパントを備えている静電分離障壁をさらに備え、

前記静電分離障壁は、互いから前記第 1 の電極を電氣的に分離し、

前記静電分離障壁は、前記 p - n 接合に到達しない深度に延びている、項目 1 - 1 1 のいずれかに記載の電子なだれダイオード。

10

(項目 1 3)

前記障壁は、 $1e^{12} \sim 1e^{14}$ ドーパント原子 / cm^3 の範囲内にある第 3 の p 型 (n 型) ドーパント密度を備えている、項目 1 3 に記載の電子なだれダイオード。

(項目 1 4)

前記半導体構造における前記ドーパント密度は、調整され、それによって、前記ダイオードの前記利得は、前記区分の長さに沿った位置の関数として、前記第 1 の表面と平行な任意の方向に、 $+/-10\%$ を超えて変動しない、項目 6、7、および 12 のいずれかに記載の電子なだれダイオード。

(項目 1 5)

前記 p 型 (n 型) 領域に関して、50 マイクロメートル以下の厚さを有するバルク領域を備え、信号電荷の大部分は、前記電子なだれダイオードへの荷電粒子または光子の入射に応答して、500 ピコ秒以内に前記第 1 の電極上に収集され、1 GHz を上回る繰り返し率を可能にする、項目 1 4 に記載の電子なだれダイオード。

20

(項目 1 6)

前記埋め込み領域は、 $1e^{17} \sim 1e^{19}$ ドーパント原子 / cm^3 の範囲内にある第 4 の n 型 (p 型) ドーパント密度を備えている、項目 1 - 1 5 のいずれかに記載の電子なだれダイオード。

(項目 1 7)

前記電子なだれダイオードは、前記区分間に接合終端拡張 (J T E) 構造を含まない、項目 1 - 1 6 のいずれかに記載の電子なだれダイオード。

30

(項目 1 8)

前記複数の区分を含む前記 n 型 (p 型) 領域は、n 型 (p 型) 領域を備え、

前記 p 型 (n 型) 領域は、p 型バルク領域を備え、前記第 2 のオーミック接触は、前記 p 型 (n 型) バルク領域と前記第 2 の電極との間にある、項目 1 - 1 7 のいずれかに記載の電子なだれダイオード。

(項目 1 9)

電子なだれダイオードを作製する方法であって、前記方法は、

半導体構造を取得または作成することであって、前記半導体構造は、

n 型 (p 型) 領域と、

p 型 (n 型) 領域と、

40

前記 n 型領域と前記 p 型領域との間の利得領域とを含み、

前記利得領域は、前記 n 型領域と前記 p 型領域との間に埋設され、前記利得領域は、

前記 n 型領域より高い n 型ドーパント密度を有する n^+ 型領域と、

前記 p 型領域より高い p 型ドーパント密度を有する p^+ 型領域と、

前記 n^+ 型領域と前記 p^+ 型領域との間の p - n 接合と

を含み、

前記 n 型 (p 型) 領域の前記表面は、読み出し構造を形成し、前記読み出し構造は、前記 n 型 (p 型) 領域内の複数の区分を備え、前記区分の各々は、前記 n 型 (p 型) 領域より高いドーパント密度を有する埋め込み領域を含む、ことと、

50

複数の第 1 の電極を発生させることであって、前記第 1 の電極のうちの少なくとも 1 つは、前記区分の各々の上にあり、異なる区分上の前記第 1 の電極は、互いから電氣的に分離されている、ことと、

前記埋め込み領域の各々と、前記埋め込み領域の各々上の前記第 1 の電極のうちの 1 つとの間に第 1 のオーミック接触を形成することと、

前記 p 型 (n 型) 領域と第 2 の電極との間に第 2 のオーミック接触を形成することとを含み、

それによって、前記 p - n 接合が、前記第 1 の電極と前記第 2 の電極との間で、適切な極性の電場の印加によって逆バイアスされる、方法。

(項目 2 0)

前記半導体は、本質的に、シリコンから成る、項目 1 9 に記載の方法。

(項目 2 1)

前記第 1 の電極は、前記埋め込み領域に結合された D C である、項目 1 9 または 2 0 に記載の方法。

(項目 2 2)

電子 (正孔) が、入射荷電粒子または光子に応答して、前記 p 型 (n 型) 領域 (バルク領域を備えている) において発生させられ、

利得領域を横断して印加される前記逆バイアス電場内で加速される前記電子 (正孔) は、前記利得領域における衝突イオン化を通して、前記利得領域内に追加の電子 (正孔) を発生させ、

前記 n 型 (p 型) 領域 (前記区分を含む) は、前記利得領域内の電場から前記第 1 の電極を分離し、それによって、前記埋め込み領域間に絶縁破壊がない一方、前記追加の電子 (正孔) が前記利得領域から前記 n 型 (p 型) 領域を通して前記第 1 の電極へドリフトすることを可能にする、項目 1 - 2 1 のいずれかに記載の方法またはデバイス。

【図面の簡単な説明】

【 0 0 3 4 】

ここで、同様の参照番号は、全体を通して対応する部品を表す図面を参照する。

【 0 0 3 5 】

【図 1】図 1 は、従来の L G A D である。

【図 2】図 2 は、高電場領域を局所化し、それを読み出し構造から分離する埋設された接合の使用を図示する 1 つ以上の例による深接合 L G A D の概略である。

【図 3】図 3 は、210 V のバイアス電圧におけるベースライン 1 構成の 2 次元電場プロファイルである。軸の単位は、マイクロメートルである。

【図 4】図 4 は、ベースライン 1 構成に関するバイアス電圧の関数としての利得である。

【図 5】図 5 は、ベースライン 1 モデル内の 20 μm のピクセル分離に関する横位の関数として、全てのチャンネルにわたって合計された統合された信号電荷である。

【図 6】図 6 は、ベースライン 1 構成に関するバイアス電圧の関数としての時間的信号プロファイルである。

【図 7】図 7 は、電子なだれダイオードを作製する方法を図示するフローチャートである。

【 0 0 3 6 】

図面のうちのいくつかは、カラーで提供されることでより深く理解されるので、本明細書は、図面のカラー版を参照する。本出願人は、図面のカラー版を元の開示の一部と見なし、後の議論における図面のカラー版を提供するための権利を保有する。

【発明を実施するための形態】

【 0 0 3 7 】

好ましい実施形態の以下の説明において、その一部を形成する付随の図面が参照され、その中では、本発明が実践され得る具体的実施形態が、例証として示される。他の実施形態も、利用され、かつ構造的変更が、本発明の範囲から逸脱することなく、行われ得ることを理解されたい。

(技術的説明)

10

20

30

40

50

【 0 0 3 8 】

本開示は、L G A D センサ、すなわち、読み出し構造から離れて移動させられた高電場利得領域（衝突イオン化が生じる）を備えている深接合（「D J - L G A D」）L G A D の粒度を改良する問題に対する全体的新規アプローチを説明する。

（例示例構造）

【 0 0 3 9 】

図 2 は、数マイクロメートル下に、L G A D の上側表面（区分された表面を備えている上側表面）から離れて埋設されたダイオード（p - n）接合を備えている L G A D を図示する。示される例では、高電場利得領域のそのような位置付けは、J T E の必要性を回避する。

10

【 0 0 4 0 】

より具体的に、図 2 は、n 型領域 2 0 4 と、p 型領域 2 0 6 と、n 型領域 2 0 4 と p 型領域 2 0 6 との間に埋設された利得領域 2 0 8 とを含む半導体構造 2 0 2 を含む例示的電子なだれダイオード 2 0 0 を図示する。利得領域は、n⁺ 型領域 2 1 2（n 型領域より高い n 型ドーパント密度を有する）と、p⁺ 型領域 2 1 4（p 型領域より高い p 型ドーパント密度を有する）と、p - n 接合 2 1 0（n⁺ 型領域と p⁺ 型領域との間の界面 2 1 0 a を含む）とを含む。

【 0 0 4 1 】

n 型領域 2 0 4 は、複数の区分 2 1 8 を含み、区分の各々は、n 型領域 2 0 4 の第 1 の表面 2 1 6 と、半導体構造とを含む。

20

【 0 0 4 2 】

図 2 は、複数の第 1 の電極 2 2 4 を備えている読み出し構造 2 2 2 を含むものとして電子なだれダイオードをさらに図示し、第 1 の電極のうちの少なくとも 1 つは、区分の各々の上にあり、異なる区分上の第 1 の電極は、互いから電氣的に分離されている。第 2 の電極 2 2 6 が、半導体構造 / p 型領域の第 2 の表面 2 2 8 上に堆積させられ、オーミック接触 2 3 0 が、p 型領域と第 2 の電極との間に形成される。p - n 接合は、読み出し構造内の第 1 の電極と第 2 の電極との間の電場の印加によって逆バイアスされる。図 2 に図示されるように、区分の各々は、n 型領域 2 0 4 より高いドーパント密度を有する埋め込み領域 2 3 2 を含む。埋め込み領域 2 3 2 は、第 1 の電極とオーミック接触を形成する。区分を電氣的に分離する静電分離障壁 2 3 4（例えば、p 型ウェル）も、図 2 に示される。

30

【 0 0 4 3 】

図 2 は、単なる暗赤色区分ではなく、n⁺ 領域（暗青色区分）と p⁺ 領域（暗赤色区分）との両方を含む利得層を備えているものとして L G A D を図示する。換言すると、利得層は、単なる p⁺ ドープされたエリアではなく、完全 p - n 接合を備えている。単に高度にドープされた p⁺ 領域ではなく、接合全体を埋設することの重要な利点は、平行板コンデンサのそれに類似する接合の領域内に電場を確立する（空乏ゾーンを作成する）逆バイアスの印加である。具体的に、逆バイアス電圧の印加は、ほぼ等しい（しかし、反対符号）高電荷密度を備えている 2 つの平面を作成し、それによって、接合の領域内の電場が、L G A D の特性である限定され、制御された衝突イオン化を誘発するために十分に高い。電場は、高度にドープされた接合領域外では、はるかに低い、それによって、読み出し区分と接合との間の分離を提供するための必要性を回避する。

40

（例示的特性評価）

【 0 0 4 4 】

図 2 の構造は、S e n t a u r u s デバイスシミュレーションパッケージ（S y n o p s y s C o r p o r a t i o n）のバージョン K _ 2 0 1 5 . 0 6 - S P 2 でシミュレートされた。実行可能な D J - L G A D の設計の課題は、

（ 1 ）絶縁破壊せずに、利得を可能にする利得領域内の適切な量の衝突イオン化を生み出し、

（ 2 ）バルク（接合と読み出し構造との間の「N 分離層」を含む）の全ての他の領域内の電場が、（ i ）ドリフト速度を飽和させるために十分に高いが、（ i i ）区分間の絶縁破

50

壊につながる追加の無制御衝突イオン化を誘発しないように十分に低いことを可能にするドーピングプロファイルを決定することである。

【 0 0 4 5 】

表 1 は、これらの条件 (1) および (2) を達成する一方、従来の区分技法を可能にし、読み出し表面において、J T E の使用を回避するために十分に低い電場を維持するサンプルドーピングプロファイル (「ベースライン 1 」 構成) を例証する。本明細書に提示される全てのさらなる結果は、このベースライン 1 構成のシミュレートされた挙動に関する。

【 0 0 4 6 】

【表 1 】

表1: DJ-LGADのベースライン1バージョンのためのドーピングプロファイルパラメータ。科学的記数法MeN／立方センチメートル(cm³)でここに表されるドーパント密度またはレベルは、標準記法m×10ⁿに匹敵する(mは、実数であり、nは、整数である)。

要素	ドーピングレベル	深度範囲
N分離層	密度3e12N／cm ³ の一定ドーピング	0 μm (表面) ~ N ⁺⁺ 「利得板」層の開始
N ⁺⁺ 利得板(利得層の上半分)	ガウスドーピング、3. 0e16N／cm ³ のピーク	4 μmにおけるピーク、0. 17 μmのガウス幅
P ⁺⁺ 利得板(利得層の下半分)	ガウスドーピング、3. 0e16N／cm ³ のピーク	5. 5 μmにおけるピーク、0. 17 μmのガウス幅
Pドリフト領域	密度3. 0e12N／cm ³ の一定ドーピング	P ⁺⁺ 「利得板」層の端部 ~ 50 μm
P停止部	密度1. 0e13N／cm ³ の一定ドーピング	1 μmの深さ、1 μの幅
N ⁺⁺ 埋め込み物	密度1. 0e19N／cm ³ の一定ドーピング	表面上
利得層ドーピング公差(一緒に変動させられるN ⁺⁺ およびP ⁺⁺)	2. 9e ¹⁶ と3. 5e ¹⁶ との間の効果的動作	

【 0 0 4 7 】

図 3 は、2 1 0 V のバイアス電圧に関して、ベースライン 1 検出器の中への深度とデバイスの表面と平行な横座標との関数として、結果として生じる 2 次元電場プロファイルを示す。1 0 0 ボルトを超えるバイアス電圧に関して、p 型ドリフト領域および n 型分離領域内の電場は、印加される電圧に比較的鈍感であり、安定電荷収集特性につながる。利得領域内の電場に依存する衝突イオン化プロセスも、十分に制御され、図 4 に示されるバイアス電圧への利得の平滑な依存につながる。

【 0 0 4 8 】

図 5 は、図 3 に描写される電場から結果として生じる側方位置の関数としての利得変動を示す。+ / - 4 % レベルにおける均一性が、観察される。利得は、利得層構造を伴わない同じ厚さのシリコンセンサ内で収集される電荷を上回る L G A D 内で収集される電荷によって定義される。

【 0 0 4 9 】

図 6 は、印加されるバイアス電圧の関数として (シミュレーションを使用して取得される) 時間的信号プロファイルを示す。高速タイミング測定につながる、急峻な立ち上がりエッジが、全てのバイアス電圧に関して観察され、スルーレートが、バイアス電圧に伴って単調に増大する。シリコン内のキャリアの飽和ドリフト速度 (約 1 0 0 μm / ナノ秒) と一貫して、この 5 0 μm デバイス内の電荷の大部分が、5 0 0 ピコ秒以内で収集され、1 G H z を上回る達成可能デバイス繰り返し率を示唆する。

(プロセスステップ)

【 0 0 5 0 】

図 7 は、電子なだれダイオードを作製する方法を図示するフローチャートである (また

、図 2 も参照）。

【 0 0 5 1 】

ブロック 7 0 0 は、基板上に半導体構造（例えば、エピタキシャル層）を取得または作成することを表す。1 つ以上の例では、半導体構造は、シリコン半導体構造であり、基板は、シリコン基板である（または半導体構造および基板は、シリコンを備え得るか、または、シリコンから本質的に成る）。一例では、半導体構造は、バルク p 型領域と；バルク p 型領域上またはその上方に p - n 接合を含む利得領域と；利得領域上またはその上方に n 型領域（分離領域）とを含む（n 側が上の構成）。別の例では、半導体構造は、バルク n 型領域と；バルク n 型領域上またはその上方に p - n 接合を含む利得領域と；利得領域上またはその上方に p 型領域（分離領域）とを含む（p 側が上の構成）。利得領域は、n 型領域より高い n 型ドーパント密度を有する n⁺ 型領域と、p 型領域より高い p 型ドーパント密度を有する p⁺ 型領域と、n⁺ 型領域と p⁺ 型領域との間の p - n 接合とを含む。p⁺ 型領域は、典型的に、n⁺ 型領域と物理的接触する接合界面を形成する。例示的 p 型ドーパントは、限定ではないが、ホウ素、ガリウム、アルミニウム、およびインジウムを含む。例示的 n 型ドーパントは、限定ではないが、リン、ヒ素、アンチモン、ビスマス、およびリチウムを含む。

10

【 0 0 5 2 】

ブロック 7 0 2 は、n 型（p 型）領域の表面が、読み出し構造を形成するように、読み出し構造を形成することを表す。ステップは、（n 側が上または p 側が上の）構成に応じて、n 型領域または p 型領域内の複数の区分を画定することを含む。

20

【 0 0 5 3 】

ブロック 7 0 4 は、読み出し構造とオーミック接触を形成する複数の第 1 の電極と、p 型（n 型）領域とオーミック接触を形成する第 2 の電極とを形成または発生させる（例えば、堆積する）ことを表す。第 1 の電極のうちの少なくとも 1 つは、区分の各々の上にあり、異なる区分上の第 1 の電極は、互いから電気的に分離されている。従来の（非 L G A D）シリコンダイオードセンサの確立された区分スキームも、使用され得る。ステップは、p - n 接合が第 1 の電極と第 2 の電極との間で適切な極性の電場の印加によって逆バイアスされるように、埋め込み領域と第 1 の電極との間の第 1 のオーミック接触と、バルク p 型領域およびバルク n 型領域と第 2 の電極との間の第 2 のオーミック接触とを形成することをさらに含む。第 2 のオーミック接触は、典型的に、第 1 の表面と反対の半導体構造の第 2 の表面上に形成される。

30

【 0 0 5 4 】

ブロック 7 0 6 は、電子なだれダイオードの最終結果を表す。電子なだれダイオードは、限定ではないが、高速タイミング能力を伴うピクセルセンサ（例えば、大型ハドロン衝突型加速器（LHC）または提案される電子イオン加速器（EIC）において）としてを含む多くの用途において使用されることができる。

【 0 0 5 5 】

電子なだれダイオードは、限定ではないが、以下（また、図 2 を参照すると）を含む多くの方法で具現化されることができる。

【 0 0 5 6 】

40

1 . 電子なだれダイオード 2 0 0 であって、電子なだれダイオード 2 0 0 は、半導体構造 2 0 2 を備え、半導体構造 2 0 2 は、第 1 の極性型ドーパント（n 型または p 型）でドーパされた第 1 の領域 2 0 4 a と、第 2 の極性型ドーパント（n 型または p 型、かつ第 1 の極性型ドーパントと反対極性）でドーパされた、第 2 の領域 2 0 6 a と、第 1 の領域と第 2 の領域との間の利得領域 2 0 8 とを含む第 1 の領域 2 0 4 a は、各々が第 1 の領域より高いドーパント密度を有する埋め込み領域 2 3 2 をそれぞれ含む複数の区分 2 1 8 を含む。第 1 の可能性では、第 1 の領域 2 0 4 a は、n 型領域 2 0 4 を備え、第 2 の領域 2 0 6 a は、p 型領域 2 0 6 を備え、第 2 の可能性では、第 1 の領域は、p 型領域を備え、第 2 の領域は、n 型領域を備えている。これらの 2 つの可能性は、n 型（p 型）領域を備えている第 1 の領域 2 0 4 a として、かつ p 型（n 型）領域 2 0 6 を備えている第 2 の領域

50

として本明細書に表され、それらは、第1の領域が、n型であるとき、第2の領域をp型として、第1の領域が、p型であるとき、第2の領域をn型として定義する。

【0057】

利得領域208は、n型(p型)領域204aとp型(n型)領域206aとの間に埋設され、利得領域208は、n型領域より高いn型ドーパント密度204を有するn⁺型領域212と、p型領域206より高いp型ドーパント密度を有するp⁺型領域214と、n⁺型領域212とp⁺型領域214との間のp-n接合210と、を含み、半導体構造202は、複数の第1の電極224を備え、第1の電極のうちの少なくとも1つは、区分218のそ各々上にあり、異なる区分上の第1の電極は、互いから電氣的に分離されており、第1のオーミック接触が、埋め込み領域(例えば、埋め込み領域の各々と埋め込み領域の各々上の第1の電極のうちの1つとの間の第1のオーミック接触)上の埋め込み領域と第1の電極224との間にあり、第2のオーミック接触230が、p型(n型)領域と第2の電極226との間にあり、p-n接合210は、適切な極性バイアスが第1の電極224と第2の電極226との間に印加されると、逆バイアス電場を経験する。

10

【0058】

2. 半導体構造は、本質的に、シリコンから成る、実施例1に記載の電子なだれダイオード。

【0059】

3. n型(p型)領域204aの第1の表面216と、n⁺型領域とp⁺型領域との間に第1の界面210aを備えている、p-n接合210と、第1の界面210aと第1の表面216との間の第1の距離D1であって、第1の距離D1は、図2に図示されるように、2~10マイクロメートルの範囲内(例えば、2マイクロメートル D1 10マイクロメートル)にある、第1の距離D1と、をさらに備えている、実施例1または実施例2に記載の電子なだれダイオード。

20

【0060】

4. 第1の距離D1は、3~6マイクロメートルの範囲内(例えば、3マイクロメートル D1 6マイクロメートル)にある、実施例3に記載の電子なだれダイオード。

【0061】

5. n⁺型領域212は、第1のn型ドーパント密度を有し、p⁺型領域214は、第1のp型ドーパント密度を有し、第1のn型ドーパント密度は、第1のp型ドーパント密度の10%以内(例えば、5%以内、または1%以内)、または第1のp型ドーパント密度と同一である、前述の実施例のいずれかに記載の電子なだれダイオード。

30

【0062】

6. 第1のn型ドーパント密度 N_{D1} および第1のp型ドーパント密度 N_{A1} は、 $2.6 \times 10^{16} \sim 3.8 \times 10^{16}$ ドーパント原子/cm³(例えば、 2.6×10^{16} N_{D1} 、 N_{A1} 3.8×10^{16})の範囲内にある、実施例5に記載の電子なだれダイオード。

【0063】

7. n型領域204は、 $1 \times 10^{12} \sim 1 \times 10^{14}$ 原子/cm³の(例えば、 1×10^{12} N_{D2} 1×10^{14} の)範囲内にある第2のn型ドーパント密度 N_{D2} を有し、p型領域206は、 $1 \times 10^{12} \sim 1 \times 10^{14}$ 原子/cm³の(例えば、 1×10^{12} N_{A2} 1×10^{14} の)範囲内にある第2のp型ドーパント密度 N_{A2} を有する前述の実施例のいずれかに記載の電子なだれダイオード。

40

【0064】

8. 第1の表面216と反対の半導体構造の側のp型(n型)領域の第2の表面228と、20マイクロメートル~100マイクロメートル(例えば、20マイクロメートル D2 100マイクロメートル)の範囲内にある第2の表面228と第1の界面210aとの間の第2の距離D2(図2に図示されるように)と、をさらに備えている、前述の実施例のいずれかに記載の電子なだれダイオード。

50

【 0 0 6 5 】

9 . 電子なだれダイオード 2 0 0 が逆バイアス電場を経験すると、 n^+ 型領域 2 1 2 内の第 1 の n 型ドーパント密度と、 p^+ 型領域 2 1 4 内の第 2 の p 型ドーパント密度とは、 $p - n$ 接合 2 1 0 の絶縁破壊なしで、 $p - n$ 接合 2 1 0 における衝突イオン化を使用して、利得を達成する範囲内にあり、

n 型領域 2 0 4 内の第 2 の n 型ドーパント密度および p 型領域 2 0 6 内の第 2 の p 型ドーパント密度は、

逆バイアス電場は、 n 型領域 2 0 4 または p 型領域 2 0 6 において衝突イオン化を誘発せず、

第 2 の p 型ドーパント密度は、 p 型領域 2 0 6 におけるドリフト速度の飽和を可能にし、

第 2 の n 型ドーパント密度は、 n 型領域 2 0 4 におけるドリフト速度の飽和を可能にするような、

範囲内にある

前述の実施例のいずれかに記載の電子なだれダイオード。

【 0 0 6 6 】

1 0 . 完全空乏から開始すると、第 1 の電極 2 2 4 および第 2 の電極 2 2 6 を横断する逆バイアス電圧の関数として、ダイオードの利得が、 $p - n$ 接合 2 1 0 における絶縁破壊まで、単調に（例えば、常時、上向きに）増加し、

利得は、

p 型領域 2 0 6（ p^+ 型領域と同一の厚さを有する）の連続と置換された p^+ 型領域 2 1 4 と、

n 型領域 2 0 4（ n^+ 型領域と同一の厚さを有する）の連続と置換された n^+ 型領域 2 1 2 と

を有するダイオードの応答によって除算された $p - n$ 接合 2 1 0 を伴うダイオード 2 0 0 の応答と特徴付けられる、

前述の実施例のいずれかに記載の電子なだれダイオード。

【 0 0 6 7 】

1 1 . 区分 2 1 8 の各々は、 3×3 マイクロメートルまたはそれより大きい表面積 A を有するか、または、

区分の数密度は、最大 10^5 区分 / 平方ミリメートルである、

前述の実施例のいずれかに記載の電子なだれダイオード。

【 0 0 6 8 】

1 2 . 隣接する区分間に p 型（ n 型）ドーパントを備えている静電分離障壁 2 3 4 をさらに備え、

障壁は、互いから第 1 の電極 2 2 4 を電氣的に分離し、

障壁は、 $p - n$ 接合 2 1 0 に到達しない深度 D_3 に延びている、

前述の実施例のいずれかに記載の電子なだれダイオード。

【 0 0 6 9 】

1 3 . 障壁 2 3 4 は、 $1e^{12} \sim 1e^{14}$ ドーパント原子 / cm^3 （例えば、 $1e^{12} \sim 1e^{14}$ N_3 $1e^{14}$ ）の範囲内にある第 3 の p 型（ n 型）ドーパント密度 N^3 を備えている、実施例 1 2 に記載の電子なだれダイオード。

【 0 0 7 0 】

1 4 . 半導体構造 2 0 2 におけるドーパント密度は、ダイオード 2 0 0 の利得が、区分の長さ L に沿った位置の関数として、第 1 の表面 2 1 6 と平行な n 任意の方向に、 $+ / - 10\%$ を超えて変動しないように調製される、実施例 6、7 および 1 2 に記載の電子なだれダイオード。

【 0 0 7 1 】

1 5 . p 型（ n 型）領域に関して、 50 マイクロメートル以下の厚さ D_4 を有するバルク領域を備え、信号電荷の大部分（例えば、 90% を上回る）は、 500 ピコ秒以内に収集され、 $1 GHz$ を上回る繰り返し率を可能にする、実施例 1 4 に記載の電子なだれダイ

10

20

30

40

50

オード。

【0072】

16．埋め込み領域232は、 $1e^{17} \sim 1e^{19}$ ドーパント原子/cm³（例えば、 $1e^{17}$ N₄ $1e^{18}$ ）の範囲内にある第4のn型（p型）ドーパント密度Nを備えている、前述の実施例のいずれかに記載の電子なだれダイオード。

【0073】

17．ダイオードは、区分間に接合終端拡張（JTE）構造を含まない、前述の実施例のいずれかに記載の電子なだれダイオード200。

【0074】

18．複数の区分218を含む、n型（p型）領域は、n型領域204を備え、p型（n型）領域は、図2に図示されるように、第2のオーミック接触230が、p型バルク領域206と第2の電極226との間にあるように、p型バルク領域206を備えている、前述の実施例のいずれかに記載の電子なだれダイオード。

10

【0075】

19．複数の区分を含む、n型（p型）領域は、第2のオーミック接触が、n型バルク領域と第2の電極との間にあるように、p型領域（すなわち、図2におけるn型領域204は、p型領域である）を備え、p型（n型）領域は、n型バルク領域（すなわち、p型領域206は、n型領域である）を備えている、前述の実施例のいずれかに記載の電子なだれダイオード。

【0076】

20

20．電子なだれダイオードを作製する方法であって、方法は、半導体構造を取得または作成することであって、半導体構造は、

n型（p型）領域と、

p型（n型）領域と、

n型領域とp型領域との間の利得領域と

を含み、

利得領域は、n型領域とp型領域との間に埋設され、利得領域は、

n型領域より高いn型ドーパント密度を有するn⁺型領域と、

p型領域より高いp型ドーパント密度を有するp⁺型領域と、

n⁺型領域とp⁺型領域との間のp-n接合と、

30

を含み、

n型（p型）領域の表面は、読み出し構造を形成し、

n型（p型）領域内の複数の区分を備え、区分の各々は、型（p型）領域より高いドーパント密度を有する埋め込み領域を含む、ことと、

複数の第1の電極を発生させることであって、第1の電極のうちの少なくとも1つは、区分の各々の上にあり、異なる区分上の第1の電極は、互いから電氣的に分離される、ことと、

埋め込み領域の各々と埋め込み領域の各々上の第1の電極のうちの1つとの間に第1のオーミック接触を形成することと、

p-n接合は、第1の電極と第2の電極との間で、適切な極性の電場の印加によって逆バイアスされるように、p型（n型）領域と第2の電極との間に第2のオーミック接触を形成することと

40

を含む、方法。

【0077】

21．半導体は、本質的に、シリコンから成る、実施例20に記載の方法。

【0078】

22．第1の電極は、埋め込み領域に結合されたDCである、実施例20または21に記載の方法。

【0079】

23．電子（正孔）が、X線を含む入射荷電粒子または光子に応答して、p型（n型）

50

領域 206a (バルク領域を備えている)において発生させられ、利得領域 208 を横断して印加される逆バイアス電場内で加速される電子 (正孔) は、利得領域における衝突イオン化を通して、利得領域内に追加の電子 (正孔) を発生させ、n 型 (p 型) 領域 204a (区分 218 を含む) は、埋め込み領域 232 間に絶縁破壊がない一方、追加の電子 (正孔) が利得領域 208 から n 型 (p 型) 領域 204a を通して第 1 の電極 224 へドリフトすることを可能にするように、利得領域内の電場から第 1 の電極 224 を分離する、前述の実施例のいずれかに記載の方法またはデバイス。

【0080】

24. 読み出し構造は、読み出し構造が、読み出し回路内にまたはそれに電氣的に接続されると、読み出し回路が、なだれダイオード上に入射する荷電粒子または光子 (X 線を含む) に応答して、第 1 の電極電子上に収集される荷電粒子 (電子または正孔) の量を測定するように、区分と、区分上に第 1 の電極とを備えている、前述の実施例のいずれかに記載の方法またはデバイス。

(利点および改良点)

【0081】

上記に説明されるように、従来の LGAD は、衝突イオン化プロセスを誘発するために要求される高電場でバイアスされ、センサを同時に空乏化し、読み出し区分を確立するために使用される分離された n - p 接合間の絶縁破壊につながる。結果として、実践中の LGAD デバイスは、近隣の埋め込み物間の静電分離を提供するが、入射粒子からの堆積電荷に鈍感であるセンサ区分間の不感領域の導入を招き、接合終端拡張部 (JTE) を含む。この不感領域の幅は、50 μm またはそれより大きく、従来の LGAD センサをはるかに 1 mm を下回る粒度スケールに関して非効率的にする。以下のデバイスは、JTE 限界の回避を提案している。

【0082】

(1) 完全に平面 (非区分) の接合構造を利用する一方、薄い層の絶縁体を通して、平面デバイスに AC 結合される電極構造全体を通して粒度を確立することによって、JTE に関する必要性を排除する AC 結合 (「AC - LGAD」) LGAD。電荷が電極によって直接収集されないため、絶縁層および電極構造の真下に高度にドーブされた利得層によって形成される効果的 AC ネットワークの特性であるパッド (電極) 応答に信号場所を関連付ける点広がり関数が存在する。AC 結合は、全ての時間にわたって積分されると、ゼロである信号にもつながり、収集される電荷の極性が、デバイスの繰り返し率を潜在的に損なわせる信号パルスのその反対極性の回復期につながる。

【0083】

(2) 逆 (「ILGAD」) LGAD は、平面接合構造を利用することによって、JTE に関する必要も排除する。この場合、電極構造は、接合と反対のデバイスの側に設置される。しかしながら、好ましい信号特性を伴うプロトタイプは、まだ達成されていない。加えて、これらのデバイスの製造は、センサの両側に処理を要求し、それは、従来の AC、および DJ LGAD のために使用される片面のプロセスよりかなり困難である。

【0084】

(3) トレンチ分離された (「TI - LGAD」) LGAD は、JTE を検出器区分の縁の周囲にエッチングされ、次いで、絶縁体で充填される物理的トレンチと置換することを試みる。この構造は、わずか 5 μm に区分間の死角を低減させるために使用され得る。しかしながら、このアプローチが安定センサを生み出し得ることを示し、どれくらい小さい不感領域が作製され得るかを確かめるために行なわれるべき、多くの作業が残っている。

【0085】

したがって、LGAD 粒度を増加させるためのこれらのアプローチ (1) - (3) は、より複雑であり、あまり証明されていない区分技法を利用する。他方で、本明細書に説明される例示的デバイス実施形態は、高度にドーブされた分離層の下方に埋設されたダイオード接合利得層を含み、高粒度を達成するために、従来の区分技法の使用を可能にする。

10

20

30

40

50

これは、内部利得、タイミング分解能、および繰り返し率のそれらの魅力的な特性を維持しながら、L G A D の粒度への制約の除去を可能にする。

(結 論)

【 0 0 8 6 】

ここで、本発明の好ましい実施形態説明を結論付ける。本発明の1つ以上の実施形態の前述の説明は、例証および説明の目的のために提示されている。包括的であること、または本発明を開示される精密な形態に限定することは意図されない。多くの修正および変形例は、上記の教示の観点から可能性である。本発明の範囲が、本詳細な説明によってではなく、むしろ、ここに添付の請求項によって、限定されることが意図される。

10

20

30

40

50

【図面】

【図 1】

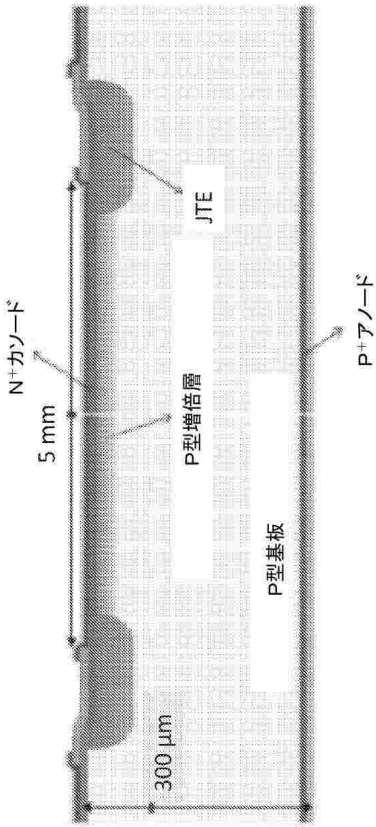


Figure 1

【図 2】

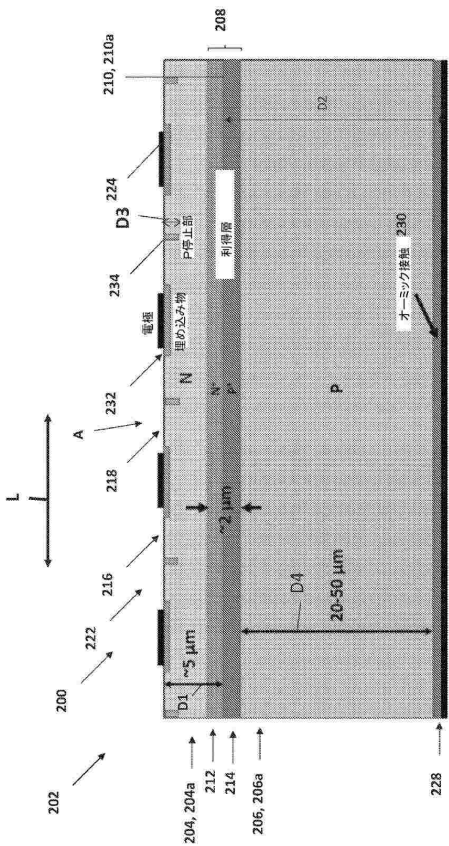


Figure 2

【図 3】

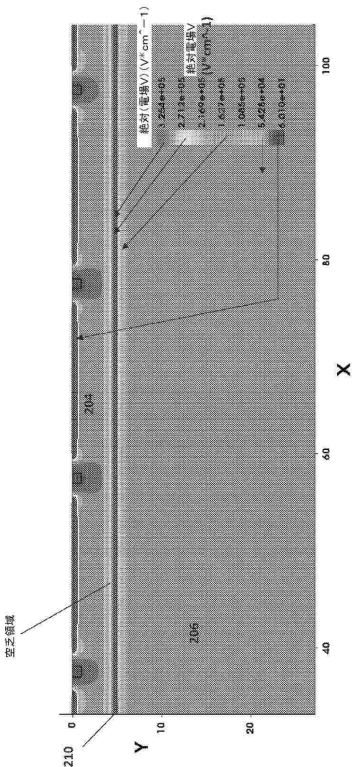


Figure 3

【図 4】

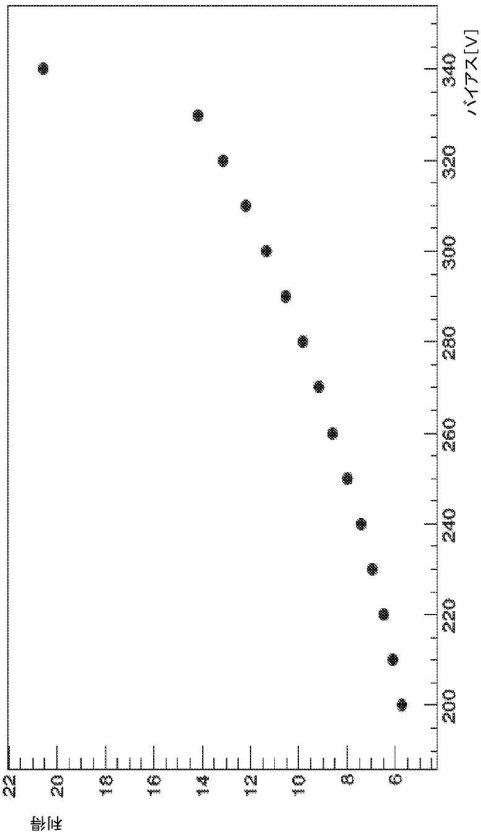


Figure 4

10

20

30

40

50

【図 5】

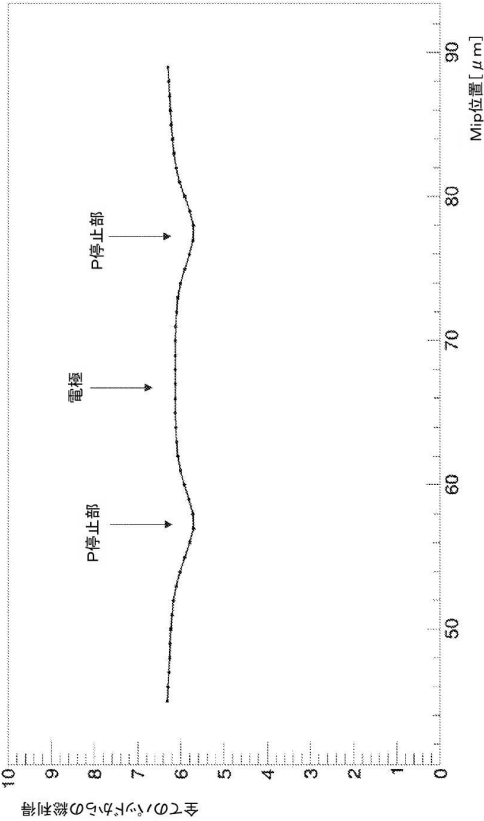


Figure 5

【図 6】

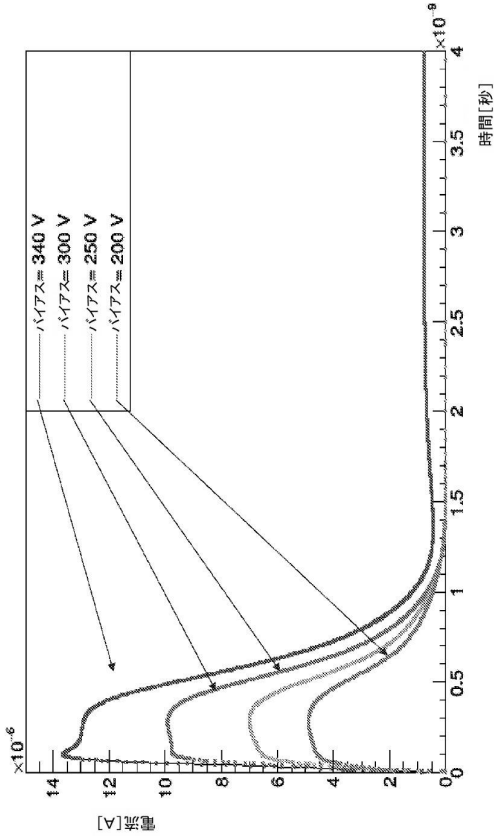


Figure 6

【図 7】

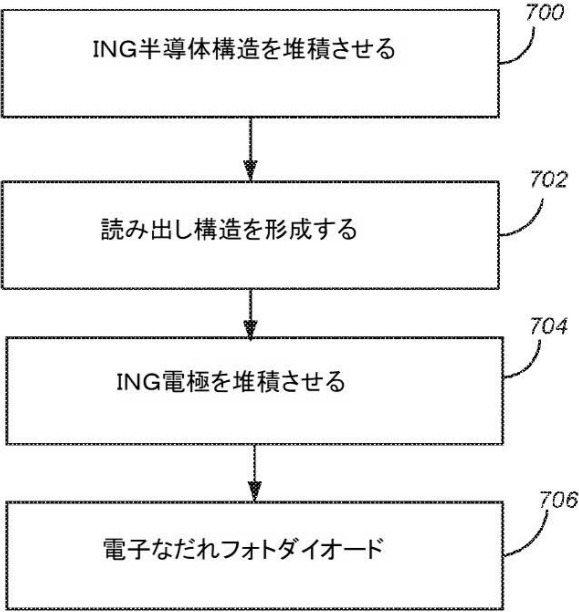


Figure 7

フロントページの続き

アメリカ合衆国 カリフォルニア 95064, サンタ クルーズ, ハイ ストリート 1156,
ユニバーシティ オブ カリフォルニア, サンタ クルーズ
(72)発明者 マツア, シモーネ ミケーレ
アメリカ合衆国 カリフォルニア 95064, サンタ クルーズ, ハイ ストリート 1156,
ユニバーシティ オブ カリフォルニア, サンタ クルーズ
(72)発明者 シャム, ブルース エー.
アメリカ合衆国 カリフォルニア 95064, サンタ クルーズ, ハイ ストリート 1156,
ユニバーシティ オブ カリフォルニア, サンタ クルーズ
(72)発明者 ジャオ, ユジャン
アメリカ合衆国 カリフォルニア 95064, サンタ クルーズ, ハイ ストリート 1156,
ユニバーシティ オブ カリフォルニア, サンタ クルーズ

審査官 原 俊文

(56)参考文献 米国特許出願公開第2019/0019899(US, A1)
米国特許出願公開第2012/0205731(US, A1)
米国特許出願公開第2019/0157257(US, A1)
米国特許出願公開第2010/0245809(US, A1)
米国特許出願公開第2012/0261729(US, A1)
米国特許第09728667(US, B1)
特表平06-505123(JP, A)
米国特許出願公開第2002/0139970(US, A1)

(58)調査した分野 (Int.Cl., DB名)
H01L 31/00-31/0392
H01L 31/08-31/119
H01L 31/18-31/20
H01L 27/144-27/148