

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5449776号
(P5449776)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成26年1月10日(2014.1.10)

(51) Int.Cl.

F I

G 0 6 F 9/52 (2006.01)

G 0 6 F 9/46 4 7 2 B

請求項の数 1 (全 9 頁)

(21) 出願番号	特願2008-536652 (P2008-536652)	(73) 特許権者	595020643
(86) (22) 出願日	平成18年10月20日(2006.10.20)		クゥアルコム・インコーポレイテッド
(65) 公表番号	特表2009-512945 (P2009-512945A)		Q U A L C O M M I N C O R P O R A T E D
(43) 公表日	平成21年3月26日(2009.3.26)		アメリカ合衆国、カリフォルニア州 9 2
(86) 国際出願番号	PCT/US2006/060136		1 2 1 - 1 7 1 4、サン・ディエゴ、モア
(87) 国際公開番号	W02007/048136		ハウス・ドライブ 5 7 7 5
(87) 国際公開日	平成19年4月26日(2007.4.26)	(74) 代理人	100108855
審査請求日	平成20年6月20日(2008.6.20)		弁理士 蔵田 昌俊
(31) 優先権主張番号	11/254,391	(74) 代理人	100109830
(32) 優先日	平成17年10月20日(2005.10.20)		弁理士 福原 淑弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100088683
前置審査			弁理士 中村 誠
		(74) 代理人	100103034
			弁理士 野河 信久

最終頁に続く

(54) 【発明の名称】 セマフォ予約をクリアする方法および装置

(57) 【特許請求の範囲】

【請求項 1】

共有メモリへの排他的アクセスのためにセマフォ予約を管理する方法であって、
 メモリ制御装置が、前記共有メモリのセマフォアドレスと関連するセマフォメモリ領域に読み出しコマンドを発行する第1の処理構成要素に 응답して前記第1の処理構成要素と関連するメモリ制御器モニタにセマフォ予約を設定すること、
 前記セマフォアドレスでセマフォがロック状態を示さないことを決定すること、
 前記セマフォ予約と関連する符号系列がアポートされていたことを決定すること、
 前記共有メモリと関連するセマフォメモリ領域に書き込み要求を送信すること、
 前記セマフォメモリ領域に書き込むためにプロセッサによる要求中にデータバス上の全てのバイトレーンをディスエーブルにすること、
 前記データバス上の全ての前記バイトレーンのディスエーブルに 응답して前記第1の処理構成要素と関連する前記メモリ制御器モニタで前記セマフォ予約をクリアすること、
 前記プロセッサが前記セマフォメモリ領域へ書き込むことを禁止することによって、第2の処理構成要素による使用に対してアンロック状態を維持すること、
 前記共有メモリ領域への排他的アクセスを用いて新たな符号系列を実行すること、を含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、共有メモリをもつ処理システム、より具体的には、セマフォ予約 (semaphore reservation) をクリアする方法および装置に関する。

【背景技術】

【0002】

コンピュータは、キーパッドをほんの数回打つことにより高度な処理タスクを行うことができるようにしたことによって、電子機器産業を大きく変革した。これらの高度なタスクは、極めて多くの複雑な構成要素に関わり、これらの構成要素は、バスを使用して、迅速で効率的に相互に通信する。バスは、コンピュータ内の構成要素間のチャンネルまたはバスである。

【0003】

コンピュータ内に存在する多くのバスは、従来、共有バスとして実施されてきた。共有バスは、任意の数の構成要素が共通のバスまたはチャンネルにより通信する手段を与える。近年では、共有バス技術は、大部分はポイント ツウ ポイント スイッチング接続 (point-to-point switching connection) に代わった。ポイント ツウ ポイント スイッチング接続は、バス上の2つの構成要素が互いに通信している間、それらの間に直接接続を与える。複数の直接リンクを使用して、幾つかの構成要素が同時に通信することを可能にすることができる。バスアービタを使用して、バスによる通信を管理することができる。

【0004】

バスアーキテクチャを実施するコンピュータは、メモリに接続された多数の処理構成要素を含み得る。メモリは、動作中に動的にまたはシステム設計者によって領域に分割され得る。各処理構成要素は、それ自身の専用メモリ領域をもち得る。他方で、“共有メモリ領域”は、複数の処理構成要素によってアクセスされ得るメモリ領域である。セマフォを使用して、共有メモリ領域へのアクセスを管理することができる。“セマフォ”は、ハードウェアまたはソフトウェアのフラグであり、共有メモリ位置に存在し、共有資源のアクセス可能性 (accessibility) を示す。共有メモリ領域へのアクセスを必要とする処理構成要素は、セマフォを読み出して、共有メモリ領域のアクセス可能性を判断することができる。セマフォが、共有メモリ領域が使用可能であることを示すと、処理構成要素は、共有メモリ領域がロックされていることを示すようにセマフォを設定し、メモリへのアクセスを進め得る。

【0005】

処理構成要素がセマフォを読み出すと、メモリは、共有メモリ領域に対するその処理構成要素の“予約(reservation)”を生成する。処理構成要素が、共有メモリ領域をロックするようにセマフォを設定すると、予約はクリアされる。しかしながら、プロセッサが、セマフォを設定する機会を得る前に中断されると、予約はクリアされなければならない。セマフォ予約をクリアする効率的な手段が望まれる。

【発明の開示】

【発明の概要】

【0006】

共有メモリへの排他的アクセスのためにセマフォ予約をクリアする方法が開示される。方法は、共有メモリに関連付けられたセマフォメモリ領域へ書き込み要求を送信することと、書き込み要求に 응답して、セマフォメモリ領域の内容の更新を妨げることを含む。

【0007】

処理システムが開示される。処理システムは、複数の処理構成要素と、処理構成要素によって共有されることができる共有メモリ領域および共有メモリ部分の排他的書き込みアクセスの使用可能性 (availability) を示すセマフォメモリ領域を含むメモリと、セマフォ予約状態を維持する制御装置とを含み、前記制御装置の予約状態は、処理構成要素の1つからセマフォメモリ領域への書き込み要求に 응답して、データがセマフォメモリ領域に書き込まれることなく、クリアされる。

【0008】

別の処理システムが開示される。処理システムは、複数の処理構成要素と、前記複数の

10

20

30

40

50

処理構成要素によって共有されることができる共有メモリ領域および共有メモリ部分の排他的書き込みアクセスの使用可能性を示すセマフォメモリ領域とを含むメモリと、セマフォ予約状態を維持する制御装置とを含み、処理構成要素の各々は、セマフォ予約状態をセマフォメモリ領域に書き込むことなくクリアするセマフォメモリ領域に書き込み要求を送信するように構成されている。

【0009】

この開示された技術は、セマフォ予約が、追加のメモリを占めることなくクリアされることができ、メモリアccessのステップを避けるという長所を与える。本発明のさらなる長所は、次の詳細な説明から当業者に容易に明らかになるであろう。詳細な説明では、本発明の好ましい実施形態のみが、本発明の実行について考えられた最良のモードを単に例示することによって、示され説明されている。理解されるように、本発明は他のおよび異なる実施形態が可能であり、その幾つかの細部は、本発明からの逸脱を全く招くことなく、種々の明らかな点で変更することができる。したがって、図面および説明は、限定的ではなく、本質的に例示的と見なされる。

【0010】

本発明は、添付の図面の図において、制限的にではなく、例示的に示されており、図において同じ参照符号は同様の要素を示している。

【詳細な説明】

【0011】

図1は、処理システムの例を示す機能ブロック図である。処理システムは、コンピュータであるか、またはコンピュータ内に存在し、情報を処理、検索、および記憶することができ得る。処理システムは、スタンドアローンシステムであるか、またはデバイスに埋め込まれ、そのデバイスは、例えば、有線または無線電話、パーソナル デジタル アシスタント(personal digital assistant, PDA)、ラップトップ、デスクトップコンピュータ(PC)、ページャ、モデム、ゲーム機、デジタルカメラ、テレビ会議装置、放送装置(broadcast equipment)、またはデータ処理能力を必要とする任意の他の適切なデバイスである。メモリ100は、メモリ制御装置104と、システムバス相互接続およびバスアービタ106とを介して、1つ以上の処理構成要素(processing component) 102a、102bに連結される。各処理構成要素は、任意のタイプのバスマスタリング構成要素(bus mastering component)であってもよく、例えば、マイクロプロセッサ、デジタル信号プロセッサ(digital signal processor, DSP)、ブリッジ、プログラマブル論理、ディスクリートなゲートまたはトランジスタ論理、あるいは任意の他の情報処理構成要素を含む。説明を簡単にするために、2つのみの処理構成要素が示されているが、より多くのものが使用されてもよい。

【0012】

メモリは、動作中に動的にまたはシステム設計者によって領域に分割され得る。あるメモリ領域は各処理構成要素に専用であり、一方でメモリの他の領域は複数の処理構成要素によるアクセスに対して共有され得る。“メモリ領域”という用語は、任意のメモリデバイス、メモリデバイスの任意の部分、メモリマップ領域、等を指す。共有される共通のメモリ資源は、任意のタイプのバススレーブ構成要素(bus slave component)であってもよく、例えば、レジスタ、メモリ、ブリッジ、または情報を検索および記憶することができる任意の他の構成要素を含む。

【0013】

通常、バスアービタは、メモリアccessを効果的に管理するために、バスに連結されている。例えば、共有メモリ領域へのアクセスを求めている処理構成要素102aは、読み出しまたは書き込み要求を、バスを介してバスアービタに同報通信(broadcast)し得る。次に、バスアービタは、読み出しまたは書き込み動作を行うための共有メモリ領域へのアクセスを、要求している構成要素102aに与え得る。1つ以上の処理構成要素からの複数の読み出しおよび/または書き込み要求が、バスアービタにおいて競合した場合、バスアービタは、バスアービトレーション方式にしたがって、読み出しおよび書き込み動作が行われ

る順序を判断し、バスの相互接続を動的に構成する。バスアービトレーション方式は、特定の応用および全体的な設計の制約に応じて変わり得る。メモリへのアクセスは、優先基準と公正な配分の考慮 (equitable distribution consideration) との間のバランスに基づき得る。

【 0 0 1 4 】

プロセッサは、アドレスバスにアドレスを入れることによって読み出し要求を同報通信することができる。書き込み要求は、追加のデータをデータバスに入れて、同様のやり方で行うことができる。アドレスバスとデータバスとは、別々のバスであっても、または1本の時分割バス (time-shared bus) であってもよい。側波帯信号 (sideband signaling) を使用して、適切な制御信号をメモリ制御装置104に与えてもよい。その代わりに、制御信号は、別々のバスまたは1本の時分割バスの何れかにおいて、アドレスおよびデータと多重化されてもよい。制御信号は、例えば、読み出し/書き込みストロブ、排他的または非排他的動作、ペイロードサイズ信号、および書き込み動作の場合には、書き込みバイトイネーブル (write byte enable) を含み得る。“書き込みバイトイネーブル”を使用して、バス上の何れのバイトレーンが、書き込み動作のためのデータを同報通信するのに使用されるかを示すことができる。例えば、32ビットのデータバス上の2バイトのペイロードの同報通信は、4バイトのレーンの中の2バイトを使用し得る。書き込みバイトイネーブルを使用して、データバス上の2バイトのレーンの中の何れがペイロードを同報通信するのに使用されるかを、メモリ制御装置に示すことができる。

【 0 0 1 5 】

処理アプリケーションは、中断されない一連の動作中に共有メモリ領域へ書き込むために排他的アクセスをしばしば要求する。処理システムは、このような排他的アクセスを要求するプロセッサに対する適切なメモリアクセスの管理を備えなければならない。図2は、メモリ100およびメモリ制御装置104のより詳細なブロック図である。共有メモリへの排他的アクセス可能性 (exclusive accessibility) は、“セマフォ”の動作によって管理される。メモリ100は領域に分割される。メモリ領域110および112は、それぞれ、プロセッサ (processor) 102aおよび102bに専用である。メモリ領域114は、複数のプロセッサによって共有されるメモリ領域である。特定のシステムの使用に適していれば、この領域を部分 (portion) にさらに分割することができ、各部分は複数のプロセッサシステムの中の特定のプロセッサによって共有される。領域116は、セマフォの記憶に専用である。

【 0 0 1 6 】

メモリ制御装置104は、排他的状態機械モニタ119および120を含んでいる。モニタ119は、プロセッサ102aに関連付けられた排他的モニタであり、共有メモリ114へのこのプロセッサの排他的アクセス動作を監視および制御する。モニタ120は、プロセッサ102bに関連付けられた排他的モニタである。

【 0 0 1 7 】

本開示の背景技術 (background) の部分において既に説明されたように、セマフォは、セマフォメモリ領域116に存在し、共有メモリ資源114のアクセス可能性 (accessibility) または非アクセス可能性 (non-accessibility) を示すフラグである。共有メモリ領域への排他的アクセスを求める処理構成要素は、関連付けられたメモリ制御装置のモニタを介して、セマフォメモリ領域を読み出して、共有メモリ領域またはメモリ領域部分のアクセス可能性を判断することができる。セマフォが、共有メモリ領域がアクセスに使用可能であることを示すと、メモリ制御装置は、共有メモリ領域が“ロックされた”ことを示すようにセマフォ領域におけるフラグを設定し、関連付けられたプロセッサによって共有メモリ領域114へ書き込むためのメモリへのアクセスを進める。セマフォのロック状態中、他の処理構成要素は共有メモリにアクセスすることができない。処理動作が完了すると、フラグはメモリ制御装置によって取り去られ、セマフォは、アクセス可能であることを示すアンロック状態に戻る。

【 0 0 1 8 】

セマフォ予約方式は、一般に、共有メモリへの排他的アクセスを管理するために実行さ

10

20

30

40

50

れる。共有メモリへの排他的書き込みアクセスを獲得する必要条件として、予約は、関連付けられたメモリ制御装置のモニタにおいて、要求しているプロセッサとして設定されなければならない。セマフォ読み出し動作が行われるとき、制御装置は予約状態を設定する。例えば、命令符号系列(instruction code sequence)は、共有メモリ領域114内の位置に書き込むためにプロセッサ102aによる排他的アクセスを要求し得る。プロセッサによる書き込みの排他的要求を実行するために、最初にセマフォを読み出して、領域114がプロセッサ102aによってアクセスできるかどうかを判断しなければならない。セマフォ読み出し動作により、制御装置はモニタ119においてプロセッサ102aの予約状態を設定する。

【0019】

共有メモリ領域がロックされていないときは、プロセッサ102aは、アクセスを直ちに獲得するか、または符号系列の後まで待ち得る。セマフォがロックされていないときは、プロセッサ102bも、モニタ120において予約状態を設定し得る。両者のプロセッサが同時に予約状態をもつときは、メモリ制御装置に対して要求勝利のアービトレーション(request win arbitration)をもつ第1のプロセッサが、共有メモリ領域への排他的アクセスを獲得する。

【0020】

領域114にアクセスすると、セマフォフラグが設定され、プロセッサ102aは排他的アクセスを獲得する。書き込みの排他的コマンドに応答して、モニタ119は制御装置をアクティブにし、モニタ119に記憶されている予約状態と、モニタ120に記憶されているかもしれない同じアドレスに対する任意の予約とをクリアする。ロックを所有するプロセッサが、セマフォ位置に書き込み、セマフォが最早ロックされていないことを示すと、セマフォのロック状態は解放される。

【0021】

予約を設定した後で、プロセッサ102aは、共有メモリ領域への書き込み動作が行われる前に、符号系列を処理することをアボートする(abort)か、または符号系列を取り替えてもよい。共有メモリがプロセッサの何れによってもアクセスされなければ、予約はクリアされない。メモリ制御装置のモニタは、予約が前の符号系列に関連しているか、後の符号系列に関連しているかを区別することができないので、プロトコルは、次の排他的書き込みアクセスに対する新しい予約を得ることができる前に、古い(obsolete)予約がクリアされることを要求する。したがって、予約に対する排他的書き込み動作が行われな

【0022】

処理システムの少なくとも1つの実施形態では、セマフォメモリ領域116への書き込み要求を同報通信するが、同時に、プロセッサがセマフォメモリ領域116へ書き込むのを妨げることによって、セマフォ予約はクリアされ得る。これは、種々のやり方で達成され得る。例えば、セマフォメモリ領域116へ書き込むためのプロセッサによる要求中に、書き込みバイトイネーブルを使用して、データバス上の全バイトレーンをディスエーブルにすることができる。結果として、プロセッサの予約はクリアされるが、セマフォメモリ領域116は更新されず、したがって、別のプロセッサによる使用に対してアンロックのままである。

【0023】

セマフォクリアランス動作が、図3のフローチャートに示されている。ステップS20において、プロセッサ102aは符号系列の処理を開始する。ステップS22において、共有メモリアドレスへの排他的書き込み動作がプロセッサによって要求されているかどうかについて判断される。ノーであるときは、符号系列の処理が完了するまで、処理は続く。ステップS22において、排他的書き込みが要求されていると判断されると、ステップS24において、プロセッサは、セマフォアドレスに対する読み出しコマンドを発行する。このコマンドは、プロセッサ102aに関連付けられたメモリ制御装置のモニタ119における予約を設定する。

【0024】

ステップS26において、セマフォアドレスは読み出され、共有メモリ領域への排他的アクセスが使用可能であるかどうか判断される。ノーであるときは、ステップS28において、予約はクリアされ、処理のフローはステップS20に戻って、符号列を処理し続ける。セマフォがロック状態を示さないときは、予約に関連付けられた符号系列がアポートされたかどうか判断される。符号系列が引き続き処理されるときは、排他的書き込みコマンドがプロセッサ102aによって発行される。ステップS30において、モニタ119で設定されたプロセッサ102aの予約状態を認識したメモリ制御装置104は、そのプロセッサに共有メモリ領域114へのアクセスを与える。メモリ制御装置は、セマフォメモリにロックフラグを書き込み、既存のセマフォ予約をクリアする。プロセッサ102aは、共有メモリ領域への排他的アクセスで符号系列を実行し続ける。ステップS32において、プロセッサは、その一連の動作を完了し、排他的アクセスを解放する。メモリ制御装置104は、セマフォフラグをクリアし、共有メモリがアクセスに使用可能であることを示す。ステップS20において、新しい符号系列を処理することができる。

【0025】

符号系列がアポートされたと判断されると、予約はメモリ制御装置からクリアされなければならない。ステップS34において、プロセッサは排他的書き込みコマンドを発行する。プロセッサは、書き込みバイトイネーブルを設定し、データ上の全バイトレーンをディスエーブルにする。書き込みコマンドに 응답して、メモリ制御装置は、モニタ119における予約状態をクリアし、イネーブルにされたバイトレーンがないので、セマフォメモリ領域へ書き込まない。ステップS20において、新しい符号系列を処理することができる。

【0026】

本明細書に開示された実施形態に関連して説明された種々の例示的な論理ブロック、モジュール、回路、素子、および/または構成要素は、汎用プロセッサ、デジタル信号プロセッサ (digital signal processor, DSP)、特定用途向け集積回路 (application specific integrated circuit, ASIC)、フィールド プログラマブル ゲート アレイ (field programmable gate array, FPGA) または他のプログラマブル論理構成要素、ディスクリートなゲートまたはトランジスタ論理、ディスクリートなハードウェア構成要素、あるいは本明細書に説明されている機能を実行するように設計された任意の組合せで実施または実行され得る。汎用プロセッサは、マイクロプロセッサであってもよいが、その代わりに、プロセッサは、任意の従来のプロセッサ、制御装置、マイクロコントローラ、または状態機械であってもよい。プロセッサは、コンピューティング構成要素の組合せ、例えば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPのコアと結合された1つ以上のマイクロプロセッサ、または任意の他のこのような構成としても実施され得る。

【0027】

本明細書に開示されている実施形態に関連して記載された方法またはアルゴリズムは、ハードウェアにおいて、プロセッサによって実行されるソフトウェアモジュールにおいて、または2つの組合せにおいて直接的に具体化され得る。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、取り外し可能ディスク、CD-ROM、または当技術において知られている記憶媒体の任意の他の形態の中に存在し得る。プロセッサが記憶媒体から情報を読み出し、かつそこへ情報を書き込みことができるように、記憶媒体はプロセッサに連結され得る。その代わりに、記憶媒体は、プロセッサと一体であってもよい。

【0028】

開示された実施形態の上述の説明は、当業者が本発明を作成または使用することを可能にするために与えられている。これらの実施形態に対する種々の変更は、当業者には容易に明らかになり、本明細書に定義されている一般的な原理は、本発明の意図および範囲から逸脱することなく、他の実施形態に適用され得る。したがって、本発明は、本明細書に示されている実施形態に制限されることを意図されないが、請求項に矛盾しない全範囲にしたがい、要素を単数形で記載していることは、“1つおよび1つのみ”であると具体的

に記載されていないならば、“１つおよび１つのみ”ではなく、むしろ“１つ以上”であることを意味することを意図している。当業者に知られている、または知られることになる本開示の全体を通して説明されている種々の実施形態の要素に対して構造的および機能的に同等のもの全ては、参照によって本明細書に明示的に取り入れられ、請求項に含まれることを意図されている。さらに加えて、本明細書の開示は、そのような開示が請求項に明示的に記載されているかどうかに関わらず、公に供されることを意図されていない。請求項の要素は、その要素が“～のための手段（means for）”という語句を使用して、または方法の請求項の場合は、その要素が“～のためのステップ（step for）”という語句を使用して明示的に記載されていないならば、米国特許法第１１２条第６項の条項のもとで解釈されない。

10

【図面の簡単な説明】

【００２９】

【図１】処理システムの例を示す機能ブロック図。

【図２】処理システムの要素のより詳細な部分的なブロック図。

【図３】処理システムの動作を示すフローチャート。

【図１】

図 1

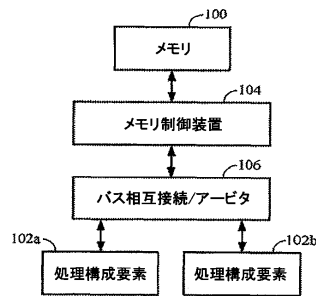


FIG. 1

【図２】

図 2

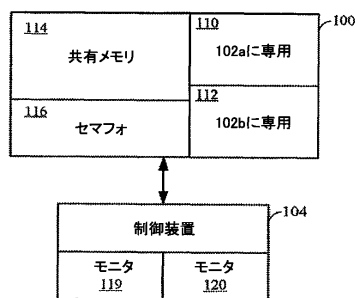


FIG. 2

【図３】

図 3

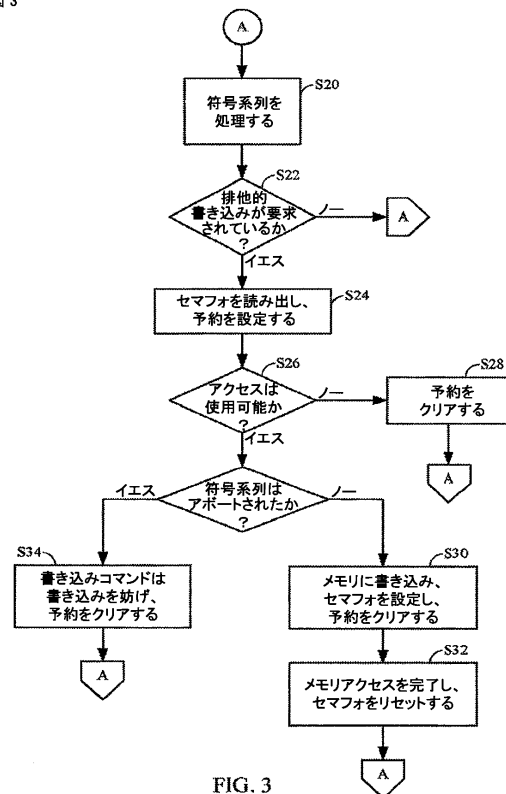


FIG. 3

フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 スピーアー、トマス・フィリップ
アメリカ合衆国、ノースカロライナ州 27540、ホーリー・スプリングス、アーバー・ウィンズ 112
- (72)発明者 ディーフェンダーファー、ジェームズ・ノリス
アメリカ合衆国、ノースカロライナ州 27539、アベックス、インクベリー・コート 4000
- (72)発明者 サートリウス、トマス・アンドリュウ
アメリカ合衆国、ノースカロライナ州 27614、ローリー、オールド・チムニー・コート 1600
- (72)発明者 ガナサン、ジャヤ・パラカシュ・サブ라마ニウム
アメリカ合衆国、ノースカロライナ州 27596、ヤングズビル、プレストウッド・ドライブ 35

審査官 漆原 孝治

- (56)参考文献 特開平06-222936(JP,A)
特開平04-361340(JP,A)
特開平05-210620(JP,A)
特開平06-149765(JP,A)
米国特許第05408629(US,A)
特開昭62-090739(JP,A)
米国特許第04841435(US,A)
米国特許第05530845(US,A)
特開2002-202960(JP,A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 6 F 9 / 5 2