

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-55653

(P2010-55653A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/419 (2006.01)	G 1 1 C 11/34 3 1 1	5 B 0 1 5
H 0 3 K 3/356 (2006.01)	H 0 3 K 3/356 B	5 J 0 3 4

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号	特願2008-216198 (P2008-216198)	(71) 出願人	000003078
(22) 出願日	平成20年8月26日 (2008. 8. 26)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100092820
			弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	川澄 篤
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		F ターム (参考)	5B015 HH01 JJ24 KA33 KB12 KB23
			KB63 MM07 NN02 QQ02
			5J034 AB14 CB01

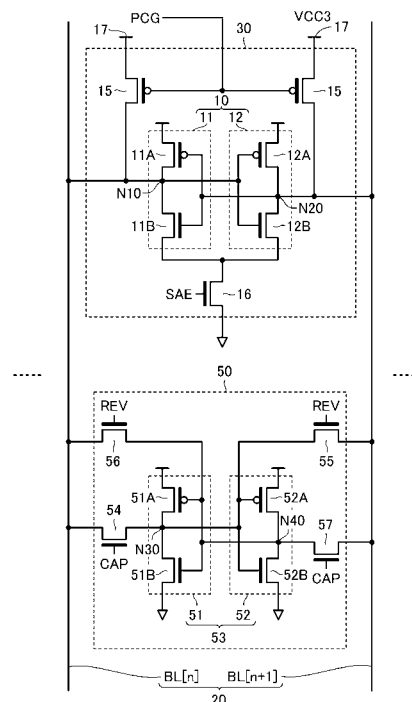
(54) 【発明の名称】 半導体集積記憶回路及びラッチ回路のトリミング方法

(57) 【要約】

【課題】複数あるラッチ回路全てのしきい値電圧のばらつきを一括してトリミングすることが可能な半導体集積記憶回路及びそれを用いたトリミング方法を提供する。

【解決手段】この半導体集積記憶回路は、第1、第2のインバータを第1及び第2のノードにおいてクロスカップル接続させて形成されるラッチ回路と、その第1のノードと第2のノードにホットキャリアを発生させる為のホットキャリア発生電圧を与える電圧印加回路とを含む。また、ラッチ回路から出力された増幅信号を反転させた反転信号を生成するために形成される反転回路を備える。

【選択図】 図 1 B



【特許請求の範囲】**【請求項 1】**

第 1 のビット線と第 2 のビット線からなるビット線対と、

第 1 のインバータと第 2 のインバータを第 1 ノード及び第 2 ノードにおいてクロスカップル接続させて形成されるラッチ回路と、

前記第 1 のインバータ又は前記第 2 のインバータを構成するトランジスタにホットキャリアを発生させる為のホットキャリア発生電圧を印加する電圧印加回路と、

前記ラッチ回路から前記ビット線対に出力された増幅信号を反転させた反転信号を生成して前記第 1 ノード及び前記第 2 ノードに供給する反転回路と

を備えることを特徴とする半導体集積記憶回路。

10

【請求項 2】

第 1 のインバータと第 2 のインバータを第 1 ノード及び第 2 ノードにおいてクロスカップル接続させて形成されるラッチ回路のトリミング方法において、

前記ラッチ回路からビット線対に供給された増幅信号を反転させて反転信号を生成するステップと、

前記反転信号を前記第 1 ノード及び前記第 2 ノードに供給するステップと、

前記ラッチ回路を構成するトランジスタにホットキャリアを発生させる為のホットキャリア発生電圧を印加するステップと、

を備えたことを特徴とする半導体集積記憶回路のラッチ回路のトリミング方法。

20

【請求項 3】

前記電圧印加回路は、

前記第 1 ノードに第 1 主電極が接続され前記第 1 のビット線に第 2 主電極が接続される第 3 のトランジスタと、

前記第 2 ノードに第 1 主電極が接続され前記第 2 のビット線に第 2 主電極が接続される第 4 のトランジスタと、

前記第 1 ノードに第 1 主電極が接続され前記ホットキャリア発生電圧を供給する電源に第 2 主電極が接続され、ゲートに前記反転回路が接続される第 5 のトランジスタと、

前記第 2 ノードに第 1 主電極が接続され前記ホットキャリア発生電圧を供給する電源に第 2 主電極が接続され、ゲートに前記反転回路が接続される第 6 のトランジスタと

を備えることを特徴とする請求項 1 記載の半導体集積記憶回路。

30

【請求項 4】

前記反転回路は、

第 3 のインバータと第 4 のインバータを第 3 のノード及び第 4 のノードにおいてクロスカップル接続させて形成されるラッチ回路と、

前記第 3 のノードに第 2 主電極が接続され前記第 1 のビット線に第 1 主電極が接続される第 7 のトランジスタと前記第 4 のノードに第 2 主電極が接続され前記第 2 のビット線に第 1 主電極が接続される第 8 のトランジスタとにより構成され、前記第 3 のノード及び前記第 4 のノードと前記ビット線対とを適宜接続して前記ラッチ回路に前記増幅信号を取り込むキャブチャ回路と、

前記第 4 のノードに第 2 主電極が接続され前記第 1 のビット線に第 1 主電極が接続される第 9 のトランジスタと、前記第 3 のノードに第 2 主電極が接続され前記第 2 のビット線に第 1 主電極が接続される第 10 のトランジスタとにより構成され、前記第 3 のノード及び前記第 4 のノードと前記ビット線対とを適宜接続して前記ビット線対に前記反転信号を転送するリバース回路と

40

を備えることを特徴とする請求項 1 記載の半導体集積記憶回路。

【請求項 5】

前記反転回路は、

第 5 のインバータと第 6 のインバータを第 5 のノード及び第 6 のノードにおいてクロスカップル接続させて形成されるラッチ回路と、

前記第 5 のインバータの一端及び前記第 6 のインバータの一端と前記ビット線対とを適

50

直接続して前記ラッチ回路に前記反転信号を生成する反転信号生成回路とを備え、

前記第 5 のインバータは、

第 1 1 のトランジスタと第 1 2 のトランジスタとを電流経路を直列に接続させて形成され、

前記第 6 のインバータは、

第 1 3 のトランジスタと第 1 4 のトランジスタとを電流経路を直列に接続させて形成され、

前記反転信号生成回路は、

前記第 1 のビット線にゲートが接続され前記第 1 2 のトランジスタの第 2 主電極に第 1 主電極が接続される第 1 5 のトランジスタと、 10

前記第 2 のビット線にゲートが接続され前記第 1 4 のトランジスタの第 2 主電極に第 1 主電極が接続される第 1 6 のトランジスタと、

前記第 5 のノードに第 1 主電極が接続され正電圧を供給する電源に第 2 主電極が接続される第 1 7 のトランジスタと、

前記第 6 のノードに第 1 主電極が接続され前記正電圧を供給する電源に第 2 主電極が接続される第 1 8 のトランジスタと

により形成されることを特徴とする請求項 1 記載の半導体集積記憶回路。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半導体集積記憶回路に係り、特にラッチ回路のしきい値電圧のばらつきをトリミングする装置及びそれを用いたしきい値電圧のトリミング方法に関するものである。

【背景技術】

【0002】

S R A M などの半導体集積記憶回路のアクセス速度は、メモリセルの作動速度の他にセンスアンプの作動速度が大きく関係する。従来、センスアンプには、低消費電力特性などを勘案して M O S トランジスタによる構成が一般的に適用され、M O S トランジスタにより構成されるラッチ回路が備えられている。しかし、このようなセンスアンプを M O S トランジスタで構成した半導体メモリ素子はセンスアンプのしきい値電圧のばらつき（以下オフセット）が大きく、ビット線上の信号レベルがそのオフセット以上に増加するまでセンスアンプの作動が遅れる、という課題があった。また、S R A M セルにおいても M O S トランジスタのラッチ回路が構成されているが、このラッチ回路におけるオフセットも、読み出し速度等に影響を与える。 30

【0003】

上述の課題を解決する為に、半導体集積記憶回路の内部にオフセットをトリミングする手段を備え、センスアンプ等を形成する M O S トランジスタにそのトリミング量に適合した電圧を印加する方法（特許文献 1）がある。しかし、その方法は、センスアンプ等とは別にトリミング手段、及びトリミング量調整部を形成する必要がある、半導体集積記憶回路の面積を増大化させていた。更に、複数あるセンスアンプ等のオフセットに適合したトリミングを行える、という利点はあるが、個別に調整する為、半導体集積記憶回路内全てのセンスアンプ等をトリミングするのに時間を要していた。 40

【0004】

よって、従来の技術では、面積効率、及び使用効率の高いセンスアンプのオフセットをトリミングすることが可能な半導体集積記憶回路を提供することは困難であった。

【特許文献 1】特開平 1 0 - 1 6 2 5 8 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、複数あるラッチ回路全てのしきい値電圧のばらつきを一括してトリミングす 50

ることが可能な半導体集積記憶回路及びそれを用いたトリミング方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一態様による半導体集積記憶回路は、第1のビット線と第2のビット線からなるビット線対と、第1のインバータと第2のインバータを第1ノード及び第2ノードにおいてクロスカップル接続させて形成されるラッチ回路と、前記第1のインバータ又は前記第2のインバータを構成するトランジスタにホットキャリアを発生させる為のホットキャリア発生電圧を与える電圧印加回路と、前記ラッチ回路から前記ビット線対に出力された増幅信号を反転させた反転信号を生成して前記第1ノード及び前記第2ノードに供給する反転回路とを備えることを特徴とする。

10

【0007】

また、この発明の一態様によるラッチ回路のトリミング方法は、第1のインバータと第2のインバータを第1ノード及び第2ノードにおいてクロスカップル接続させて形成されるラッチ回路をトリミングする方法において、前記センスアンプ回路からビット線対に供給された増幅信号を反転させて反転信号を生成するステップと、前記反転信号を前記第1ノード及び前記第2ノードに供給するステップと、前記ラッチ回路を構成するトランジスタにホットキャリアを発生させる為のホットキャリア発生電圧を印加するステップと、を備えたことを特徴とする。

【発明の効果】

20

【0008】

本発明によれば、複数あるラッチ回路全てのしきい値電圧のばらつきを一括してトリミングすることが可能な半導体集積記憶回路及びそれを用いたトリミング方法を提供することができる。

【発明を実施するための最良の形態】

【0009】

次に、本発明の実施の形態に係る半導体集積記憶回路を図面に基づいて説明する。

【0010】

[第1の実施の形態]

まず本発明の第1の実施の形態を、図1A、図1Bを参照して説明する。

30

【0011】

図1Aは、本発明の第1の実施の形態に係る半導体集積記憶回路（以下SRAM）内に形成されるセンスアンプ回路10を含む第1回路30と反転回路50を含むSRAM全体の構成を示す概略図である。また、図1Bは、第1回路30、反転回路50の構成を示す図である。

【0012】

図1Aに示すように、このSRAMは、複数配設されるSRAMメモリセル1から読み出されたデータを第1回路30内のセンスアンプ回路10にて比較増幅し、出力バッファ60まで転送するものである。反転回路50は、このようなSRAMにおいて、センスアンプ回路10のトリミング（より具体的には、センスアンプ回路10を構成するnMOSトランジスタのしきい値電圧のバラツキ（オフセット）を修正すること）を実行するための構成である。また、第1回路30は、センスアンプ回路10に加え、このトリミングを実行するのに用いられる電圧印加回路として機能するトランジスタ15を備えている。

40

【0013】

なお、図1A、図1Bではビット線対が一对しか示されていないが、ビット線対やそれに接続されるセンスアンプ回路10等の数は本実施の形態に限られるものではない。

【0014】

図1Bに示すように、センスアンプ回路10を含む回路30と反転回路50は、共通のビット線対20（ビット線BL[n]、ビット線BL[n+1]）に接続される。

【0015】

50

センスアンプ回路 10 は、インバータ 11、12 をノード N10、N20 においてクロスカップル接続させて形成されたラッチ回路を備えている。インバータ 11 は、pMOS トランジスタ 11A と nMOS トランジスタ 11B を電流経路が直列になるように接続させると共に、ゲートを共通接続されて形成される。インバータ 12 は、pMOS トランジスタ 12A 及び nMOS トランジスタ 12B を電流経路が直列になるように接続させると共に、ゲートを共通接続されて形成される。

【0016】

また、センスアンプ回路 10 はビット線 BL[n] とビット線 BL[n+1] からなるビット線対 20 にノード N10、N20 を接続される。換言すると、インバータ 11 の出力端子とインバータ 12 の入力端子とが接続するノード N10 がビット線 BL[n] に接続され、インバータ 12 の出力端子とインバータ 11 の入力端子とが接続するノード N20 がビット線 BL[n+1] に接続される。

10

【0017】

ノード N10、N20 には、一对の pMOS トランジスタ 15 のドレインが接続されている。pMOS トランジスタ 15 は、メモリセル 1 からの読み出しの前にビット線対 20 をプリチャージする。また pMOS トランジスタ 15 は、センスアンプ回路 10 内のインバータ 11、12 を形成する nMOS トランジスタ 11B、12B にホットキャリアを発生させる際に導通状態となる。また、pMOS トランジスタ 15 のソースには、ホットキャリアを発生させるために必要な高電圧 VCC3 (1.4V) が供給される電源 17 が接続される。

20

【0018】

また、インバータ 11、12 を形成する nMOS トランジスタ 14 のソースと接地端子間には電流経路が直列になるように nMOS トランジスタ 16 が接続される。pMOS トランジスタ 15 のゲートにはホットキャリアを発生させる際に pMOS トランジスタ 15 を導通させる電圧が印加される信号線 PCG が接続される。また、nMOS トランジスタ 16 のゲートにはセンスアンプ回路 10 を活性状態とする際に nMOS トランジスタ 16 を導通させる電圧が印加される信号線 SAE が接続される。

【0019】

反転回路 50 は、インバータ 51、52 をノード N30、N40 においてクロスカップル接続させて形成されるラッチ回路 53 を有する。インバータ 51 は、pMOS トランジスタ 51A と nMOS トランジスタ 51B を電流経路が直列になるように接続させて形成される。トランジスタ 51A と 51B のゲートは、ノード N40 に接続される。

30

【0020】

一方、インバータ 52 は、pMOS トランジスタ 52A と nMOS トランジスタ 52B を電流経路が直列になるように接続させて形成される。トランジスタ 52A と 52B のゲートは、ノード N30 に接続される。

【0021】

インバータ 51 の出力端子とインバータ 52 の入力端子とが接続するノード N30 とビット線 BL[n] との間には、nMOS トランジスタ 54 が電流経路を直列に接続されている。またノード N30 とビット線 BL[n+1] との間には nMOS トランジスタ 55 が電流経路を直列に接続される。

40

【0022】

また、インバータ 52 の出力端子とインバータ 51 の入力端子とが接続するノード N40 とビット線 BL[n] との間には、nMOS トランジスタ 56 が電流経路を直列に接続されている。またノード N40 とビット線 BL[n+1] との間には nMOS トランジスタ 57 が電流経路を直列に接続される。

【0023】

nMOS トランジスタ 54、57 は、センスアンプ回路 10 によりビット線対 20 に現れた増幅信号をラッチ回路 53 に取り込む場合にオンとされる。また、nMOS トランジスタ 55、56 は、ビット線対 20 に現れた増幅信号を反転させた反転信号をセンスアン

50

ブ回路 10 に供給する場合にオンとされる。トランジスタ 54、57 のゲートには、ラッチ回路 53 への取り込みを指示するためのキャプチャ指示信号が供給される信号線 CAP が接続される。また、トランジスタ 55、56 のゲートには、反転信号の供給を指示するためのリバース信号が供給される信号線 REV が接続される。

【0024】

なお、トランジスタ 54、57 のゲートに信号線 REV が接続され、トランジスタ 55、56 のゲートに信号線 CAP が接続されても構わない。

【0025】

[第 1 の実施の形態の動作]

次に、第 1 の実施の形態に係る SRAM の動作を図 2 を参照して説明する。ここでは、センスアンプ回路 10 のトリミングを実行する場合の動作を図 2 を用いて説明する。

10

【0026】

図 2 は、SRAM が行うセンスアンプ回路 10 のトリミング方法の例を示すフローチャートであり、図 3 は各処理時を示すタイミングチャートである。なお、インバータ 11 を形成する nMOS トランジスタ 11B の閾値電圧が小さいため、この nMOS トランジスタ 11B にホットキャリアを発生させて閾値電圧を調整する場合を例に説明する。

【0027】

センスアンプ回路 10 のトリミング方法において、まず、時刻 t_0 において、センスアンプ回路 10 のオフセット情報を取得する為に、信号 PCG の電圧を 0V とすることにより、pMOS トランジスタ 15 を導通させ、ビット線対 20 (ビット線 BL[n]、BL[n+1]) に電圧 VDD を印加(プリチャージ)する(ステップ S101)。

20

【0028】

次いで、時刻 t_1 において、信号線 PCG の電圧を VDD に戻してビット線対 20 へのプリチャージ動作を終了すると共に、センスアンプ回路 10 を活性状態にする為に信号線 SAE に電圧 VDD を印加する(ステップ S102)。

【0029】

すると、閾値電圧が他と比べて低い nMOS トランジスタ 11B が導通状態となり、ノード N10 にオフセット情報“0”が取得される。逆に、ノード N20 にオフセット情報“1”が取得される。そして、ビット線 BL[n] にオフセット情報“0”が出力され、ビット線 BL[n+1] にオフセット情報“1”(電圧 VDD)が出力される。

30

【0030】

次いで、時刻 t_2 において、ビット線対 20 に出力されたオフセット情報(増幅信号)を反転回路 50 に取り込む為に信号線 CAP に電圧 VDD を印加する(ステップ S103)。反転回路 50 にオフセット情報(増幅信号)を取り込んだら、信号線 CAP への電圧 VDD の印加を終了する。すると、反転回路 50 にて取り込んだオフセット情報が反転されて反転データ(反転信号、又はオフセット情報)が生成される(ステップ S104)。

【0031】

こうして反転データが反転回路 50 において生成されたら、時刻 t_3 において信号線 PCG の電圧を VDD から 0V に戻し、ビット線対 20 を再び電圧 VDD までプリチャージする。

40

【0032】

時刻 t_4 において、再び信号線 PCG の電圧を電圧 VDD としてプリチャージ動作を終了した後、時刻 t_5 において、この反転回路 50 に保持された反転データをビット線対 20 に出力する為、信号線 REV に電圧 VDD を印加する。ビット線対 20 に出力された反転データ(オフセット情報)は、センスアンプ回路 10 内のノード N10、N20 に転送される(ステップ S105)。

【0033】

そして、時刻 t_6 において信号線 SAE の電圧が VDD とされてセンスアンプ回路 10 が活性化されると、“0”のオフセット情報を保持していた nMOS トランジスタ 11B のドレイン(ノード N10)に電圧 VCC3 (1.4V)が印加されゲートに電圧 VCC

50

3 / 2 が印加される。また、“ 1 ” のオフセット情報を保持していた n M O S トランジスタ 1 2 B のドレイン (ノード N 2 0) に V C C 3 / 2 が印加され、ゲートに電圧 V C C 3 (1 . 4 V) が印加される。

【 0 0 3 4 】

これにより、 n M O S トランジスタ 1 1 B のゲート絶縁膜にホットキャリアが注入される (ステップ S 1 0 6) 。なお、ホットキャリアは、 n M O S トランジスタ 1 1 B のドレインに高電圧 V C C 3 (1 . 4 V) を印加し、ゲートに高電圧 V C C 3 より低い電圧、例えば V C C 3 / 2 を印加すると発生されやすい。ただし、高電圧 V C C 3 (1 . 4 V) は n M O S トランジスタの通常使用電圧より高い電圧にする必要がある。よって、“ 0 ” のオフセット情報を保持していた n M O S トランジスタ 1 1 B は、上記の状態を満たしているためゲート酸化膜にホットキャリアが注入されやすい状態となる。逆に、“ 1 ” のオフセット情報を保持していた n M O S トランジスタ 1 2 B は、上記の状態を満たしていないため特に変化が生じない。

10

【 0 0 3 5 】

所定の回数までステップ S 1 0 1 に戻り同じ処理を繰り返す。所定の回数が終了したらトリミング処理を終了する (ステップ S 1 0 7) 。

【 0 0 3 6 】

以上のステップを行うことにより、“ 0 ” のオフセット情報を保持していた n M O S トランジスタ 1 1 B (換言すると、しきい値電圧が低かった n M O S トランジスタ 1 1 B) のみのゲート酸化膜にホットキャリアが注入される。ゲート酸化膜にホットキャリアが注入されることによりしきい値電圧が上がり、インバータ 1 1 を形成する n M O S トランジスタ 1 1 B とインバータ 1 2 を形成する n M O S トランジスタ 1 2 B のしきい値電圧のばらつきを小さくすることができる。

20

【 0 0 3 7 】

[第 2 の実施の形態]

次に、本発明の第 2 の実施の形態を、図 4 等を参照して説明する。

【 0 0 3 8 】

図 4 は、本発明の第 2 の実施の形態に係る S R A M 内に形成されるセンスアンプ回路 1 1 0 を含む第 1 回路 1 3 0 と反転回路 1 5 0 の構成を示した図である。第 2 の実施の形態に係る S R A M は、第 1 の実施の形態と同じように複数配設される S R A M メモリセル 1 から読み出されたデータを第 1 回路 1 3 0 内のセンスアンプ回路 1 1 0 にて比較増幅し、出力バッファ 6 0 (図 4 では図示せず) まで転送するものである。反転回路 1 5 0 は、センスアンプ回路 1 1 0 のトリミングを実行するための構成である。

30

【 0 0 3 9 】

また、第 1 回路 1 3 0 は、センスアンプ回路 1 1 0 に加え、このトリミングを実行するのに用いられる電圧印加回路として機能するトランジスタ 1 1 6 、 1 1 7 を備えている。なお、図 1 A に示されるセンスアンプ回路 1 0 、第 1 回路 3 0 及び反転回路 5 0 は、第 2 の実施の形態では、センスアンプ回路 1 1 0 、第 1 回路 1 3 0 及び反転回路 1 5 0 に対応する。図 4 ではビット線対が一对しか示されていないが、ビット線対やそれに接続されるセンスアンプ回路 1 1 0 等の数はそれに限ったものではない。図 4 に示すように、センスアンプ回路 1 1 0 と反転回路 1 5 0 は、共通のビット線対 1 2 0 (ビット線 B L [m] 、ビット線 B L [m + 1]) に接続される。これらの点、第 1 の実施の形態と同様である。

40

【 0 0 4 0 】

センスアンプ回路 1 1 0 は、インバータ 1 1 1 、 1 1 2 をノード N 5 0 、 N 6 0 においてクロスカップル接続させて形成されたラッチ回路を有する。インバータ 1 1 1 は、 p M O S トランジスタ 1 1 1 A と n M O S トランジスタ 1 1 1 B を電流経路が直列になるように接続させると共に、ゲートを共通接続させて形成される。インバータ 1 1 2 は、 p M O S トランジスタ 1 1 2 A 及び n M O S トランジスタ 1 1 2 B を電流経路を直列になるように接続させると共に、ゲートを共通接続されて形成される。

【 0 0 4 1 】

50

ノードN50とビット線BL[m]間にはpMOSトランジスタ113が電流経路を直列に接続され、ノードN60とビット線BL[m+1]間にはpMOSトランジスタ114が電流経路を直列に接続される。

【0042】

インバータ111、112を形成するnMOSトランジスタ14のソースと接地端子間には電流経路が直列になるようにnMOSトランジスタ115が接続される。また、ノードN50、N60には、センスアンプ回路110内のインバータ111、112を形成するnMOSトランジスタ111B、112Bにホットキャリアを発生させる際に導通状態となるpMOSトランジスタ116、117のドレインが接続される。

【0043】

pMOSトランジスタ116、117のソースにはホットキャリアを発生させるために必要な高電圧VCC3(1.4V)が供給される電源118が接続される。pMOSトランジスタ113、114のゲートには、センスアンプ回路110のオフセット情報を取得する際にpMOSトランジスタ113、114を導通させる電圧が印加される信号線XFBが接続される。

【0044】

nMOSトランジスタ115のゲートには、センスアンプ回路110を活性状態とする際にnMOSトランジスタ115を導通させる電圧が印加される信号線SAEが接続される。

【0045】

また、ノードN50、及びノードN60をプリチャージするためプリチャージ回路160が設けられている。このプリチャージ回路160は、ノードN50にドレインが接続され電源電圧がソースに供給されたpMOSトランジスタ161と、ノードN60にドレインが接続され電源電圧がソースに供給されたpMOSトランジスタ162とを備えている。このpMOSトランジスタ161、162のゲートは、プリチャージ動作時に電圧0Vが供給される信号線PCGに接続されている。また、図示は省略するが、ビット線対20をプリチャージするためのプリチャージ回路も別途設けられている。

【0046】

反転回路150は、インバータ151、152をノードN70、N80においてクロスカップル接続させて形成されるラッチ回路153を有する。インバータ151は、pMOSトランジスタ151AとnMOSトランジスタ151Bを電流経路が直列になるように接続させて形成される。トランジスタ151Aと151Bのゲートは、ノードN80に接続される。

【0047】

一方、インバータ152は、pMOSトランジスタ152AとnMOSトランジスタ152Bを電流経路が直列になるように接続させて形成される。トランジスタ152Aと152Bのゲートは、ノードN70に接続される。

【0048】

インバータ151を形成するnMOSトランジスタ151Bのソースには、nMOSトランジスタ154のドレインが接続され、インバータ152を形成するnMOSトランジスタ152Bのソースには、nMOSトランジスタ155のドレインが接続される。そして、nMOSトランジスタ154及び155のソースは共通接続される。なお、その共通接続ノードはN90と規定する。更に、ノードN90と接地端子間には電流経路が直列になるようにnMOSトランジスタ156が接続される。

【0049】

ノードN70にはpMOSトランジスタ157のドレインが接続され、ノードN80にはトランジスタ158のドレインが接続される。また、pMOSトランジスタ157、158のソースには、正電圧を供給する電源が接続される。

【0050】

nMOSトランジスタ156は、センスアンプ回路110によりビット線対120に現

10

20

30

40

50

れた増幅信号をラッチ回路 153 に取り込む場合にオンとされる。また、pMOSトランジスタ 157、158 は、ビット線対 120 に現れた増幅信号を反転させた反転信号を生成する場合にオンとされる。トランジスタ 156 ~ 158 のゲートには、ラッチ回路 153 への取り込みの指示及び反転信号の生成をするための指示信号が供給される信号線 CAP が接続される。

【0051】

また、ノード N70 は pMOSトランジスタ 117 のゲートと接続され、ノード N80 は pMOSトランジスタ 116 のゲートと接続される。ノード N70 及び N80 には、反転信号が保持されるため、一方のノードには“H”のデータ（反転信号）が保持され、他方のノードには、“L”のデータ（反転信号）が保持される。よって、pMOSトランジスタ 116、117 のうち、一方のトランジスタのみオンとされる。

10

【0052】

[第2の実施の形態の動作]

次に、第2の実施の形態に係るSRAMの動作を図6を参照して説明する。ここでは、センスアンプ回路 110 のトリミングを実行する場合の動作を図6を用いて説明する。

【0053】

図6は、SRAMが行うセンスアンプ回路 110 のトリミング方法の例を示すフローチャートであり、図7は各処理時を示すタイミングチャートである。なお、インバータ 111 を形成するnMOSトランジスタ 111Bの閾値電圧が小さいため、このnMOSトランジスタ 111Bにホットキャリアを発生させて閾値電圧を調整する場合を例に説明する。

20

【0054】

センスアンプ回路 110 のトリミング方法において、まず、時刻 t_0 において、センスアンプ回路 110 のオフセット情報を取得する為に、信号線 PCG の電圧を 0V とし、これによりノード N50、N60 を所定の電位までプリチャージする。さらに、図示しないプリチャージ回路により、ビット線対 120 に電圧 VDD を印加する（ステップ S201）。時刻 t_1 においてセンスアンプ回路 110 を活性状態にするために信号線 SA に電圧 VDD を印加する一方、信号線 PCG の電圧は 0V から電圧 VDD に切り替え、プリチャージ動作は終了する。

【0055】

30

次いで、時刻 t_2 において、センスアンプ回路 110 に電圧 VDD を取り込む為に信号線 XFB に 0V を印加する（ステップ S202）。すると、電圧 VDD によって nMOSトランジスタ 111B が導通状態となり、ノード N50 にオフセット情報“0”を取得し、逆に、ノード N60 にオフセット情報“1”を取得する。また、ビット線 BL[m] にオフセット情報“0”が出力され、ビット線 BL[m+1] にオフセット情報“1”が出力される（ステップ S203）。

【0056】

次いで、時刻 t_3 において、ビット線対 120 に出力されたオフセット情報を反転回路 150 に取り込む為に信号線 CAP に電圧 VDD を印加する（ステップ S204）。すると、ノード N70 にデータ“1”が転送され、ノード N80 にデータ“0”が転送される。それによって、pMOSトランジスタ 116 が導通状態となり、pMOSトランジスタ 117 は変わらず非導通状態と保持する。

40

【0057】

そして、“0”のオフセット情報を保持していた nMOSトランジスタ 111B のドレインに電圧 VCC3（1.4V）が印加され、ゲート電極に電圧 0V が印加される。逆に、pMOSトランジスタ 117 は非導通状態のため、“1”のオフセット情報を保持していた nMOSトランジスタ 112B のドレインには電圧 VCC3 は印加されない。それにより、“0”のオフセット情報を保持していた nMOSトランジスタ 111B のみのゲート絶縁膜にホットキャリアが注入される（ステップ S205）。第2の実施の形態は、“0”のオフセット情報を保持していた nMOSトランジスタ 111B のみにホットキャリ

50

アを発生させる高電圧 V_{CC3} を印加することが可能であり、第1の実施の形態よりも不要な消費電力を少なくすることができる。

【0058】

所定の回数までステップS201に戻り同じ処理を繰り返す。所定の回数が終了したらトリミング処理を終了する(ステップS206)。

【0059】

以上を行うことにより、“0”のオフセット情報を保持していたnMOSトランジスタ111B、換言すると、しきい値電圧が低かったnMOSトランジスタ111Bのみのゲート酸化膜にホットキャリアが注入される。ゲート酸化膜にホットキャリアが注入されることによりしきい値電圧が上がり、インバータ111を形成するnMOSトランジスタ111Bとインバータ112を形成するnMOSトランジスタ112Bのしきい値電圧のばらつきを小さくすることができる。

【0060】

[第3の実施の形態]

次に、本発明の第3の実施の形態を、図7等を参照して説明する。図7は、本発明の第3の実施の形態に係るSRAMの構成を示す回路図である。本実施の形態では、メモリセル1を構成するラッチ回路のオフセットをトリミングするものであり、この点、上述の実施の形態がセンスアンプ回路のトリミングを行うものであるのとは異なっている。電圧印加回路を構成するpMOSトランジスタ15、及び反転回路50の構成は第1の実施の形態と同様である。すなわち、この実施の形態では、反転回路50は、メモリセル1を構成するラッチ回路のトランジスタに対し反転データを提供するように構成されているものである。その他、上記の実施の形態と共通する部分については、同一の符号を付し、以下ではその詳細な説明は省略する。

【0061】

図7に示すように、メモリセル1は、インバータ71、72をノードN1、N2においてクロスカップル接続させて形成される。インバータ71は、pMOSトランジスタ71AとnMOSトランジスタ71Bを電流経路が直列になるように接続させると共に、ゲートを共通接続されて形成される。インバータ72は、pMOSトランジスタ72A及びnMOSトランジスタ72Bを電流経路が直列になるように接続させると共に、ゲートを共通接続されて形成される。

【0062】

また、ビット線 $BL[n]$ とビット線 $BL[n+1]$ とからなるビット線対20とノードN1、N2との間には転送トランジスタ73、74が接続されている。転送トランジスタ73、74のゲートにはワード線WLが接続されている。なお、nMOSトランジスタ71Bと72Bとのソースには、信号線Vcsが接続されており、この信号線Vcsの電圧が、図示しない制御回路により制御されることにより、メモリセル1のオフセット情報を取得することができる。

【0063】

次に、第3の実施の形態に係るSRAMの動作を図8を参照して説明する。

【0064】

図8は、メモリセル1のトリミング方法の例を示すタイミングチャートである。インバータ71を形成するnMOSトランジスタ71Bの閾値電圧が小さいため、このnMOSトランジスタ71Bにホットキャリアを発生させて閾値電圧を調整する場合を例に説明する。

【0065】

まず、時刻 t_0 において、センスアンプ回路10のオフセット情報を取得する為に、信号線PCGの電圧を0Vとすることにより、pMOSトランジスタ15を導通させ、ビット線対20(ビット線 $BL[n]$ 、 $BL[n+1]$)に電圧VDDを印加する。

【0066】

その後時刻 $t_1 \sim t_2$ の間、信号線Vcsの電圧を0Vから電源電圧VDDまで上昇さ

せる。これにより、メモリセル 1 を構成するトランジスタ 7 1 A、7 1 B、7 2 A、7 2 B の閾値電圧等の特性バラツキにより、ノード N 1、N 2 には相補的な電位が生じ、これがメモリセル 1 のオフセット情報となる。n M O S トランジスタ 7 1 B の閾値電圧が他に比べ小さい場合、ノード N 1 にオフセット情報 “ 0 ” が取得される。逆に、ノード N 2 にオフセット情報 “ 1 ” が取得される。そして、ビット線 B L [n] にオフセット情報 “ 0 ” が出力され、ビット線 B L [n + 1] にオフセット情報 “ 1 ” (電圧 V D D) が出力される。

【 0 0 6 7 】

次いで、時刻 t 2 において、信号線 P C G の電圧を V D D としてビット線対 2 0 のプリチャージ動作を終了すると共に、オフセット情報をビット線対 2 0 に取り込む為にワード線 W L に電圧 V D D を印加する。上記の場合、ビット線 B L [n] の電圧は 0 V となり、ビット線 B L [n + 1] は電圧 V D D のままに維持される。

10

【 0 0 6 8 】

続いて、時刻 t 3 において、信号線 C A P の電圧を 0 V から V D D に立ち上げることににより、ビット線対 2 0 の電圧すなわちオフセット情報を反転回路 5 0 に取り込む。反転回路 5 0 にオフセット情報を取り込んだら、信号線 C A P への電圧 V D D の印加を終了する。

【 0 0 6 9 】

すると、反転回路 5 0 にて取り込んだオフセット情報が反転されて反転データ (反転信号、又はオフセット情報) が生成される。

20

【 0 0 7 0 】

こうして反転データが反転回路 5 0 において生成されたら、時刻 t 4 において信号線 P C G の電圧を V D D から 0 V に戻し、ビット線対 2 0 を電圧 V D D までプリチャージする。

【 0 0 7 1 】

その後、時刻 t 5 において、この反転回路 5 0 に保持された反転データをビット線対 2 0 に出力する為、信号線 R E V に電圧 V D D を印加すると共に、ワード線 W L の電圧を V D D とする。これにより、ビット線対 2 0 に出力された反転データ (オフセット情報) は、メモリセル 1 内のノード N 1、N 2 に転送され、メモリセル 1 のデータが書き替えられる。

30

【 0 0 7 2 】

更に、時刻 t 6 では、ワード線 W L の電圧を 0 V に戻すと共に、信号線 P C G の電圧を 0 V として再びビット線対 2 0 を電圧 V D D までプリチャージする。その後、時刻 t 7 において、ワード線 W L の電圧を V D D / 2 まで上昇させる。これにより、閾値電圧の低いトランジスタ 7 1 B において、ドレイン - ソース間電圧が V d d に、ゲート - ソース間電圧が V d d / 2 となることにより、ホットキャリアが発生し、閾値電圧が調整される。

【 0 0 7 3 】

以上、発明の実施の形態を説明したが、本発明はこれに限定されるものではなく、発明の趣旨を逸脱しない範囲内において、様々な変更、追加、置換、削除等が可能である。

【 図面の簡単な説明 】

40

【 0 0 7 4 】

【 図 1 A 】 この発明の第 1 の実施の形態の S R A M の全体構成を示すブロック図である。

【 図 1 B 】 この発明の第 1 の実施の形態による S R A M 内のセンスアンプ回路と反転回路の構成を示す図である。

【 図 2 】 同 S R A M が行うセンスアンプ回路のトリミング処理の例を示すフローチャートである。

【 図 3 】 同 S R A M 内のセンスアンプ回路のトリミング処理時のタイミングチャートである。

【 図 4 】 第 2 の実施の形態における S R A M 内のセンスアンプ回路と反転回路の構成を示す図である。

50

【図 5】第 2 の実施の形態における S R A M が行うセンスアンプ回路のトリミング処理の例を示すフローチャートである。

【図 6】第 2 の実施の形態における S R A M 内のセンスアンプ回路のトリミング処理時のタイミングチャートである。

【図 7】この発明の第 3 の実施の形態による S R A M 内のメモリセル 1 と反転回路 5 0 の構成を示す図である。

【図 8】第 3 の実施の形態における S R A M 内のメモリセルのトリミング処理時のタイミングチャートである。

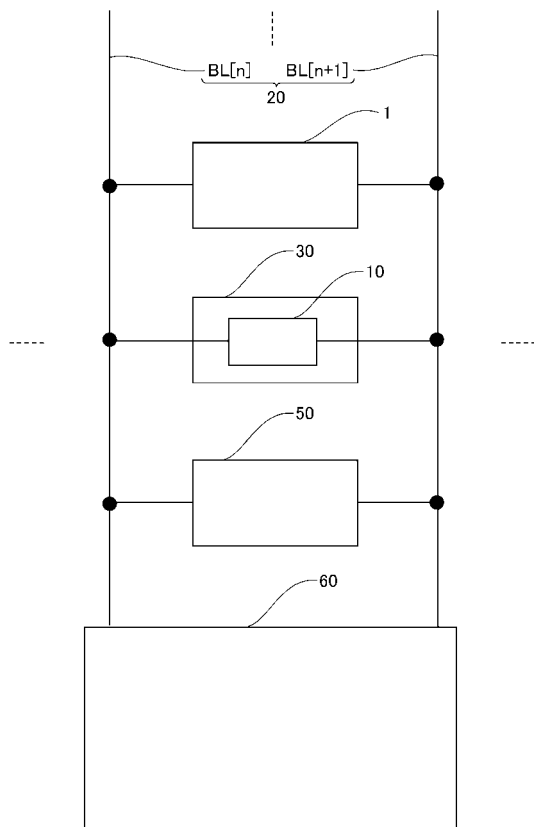
【符号の説明】

【 0 0 7 5 】

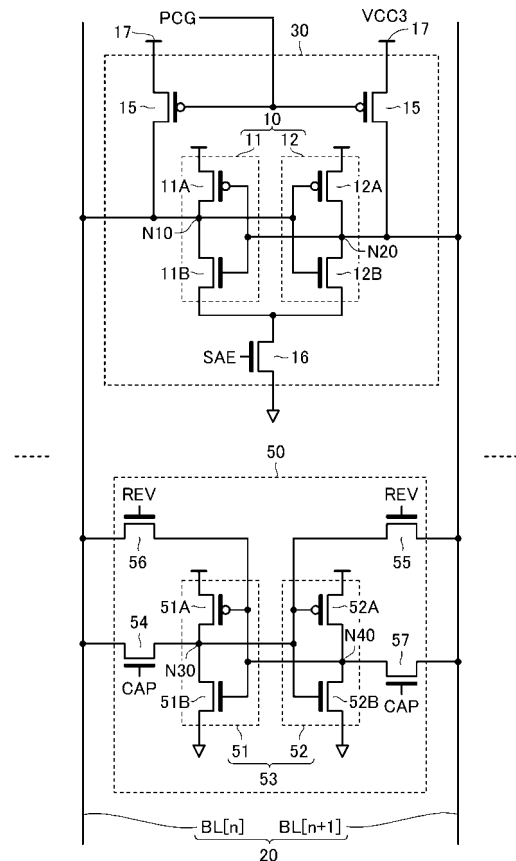
1 ... メモリセル、1 0、1 1 0 ... センスアンプ回路、1 1、1 2、5 1、5 2、1 1 1、1 1 2、1 5 1、1 5 2 ... インバータ、1 1 A、1 2 A、1 5、5 1 A、5 2 A、1 1 1 A、1 1 2 A、1 1 3、1 1 4、1 1 6、1 1 7、1 5 1 A、1 5 2 A、1 5 7、1 5 8 ... p M O S トランジスタ、1 1 B、1 2 B、1 6、5 1 B、5 2 B、5 4 ~ 5 7、1 1 1 B、1 1 2 B、1 1 5、1 5 1 B、1 5 2 B、1 5 4 ~ 1 5 6 ... n M O S トランジスタ、1 7、1 1 8 ... ホットキャリア発生用電源、2 0、1 2 0 ... ビット線対、3 0、1 3 0 ... 第 1 回路、5 0、1 5 0 ... 反転回路、5 3、1 5 3 ... ラッチ回路、6 0 ... 出力バッファ。

10

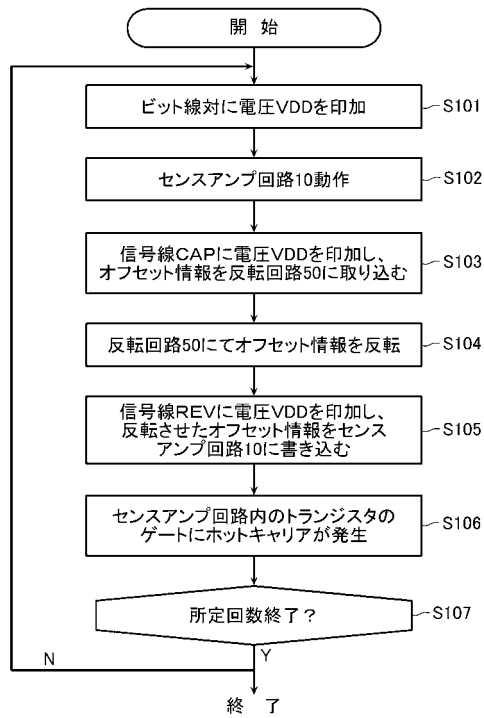
【図 1 A】



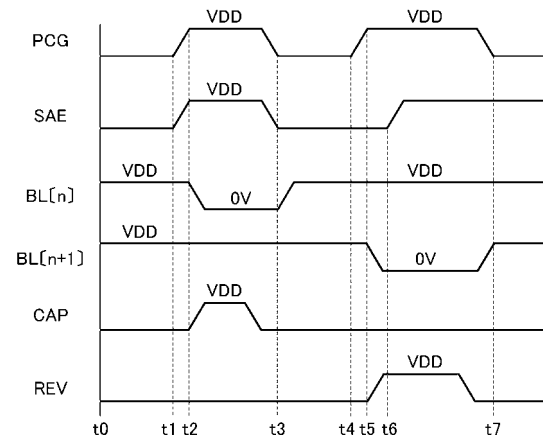
【図 1 B】



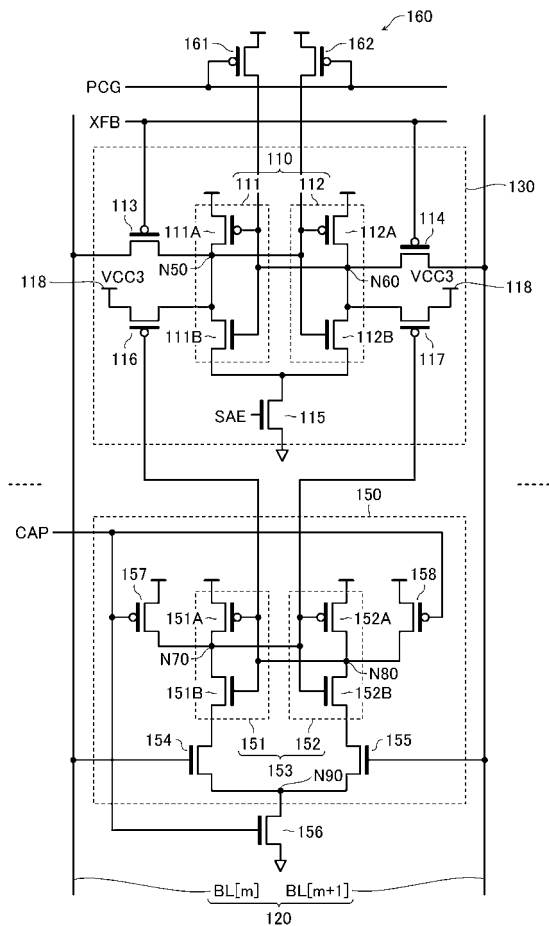
【図 2】



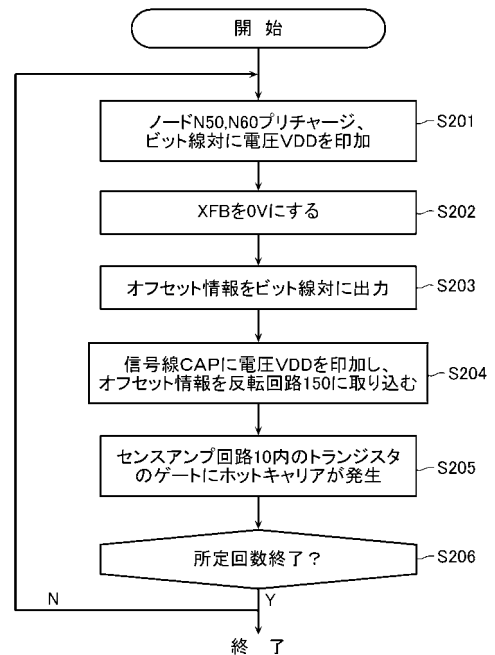
【図 3】



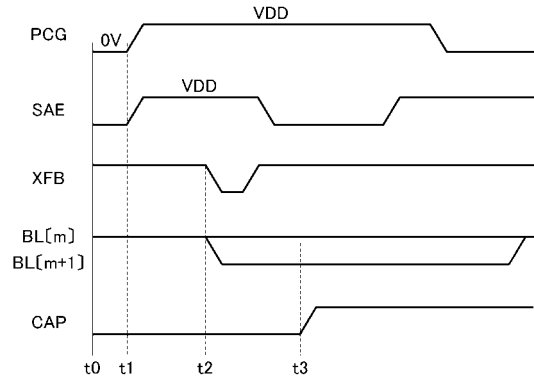
【図 4】



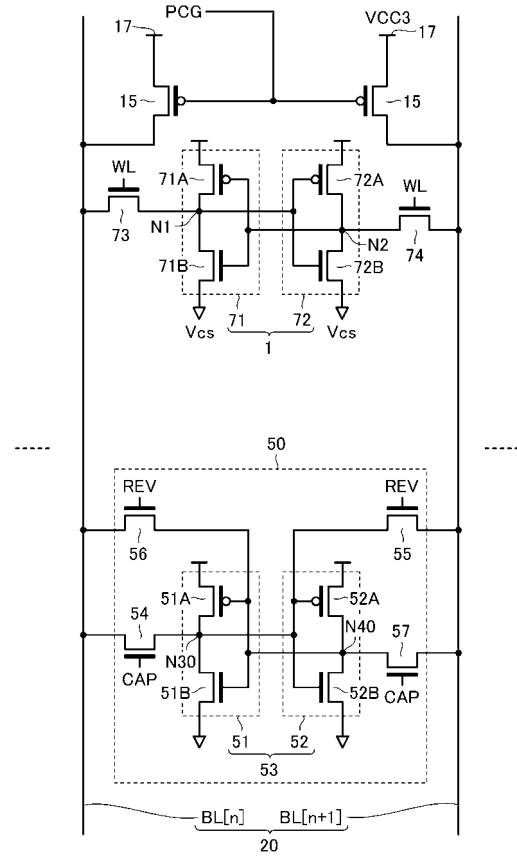
【図 5】



【図 6】



【図 7】



【図 8】

