

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G06F 13/38

(45) 공고일자 1992년 12월 24일
(11) 공고번호 92-010952

(21) 출원번호	특 1989-0000777	(65) 공개번호	특 1989-0012230
(22) 출원일자	1989년 01월 25일	(43) 공개일자	1989년 08월 25일
(30) 우선권 주장	p3802025.4 1988년 01월 25일 독일(DE)		
(71) 출원인	오토 물러 독일연방공화국, 콘스탄쯔 16, 디-7750, 암. 그켄뷰터 10		
(72) 발명자	오토 물러 독일연방공화국, 콘스탄쯔 16, 디-7750, 암. 그켄뷰터 10		
(74) 대리인	김용호		

심사관 : 허상무 (책자공보 제3080호)

(54) 데이터처리장치에서의 명령버퍼기억장치의 제어회로 및 제어방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

데이터처리장치에서의 명령버퍼기억장치의 제어회로 및 제어방법

[도면의 간단한 설명]

제1도는 데이터처리장치의 개략구성도.

제2도는 버퍼제어장치의 블록도.

제3도는 명령계수회로의 블록도.

제4도는 버퍼기억장치의 블록도.

제5도는 기억셀의 회로도이다.

*도면의 주요부분에 대한 부호의 설명

IBUF : 명령버퍼기억장치

AP, FA : 부하지시 주소

BRA : 명령 주소

MEM : 주기억장치

IDEC : 명령 디코우더

[발명의 상세한 설명]

본 발명은 프로그램경과에 응해서 연속적으로 높아져야 할 명령어에 대해서 최대 소정차 만큼 이명령어 주소보다 선행해서 높아지는 부하지시주소에 의해 제어되고, 명령어가 주기억장치로부터 명령 버퍼기억장치안으로 연이어 부하되어, 이 명령버퍼기억장치로부터 명령어 명령어에 의해 나중에 주소지정 되어서, 실행을 위해 명령디코우더로 공급되는, 데이터처리장치에서의 명령버퍼기억장치의 회로 및 제어방법에 관한 것이다.

잡지「컴퓨터·디자인」(1987년 8월 1일)89페이지 및 다음 페이지 이하「가장 우수한 기억장치를 선택하는 것에 의한 최대한의 성능」에, 모든 공지의 타일 기억장치 및 그 제어방법이 표시되어 있다.

미국특허 제3611315호 명세서로부터 프로그램이 프로세서의 입력 및 출력데이터와 함께 주기억장치에 기억되어 있는, 프로그램 제어되는 데이터처리장치에 있어서, 실행을 위해 내어놓은 프로그램의 명령순서를 주기억장치로부터 버퍼기억장치로 타일마다 한층 짧은 액세스타임으로 전송하여서 이 버퍼기억장치로부터 명령디코우더로 공급하는 것은 공지의이고, 이 경우, 실행을 위해 내어지는 명령

의 명령어 주소는 버퍼기억장치에 포함되어 있는 명령의 주소 범위와 비교되어서 주소지정 되어야 할 명령이 버퍼기억장치에 포함되어 있는 한, 이를 구한 명령이 1개의 타일길이의 부속명령 순서로 주기억장치로 부터 버퍼기억장치의 타일에 부하되어서 명령이 거기에 부하된 후에 거기에 주소 지정되어서 명령디코더로 공급되어서 실행되어, 그때 당연한 명령 알아내기는 다음의 명령 주소가 명령계수기 상태의 프로그램에 관계하는 변화에 의해 얻어진 후에, 행하여진다.

이 회로에는, 명령순서가 타일의 크기에 응해서 특정의 전송시간이 필요하게 되어, 그 결과 가끔 기다리는 시간이 생겨, 이들 기다리는 시간은, 구해지는 명령의 앞의 타이 위에 있고 또는 명령으로의 프로그램의 분기후에 타일의 외부에 생기는, 가끔 필요하지 않은 각개 명령의 경과 경우의 전송때문에 소비된다는 결점이 있다. 그위에 이와같은 필요치 않은 명령의 전송중에 주기억장치로 필요한 데이터 액세스가 방해받는다.

더욱이 명령어 액세스시의 평균 기다리는 시간을 단축하기 위하여 실행되어야 할 명령에 의해 기억되어 있는 특정수의 명령을 이미 조기에 선취명령버퍼기억장치에 전송하고, 이 명령버퍼기억장치로 부터 명령이 명령해독을 위해 읽어내는 것은 잡지 「컴퓨터·디자인」 제21권(1982년 4월) 64페이지로 부터 공지이다. 그러나 프로그램 분기가 행하여지는 경우는 새로운 주기억장치 액세스에 대해 기다리는 시간이 생겨 이 주기억장치는 경치는 앞부하를 받고 이는 동시에 필요한 데이터 액세스를 방해한다.

이것은 특히 프로그램이 루프를 이루어서 몇번이고 또는 순환적으로 행하여지는 경우에 커다란 결점이며, 이 경우, 명령은 적당한 액세스부하를 갖는 주기억장치로 부터 반복해서 새롭게 떼어내어지지 않으면 안된다. 왜냐하면 루프의 개시시의 분기할때에는 언제나 프로그램부분의 최초의 명령의 인수에 의한 프로그램 경과중의 부하 지연이 생기기 때문이다.

본 발명의 과제는 프로그램 경과중의 부하 지연의 수 및 주기억장치의 액세스부하를 프로그램 경과중의 명령버퍼 기억장치로의 액세스부하를 프로그램 경과중의 명령버퍼 기억장치로 명령전송의 수의 감소에 의해 작게하는 명령버퍼기억장치의 회로장치 및 이 회로장치의 작동방법을 제공하는 것이다.

이 과제의 해결책은 명령버퍼기억장치가, 연이어 부하되어, 이미 실행되어 또는 뛰어 넘겨진 명령어가 남아 있는 명령보류기억장치 만큼 확대되어 있어, 프로그램 경과중에 분기명령의 명령어 주소부에 생기는 분기주소가 명령버퍼기억장치에 포함되어 있는, 즉 앞부하되어서 보호유지된, 명령어의 각각의 주소 범위와 비교되어, 분기 주소가 이 주소 범위 내에 있는 경우는 이 분기 주소에 의해 주소 지정된 명령이 직접명령버퍼기억장치로 부터 읽어내고, 그리고 분기 주소가 상술의 주소 범위 밖에 있는 경우는 이 분기 주소가 새로운 부하지시기로써 인수되어서 오래된 주소범위가 소거된다는 것이다.

또한 보류 버퍼기억장치가 선취버퍼기억장치와 양자가 순환적 작동으로 공통의 트리거(trigger)수단에 의해 작동될 수 있는 것같이, 명령버퍼기억장치에 통합되어 있다.

명령버퍼기억장치가 연산기구의 데이터입력단의 앞에 접속되어있는 레지스터셋트로 부터 분리되어, 그 결과 동시에 새로운 명령이 읽어내고 따라서 데이터에 의해 조작될 수 있는 경우는 특히 유리하다.

본 발명에 의한 명령 액세스로부터의 주기억장치의 부가제거는 주기억장치가 페이지마다 조직되어, 페이지의 선택이 1개의 페이지에 있어서의 페이지액세스타임보다 긴 페이지교환을 갖는 경우에 특히 유리하게 작용한다.

시판의 기억장치에는 액세스타임의 이 비는 약 4대 1이다. 데이터 및 명령은 일반적으로 다른 페이지에서 처리되지 않으면 안되므로, 명령을 버퍼기억장치로부터 떼어냄에 따라 주기억장치로부터 떼어내어 지지 않은 경우는 페이지의 교환이 생략될 수 있다.

특히 복수의 기계펄스 사이클에 상당하는 긴 페이지액세스타임때문에 주기억장치로 부터 요구됨에 따라 나중에 가서 처음 나오는 정보의 목표주소용의 소위 파이프라인을 주기억장치에 대응시키는 것은 보통 행하여지고 있다. 이들 정보는 데이터 레지스터 셋트로부터 분리된 명령 버퍼기억장치를 갖는 본 발명에 의한 장치에 있어서, 데이터 또는 명령이나에 응해서, 주소에 관계해서 레지스터 셋트 또는 명령버퍼기억 장치로 공급된다.

명령버퍼기억장치에 아직 포함되어 있지 않은 실행되어야 할 명령의 주소가 명령을 받는 준비가 되어있는 경우는, 그 주소가 예를들면 주소 파이프라인에 포함되어 있는지 아닌지를 시험회로에서 부가적으로 조사, 혹시 포함되어 있으면 명령버퍼기억장치로의 명령의 기억을 기다리는 것이 유리하다.

또다른 유리한 구성은 특별한 명령, 즉 앞부하 명령이 설치되어 있고, 이명령이 명령에 설정된 수의 명령어의 버퍼기억장치로 전송을 제어하는 것이다.

소정수의 명령어는 반어(半語)에 관한 명령으로 표시되어 따라서 명령어의 전송을 할때에 필요에 따라 다음 전어(全語)한계로 매듭된다.

한층 큰수의 주기억장치 데이터명령이 순차로 이어지는 경우는 앞부하 명령이 유리하게 사용된다. 왜냐하면 명령실행시의 명령페이지와 데이터페이지와의 한층 번잡한 페이지 교환이 회피되기 때문이다. 다시 말하면 이 경우는 중간 접속된 명령 액세스가 벌써 행하여 지지 않기 때문이다.

더욱이, 버퍼모드마아커는 프로그램중에서 설정 및 소거가능한 것이 유리하다. 이 버퍼모드마아커는 루우프안에 상대 주소를 갖는 순방향(順方向)뛰어넘는 명령의 목표명령이 아직 버퍼기억장치에 없는 경우에 우선 순방향 뛰어넘기 분기가 행하여져, 이어 목표주소까지의 명령순서가 명령 버퍼기억장치로 부하될때 까지의 사이에 기다려져 이에 의해서, 더이상의 명령부호 및 선행이 행하여지기 전에 전루우프가 거기에 우선 완전하게, 몇번의 실행의 준비를 하고, 존재하고 있는 것을 보증한다. 더욱이, 버퍼모드마아커에의해 초기 범위가 경우에 따라 뛰어 넘겨지는 명령순서가 완전히 부

하되어 따라서 이렇게 지연이 없는 몇번의 실행준비가 이루어지는 것이 보증된다.

앞부하명령 및 버퍼모도마아커의 설정을 위한 명령은, 상술의 기준이 존재하는 경우에 콤비일러 프로그램에 의해 명령순서에 넣어지는 것이 유리하다.

또다른 유리한 구성은 명령 기억용량을 한층 양호하게 이용하기 위하여, 되도록이면 1개 내지 3개의 반어(半語)를 갖는 가변의 언어길이의 명령이 사용되어, 이들 반어가 서로 이어서 전어(全語)의 형태로 기억되어, 그 경우 버퍼기억장치가, 전어(全語)가 이 버퍼기억장치에 써서 넣어지지만, 그러나 명령이 위치가 올바른 명령 및 애드레스 부분을 갖는 버퍼로 부터 명령 데크오더로 공급되도록, 구성되어 있다는 것에 있다.

버퍼기억장치를 다중독해를 하는 반어기억장치로써 유리하게 구성하는 것은, 명령으로의 지연이 없는 액세스를 가능하게 함에 따라 나중에 접속된 부분어가 빠지게 또는 복수회의 액세스를 불필요로 한다.

본 발명의 이러한 동작을 구현하는 실시예를 제1도 내지 제5도에 도시하였다. 제1도에 데이터처리장치가 블록도로 표시되어 있고, 이 데이터처리장치의 데이터 및 프로그램은 주기억장치 MEM에 기억되어 있고, 이들 데이터 및 프로그램은 기억장치 데이터버스 MDB를 거쳐서 기억장치제어기구 MEMC에 관계해서 레지스터셋트 RGST로 공급됨에 따라 거기에서 2개의 데이터버스 XDB, YDB를 거쳐서 연산기구 ALU로 또는 기억장치 데이터버스 MDB로 부터 버퍼기억장치 DIBUF로, 또 이 버퍼기억장치로 부터 해독(解讀)제어되어서 명령 디코우더 IDEC로, 또 이 명령디코우더로 부터 명령제어기구 EXEC로 공급된다. 이들 명령은 레지스터 셋트 RGST와 접속되어 있는 명령 애드레스기구 PCU에 의해 연이어 명령 애드레스 신호PCS 거쳐서 버퍼기억장치 BUF로 부터 해독되어 이들의 명령신호 IS는 명령디코우더 IDEC로 공급된다.

또한 이들 명령애드레스 신호 PCS는 명령부하 회로 PPU로 공급되어 이 명령부하 회로는 다시 명령제어기구 EXEC로 부터 특별명령 실행을 위한 명령제어신호 FS를 받아 따라서 상태신호 및 제어신호, 즉 분기제어신호 BCS, 파이프라인 부하신호 PLC 및 부속의 상태신호를 애드레스파이프라인 APL의 명령제어기구 EXEC 및 기억장치제어기구 MEMG와 교환한다.

애드레스파이프라인 APL은 레지스터 부하 애드레스 RA 또는 버퍼부하 애드레스 FA를 수용해 또 이들 부하 애드레스를 레지스터 써널기 애드레스 RWA로서 레지스터 써널기 신호 RWC와 함께 또는 버퍼 써널기 애드레스 IBA로서 버퍼 써널기 신호 IBW와 함께 레지스터 셋트 RGST 또는 버퍼기억장치 IBUF로 지연되어 발한다.

이 지연은 주기억장치데이터 빼어내기 시간에 상당하며 이 주기억장치 데이터 빼어내기 시간은 기억장치 애드레스 인도와 동시에 기억장치 감시 신호 MCS를 거쳐서 개시된다. 그 때문에, 부속의 주기억장치 애드레스는 기억장치 애드레스버스 ADB를 거쳐서 연산기구 ALU 또는 명령부하회로 PFU로 부터 기억장치 애드레스 레지스터 MEMAR에 주어지며, 이 기억장치 애드레스 레지스터로 부터 주기억장치애드레스는 페이지 애드레스 버스 PAB 및 행(行)애드레스버스 RAB를 거쳐서 주기억장치 MEM으로 공급된다.

연산기구 ALU에서 산출된 결과는, 결과 데이터버스 ZDB를 거쳐서 레지스터 셋트 RGST로 되돌아 가게 되어 또는 써널기 데이터버스 WDB 및 써널기 레지스터 STDR을 거쳐서 기억장치 데이터버스 MDB로 공급되어, 또 이렇게 주기억장치로 되돌아 가게 하기 위해 기억장치 제어기구 MEMG로 공급된다.

연산기구 ALU의 제어는 명령제어신호 OCS를 거쳐서 상태신호 STS에 관계해서 행하여 진다. 뛰어넘기 명령애드레스는 명령분기의 경우에 결과 데이터버스 ZDB를 거쳐서 명령계수기구 PCU 및 명령부하회로 PFU로 보내어진다.

명령부하회로 PFU의 상세한 것이 제2도에 표시되어 있다. 회로를 통하는 데이터의 흐름은 도시 되지 않은 2개의 진도 순서에 의해 교대로 발생하게 된다. 진도 순서에 의해 트리거되는, 레지스터 및 플립플롭(flip-flops)은 제2도의 진도순서에 의해 트리거 되는 레지스터 및 플립플롭과는 부호의 최후의 「V」로 구별된다. 표시문자에 붙어있는 숫자는 레지스터 또는 가산기구의 출력단에 있어서의 결과의 2진수의 신호의 위치를 표시하고 있다. 최후의 「N」은 반전된 신호를 표시하고 있다.

표시문자의 최후 또는 최후로부터 2번째의 위치에 있는 「F」는 플립플롭인 것을 표시하고 있다. 설명중에 신호의 논리 결합을 위한 공식이 예거되어 있는 경우는, 「」 기호는 논리 AND회로를 표시하고, 「V」 기호는 논리 OR회로를 표시하고 있다. 공식중에 표시되어 있는 양은, 표시된 회로소자의 출력단에 생겨 따라서 서로 위치적으로 올바르게 결합되어서 다음의 기계 펄스에서 회로소자로 전송되어 이들 회로소자는 결과의 화살표에 응해서 표시되어 있다. 도시한 회로장치에서는 버퍼기억장치의 크기가 16비트의 64의 반어라고 가정되어 있으므로 버퍼 기억장치의 해독애드레스는 6비트의 길이이다.

명령이 전어의 형태로 묶여져서 기억되기 때문에, 써널기 애드레스 지정 때문에 장소 2 내지 6밖에 이용되고 있지 않다. 최저치의 장소는 "0"으로 표시되어 있다. 이 장소는 바이트(Bite)위치 결정을 위하여 사용되므로, 이 장소는 여기서는 기능이 없다. 버퍼기억장치를 제어하기 위하여 명령계수기 신호 PCV가 제어장치로 도입되는 명령계수기 말고, 2개의 지시레지스터, 즉 부하지시가산기 CTA와 부하지시보조 레지스터 APV를 갖는 30비트(bit)의 부하지시 레지스터 AP 및 역방향지시 가산기 CTB와 역방향 지시레지스터 BP가 이용된다. 명령버퍼 기억장치의 외부에 있는 애드레스의 분기 명령에 있어서, 명령계수기 내용 및 양 지시기는 같은 값으로 설정되어, 그 때문에 부하 멀티플렉서 MPXB, MPXB, MPXA가 AND게이트 회로 GB의 출력신호를 거쳐서 결과 데이터버스 ZDB에 접속되어, 이 출력신호는 뛰어 넘기 명령신호 BR 및 분기신호 BRCAPV의 작용을 받는다. 부하지시 레지스터 AP는 비트 2 내지 31의 주기억장치의 완전한 애드레스에 설계되어 있어, 역방향지시 레지스터 BP는 그냥 버퍼기억장치의 길이에 응해서 비트 2 내지 6에 설계되어 있다. 각 명령해독전, 명령이 이미 명령 버퍼기억장치에 넣어져 있는지 아닌지 조사된다. 그 때문에 명령애드레스신호 PCV7-2로부터 제1의 가

산기구 SUB, SUA의 지시기의 후부의 비트가 강해져 그때 명령버퍼 기억장치에 포함되어 있는 먼저 부하된 언어 COMPAV의 부수 및 보류된 언어 CMPBV의 수가 형성된다. 분기 명령이 실행되는 경우를 위하여 반어의 형태로 표시되어 있는 뛰어넘기폭 OPRV, OPMV는 제2의 산기구 SUD, SUC에서 정정숫자 1 및 명령계수신호 PCV1의 최후의 장소와 함께 산출된 언어수에 가산되므로 발생하는 잉여 SUC7, SUD7은 분기목표가 명령버퍼기억장치에 포함되어 있는지 아닌지를 표시하고 이에 의거하여 이 분기는 직접 실행되어 또는 그 주소가 이미 주소 파이프라인에 존재하는 경우는 분기가 실행되어 따라 버퍼기억장치로의 목표명령어의 기억때까지 기다려져, 그후, 이 목표 명령어는 명령다코우더에 읽혀진다.

여러가지의 분기 명령의 제어신호 및 잉여신호 DUC7, SUD7은 분기 평가회로 BRICALV, BRCHL안에서 나중에 접속된 플립플롭 BRCAF, BRCAFV를 갖는 2개의 시간적 단계로 확인되므로 출력신호 BRCAFV는 분기의 실행을 개시시켜 또는 버퍼부하의 새로운 개시를 불러 일으킨다.

이 때문에 뛰어넘기 주소는 분기 플립플롭 BRCAFV가 셋트되어 있는 경우에 명령계수기구에만 전송된다.

다른 경우에는 이 뛰어넘기 주소는 지시 레지스터 AP, BP에도 전송되어 명령해독이 개시된다.

분기 제어회로(BRICALV, BRCHL)는 상세하게 말하면 다음과 같은 결합을 포함하고 있다.

역방향 뛰어넘기 기준 OPRV0가 주어지어 또 역방향지시기의 제2의 산기구 SUD가 잉여 SUD7을 표시하고, 또 순방향 뛰어넘기 기준이 주어지고 또 순방향 지시기의 제2의 산기구 SUC가 잉여신호 SUC7을 표시하지 않고 또는 비트 6-3에 영신호 SUCZ를 표시하는 경우는, 미리 뛰어넘기 명령이 실행되어 있지 않으면, 중간분기 플립플롭 BRCAF가 셋트되어, 그것은 뛰어넘기 기준 BRANCHV에 의해 그때마다 표시된다.

논리 방정식에서는 다음과 같이된다.

((OPRVO & SUD7) v (OPROVON & (SUC7N v SUCZ)) & BRANCHVN → BRCAF

짧은 명령길이 OPR7N에 대한지의 기준이 주어지어 또 제1의 분기 플립플롭 BRCAF가 셋트되어 있던지 또는 버퍼모드마아커 MODF가 셋트되어서 순방향 뛰어넘기 OPRON의 기준이 지연 뛰어넘기 DLYBR의 기준과 함께 주어지어 있는 경우는 제2의 분기 플립플롭 BRCAFV가 셋트된다.

따라서 논리방정식은 다음과 같다.

OPR7N & (BRCAF v (MODF & OPRON & DLYBR) → BRCAFV

지연 뛰어넘기 명령은 1개의 명령이 프로그램중에서 후에 배치되는 것 같은 뛰어넘기 명령이고 이 1개의 명령은 어떤것이든 뛰어넘기 명령에 의거해서 실행된다.

버퍼모드마아커 MODE, MODFV는 제어신호 MOD를 갖는 상태처리 명령에 의해 설정되어 또는 소멸된다. 이렇게 해서 특정의 경우에 버퍼내용을 보증할 수가 있다. 1개의 순방향의 상대적 지연 뛰어넘기 명령에 있어서 버퍼모드가 존재하는 경우는 뛰어넘기 목표는 비교결과가 이 뛰어넘기 목표를 아직 외부에 있는 것을 표시하는 경우에도 버퍼에서 얻을 수 있다고 보여진다. 이에 의해 명령버퍼 기억장치 내용의 소거가 방지된다.

지연 또는 순방향 뛰어넘기의 제어기준은 명령제어 기구로 부터 보내어지는 분기제어 신호이다.

분기 플립플롭 BRCAFV의 출력신호와 등가치의 그러나 펄스단계 빨리 얻어지는 분기 제어신호 BRCADV가 명령어 전 부하회로 BRKL에 부여된다. 명령어를 앞부하 하기 위해, 부하지시기는 언어의 길이에 응해서 상승된다. 그 때문에 부하지시 가산기 CTA에 숫자 1이 가해진다. 1의 상승 또는 멀티플렉서(multiplexer)MPXA를 거친 분기 주소의 부하에 의해 부하지시기를 변경할 때마다, 새로운 부하지시기가 부하주소 FA로서 주소 파이프라인으로 전송되며, 거기에서 부하지시기는 부하과정 때문에 적시에 버퍼 기억장치로 공급된다. 버퍼 기억장치로의 명령어의 앞 부하가 그 때마다 명령어 주소보다 어느정도 먼저 행하여지는가는, 명령앞부하회로 INHSL, FETCHL, BRKL에 의해 결정된다. 앞 부하를 멈추기 위하여 부하지시 가산기 CTA에 "0(零)"이 가해진다. 앞 부하가 행해져야 할 것인가 아닌가의 결정은 제1의 앞 부하회로 INHSL로 확인되며, 이 앞부하는 앞부하된 언어 수 CMPAV가-8보다 작은가 또는 이 언어수가-8과 같고, 또 명령부하 사이클이 행해지는 경우에, 다음의 헬스 사이클에서 멈추어 진다. 게다가, 버퍼 전기준 CAFULA가 통보됨에 따라 분기 명령이 명령다코우더 내에 있는 경우에 앞부하는 멈추어지며, 이 명령 디코우더의 뛰어넘기 목표는 명령어에 있고, 이 명령어를 역 방향지시기가 지시한다. 이에 의해 뛰어넘기 목표가 부하과정에 의해 써서 바뀌어 쓰여지는 것이 방지된다. 버퍼전기준 CAFULV는 지시계 상태 BPV, APV의 차를 형성하는것에 의해, 더우기 그때 "0" 결과가 나온 경우에 제5의 산기구 SUE에서 1을 감산하는 것에 의하여 형성된다. 이 앞부하 결정논리회로 INHSL의 결과는 다음의 펄스 사이클을 위해 앞부하 플립플롭대 INHF, INHFV로 전송된다.

앞부하 결정 논리회로 INHSL의 논리회로는 다음과 같다.

((CMPAV7-2-7) & ((CMPAV-8) v FETCHV)) v (BRNCHDV & OPRVO & CAFULV &

SUDZ) → INHF.

그리고 BRNCHDV OPRVO CAFULV SUDZ RBGV 이 경우, 표시는 명령부하기준 FETCHV 및 역방향지시기의 제2의 산기구 SUD의 "0(零)" 결과신호 SUDZ를 의미한다. 역방향 지시기준 BRBEGV는 뛰어넘기 목표가, 역방향지시기에 의해 표시되는 명령어에 있는 경우에 표시한다. 앞부하기준의 확인후의 다

음의 사이클에 있어서, 앞 부하 플립플롭 1NHV가 셋트안되고, 애드레스 레지스터가 비어있고 더우기 애드레스 파이프라인 석방신호 FNFETV가 주어지며 따라서 명령페이지 착오 플립플롭 1PFV가 셋트되지 않는 경우에, 애드레스 레지스터가 부하됨에 따라서 기억장치사이클이 개시된다.

명령 부하기준 FETCHV를 생기게 하는 명령부하회로 FETCHL용의 논리식은

FNHFVN & IPFVN & FNRETV → FETCHV

이고, 그리고 이것은 다음과 같은 결과를 생기게 한다.

-부하 지시가산기 CTA가 1을 가한다.

-버퍼기억장치 전신호 CAFULV가 존재하는 경우는, 역방향 지시가산기 CTB가 1을 가한다.

-상승된 부하지시기가 부하지시레지스터 AP에 받아 드러진다.

-상승된 부하지시기가 FA의 장소 6 내지 2가 애드레스 파이프라인에 받아 드러진다.

-상승된 부하지시기가 기억장치 애드레스버스 ADB를 거쳐서 기억장치 애드레스 레지스터로 전송된다.

다음의 펄스에 의해 주기억장치 애드레스가 기억장치 애드레스 레지스터로 부터 페이지 애드레스버스 및 행애드레스버스를 거쳐서 주기억장치로 공급됨에 따라 기억장치 사이클은 이 기억장치 사이클이 분리신호 BRKF에 의해 종료되지 않는 한, 개시되어 이 분리신호는 분리회로 BRKL안에서 발생되어 따라 후속의 분리 플립플롭 BRKF에 주어진다.

분리 플립플롭 BRKF는, 애드레스 레지스터의 부하중 다음의 일이 행하여지는 경우에 셋트된다.

-기억장치 명령이 해독되어 그것이 기억장치 명령해독신호 MEMDV에 의해 통보된다.

-또는 명령이 해독되어, 이 명령이, 뛰어넘기가 실제로 행하여지는지 아닌지에 관계없이, 뛰어넘기를 발생시킬 수가 있으며, 그것은 절대 뛰어넘기 명령 BROUTDV의 해독신호에 의해 통보된다.

명령계수기에 대해서 애드레스 지정된, 1개의 반어의 명령길이를 갖는 뛰어넘기 명령은 제외되어, 이들의 뛰어넘기 명령은, 뛰어넘기 목표가 버퍼기억장치내에서 얻어지는 경우에 상대 뛰어넘기 신호 BRNCHDV에 의해 표시되어 그것은 분기신호 BRCADVN에 의해 주어진다.

-또는 뛰어넘기 명령 BRNCHDV는 뛰어넘기 목표가 버퍼기억장치 안의 명령어에 존재하는 경우에 버퍼기억장치가 가득 채워져 있는 때에는, 해독되어 이 명령어는 역방향지시기 BPV에 의해 표시되어, 그것은 역방향지시기 기준 BRBEGV에 의해 표시된다. 그렇지 않으면, 이 뛰어넘기 목표는 명령 앞부하 때에 바꾸어 쓰여져 버린다.

분리회로 BRKL의 논리회로는 다음과 같다.

FETCHV & (MEMDV v BROUTDV v (BRNCHDV & BRCADVN) v BRBEGV) → BRKF

분리 플립플롭 BRKF의 신호는 애드레스 레지스터 안의 기억장치 애드레스가 애드레스 버스에 접속되는 것을 방해해서 후에 접속된 지시 레지스터 BPV,APV로의 제1의 지시레지스터 BP,AP의 내용의 입수를 방해하고, 그런것은 도시되어 있지 않다.

완전성 시험회로 ILCL는, 제1의 반어가 버퍼기억장치 안에 애드레스 지정되는 명령이 완전히 거기서 이용되는지 아닌지를 확인한다.

부하지시가산기 SUA는 앞부하 범위에 있어서의 명령어의 부수(負數) COMPAV를 표시한다. 이 수(數)중 최대 2개의 명령어가 부하경로에 존재할 수 있다. 애드레스 파이프라인의 안에 있는 각각의 명령어수 1FPV3, 2는 애드레스파이프라인으로 부터 시험회로 ILCL에 넣어진다. 상술의 정어수 또는 부어수의 차형성(差形成)에 의해 명령쪽 착오마아커 1PFV가 셋트되어 있지 않는 경우에, 기존의 명령어의 버퍼기억장치안에 전어수 1WRDYV7-2가 생긴다.

그렇지 않는 경우에는 전어수는 1만큼 감소된다. 앞부하된 어의 부수 COMPAV 및 전어수 1WRDYV7-2가 부수이고 따라 명령쪽 착오 마아커 1PFV가 셋트되어 있는 한 전어수 1WRDYV7-2가 마이너스 10이 아닌 경우는 적어도 한개의 1언어 이용 가능성 WRDYIV가 생긴다.

적어도 1언어 이용가능성 WRDYIV가 얻어지고, 게다가 전어수 1WRDY7-2가 마이너스 1보다 작은 경우에, 또 명령쪽 착오 마아커 1PFV가 셋트됨에 따라 전어수 1WRDYV7-2가 마이너스 2가 아닌 경우에, 적어도 1개의 2어 이용가능성 WRDY2V가 생긴다.

해독된 명령길이 1LDV2, 1과 명령어의 이용가능성 WRDYIV, WRDY2V와 명령 애드레스 PCV1의 반어 애드레스 장소로 부터 명령 이용가능성신호 RDYV가 확인되어, 이 명령이용 가능성 신호의 발생때에 해독된 명령길이 1LDV2, 1이 증가분 신호 ILCV로서 명령 계수기기로 공급된다. 이것은 다음과 같은 경우이다.

-적어도 2언어가 이용가능함.

-또는 1언어가 이용 가능하며 또 명령이 늘 3개의 이용 가능한 반어를 요구하는 지연 뛰어넘기 명령이 아니고, 명령이 단 한개의 반어를 포함 또는 명령이 2개의 반어를 포함하는 경우는 제1의 반어가 어두에 놓여져 있다.

명령이 지연 뛰어넘기 명령인 경우는, 이 뛰어넘기 명령은 후속의 명령에도 완전한 이용 가능성이 있는 경우에 비로서 발하여진다. 완전한 이용가능성이 없는 경우는 명령계수기기에 영이 공급된다. 결정된 내용과 같이, 지연 뛰어넘기 명령의 명령길이와 그 다음에 이어지는 명령의 명령길이와의 합

은 다해서 최고 3개의 반어로 제한되어 있다.

완전성 시험회로는 다음과 같다.

CMPAV+IFPV3,2~IWRDYV7-2.

(CMPAV<0) & (IWRDYV7-2<0) & (IPFV & (IWRDYV7-2=-1)N~WRDYIV.

WRDYIV & (IWRDYV7-2<-1) & (IPFV & (IWRDYV7-2=-2)N~WRDY2V.

((ILDV2N ∨(ILDVIN & PCVIN) & WRDYIV & DLYVRDVN) ∨ WRDY2V~RDYV.

ILDV2, 1 & RDYV~ILCV

기호「~」는 등가기능을 나타내고 있다.

버퍼기억장치로 부터 앞부하 명령이 읽혀내어지고 있는 경우는, 이 앞부하명령으로 표시된 이 명령에 따르는 수의 반어가 버퍼기억장치를 거쳐서 얻어질 때까지 후속의 명령의 해독 및 실행은 정지한다. 오퍼레이 손 코오도장소 OPRV3-0에 반어의 수가 코오드화 되어 있으므로, 멀티플렉서 MPXC는 앞부하 명령신호 OPLD에 의해 뛰어 넘기 폭신호 OPRV의 제6 내지 제1의 장소로 부터 이 뛰어넘기 폭신호의 장소 3 내지 0으로 변환, 다른 입력단에 "0"에 공급된다.

멀티플렉서 출력신호는 제2의 가산기구 SUC에 공급된다. 그것으로 부터 부하명령 송신회로 FENDL에 있어서 가산기구 잉여신호 SUC7N 및 명령쪽 착오 플립플롭신호 IPFV가 OR회로에 집적정리되어 따라서 그 출력신호에 의해 부하 명령종료 플립플롭FENDL가 셋트된다.

명령종료가 명령페이지 착오신호 IPFV에 의해 유도되는 경우는 명령실행은, 완전한 명령이 존재하는 한 속행된다. 이미 그럴재 않은 경우는 페이지 착오처리가 행하여 진다.

따라서 논리식은 다음과 같다.

SUC7N, IPFV→FENDF

부하명령 종료에 의해, 적어도 부하명령으로 표시되는 수의 반어(半語)가 버퍼기억장치 안에서 얻어져 따라서 다음의 명령이 해독 때문에 명령디코우더에 부하되지 않으면 안된다는 것이 통보된다.

버퍼모드마이커 MODF는 상태 레지스터의 구성요소이고, 이 상태 레지스터는 프로그램 감시하에 변화 가능하다.

이 버퍼 모드마이커의 상태는 유리한 것에 서브프로그램 뛰어 넘기 또는 예외 처리때에 구하여져 또 부속의 역방향 뛰어 넘기때에 다시 셋트된다.

버퍼 모드 마이커가 셋트되어있는 경우는, 1반어(半語)의 명령길이를 갖는 자연 뛰어넘기 명령에 의한 순방향 뛰어넘기 때에 뛰어넘기 목표가 분기 제어회로의 출력신호에 관계없이 버퍼기억장치 안에서 얻어진다고 볼수 있다.

이 분기는 부하지시기의 상태를 넘어서, 지시기 AP, BP가 새로이 셋트될 필요없이 행하여 지고, 그리고 뛰어넘기 애드레스에 속하는 명령어가 배워 기억장치에 부하되어서 완전성시험이 행하여져 따라서 이용 가능성이 얻어지는 경우에 비로서 명령이 해독을 위해 뛰어들기 위치에서 발해진다.

버퍼모드마이커는 이 경우 셋프된 채 그대로이다.

다른 모든 분기 명령에 있어서, 즉 실행을 위해 보내어지는 자연되지 않는 뛰어넘기 명령에 있어서, 버퍼모드마이커는 소거된다. 명령부하 기억싸이클에 있어서, 페이지 착오가 기억제어기구로 부터 통보되는 경우에, 명령페이지 착오 마이커 IPF, IPFV는 셋트된다. 그것에 의거하여 애드레스 파이프라인으로의 기입은 소거되어 따라서 명령앞 부하는 정지된다.

명령이 완전하게는 해독단계에 존재하지 않고 또 애드레스 파이프 라인 애드레스 기입이 없기 때문에 명령어가 이미 기억장치로부터 얻을 수 없고 또 먼저의 명령이 자연되지 않는 분기는 실행안되고, 즉 명령이 해독단계에서 실제로 사용되는 경우에 비로서 프로그램은 페이지 착오처리에 분기한다.

목표가 버퍼기억장치 안에서는 얻어지지 않는 각 분기 명령은 명령페이지 착오 마이커 IPF, IPFV를 소거시킨다. 제3도에 명령계수기구 PCU가 개략적으로 표시되어 있다. 명령 애드레스 레지스터 PC 및 후속레지스터PCV는 명령 애드레스를 포함하고 있으므로, 이들로부터 적당한 펄스시간에 있어서 명령 애드레스 신호 PCS가 버퍼기억장치 및 명령부하회로에 공급된다.

게다가, 명령애드레스 신호 PCS는 각각의 증가분 ILCV가 각각의 명령 길이에 응해서 공급되는 명령 애드레스 가산기 PCT를 거쳐서, 분기 애드레스가결과 데이터버스 ZDB로 부터 기억되지 않는 경우에, 명령애드레스 레지스터 PC의 입력단으로 되돌려진다.

먼저의 명령애드레스는 또한 기억 레지스터 OCM에 입수되어 거기로 부터 명령애드레스는 특별한 프로그램으로 부터 해독이 가능하다.

제4고는 명령버퍼기억장치 1BUF의 유리한 구성의 블록도이고,이 명령버퍼기억장치는 16버트 63반어 용의 셀 Z0,0 : ; Z63,15로 구성되어 있다. 명령순서의 기억은 전어(全語)로 행하여 지고, 데이터는 그때마다 기억장치 데이터버스 MDB로 부터 써낼기 데이터선로 DO, DGN ; D31, D31N에 주어져 따라서 부속의 명령 써낼기 애드레스 1BA는 애드레스 파이프라인 APL로 부터 써

널기 애드레스디코우더 DV로 유도되어, 이 써널기 애드레스 디코우더는 명령 써 널기 신호 1BW가 부여되어 지고 있는 경우에, 1개의 전언어가 기억되는 2개의 인정하는 버퍼기억장치행을 동시에 32의 써 널기 디코우더선로 WE0,...WE31의 각각에 트리거한다.

버퍼기억장치 1BUF로부터의 명령을 읽어내는 것은, 읽어내기 디코우더 ER을 거쳐서, 읽어내기 석방 신호 ER에 의해 제어되고, 버퍼 읽어내기 애드레스 PC6-1로 행하여지고, 이 읽어내기 디코우더는 64의 읽어내기 디코우더 출력단 RE,...RE63을 갖고 있고, 이들의 읽어내기 디코우더 출력단은 각각 애드레스 지정된 같은 이름의 반어행자체 및 후속의 양 반어행에, 각각 제1, 제2 또는 제3의 읽어내기 회로에 순환적으로 대응시켜져서 작용한다.

기억장치 셀 Z0,0 :Z63,15의 부속의 출력사신호는, 열마다 3개의 번어레지스터 또는 출력증폭기 OR0,OR15, PR0,PR15 ; QR0,QR15로 유도되므로, 제1의 번어는 오퍼레이션 코우드 레지스터 OR0,OR15로 기억됨에 따라 제2 및 제3의 번어는 각각 부분 애드레스 레지스터 PR0,PR15, QR0,QR15로 기억되며, 이들은 명령신호 IS를 명령 디코우더로 보낸다. m번째의 열 및 n번째의 행의 기억 장치셀 Zm,n의 적절한 셀구조가 제5도에 표시되어 있다.

기억장치 셀회로는, 약하게 피이드 백되는 2개의 인버터 V₁, V₂ 로 되고, 이들의 인버터에 W번째의 언어의 써널기 디코우더선로 WE_w 가 작동되는 때에, 또한 데이터선로 Dm, DmN가 작동되는 때에, AND게이트를 형성하는 입력 트랜지스터 TE1, TE2에 의해 소정의 상태가 써 넣어진다.

그때마다의 기억장치상태는 출력트랜지스터 TA로부터 평행해서 동시에 3개의 읽어내기 트랜지스터 TL1, TL2, TL3에 공급되며, 이들의 읽어내기 트랜지스터는 각각 행마다에 대응시키어지며, 읽어내기 애드레스로 동일 이름으로 또는 1개 또는 2개의 애드레스만큼 낮은, 애드레스 지정되어 있는 읽어내기 디코우더 출력단 REn, REn-1, REn-2중 1개와 제어출력단측에서 접속되어 있고, 또 출력단측에서 대응시켜져서 3개의 열 버스와 접속되어 있고, 이들의 열버스는 각각 오퍼레이션 코우드 레지스터 및 부분 애드레스 레지스터의 열마다에 대응되어진 레지스터장소, ORm, PRm, QRm의 입력단으로 통해 있다.

이들의 열버스는 각각 부하(負荷)트랜지스터 TH를 거쳐서, 읽어내기 석방신호 ER에 의해 제어되어서, 전압선로 +U와 접속되어 있다.

따라서, 각 명령은 번어 어드레스 지정가능성에 의해, 전어형태 명령정보의 기억에 관해서 버퍼 기억장치내의 상태에 관계없이, 직접 바른 대응에 있어서 명령 레지스터로 해독될 수 있다.

레지스터 ORm, PRm, QRm의 대신에 증폭기 행도 설치할 수가 있다.

입력 및 출력 트랜지스터 TE1, TA, TL1은 되도록 MOS-FET트랜지스터에 있는 것이 바람직하다.

버퍼기억장치는 개개에, 또는 되도록 제어회로 및 애드레스 파이프라인 및 연산 및 제어기구와 함께, 되도록 CMOS기술로 제조 되어있는 집적회로에 배치된다.

통상의 시험혼합 프로그램에 의한 트레이션에 의해 뛰어넘기 목표의 대부분, 즉 90%이상이 버퍼 기억장치 안에서 얻어지는 것이 알게되었다. 이 경우, 64의 번어의 용량 및 상술의 제어 장치를 갖인 버퍼 기억장치가 설치되었다. 도시한 제어회로를 등가논리 회로로서 구성하는 것이 가능케되고, 이 경우는 예를들면 제1 및 제2의 가산기구의 순서를 바꿀수 있고, 1 또는 역방향지시기 대신에 보류용량계수기를 사용할 수가 있다.

(57) 청구의 범위

청구항 1

프로그램경과에 따라 연속적으로 높아져야 할 명령애드레스(BRA)에 대해서 최대소정차만큼 이 명령 애드레스보다 선행해서 높아지 부하에 응해서, 명령어가주기억장치(MEM)로 부터 명령버퍼기억장치(1BUF)의 안으로 연이어 부하되어 이 명령버퍼기억장치로 부터 명령어, 명령애드레스(BRA)에 의해 나중애 애드레스 지정되어서 실행을 위해 명령디코우더(1BUF)로 공급되는 데이터처리 장치에 있는 명령 버퍼기억장치의 제어방법에 있어서, 명령버퍼기억장치(1BUF)가 연이어 부하되어 이미 실행되어 또는 뛰어 넘겨진 명령어가 남아있는 명령보류기억장치만큼 확대되어 있어, 프로그램경과중에 분기 명령의 명령어어드레스부에 생기는 분기애드레스가 명령버퍼기억장치(1BUF)에 포함되어 있는 즉, 앞에 부하되어서 보류된 명령어의 각각의 애드레스범위와 비교되어 분기 애드레스가 이 애드레스 범위안에 있는 경우는 이 분기 애드레스에 의해 애드레스 저장된 명령어 직접 명령버퍼기억장치(1BUF)로부터 읽어내고, 그리고 분기 애드레스가 상술의 애드레스 범위 밖에 있는 경우는 이 분기 애드레스가 새로운 부하 지시기로써 인수되어서 오래된 애드레스 범위가 소거되는 것을 특징으로 하는 데이터처리장치에서의 명령버퍼기억장치의 제어방법.

청구항 2

제1항에 있어서, 부하지시기가 증가되기전에 가장 멀리있는 명령어의 후부를 나타내는 보류지시기(BP)와 비교되고 이 비교가 버퍼기억장치전신호(CAFULV)를 발생할 경우 보류지시기(BP)를 위드애드레스 위치에서 1씩 증가시키는 것을 특징으로하는 데이터처리장치에서의 명령버퍼기억장치의 제어방법.

청구항 3

제1항에 있어서, 애드레스 파이프라인(APL)이 주기억장치(MEM)로 부터 배내야할 명령어 및 레지스터 세트(RGST)로 공급되어야 할 데이터의 애드레스(FA,BA)를 위해 사용되어,명령어 애드레스(FA)에 부속하는 특정오 애드레스 파이프라인(APL)에 보내져, 이들 특징에 관계해서 애드레스 파이프라인(AOL)안의 명령어 애드레스의 존재가 비교할 때에 고려되는 것을 특징으로 하는 데이터처리장치에서

의 명령버퍼기억장치의 제어방법.

청구항 4

제1항에 있어서, 명령버퍼기억장치(IBUF)의 앞의 부하가 명령어 또 명령반어의 앞의 부하에 표시된 수(APRV3-0)에 응해서 앞의 부하에 관계해서 제어되어, 그 때문에 명령 애드레스(PCV7-2)와 각각의 부하지시 애드레스(APL)와 차(CMPAV)가, 표시된 수(OPRV3-0)와 계속 비교되어, 이렇게 해서 확인 된 앞의 부하끝이 명령 디코우더(IDEC)에 생기는 명령을 실행하기 위해 내는 것을 특징으로 하는 데이터처리장치에서의 명령버퍼기억장치의 제어방법.

청구항 5

제4항에 있어서, 앞의 부하 명령이 소정수의 주기억장장치 데이터 명령이 추종하여서 또는 몇번이고 통해야 할 프로그램 루우프가 추종하는 장소에서 컴파일러(Compiler)에 의해 제어되어서 프로그램에 입력되어, 이 프로그램루우프의 길이가 최대보류버퍼기억장치의 크기에 일치하여 이 프로그램루우프의 루우프시단(始般)의 뒤에, 소정의 범위내에서, 예를들면 약단의 명령어 또는 명령의 범위내에서, 루우프시단의 뒤에 있는 한, 루우프 삽입점이 있는 것을 특징으로 하는 데이터처리장치에서의 명령 버퍼기억장치의 제어방법.

청구항 6

제1항에 있어서, 명령에 관계해서 버퍼모드마아카(Buffer Mode Marker)(MODF)가 설정가능 및 소거가능하고 또 지연 하지 않는 뛰어넘는 명령에 의해 소거되어, 이 버퍼모드마아카를 설정할때에, 반어 길이의 지연넘어 뛰기 명령의 분기애드레스가 새로운 부하지시기로써 인수되지 않고 애드레스범위가 소거되지 않고, 분기애드레스가 명령계수기에 부하되어, 그 결과, 이에 애드레스지정된 명령이, 이 명령의 이용 가능성이 버퍼에 의해 확인 된 경우, 디코우딩을 위해 항상 나타나는 것을 특징으로 하는 데이터처리장치에서의 명령버퍼기억장치의 제어방법.

청구항 7

제6항에 있어서, 버퍼모드마아카(MODF)를 셋트하기 위한 명령이, 컴파일러에 의해 제어되어서, 길이가 최대보류 버퍼기억장치의 크기에 일치하는, 몇번이고 통해야 할 프로그램루우프의 안에, 루우프 안의 뛰어넘는 목표를 위한 순방향(順方向)을 뛰어 넘는 명령이 포함되어 있는 곳에서 프로그램에 입력되는 것을 특징으로 하는 데이터처리장치에서의 명령버퍼기억장치의 제어방법.

청구항 8

제6항 또는 제7항에 있어서, 서어브프로그램 및 끼어들기 프로그램을 개시할 때에, 퍼모드마아카(MODF)의 상태가 구제되어 이들 프로그램이 끝날때에 재생되는 것을 특징으로 하는 데이터처리장치에서의 명령 버퍼기억장치의 제어방법.

청구항 9

제1항에 있어서, 여러가지 명령이, 예를들면 1개 내지 3개의 명령어 부분, 예를들면 반어(半語)의 서로다른 명령길이를 갖고 이들이 결정된 길이의 명령어의 형태로 서로 연속으로 기억되어 각 명령 실행에 앞서 우선 각 명령의 제1의 경우에 따라서는 제2의, 명령어 부분인 오퍼레이션부가 명령길이에 관해서 해독되어서 명령에 속하는 명령버퍼기억장치(IBUF)및 따라서는 애드레스파이프라인(APL) 안의 명령어부분의 완전한 이용가능성이 확인되어 각각의 명령에 속하는 모든 명령어부분이 이용될 수 있어서 명령디코우더(IDEC)로 전송되어서 비로서 명령이 실행되어, 그후 명령애드레스가 명령길에만큼 증대되는 것을 특징으로 하는 데이터처리장치에서의 명령버퍼기억장치의 제어방법.

청구항 10

제9항에 있어서, 3개의 반어(半語)의 최대 명령길이 및 2개의 전어(全語)의 파이프라인 용량에 있어서, 이용가능성의 확인이 파이프라인 안에 있는 명령어를 고려해서 1어(語)또는 2어(語)의 이용가능성이 확인됨에 따라 완전한 이용가능성이, 적어도 2어(語)이용가능성이 얻어지던가 또는 1어(語)이용가능성이 얻어짐에 따라 명령이 3개보다 적은 반어(半語)를 포함함에 따라 "0(零)"에 의해 반어 애드레스 장소에서 통보되는 제1의 반어가 전어(全語)의시작점에 높여져 또는 명령길이가 유일한 명령반어(半語)인 경우에 표시되는 것을 특징으로하는 데이터처리장치에서의 명령버퍼기억장치의 제어방법.

청구항 11

제9항에 있어서, 앞의 부하명령에, 앞에 부하 되어야 할 명령반어(半語)의 수가 지정됨에 따라 이에 응해서, 지정된 명령반어(命令半語)가 거기에서 얻어지는 것과 같은 수의 전어(全語)가 명령버퍼기억장치(IBUF)에 부하되는것을 특징으로 하는 데이터처리장치에서의 명령버퍼기억장치의 제어방법.

청구항 12

제9항 내지 제12항 중 어느 한항에 있어서, 명령이 종류 중 한개가 지연상태의 뛰어넘는 명령이며, 이 뛰어넘는 명령후에 각각 한개의 명령이 마련되어, 이들 명령의 명령길이가 다해서 최대 3개의 반어(半語)에 달하고 이와같은 지연 뛰어넘는 명령에 완전한 이용가능성이, 이들 3개의 반어(半語)가 이용가능한 경우는 늘 확인 된 것으로 보여지고 이에 의해 나중에 설정된 명령이, 뛰어넘는 명령에 의해 분기가 행하여지는 경우에도, 늘 뛰어넘는 명령에 의해 실행되는 것을 특징으로 하는, 데이터 처리장치에 있는 명령버퍼기억장치의 제어방법.

청구항 13

제1항에 있어서, 주기억장치(MEM)의 쪽(page)조직을 갖고, 이 쪽조직에 의해 주기억장치(MEM)로 공급되는 명령어주소(ADB)의 1개가 주기억장치(MEM)안에 현재 존재하지 않는 쪽을 지적하는 경우에 명령쪽착오신호가 생겨지게되어 이에 의해동시에 어드레스 파이프라인(APL)안에 존재하는 명령어주소가 소거됨에 따라 그에 응해서 명령실행이 행하여져, 그에 의해 명령 쪽 착오가 마아커(IPF)가 세트되어, 이 명령쪽 착오마아커에 관계해서 다른 앞부하가 멈추어져서 명령버퍼기억장치(IBUF)안에서는 얻을수 없는 명령어주소로 분기 명령이 실행되는 경우에 명령쪽착오 마아커(IPF)가 소거되어서, 이용되는 실행되어야 할 최후의 명령이 분기 명령은 아니고 도 명령쪽착오 마아커(IPF)가 아직 세트되어 있는 경우에 명령쪽 착오처리로의 분기가 행하여 지는 것을 특징으로 하는 데이터처리장치에서의 명령 버퍼기억장치의 제어방법.

청구항 14

명령어가 주기억장치(MEM)으로부터, 소정의최대앞 부하어수(語數)만큼 명령어주소보아 선행해서, 끊임없이 부하지시기가산기(CTA)로 증대되는 부하지시레지스터(AP,APV)안의 부하지시기에 의해 제어되어서, 부하되어 또 명령계수기구(PCU)안의 명령어주소에 의해 제어되어서, 프로그램 경과중에 읽혀내어지고 또 명령데코-더(DEC)전송되는 데이터처리장치에서의 명령버퍼기억장치(IBUF)를 갖는 회로장치에 있어서, 명령 버퍼기억장치(IBUF)가 명령보류기억장치를 갖고, 이 명령보류기억장치 안에, 이미 실행된 명령 또는 연속적으로 기억되어서 넘어뛰는 명령어가 남아있고, 이 명령보류기억장치의 시작을 역방향 지시레지스터(BP,BPV)로 된 역방향지시기가 지적하고, 명령어주소(PCV7-2)가 부하지시기 및 역방향지시기와 함께 제1의 가산기구(SUA,SUB)로 감해져서 이들의 합이 제2의 가산기구(SUS, SUD)에서 분기 명령의 뛰어넘는 폭(OPV6-1)및 정정 10이 가(加)해져서 이들 합신호가분기 제어회로(BRCALV, BRCHL)로 평가되어 분기 어드레스가 가산기구가 넘침(SUC7,XUD7)을 표시 또는 부하지시기 가산기구(SUC)가 “0(零)” 결과(SUCZ)를 표시하는가에 관계해서, 버퍼읽어내기 어드레스로써 사용되고, 그렇지 않을 경우는 분기 어드레스가 부하지시기 레지스터(AP)및 역방향지시레지스터(BP)및 명령계수기구(PCU)에 넣어져서, 버퍼 기억장치부하가 주기억장치(MEM)로부터 개시되는 것을 특징으로하는 데이터처리장치에서의 명령버퍼기억장치의 제회로.

청구항 15

제14항에 있어서, 부하지시레지스터(AP,APV)가 부하지시기가산기(CTA)와 함께, 떠는 역방향지시 레지스터(VP,BPV)가 역방향지시가산기(CIB)와 함께 명령버퍼기억장치(IBUF)의 예를들면 64의 반어(半語)의 최대용량을 범으로하여 작동되어 또 부하지시기가 증대하기 전에 부하지시기 및 역방향시기로 부터의 정정 10이 제3의 가산기구(SDE)에서 감해져서 이 “0(零)” 출력이 초대용량(CAFULV)에 도달한 것을 통보하는 경우, 역방향 지시기도 역방향지시기가산기(CTB)를 거쳐서 상승되는 것을 특징으로 하는 데이터처리장치에서의 명령버퍼기억장치를 갖는 제어장치.

청구항 16

제14항 또는 제15항에 있어서, 부하어드레스지시기(FA)가 어드레스파이프라인(APL)을 거쳐서 명령버퍼기억장치(IBUF)로 인도되어, 이 어드레스파이프라인의 용량이 주기억장치(MEM)의 액세스타임(받는 시간)에 맞추어 정해져 있고, 그래서 이 어드레스파이프라인으로 부터 그 정도의 명령어수(IFPV3, 2)가 완전성 시험회로(ILCL)로 공급되어, 이 완전성 시험회로의 출력신호(ILCV)가 명령 어드레스로부터 어드레스 지정된 명령버퍼기억장치(IBUF)안의 명령의 완전한 이용가능성을 표시해서 각각의 명령 길이만큼 명령어주소를 증대시키기 위하여 명령계수기구(PCU)를 구동하는 것을 특징으로 하는 데이터 처리장치에서의 명령버퍼기억장치의 제어회로.

청구항 17

제14항에 있어서, 앞부하어수(語數)가 특정의 수, 예를들면 8이고, 또는 앞부하 명령기준(OPLD)에 의해 규정가능한 앞부하어수(OPRV3-0)이고, 이 앞부하어수가 멀티플렉서(mult -plexer)(MPXC)를 거쳐서, 앞부하 명령기준(OPLD)기에 의해 제어되어서 부하지시기의 제2의 가산기구(SUC)로 공급되어 이 부하지시기의 넘치는 신호(SUC7)가 부하 명령전송회로(FENDL)로 평가되어, 명령버퍼기억장치(IBUF)의 부하가상술의 넘치는 신호(SUC7)의 발생까지 행하여 지고, 그 후, 명령어주소에 의해 표시된 다음의 명령의 읽어내기 및 실행이 행하여지는 것을 특징으로하는, 데이터 처리장치에서의 명령버퍼기억장치를 특징으로 하는 데이터 처리장치에서의 명령버퍼기억장치의 제어회로.

청구항 18

제14항에 있어서, 버퍼모드마아커(HODE, MODFV)가 명령에 의해 설정가능 및 소거가능하고 또 지연하지 않는 뛰어넘는 명령의 제어신호에 의해 소거됨에 따라 버퍼모드마아커(MODF,MODFV)의 상태가 분기제어회로(BRCALV, BRCHL)로 공급되어, 이 분기제어회로가 버퍼모드마아커의 설정때에 1개의 반어(半語)의 명령길이를 갖는 지연순방향 뛰어넘기에 있어서, 늘 뛰어넘는 목표로 버퍼기억장치안에서 얻어지는 것으로하고 통보하는 것을 특징으로하는, 데이터처리장치에서의 명령버퍼기억장치의 제어회로.

청구항 19

제14항에 있어서, 부하지시 어드레스를 갖는 명령버퍼기억장치(IBUF)에 2개의 반어(半語)가 전어(全語)어드레스지정 되어서 써낼 수 있고 도 명령어주소를 갖는 명령버퍼기억장치로부터 3개의 반어가 반어어드레스 지정되어서 읽어낼 수 있는 것을 특징으로 하는, 데이터처리장치에서의 명령버퍼기억장치의 제어회로.

청구항 20

제19항에 있어서 명령디코우더(DEC)에 있어서, 제1의 명령반어 및 경우에 따라서는 제2의 명령 반어로 부터 1개의 명령길이(ILDV2,1)가 해독되어, 이 명령길이가 완전성 시험회로(ILCL)로 공급됨에

따라 거기서 평가되고, 명령의 완전성이 적어도 2개의 말이 이용될 수도 있고, 또는 1개의 말이 될 수 있고, 또 이 명령이 지연하지 않는 뛰어넘는 명령이 아니고, 또 이 명령이 단 한개의 바어를 포함하느냐, 혹은 이 명령이 2개의 바어를 포함하는 경우에 제1의 바어가 어두(語頭)에 놓여지는 경우에, 주어진 것으로 보이며, 그때 제1의 명령반어의 위치가 명령전어에 관해서 명령계수기구(PCU)의 반어애드레스장수(PCB1)에 관계해서 평가됨에 따라 완전성이 부여되고 있는 경우에, 명령길이가 증가분(ILCV)으로서 명령계수기구로 공급되는 것을 특징으로 하는 데이터처리장치에서의 명령버퍼기억장치의 제어회로.

청구항 21

제20항에 있어서, 명령디코우더(IDE)에 있어서, 지연 뛰어넘는 신호(DLYBRV, DLYBR)가 해독되어, 이 지연 뛰어넘는 신호에 의해 3개의 반어의 명령길이가 완전성 시험 때에 평가되는 것을 특징으로 하는, 데이터처리장치에서의 명령버퍼기억장치의 제어회로.

청구항 22

제19항에 있어서, 명령버퍼기억장치(IBUF)가 집적회로 또는 이와같은 집적회로의 일부이고, 이 집적 회로에 있어서 셀(cell)(Zm,n)이 반어 길이의 n행 및 n열에 배치되어, 이 반어길이의 행에 각각 2개의 인정하는 행이 써넣는 애드레스 선로(WEV)에 의해 써넣는 애드레스디코우더(DW)의 출력단과 접속 되어 이 써넣는 애드레스디코우더가 써넣는 제어신호(IBW)에 의해 제어되어서 출력신호를 발하고, 또 열을 이루고 배치된 데이터선로(Dn,DnN)가 써넣는 AED회로(TE1,TE2)를 거쳐서 접속되어서, 이들 데이터선로가 각각 쌍안정기억소자(V1,V2)로의 이진 셀상태를 인수해서 이 기억소자의 출력단에 각각 3개의 출력 AND 게이트(TL1, TL2, TL3)가 접속되어, 이들 출력 AND게이트가 출력 단측에서 열을 이루고 와이어아드 OR회로 결집되고, 이렇게 해서 출력단으로 인도되어 또 이들 출력 AND게이트의 다른 입력단이 행을 이루어서 읽어내는 디코우더(OR)의 읽어내는 출력선로(REn,REn-1,REn-2)에 의해 인접해서 순환적으로 1개의 행 또는 2개의 행만큼 미끄러져 발동되는 것을 특징으로하는 데이터처리 장치에서의 명령버퍼기억장치의 제어회로.

청구항 23

제22항에 있어서, 써넣는 AND회로(TE1,TE2)가 MOS-FET트랜지스터이고, 이들 MOS -FT 트랜지스터의 게이트전극이 써넣는 디코우더선로(WEV)와 접속되어 있는 것을 특징으로하는, 데이터처리장치에서의 명령버퍼기억장치의 제어회로.

청구항 24

제22항에 있어서, 쌍안정기억소자(V1,V2)가 2개의 인버터터 상호에 피이드백(feedback) 된 장치이며, 이들 인버터터의 피이드백이 써넣는 AND회로(TE1,TE2)에 의한 구동보다 약한 것을 특징으로 하는 데이터처리장치에서의 명령버퍼기억장치의 제어회로.

청구항 25

제22항, 제23항 또는 제25항에 있어서 쌍안정기억소자(V1,V2)에 의해 MOS-FET 트랜지스터(TA)가 제어되어 이 MOS-FET트랜지스터의 출력이 다른 3개의 MOS-FET 트랜지스터(TL1, TL2, 5L3)로 공급되고, 이들 MOS-FET 트랜지스터 출력 AND 게이트를 형성하여 부속의 읽어내는 디코우더 출력선로(REn, REn-1, REn-2)와 대응시켜서 접속되어서 열을 이루어 서로 또, 읽어내는 석방신호(RE)에 의해 제어 되는 부하트랜지스터(TH)에 의해 열을 이루어 전압선로(+U)와 접속되어 또 출력단으로 인도되는 것을 특징으로 하는 데이터처리 장치에서의 열열버퍼기억장치의 제어회로.

청구항 26

제25항에 있어서, 출력단에 출력신호를 유지 또는 증폭하는 레지스터셋트 또는 증폭기가 각각 3개의 반어 때문에 배치되어 있는 것을 특징으로 하는, 데이터처리장치에서의 명령버퍼기억장치의 제어회로.

청구항 27

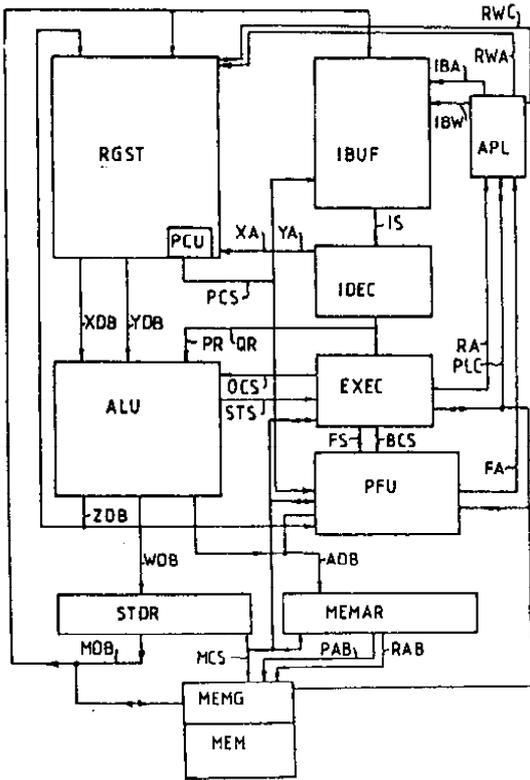
제22항에 있어서, 명령버퍼기억장치(IBUF) 명령부하회로(PFU) 및 되도록 애드레스파이프라인(APL) 및 연산검제어기가 집적회로에 기억되어 있는 것을 특징으로하는, 데이터처리장치에서의 명령버퍼 기억장치의 제어회로.

청구항 28

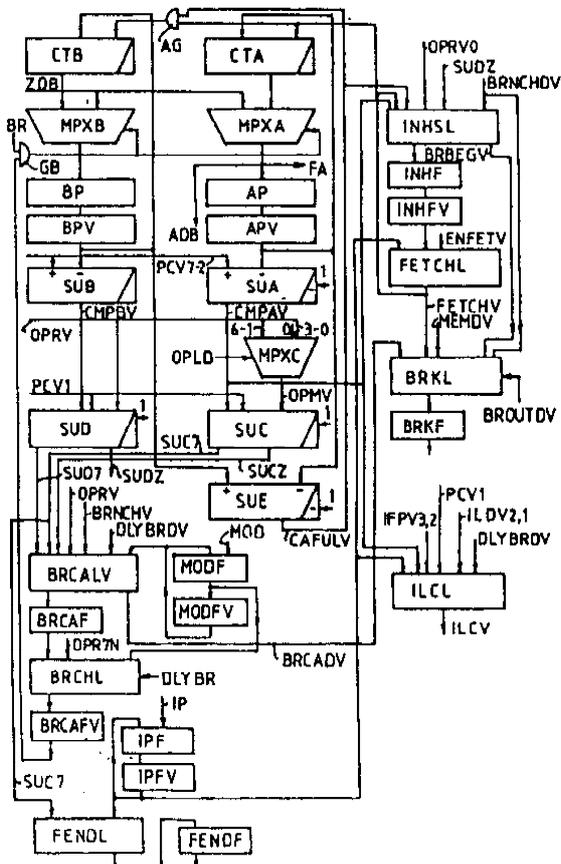
제27항에 있어서, 집적회로가 CMOS기술로 제조되어 있는 것을 특징으로 하는 데이터처리기억장치에서의 명령버퍼기억장치의 제어회로.

도면

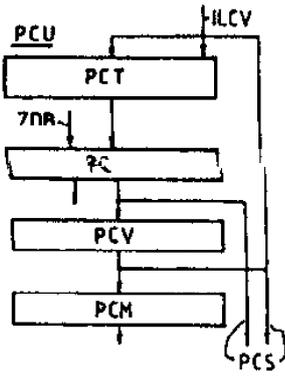
도면1



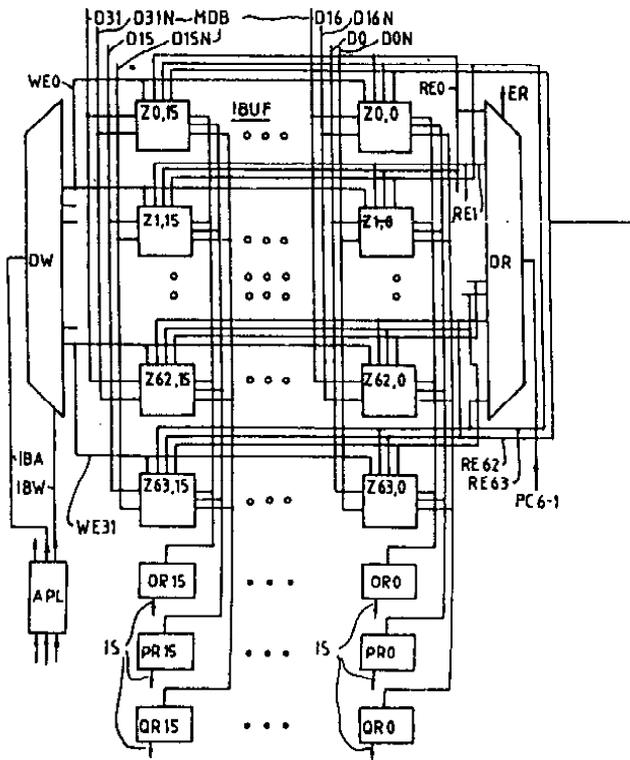
도면2



도면3



도면4



도면5

