

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 6 月 15 日 (15.06.2017)



(10) 国际公布号
WO 2017/096649 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01)
- (21) 国际申请号: PCT/CN2015/098964
- (22) 国际申请日: 2015 年 12 月 25 日 (25.12.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510894818.7 2015 年 12 月 7 日 (07.12.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 徐洪远 (XU, Hongyuan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL

PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: ARRAY SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 阵列基板及其制造方法

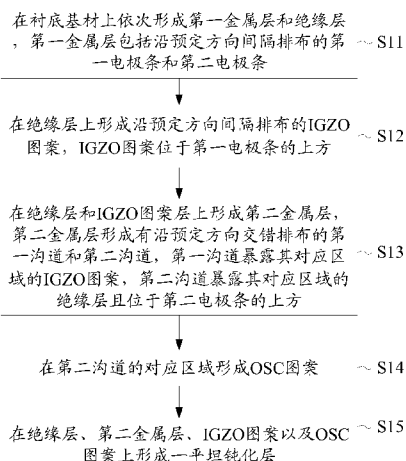


图 1

(57) Abstract: An array substrate and a method for manufacturing same. IGZO patterns (25) as well as first electrode bars (221), first channels (263) and a second metal layer (26) in regions corresponding to the IGZO patterns (25) form a first transistor (M1) of a CMOS phase inverter (30); OSC patterns (27) as well as second electrode bars (222), second channels (264) and the second metal layer (26) in regions corresponding to the OSC patterns (27) form a second transistor (M2) of the CMOS phase inverter (30). Therefore, a CMOS phase inverter (30) or a CMOS ring oscillator (40) of an array substrate can be manufactured based on IGZO and OSC.

(57) 摘要: 一种阵列基板及其制造方法, 由 IGZO 图案 (25) 及其对应区域的第一电极条 (221)、第一沟道 (263) 和第二金属层 (26) 形成 CMOS 反相器 (30) 的第一晶体管 (M1)、由 OSC 图案 (27) 及其对应区域的第二电极条 (222)、第二沟道 (264) 和第二金属层 (26) 形成 CMOS 反相器 (30) 的第二晶体管 (M2), 从而实现基于 IGZO 和 OSC 制造阵列基板的 CMOS 反相器 (30) 或 CMOS 环形振荡器 (40)。

S11 Form a first metal layer and an insulation layer on a base substrate in sequence, wherein the first metal layer comprises first electrode bars and second electrode bars that are arranged at intervals in a predetermined direction
S12 Form IGZO patterns that are arranged at intervals in a predetermined direction on the insulation layer, wherein the IGZO patterns are located above the first electrode bars
S13 Form a second metal layer on the insulation layer and the IGZO pattern layer, wherein first channels and second channels that are arranged alternately in a predetermined direction are formed on the second metal layer, the IGZO patterns in regions corresponding to the first channels are exposed by the first channels, the insulation layer in regions corresponding to the second channels is exposed by the second channels, and the second channels are located above the second electrode bars
S14 Form OSC patterns in regions corresponding to the second channels
S15 Form a flat passivation layer on the insulation layer, the second metal layer, the IGZO patterns, and the OSC patterns



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

阵列基板及其制造方法

【技术领域】

本发明涉及显示技术领域，具体涉及一种阵列基板及其制造方法。

【背景技术】

在 LCD (Liquid Crystal Display, 液晶显示器) 的结构设计中，由多个 CMOS (Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体) 反相器构成的 CMOS 环形振荡器用于产生电路中的时钟信号。与传统的 NMOS 型反相器和 PMOS 型反相器相比，CMOS 反相器由一个 P 型 MOS 晶体管和一个 N 型 MOS 晶体管串联组成，其中 P 型 MOS 晶体管作为负载管，N 型 MOS 晶体管作为输入管，并且两个 MOS 晶体管中的一个总是截止的，因此这种配置可以大幅降低功耗。另外，CMOS 反相器的电阻较低，其处理速率也能得到很好的提高。

当前，业界普遍采用 IGZO (Indium Gallium Zinc Oxide, 铟镓锌氧化物) 制备 TFT (Thin Film Transistor, 薄膜晶体管) 的非晶态氧化半导体图案 (Amorphous Oxide Semiconductor, AOS)，并且 OSC (Organic Semiconductor, 有机半导体) 是一种由小分子或高分子聚合物组成的有机材料，具有可饶、制程成本低的特点，广泛应用于柔性显示器、电子皮肤等领域，因此如何基于 IGZO 和 OSC 制造 CMOS 反相器或 CMOS 环形振荡器是业界在改良 LCD 时需要解决的问题。

【发明内容】

有鉴于此，本发明提供一种阵列基板及其制造方法，能够基于 IGZO 和 OSC 制造 CMOS 反相器或 CMOS 环形振荡器。

本发明提供的一种阵列基板的制造方法，包括：在衬底基材上依次形成第一金属层沿预定方向交错排布的公共电极和绝缘层，第一金属层包括沿预定方向间隔排布的第一电极条和第二电极条，每一公共电极位于相邻的第一电极条和第二电极条之间，公共电极及其对应区域的第二金属层和绝缘层形成一电容；在绝缘层上形成沿预定方向间隔排布的 IGZO 图案，

IGZO 图案位于第一电极条的上方；在绝缘层和 IGZO 图案层上形成第二金属层，第二金属层形成有沿预定方向交错排布的第一沟道和第二沟道，第一沟道暴露其对应区域的 IGZO 图案，第二沟道暴露其对应区域的绝缘层且位于第二电极条的上方；在第二沟道的对应区域形成 OSC 图案；在绝缘层、第二金属层、IGZO 图案以及 OSC 图案上形成一平坦钝化层；其中，第一电极条、第一沟道及其对应区域的第二金属层和 IGZO 图案形成第一晶体管，第二电极条、第二沟道及其对应区域的第二金属层和所述 OSC 图案形成第二晶体管，且第一晶体管和第二晶体管串联形成一 CMOS 反相器，第一电极条和第二电极条均为阵列基板的薄膜晶体管的栅极，第二金属层包括薄膜晶体管的源极和漏极，沿预定方向，在相邻的源极和漏极之间形成第一沟道和第二沟道，且同一漏极位于相邻的第一沟道和第二沟道之间。

本发明提供的一种阵列基板的制造方法，包括：在衬底基材上依次形成第一金属层和绝缘层，第一金属层包括沿预定方向间隔排布的第一电极条和第二电极条；在绝缘层上形成沿预定方向间隔排布的 IGZO 图案，IGZO 图案位于第一电极条的上方；在绝缘层和 IGZO 图案层上形成第二金属层，第二金属层形成有沿预定方向交错排布的第一沟道和第二沟道，第一沟道暴露其对应区域的 IGZO 图案，第二沟道暴露其对应区域的绝缘层且位于第二电极条的上方；在第二沟道的对应区域形成 OSC 图案；在绝缘层、第二金属层、IGZO 图案以及 OSC 图案上形成一平坦钝化层；其中，第一电极条、第一沟道及其对应区域的第二金属层和 IGZO 图案形成第一晶体管，第二电极条、第二沟道及其对应区域的第二金属层和所述 OSC 图案形成第二晶体管，且第一晶体管和第二晶体管串联形成一 CMOS 反相器。

其中，第一电极条和第二电极条均为阵列基板的薄膜晶体管的栅极，第二金属层包括薄膜晶体管的源极和漏极，沿预定方向，在相邻的源极和漏极之间形成第一沟道和第二沟道，且同一漏极位于相邻的第一沟道和第二沟道之间。

其中，第一电极条、第一沟道及其对应区域的源极、漏极和 IGZO 图案形成第一晶体管，第二电极条、第二沟道及其对应区域的源极、漏极和 OSC 图案形成第二晶体管，且阵列基板形成奇数个首尾相连的 CMOS 反相器。

其中，第一晶体管为 N 沟道型 MOS 晶体管，第二晶体管为 P 沟道型

MOS 晶体管。

其中，在衬底基材上形成第一金属层之后，所述方法还包括：在衬底基材上形成沿预定方向交错排布的公共电极，每一公共电极位于相邻的第一电极条和第二电极条之间，公共电极及其对应区域的第二金属层和绝缘层形成一电容。

本发明提供的一种阵列基板，包括：衬底基材；形成于衬底基材上的第一金属层和绝缘层，第一金属层包括沿预定方向间隔排布的第一电极条和第二电极条；形成于绝缘层上且沿预定方向间隔排布的 IGZO 图案，IGZO 图案位于第一电极条的上方；形成于绝缘层和 IGZO 图案层上的第二金属层，第二金属层形成有沿预定方向交错排布的第一沟道和第二沟道，第一沟道暴露其对应区域的 IGZO 图案，第二沟道暴露其对应区域的绝缘层且位于第二电极条的上方；形成于第二沟道的对应区域的 OSC 图案；平坦钝化层，形成于绝缘层、第二金属层、IGZO 图案以及 OSC 图案上；其中，第一电极条、第一沟道及其对应区域的第二金属层和 IGZO 图案形成第一晶体管，第二电极条、第二沟道及其对应区域的第二金属层和 OSC 图案形成第二晶体管，且第一晶体管和第二晶体管串联形成一 CMOS 反相器。

其中，第一电极条和第二电极条均为阵列基板的薄膜晶体管的栅极，第二金属层包括薄膜晶体管的源极和漏极，沿预定方向，在相邻的源极和漏极之间形成有第一沟道和第二沟道，且同一漏极位于相邻的第一沟道和第二沟道之间。

其中，第一电极条、第一沟道及其对应区域的源极、漏极和 IGZO 图案形成第一晶体管，第二电极条、第二沟道及其对应区域的源极、漏极和 OSC 图案形成第二晶体管，且阵列基板形成有奇数个首尾相连的 CMOS 反相器。

其中，第一晶体管为 N 沟道型 MOS 晶体管，第二晶体管为 P 沟道型 MOS 晶体管。

其中，阵列基板还包括形成于衬底基材上且沿预定方向交错排布的公共电极，每一公共电极位于相邻的第一电极条和第二电极条之间，公共电极及其对应区域的第二金属层和绝缘层形成一电容。

本发明的阵列基板及其制造方法，设计由 IGZO 图案及其对应区域的第一电极条、第一沟道和第二金属层形成 CMOS 反相器的第一晶体管、由 OSC

图案及其对应区域的第二电极条、第二沟道和第二金属层形成 CMOS 反相器的第二晶体管,从而实现基于 IGZO 和 OSC 制造 CMOS 反相器或 CMOS 环形振荡器。

【附图说明】

图 1 是本发明的阵列基板的制造方法一实施例的流程示意图;

图 2 是根据图 1 所示方法形成阵列基板的示意图;

图 3 是本发明的 CMOS 反相器一实施例的电路示意图;

图 4 是由图 3 所示 CMOS 反相器构成的 CMOS 环形振荡器的电路示意图;

图 5 是图 4 所示 CMOS 环形振荡器输出的时序信号的示意图;

图 6 是在 IGZO 上形成保护层一实施例的示意图;

图 7 是本发明的液晶显示面板一实施例的结构剖视图;

图 8 是本发明的液晶显示装置一实施例的结构剖视图。

【具体实施方式】

下面将结合本发明实施例中的附图,对本发明所提供的示例性的实施例的技术方案进行清楚、完整地描述。

图 1 是本发明的阵列基板的制造方法一实施例的流程示意图。所述方法用于在形成 TFT 的同时形成 CMOS 反相器或 CMOS 环形振荡器。请参阅图 1 和图 2 所示,所述方法包括以下:

S11: 在衬底基材上依次形成第一金属层和绝缘层,第一金属层包括沿预定方向间隔排布的第一电极条和第二电极条;

参阅图 2 所示,衬底基材 21 用于形成前述阵列基板,所述衬底基材 21 可以为玻璃基材、透明塑料基材或可挠式基材。

本实施例可通过第一光罩制程以及第一黄光制程在衬底基材 21 上形成第一金属层 22,即形成具有预定图案的 TFT 的栅极,其中 TFT 的栅极包括沿图中箭头所示的预定方向 D 间隔排布的第一电极条 221 和第二电极条 222 (图中仅示出一个第一电极条 221 和一个第二电极条 222),预定方向 D 为与每一栅极的延伸方向相垂直的水平方向。

当然，还可仅采用例如化学气相沉积、真空蒸镀、等离子化学气相沉积、溅射或低压化学气相沉积等方法直接形成第一金属层 22。

由于后续需要形成 TFT 的源极和漏极，因此本发明实施例进一步在第一金属层 22 以及未形成第一金属层 22 的衬底基材 21 上形成绝缘层 23，即栅极绝缘层（Gate Insulation Layer，GI）。

本发明实施例在形成第一金属层 22 之后，还可以在衬底基材 21 上形成沿预定方向 D 交错排布的公共电极 24（图中仅示出一个公共电极 24），且每一公共电极 24 位于相邻的第一电极条 221 和第二电极条 222 之间。当然，本发明实施例也可以通过第一光罩制程和第一黄光制程形成第一金属层 22 和公共电极 24，即，公共电极 24 和第一金属层 22 由同一光罩制程和同一黄光制程制得。

S12：在绝缘层上形成沿预定方向间隔排布的 IGZO 图案，所述 IGZO 图案位于第一电极条的上方；

本发明实施例可通过第二光罩制程和第二黄光制程在绝缘层 23 上形成具有预定图案的 IGZO 图案（层）25，其中，第二黄光制程可利用包括但不限于具有磷酸、硝酸、醋酸以及去离子水的蚀刻液对形成于绝缘层 23 上的一整片半导体图案层 24 进行蚀刻，从而得到所述 IGZO 图案 25，当然其他实施例也可以采用干法蚀刻。

S13：在绝缘层和 IGZO 图案层上形成第二金属层，第二金属层形成有沿预定方向交错排布的第一沟道和第二沟道，第一沟道暴露其对应区域的 IGZO 图案，第二沟道暴露其对应区域的绝缘层且位于第二电极条的上方。

本发明实施例可通过第三光罩制程以及第三黄光制程在绝缘层 23 上形成具有预定图案的第二金属层 26，即形成 TFT 的源漏电极层，第二金属层 26 包括源极 261 和漏极 262。沿预定方向 D，在相邻的源极 261 和漏极 262 之间形成第一沟道 263 和第二沟道 264，且同一漏极 262 位于相邻的第一沟道 263 和第二沟道 264 之间，第一沟道 263 位于第一电极条 221 的上方，第二沟道 264 位于第二电极条 222 的上方。

S14：在第二沟道的对应区域形成 OSC 图案；

本发明实施例可通过第四光罩制程以及第四黄光制程在第二沟道 364 的对应区域形成 OSC 图案（层）27。参阅图 2 所示，该 OSC 图案 27 的高

度大于第二金属层 26 的高度, 且 OSC 图案 27 高出第二金属层 26 的部分覆盖在源极 261 和漏极 262 上。

S15: 在绝缘层、第二金属层、IGZO 图案以及 OSC 图案上形成一平坦钝化层。

其中, 可以采用化学气相沉积、原子层外延、涂覆、溅射以及蒸镀中的任意组合方式在绝缘层 23、第二金属层 26、IGZO 图案 25 以及 OSC 图案 27 上形成平坦钝化层 28, 该平坦钝化层 28 用于保护阵列基板上的上述结构元件免受外界环境因素的破坏。并且, 该平坦钝化层 28 和绝缘层 23 的材质可以相同也可以不相同。

结合图 2 和图 3 所示, 第一电极条 221、第一沟道 263 及其对应区域的源极 261、漏极 262 和 IGZO 图案 25 形成第一晶体管 M_1 , 第二电极条 222、第二沟道 264 及其对应区域的源极 261、漏极 262 和 OSC 图案 27 形成第二晶体管 M_2 , 第一晶体管 M_1 为 N 沟道型 MOS 晶体管, 第二晶体管 M_2 为 P 沟道型 MOS 晶体管, 且第一晶体管 M_1 和第二晶体管 M_2 串联形成图 3 所示的 CMOS 反相器 30。另外, 公共电极 24 及其对应区域的漏极 262 和绝缘层 23 形成一电容 C_L 。

其中, 第一电极条 221 和第二电极条 222 分别为第一晶体管 M_1 和第二晶体管 M_2 的栅极, 两者的栅极连接阵列基板的输入电压 V_{in} ; 相邻两个源极 261 分别为第一晶体管 M_1 和第二晶体管 M_2 的源极, 第一晶体管 M_1 的源极接地, 第二晶体管 M_2 的源极连接阵列基板的电源电压 V_{dd} (又称 VDD); 相邻两个漏极 262 分别为第一晶体管 M_1 和第二晶体管 M_2 的漏极, 两者的漏极用于输出阵列基板的输出电压 V_{out} 。

当输入电压 V_{in} 为低电平时, 输出电压 V_{out} 为高电平; 当输入电压 V_{in} 为高电平时, 输出电压 V_{out} 为低电平。

参阅图 4 所示, 本发明实施例在阵列基板形成奇数个首尾相连的 CMOS 反相器 30, 所述首尾相连指的是每一 CMOS 反相器 30 的输入端连接上一个 CMOS 反相器 30 的输出端, 即每一 CMOS 反相器 30 的输出电压 V_{out} 作为下一个 CMOS 反相器 30 的输入电压 V_{in} , 该奇数个 CMOS 反相器 30 首尾相连构成阵列基板的 CMOS 环形振荡器 40, 该 CMOS 环形振荡器可将阵列基板的电源电压 V_{dd} 输出为时钟信号。请参阅图 5 所示, 该时钟信号

具有周期 T ，且该周期 T 符合如下关系式，

$$T = \frac{n \cdot V_{th} \cdot C_L}{(V_{th} - V_{t1})^2} \left(\frac{1}{\beta_n} + \frac{1}{\beta_p} \right)$$

其中， n 为 CMOS 反相器 30 的个数， C_L 为电容的大小， V_{t1} 为第一晶体管 M_1 和第二晶体管 M_2 在导通和截止之间相切换的阈值电压， β_n 、 β_p 分别为 IGZO 图案 25 和 OSC 图案 27 的相关参数，该相关参数与材料的电子迁移率、宽长之比等参数有关。应该理解到，本发明实施例的 CMOS 反相器 30 与现有技术中的 CMOS 反相器的工作原理相同，该关系式中的相关参数可参阅现有技术，此处不予赘述。

可知，本发明实施例基于 IGZO 和 OSC 制造 CMOS 反相器 30 或 CMOS 环形振荡器，制造材料为 IGZO 和 OSC，因此所制得的阵列基板具有静态功耗低、抗干扰能力强、电源利用率高等优点。

上述第一至第四光罩制程所采用的光罩 (mask) 不同，各个光罩制程以及第一至第四黄光制程可参阅现有技术，此处不予赘述。

参阅图 6 所示，本发明实施例可在图 2 所示的 IGZO 图案 25 上形成一保护层 60，又称为水氧阻隔层或刻蚀阻挡层 (Etch Stop Layer, ESL)。该保护层 60 用于确保 IGZO 沟道的电学性能，此时第一沟道 263 暴露其对应区域的保护层 60 而非 IGZO 图案 25。

本发明实施例还提供一种采用上述方法制得的具有图 2 所示结构的阵列基板，该阵列基板的其他结构的制造方法可参阅现有技术。

本发明实施例还提供一种图 7 所示的液晶显示面板 70，其包括相对间隔设置的阵列基板 71 和彩膜基板 72 以及夹设于阵列基板 71 和彩膜基板 72 之间的液晶层 73，该阵列基板 71 可由上述方法制得。

本发明实施例还提供一种图 8 所示的液晶显示装置 80，其包括上述图 7 所示的液晶显示面板 70 以及其他组件，例如背光模组 81、前框组件 82。而至于其他结构，可参阅现有技术，此处不再赘述。

应理解，以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，例如各实施例之间技术特征的相互结合，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

1. 一种阵列基板的制造方法，其中，所述方法包括：

在衬底基材上依次形成第一金属层、沿所述预定方向交错排布的公共电极和绝缘层，所述第一金属层包括沿预定方向间隔排布的第一电极条和第二电极条，每一所述公共电极位于相邻的所述第一电极条和所述第二电极条之间，所述公共电极及对应区域的所述第二金属层和所述绝缘层形成一电容；

在所述绝缘层上形成沿所述预定方向间隔排布的 IGZO 图案，所述 IGZO 图案位于所述第一电极条的上方；

在所述绝缘层和所述 IGZO 图案层上形成第二金属层，所述第二金属层形成有沿所述预定方向交错排布的第一沟道和第二沟道，所述第一沟道暴露其对应区域的所述 IGZO 图案，所述第二沟道暴露其对应区域的所述绝缘层且位于所述第二电极条的上方；

在所述第二沟道的对应区域形成 OSC 图案；

在所述绝缘层、所述第二金属层、所述 IGZO 图案以及所述 OSC 图案上形成一平坦钝化层；

其中，所述第一电极条、所述第一沟道及其对应区域的所述第二金属层和所述 IGZO 图案形成第一晶体管，所述第二电极条、所述第二沟道及其对应区域的所述第二金属层和所述 OSC 图案形成第二晶体管，且所述第一晶体管和所述第二晶体管串联形成一 CMOS 反相器，所述第一电极条和所述第二电极条均为所述阵列基板的薄膜晶体管的栅极，所述第二金属层包括所述薄膜晶体管的源极和漏极，沿所述预定方向，在相邻的所述源极和所述漏极之间形成所述第一沟道和所述第二沟道，且同一所述漏极位于相邻的所述第一沟道和所述第二沟道之间。

2. 根据权利要求 1 所述的方法，其中，所述第一电极条、所述第一沟道及其对应区域的所述源极、所述漏极和所述 IGZO 图案形成所述第一晶体管，所述第二电极条、所述第二沟道及其对应区域的所述源极、所述漏极和所述 OSC 图案形成所述第二晶体管，且所述阵列基板形成奇数个首尾相连的所述 CMOS 反相器。

3. 根据权利要求 2 所述的方法, 其中, 所述第一晶体管为 N 沟道型 MOS 晶体管, 所述第二晶体管为 P 沟道型 MOS 晶体管。

4. 一种阵列基板的制造方法, 其中, 所述方法包括:

在衬底基材上依次形成第一金属层和绝缘层, 所述第一金属层包括沿预定方向间隔排布的第一电极条和第二电极条;

在所述绝缘层上形成沿所述预定方向间隔排布的 IGZO 图案, 所述 IGZO 图案位于所述第一电极条的上方;

在所述绝缘层和所述 IGZO 图案层上形成第二金属层, 所述第二金属层形成有沿所述预定方向交错排布的第一沟道和第二沟道, 所述第一沟道暴露其对应区域的所述 IGZO 图案, 所述第二沟道暴露其对应区域的所述绝缘层且位于所述第二电极条的上方;

在所述第二沟道的对应区域形成 OSC 图案;

在所述绝缘层、所述第二金属层、所述 IGZO 图案以及所述 OSC 图案上形成一平坦钝化层;

其中, 所述第一电极条、所述第一沟道及其对应区域的所述第二金属层和所述 IGZO 图案形成第一晶体管, 所述第二电极条、所述第二沟道及其对应区域的所述第二金属层和所述 OSC 图案形成第二晶体管, 且所述第一晶体管和所述第二晶体管串联形成一 CMOS 反相器。

5. 根据权利要求 4 所述的方法, 其中, 所述第一电极条和所述第二电极条均为所述阵列基板的薄膜晶体管的栅极, 所述第二金属层包括所述薄膜晶体管的源极和漏极, 沿所述预定方向, 在相邻的所述源极和所述漏极之间形成所述第一沟道和所述第二沟道, 且同一所述漏极位于相邻的所述第一沟道和所述第二沟道之间。

6. 根据权利要求 5 所述的方法, 其中, 所述第一电极条、所述第一沟道及其对应区域的所述源极、所述漏极和所述 IGZO 图案形成所述第一晶体管, 所述第二电极条、所述第二沟道及其对应区域的所述源极、所述漏极和所述 OSC 图案形成所述第二晶体管, 且所述阵列基板形成奇数个首尾相连的所述 CMOS 反相器。

7. 根据权利要求 6 所述的方法, 其中, 所述第一晶体管为 N 沟道型 MOS 晶体管, 所述第二晶体管为 P 沟道型 MOS 晶体管。

8. 根据权利要求 4 所述的方法, 其中, 在所述衬底基材上形成所述第一金属层之后, 所述方法还包括:

在所述衬底基材上形成沿所述预定方向交错排布的公共电极, 每一所述公共电极位于相邻的所述第一电极条和所述第二电极条之间, 所述公共电极及对应区域的所述第二金属层和所述绝缘层形成一电容。

9. 一种阵列基板, 其中, 所述阵列基板包括:

衬底基材;

形成于所述衬底基材上的第一金属层和绝缘层, 所述第一金属层包括沿预定方向间隔排布的第一电极条和第二电极条;

形成于所述绝缘层上且沿所述预定方向间隔排布的 IGZO 图案, 所述 IGZO 图案位于所述第一电极条的上方;

形成于所述绝缘层和所述 IGZO 图案层上的第二金属层, 所述第二金属层形成有沿所述预定方向交错排布的第一沟道和第二沟道, 所述第一沟道暴露其对应区域的所述 IGZO 图案, 所述第二沟道暴露其对应区域的所述绝缘层且位于所述第二电极条的上方;

形成于所述第二沟道的对应区域的 OSC 图案;

平坦钝化层, 形成于所述绝缘层、所述第二金属层、所述 IGZO 图案以及所述 OSC 图案上;

其中, 所述第一电极条、所述第一沟道及其对应区域的所述第二金属层和所述 IGZO 图案形成第一晶体管, 所述第二电极条、所述第二沟道及其对应区域的所述第二金属层和所述 OSC 图案形成第二晶体管, 且所述第一晶体管和第二晶体管串联形成一 CMOS 反相器。

10. 根据权利要求 9 所述的阵列基板, 其中, 所述第一电极条和所述第二电极条均为所述阵列基板的薄膜晶体管的栅极, 所述第二金属层包括所述薄膜晶体管的源极和漏极, 沿所述预定方向, 在相邻的所述源极和所述漏极之间形成有所述第一沟道和所述第二沟道, 且同一所述漏极位于相邻的所述第一沟道和所述第二沟道之间。

11. 根据权利要求 10 所述的阵列基板, 其中, 所述第一电极条、所述第一沟道及其对应区域的所述源极、所述漏极和所述 IGZO 图案形成所述第一晶体管, 所述第二电极条、所述第二沟道及其对应区域的所述源极、所

述漏极和所述 OSC 图案形成所述第二晶体管，且所述阵列基板形成有奇数个首尾相连的所述 CMOS 反相器。

12. 根据权利要求 11 所述的阵列基板，其中，所述第一晶体管为 N 沟道型 MOS 晶体管，所述第二晶体管为 P 沟道型 MOS 晶体管。

13. 根据权利要求 9 所述的阵列基板，其中，所述阵列基板还包括形成于所述衬底基材上且沿所述预定方向交错排布的公共电极，每一所述公共电极位于相邻的所述第一电极条和所述第二电极条之间，所述公共电极及对应区域的所述第二金属层和所述绝缘侧形成一电容。

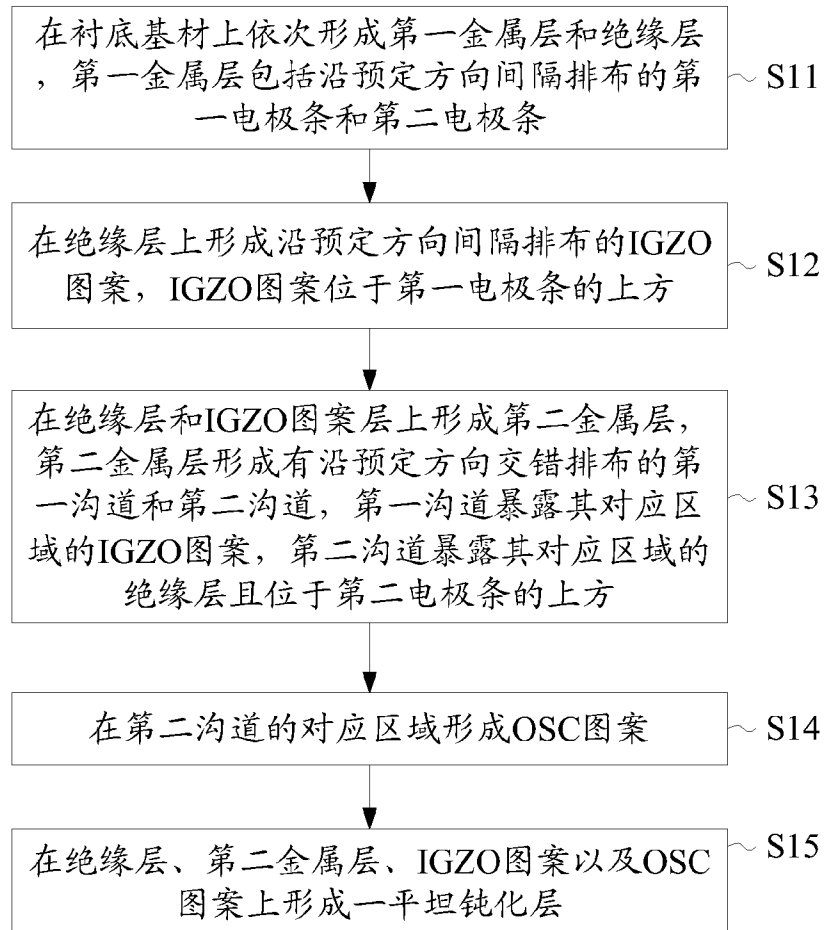


图 1

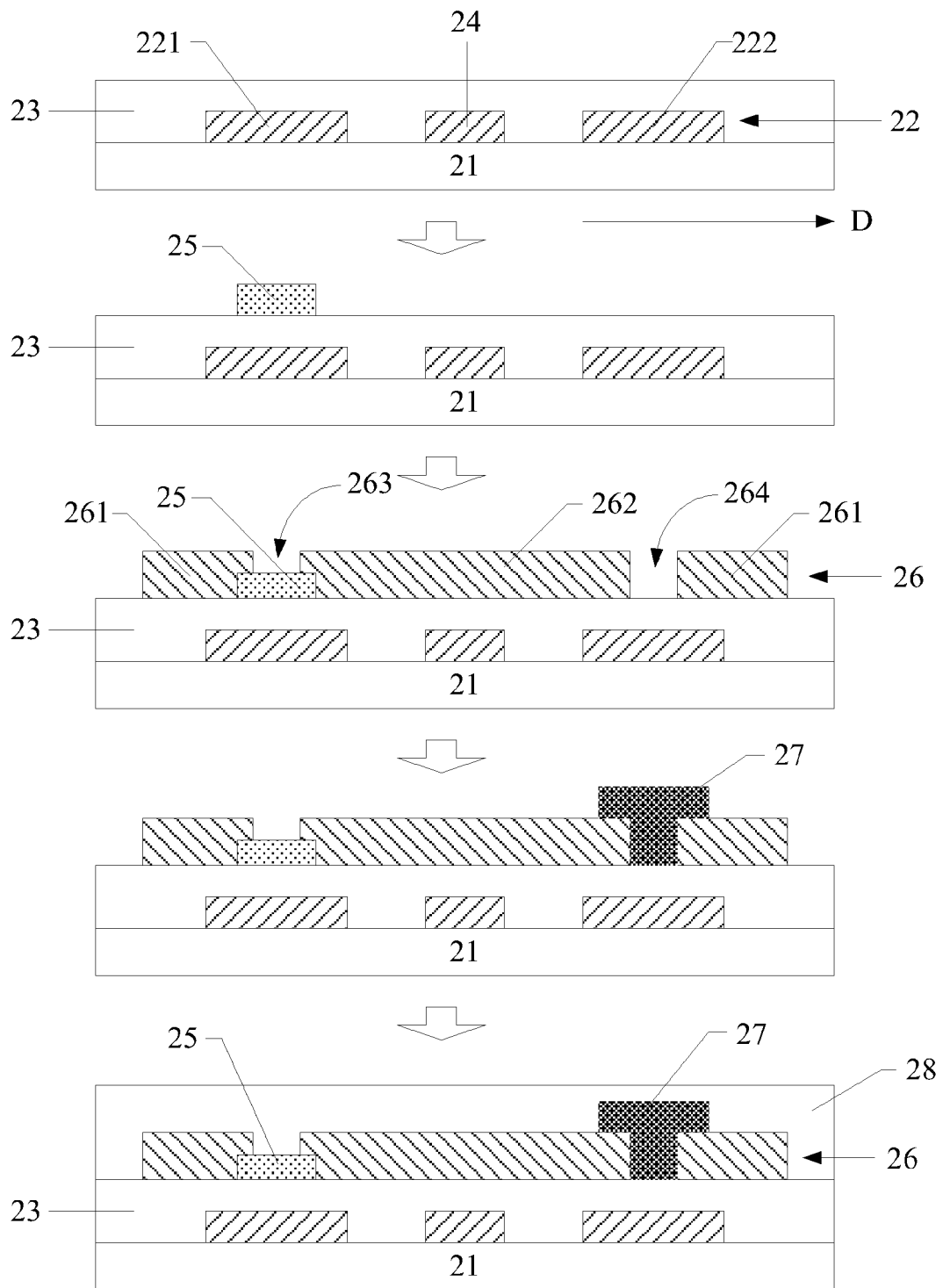


图 2

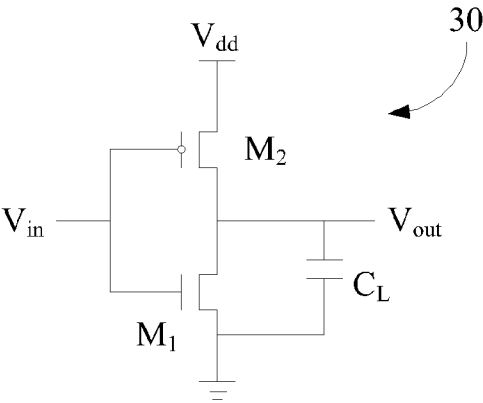


图 3

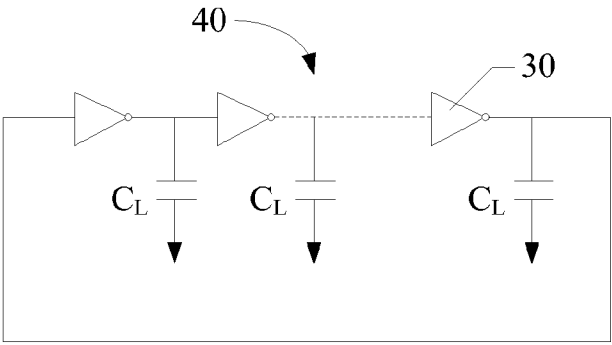


图 4

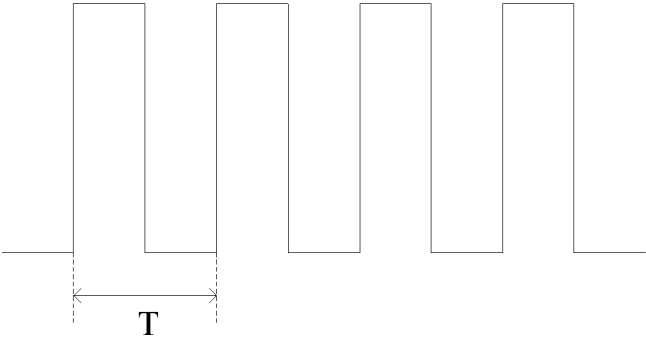


图 5

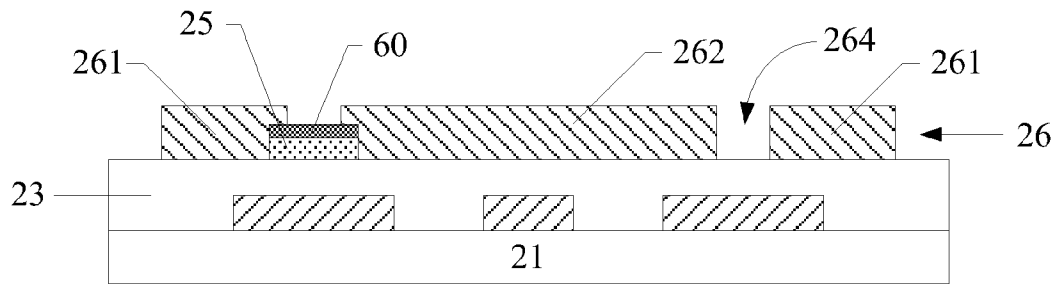


图 6

70

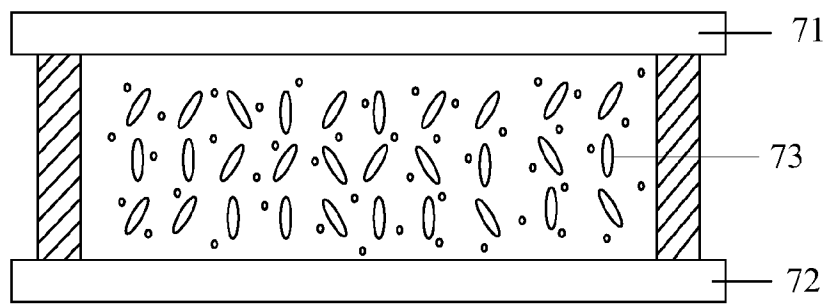


图 7

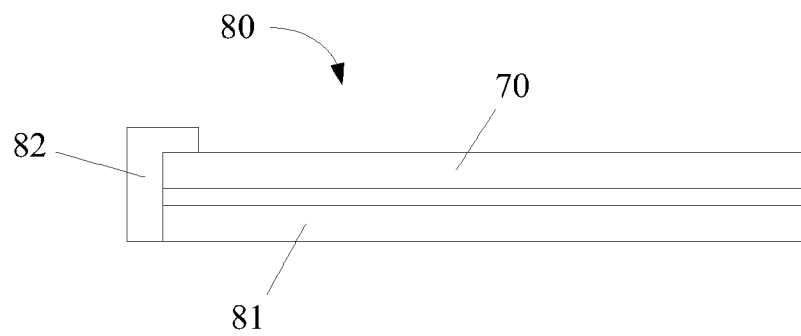


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/098964**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: XU, Hongyuan; CHINA STAR OPTOELECTRONICS, level shift, shifting register, shifting level, MOS, oxide semiconductor, IGZO, IZO, GZO, indium gallium zinc oxide, indium gallium zinc, organic semiconductor, OSC, inorganic semiconductor, work area, actuating zone, work layer, actuating layer, array, LCD, liquid crystal, bottom gate, photoetching, common electrode, oscillate, BOE, inverter, shift, memory, capacit+, transistor, organic, inorganic, semiconductor, metal, oxide, etch+, photography, pattern, common, electrode, gate, line, active, channel, CMOS, display, bottom, zinc, indium, tin, insulat+, dielectric

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 8039295 B2 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE), 18 October 2011 (18.10.2011), description, column 3, line 38 to column 5, line 5, and figures 2-4	1-13
Y	JP 2008010566 A (RICOH K.K.), 17 January 2008 (17.01.2008), description, paragraphs [0070]-[0089], and figures 11, 12, 16 and 17	1-13
A	JP 2003318406 A (TOSHIBA CORP.), 07 November 2003 (07.11.2003), the whole document	1-13
A	CN 101557212 A (NEC ELECTRONICS CORP.), 14 October 2009 (14.10.2009), the whole document	1-13
A	US 2009134387 A1 (SANYO ELECTRIC CO., LTD.), 28 May 2009 (28.05.2009), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
12 April 2016 (12.04.2016)

Date of mailing of the international search report
28 April 2016 (28.04.2016)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
ZHOU, Zhongtang
Telephone No.: (86-10) **82245847**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/098964

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 8039295 B2	18 October 2011	US 2008135947 A1	12 June 2008
		US 7842952 B2	30 November 2010
		KR 100816498 B1	24 March 2008
		US 2011033971 A1	10 February 2011
JP 2008010566 A	17 January 2008	None	
JP 2003318406 A	07 November 2003	None	
CN 101557212 A	14 October 2009	US 7777545 B2	17 August 2010
		JP 4986299 B2	25 July 2012
		US 2009256611 A1	15 October 2009
		JP 2009253881 A	29 October 2009
US 2009134387 A1	28 May 2009	JP 2009130165 A	11 June 2009

国际检索报告

国际申请号

PCT/CN2015/098964

A. 主题的分类

H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPODOC, CNKI, IEEE: 徐洪远, 京东方, 华星光电, 反相器, 逆相器, 倒相器, 电平移位, 移位寄存器, 移位电平, 晶体管, MOS, 氧化物半导体, IGZO, IZO, GZO, 铟镓锌氧化物, 氧化铟镓锌, 有机半导体, OSC, 有源, 沟道, 无机半导体, 工作区, 作动区, 工作层, 作动层, 有机物半导体, 阵列, LCD, 液晶, 显示, 栅, 金属, 底栅, 光刻, 刻蚀, 蚀刻, 图案化, 图形化, 公共电极, 公用电极, 共用电极, 共通电极, 电容, 振荡, 绝缘, 介质, BOE, inverter, shift, memory, capacit+, transistor, organic, inorganic, semiconductor, metal, oxide, etch+, photography, pattern, common, electrode, gate, line, active, channel, CMOS, display, bottom, zinc, indium, tin, insulat+, dielectric

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US 8039295 B2 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 2011 年 10 月 18 日 (2011 - 10 - 18) 说明书第3栏第38行-第5栏第5行, 图2-4	1-13
Y	JP 2008010566 A (RICOH K. K.) 2008 年 1 月 17 日 (2008 - 01 - 17) 说明书第70-89段, 图11-12、16-17	1-13
A	JP 2003318406 A (TOSHIBA CORP.) 2003 年 11 月 7 日 (2003 - 11 - 07) 全文	1-13
A	CN 101557212 A (恩益禧电子股份有限公司) 2009 年 10 月 14 日 (2009 - 10 - 14) 全文	1-13
A	US 2009134387 A1 (SANYO ELECTRIC CO., LTD.) 2009 年 5 月 28 日 (2009 - 05 - 28) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 4月 12日

国际检索报告邮寄日期

2016年 4月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

周忠堂

电话号码 (86-10)82245847

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/098964

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	8039295	B2	2011年 10月 18日	US	2008135947	A1	2008年 6月 12日
				US	7842952	B2	2010年 11月 30日
				KR	100816498	B1	2008年 3月 24日
				US	2011033971	A1	2011年 2月 10日
JP	2008010566	A	2008年 1月 17日	无			
JP	2003318406	A	2003年 11月 7日	无			
CN	101557212	A	2009年 10月 14日	US	7777545	B2	2010年 8月 17日
				JP	4986299	B2	2012年 7月 25日
				US	2009256611	A1	2009年 10月 15日
				JP	2009253881	A	2009年 10月 29日
US	2009134387	A1	2009年 5月 28日	JP	2009130165	A	2009年 6月 11日

表 PCT/ISA/210 (同族专利附件) (2009年7月)