

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7534412号
(P7534412)

(45)発行日 令和6年8月14日(2024.8.14)

(24)登録日 令和6年8月5日(2024.8.5)

(51)国際特許分類		F I	
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30 3 3 8
G 0 9 F	9/00 (2006.01)	G 0 9 F	9/00 3 4 6 Z
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20 6 2 1 M
G 1 1 C	19/28 (2006.01)	G 0 9 G	3/20 6 2 2 B
H 0 1 L	21/8234(2006.01)	G 0 9 G	3/20 6 2 2 E
請求項の数 14 (全55頁) 最終頁に続く			
(21)出願番号	特願2022-539718(P2022-539718)	(73)特許権者	510280589
(86)(22)出願日	令和2年6月4日(2020.6.4)		京東方科技集團股 ぶん 有限公司
(65)公表番号	特表2023-535853(P2023-535853 A)		BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日	令和5年8月22日(2023.8.22)		中華人民共和國100015北京市朝陽 區酒仙橋路10號
(86)国際出願番号	PCT/CN2020/094316		No.10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2021/243638	(73)特許権者	511121702
(87)国際公開日	令和3年12月9日(2021.12.9)		成都京東方光電科技有限公司
審査請求日	令和5年5月30日(2023.5.30)		CHENGDU BOE OPTOELE CTRONICS TECHNOLOGY CO., LTD.
		最終頁に続く	

(54)【発明の名称】 表示基板、その製作方法、及び表示装置

(57)【特許請求の範囲】
【請求項1】

表示基板であって、ベースに設けられている走査駆動回路及び表示領域を含み、前記走査駆動回路は、複数のシフトレジスタユニットを含み、前記複数のシフトレジスタユニットのうち、少なくとも一つのシフトレジスタユニットは、信号出力線及び出力回路を含み、前記出力回路は、出力トランジスタ及び出力リセットトランジスタを含み、前記信号出力線は、第1方向に沿って延在される第1出力線部分を含み、前記第1出力線部分は、信号線の重なり領域に設けられた複数の第1信号線ビアホールを介して前記出力トランジスタの第2電極に結合され、前記第1出力線部分は、前記信号線の重なり領域に設けられた複数の第2信号線ビアホールを介して前記出力リセットトランジスタの第2電極に結合され、前記複数の第1信号線ビアホールが第1方向に沿って順次に配列され、前記複数の第2信号線ビアホールが第1方向に沿って順次に配列され、前記信号線の重なり領域は、第1信号線の重なり領域及び第2信号線の重なり領域を含み、前記第1信号線の重なり領域は、前記第1出力線部分の前記ベースでの正投影と、前記出力トランジスタの第2電極が含まれる第1ソース・ドレイン金属パターンの前記ベースでの正投影との重なり領域であり、前記第2信号線の重なり領域は、前記第1出力線部分の前記ベースでの正投影と、前記出力リセットトランジスタの第2電極が含まれる第2ソース・ドレイン金属パターンの前記ベースでの正投影との重なり領域であり、第1方向に沿って順次に配列された複数つの第1信号線ビアホールのうちの1番目の第1信号線ビアホールと最後の一つの第1信号線ビアホールとの第1方向での距離と第3長

さとの割合が第 1 所定割合であり、前記第 3 長さが、前記第 1 信号線の重なり領域の第 1 方向での長さであり、

第 1 方向に沿って順次に配列された複数の第 2 信号線ビアホールの中の 1 番目の第 2 信号線ビアホールと最後の一つの第 2 信号線ビアホールとの第 1 方向での距離と第 4 長さとの割合が第 2 所定割合であり、前記第 4 長さが、前記第 2 信号線の重なり領域の第 1 方向での長さであり、

前記第 1 所定割合が 0.05 以上かつ 0.9 以下であり、

前記第 2 所定割合が 0.05 以上かつ 0.9 以下であり、

前記出力トランジスタのアクティブ層及び前記出力リセットトランジスタのアクティブ層は、第 1 方向に沿って配列され、前記出力トランジスタのアクティブ層の前記第 1 方向での長さを第 1 長さとして、前記出力リセットトランジスタのアクティブ層の前記第 1 方向での長さを第 2 長さとして、前記第 1 長さと前記第 2 長さとの和が出力アクティブ長さであり、

前記出力トランジスタのアクティブ層の第 2 方向に沿う最小の幅と、前記出力リセットトランジスタのアクティブ層の第 2 方向に沿う最小の幅とのうち、小さいものを出力アクティブ幅とし、前記第 1 方向と前記第 2 方向は互いに交差し、

前記出力アクティブ長さと前記出力アクティブ幅との割合が所定割合の範囲内にあり、

前記所定割合の範囲が 3 以上かつ 11 以下であり、

または、

前記出力アクティブ幅が所定の幅の範囲内にあり、

前記所定の幅の範囲が $1.2\ \mu\text{m}$ 以上かつ $4.5\ \mu\text{m}$ 以下である、表示基板。

【請求項 2】

前記出力トランジスタのアクティブ層及び前記出力リセットトランジスタのアクティブ層が一つの連続した第 1 半導体層により形成され、前記第 1 半導体層が第 1 方向に沿って延在され、

前記第 1 半導体層の第 1 方向での長さが出力アクティブ長さであり、

前記第 1 半導体層の第 2 方向での最小の長さが前記出力アクティブ長さである、請求項 1 に記載の表示基板。

【請求項 3】

前記少なくとも一つのシフトレジスタユニットは、第 1 トランジスタをさらに含み、

前記第 1 トランジスタは、第 1 アクティブパターンを含み、前記第 1 アクティブパターンが第 2 方向に沿って延在され、

前記第 1 トランジスタは、前記出力回路の表示領域から離れた側に位置しており、

または、

前記少なくとも一つのシフトレジスタユニットは、第 2 トランジスタ及び第 3 トランジスタをさらに含み、前記第 2 トランジスタの第 2 電極が前記第 3 トランジスタの第 2 電極に結合され、

前記第 2 トランジスタのゲート電極の前記ベースでの正投影と、前記第 3 トランジスタのゲート電極の前記ベースでの正投影との間の第 2 方向での最大距離が第 3 所定距離であり、

前記第 2 トランジスタ及び前記第 3 トランジスタは、前記出力回路の表示領域から離れた側に位置しており、

前記第 3 所定距離が $1.4\ \mu\text{m}$ 以上かつ $5.0\ \mu\text{m}$ 以下であり、

または、

前記少なくとも一つのシフトレジスタユニットは、第 1 トランジスタ、第 2 トランジスタ及び第 1 コンデンサをさらに含み、

前記第 1 トランジスタの第 2 電極及び前記第 2 トランジスタの第 1 電極がそれぞれ前記第 1 コンデンサの第 2 極板に結合され、前記第 1 トランジスタのゲート電極が前記第 1 コンデンサの第 1 極板に結合され、

前記第 1 トランジスタ、前記第 1 コンデンサ及び前記第 2 トランジスタが第 1 方向に沿

10

20

30

40

50

って順次に配列され、

前記第 1 トランジスタ、前記第 1 コンデンサ及び前記第 2 トランジスタが、前記出力回路の表示領域から離れた側に位置しており、

または、

前記走査駆動回路は、第 1 電圧信号線をさらに含み、前記少なくとも一つのシフトレジスタユニットは、出力リセットコンデンサをさらに含み、前記出力リセットコンデンサの第 1 極板が前記出力リセットトランジスタのゲート電極に結合され、前記出力リセットコンデンサの第 2 極板が前記第 1 電圧信号線に結合され、

前記出力リセットコンデンサの第 2 極板の第 2 方向での最大の幅が第 1 所定の幅であり、
前記出力リセットコンデンサの第 2 極板の第 1 方向での最大の長さが第 2 所定の長さであり、

10

前記出力リセットコンデンサは前記出力回路の表示領域から離れた側に位置しており、
前記出力リセットコンデンサの第 2 極板の前記ベースでの正投影が前記出力リセットコンデンサの第 1 極板の前記ベースでの正投影内にあり、

前記第 1 所定の幅が $3\ \mu\text{m}$ 以上かつ $60\ \mu\text{m}$ 以下であり、前記第 2 所定の長さが $3\ \mu\text{m}$ 以上かつ $20\ \mu\text{m}$ 以下であり、

または、

前記第 1 電圧信号線が第 1 方向に沿って延在され、前記第 1 電圧信号線は前記出力リセットコンデンサの表示領域から離れた側に位置している、請求項 1 に記載の表示基板。

【請求項 4】

20

前記出力トランジスタ及び前記出力リセットトランジスタが第 1 方向に沿って配列され、前記走査駆動回路は、第 2 電圧信号線をさらに含み、前記少なくとも一つのシフトレジスタユニットは、出力リセットコンデンサをさらに含み、

前記出力リセットコンデンサの第 2 極板が前記第 1 電圧信号線に結合され、

前記出力トランジスタの第 1 電極が第 2 電圧信号線に結合され、前記出力リセットトランジスタの第 1 電極が前記出力リセットコンデンサの第 2 極板に結合され、

前記出力トランジスタ及び前記出力リセットトランジスタが前記第 2 電圧信号線の表示領域から離れた側に位置している、請求項 3 に記載の表示基板。

【請求項 5】

前記出力トランジスタのゲート電極は、少なくとも一つの出力ゲート電極パターンを含み、前記出力トランジスタの第 1 電極は、少なくとも一つの第 1 電極パターンを含み、前記出力トランジスタの第 2 電極は、少なくとも一つの第 2 電極パターンを含み、

30

前記出力ゲート電極パターンは、隣接する前記第 1 電極パターンと前記第 2 電極パターンとの間に位置しており、

前記第 1 電極パターン、前記出力ゲート電極パターン及び前記第 2 電極パターンはいずれも第 2 方向に沿って延在されており、

または、

前記出力リセットトランジスタのゲート電極は、少なくとも一つの出力リセットゲート電極パターンを含み、前記出力リセットトランジスタの第 1 電極は、少なくとも一つの第 3 電極パターンを含み、前記出力リセットトランジスタの第 2 電極は、少なくとも一つの第 4 電極パターンを含み、

40

前記出力リセットゲート電極パターンは、隣接する前記第 3 電極パターンと前記第 4 電極パターンとの間に位置しており、

前記第 3 電極パターン、前記出力リセットゲート電極パターン及び前記第 4 電極パターンはいずれも第 2 方向に沿って延在され、

前記出力リセットトランジスタのうち、前記出力トランジスタのゲート電極に最も近接する前記第 4 電極パターンが前記出力トランジスタの第 2 電極パターンとして兼用される、請求項 4 に記載の表示基板。

【請求項 6】

前記出力トランジスタのアクティブ層は、第 1 方向に沿って対向して設けられる少なく

50

とも二つの第 1 導電部分及び少なくとも一つの第 1 チャネル部分を含み、それぞれの前記第 1 チャネル部分は二つの隣接する前記第 1 導電部分の間に設けられており、

前記第 1 チャネル部分が前記出力ゲート電極パターンに一対一対応され、各前記第 1 チャネル部分の前記ベースでの正投影が、いずれも対応する前記出力ゲート電極パターンの前記ベースでの正投影の内部に位置しており、

前記出力トランジスタのうちの一部の前記第 1 導電部分が前記第 1 電極パターンに一対一対応され、前記第 1 電極パターン前記ベースでの正投影と、対応する前記第 1 導電部分の前記ベースでの正投影とが第 1 重なり領域を有し、前記第 1 電極パターンは前記第 1 重なり領域に設けられている少なくとも一つの第 1 ピアホールを介して対応する前記第 1 導電部分に結合され、

10

前記出力トランジスタのうちの一部の前記第 1 導電部分が前記第 2 電極パターンに一対一対応され、前記第 2 電極パターン前記ベースでの正投影と、対応する前記第 1 導電部分の前記ベースでの正投影とが第 2 重なり領域を有し、前記第 2 電極パターンは前記第 2 重なり領域に設けられている少なくとも一つの第 2 ピアホールを介して対応する前記第 1 導電部分に結合される、請求項 5 に記載の表示基板。

【請求項 7】

前記出力リセットトランジスタのアクティブ層は、第 1 方向に沿って対向して設けられる少なくとも二つの第 2 導電部分及び少なくとも一つの第 2 チャネル部分を含み、それぞれの前記第 2 チャネル部分は二つの隣接する前記第 2 導電部分の間に設けられており、

前記第 2 チャネル部分は、前記出力リセットゲート電極パターンに一対一対応され、各前記第 2 チャネル部分の前記ベースでの正投影は、いずれも対応する前記出力リセットゲート電極パターン前記ベースでの正投影の内部に位置しており、

20

前記出力リセットトランジスタのうちの一部の前記第 2 導電部分が前記第 3 電極パターンに一対一対応され、前記第 3 電極パターン前記ベースでの正投影と、対応する前記第 2 導電部分の前記ベースでの正投影とが第 3 重なり領域を有し、前記第 3 電極パターンは、前記第 3 重なり領域に設けられている少なくとも一つの第 3 ピアホールを介して対応する前記第 2 導電部分に結合され、

前記出力リセットトランジスタのうちの一部の前記第 2 導電部分が前記第 4 電極パターンに一対一対応され、前記第 4 電極パターン前記ベースでの正投影と、対応する前記第 2 導電部分の前記ベースでの正投影とが第 4 重なり領域を有し、前記第 4 電極パターンは、前記第 4 重なり領域に設けられている少なくとも一つの第 4 ピアホールを介して対応する前記第 2 導電部分に結合される、請求項 5 に記載の表示基板。

30

【請求項 8】

前記走査駆動回路は第 2 電圧信号線をさらに含み、前記少なくとも一つのシフトレジスタユニットは、第 4 トランジスタをさらに含み、

前記第 2 電圧信号線が電極導電接続部に結合され、前記電極導電接続部が第 2 方向に沿って延在され、前記少なくとも一つの第 1 電極パターンは第 1 方向に沿って順次に配列され、

前記電極導電接続部が前記出力トランジスタの第 1 電極に含まれる 1 番目の第 1 電極パターンに結合され、

40

前記第 4 トランジスタの第 1 電極が前記電極導電接続部に結合され、

前記第 4 トランジスタのゲート電極前記ベースでの正投影と、前記電極導電接続部の前記ベースでの正投影との間の第 1 方向での最小距離が第 4 所定距離であり、

前記第 4 所定距離が 1 μm 以上かつ 5 μm 以下である、請求項 5 に記載の表示基板。

【請求項 9】

前記少なくとも一つのシフトレジスタユニットは、第 4 トランジスタ及び第 5 トランジスタをさらに含み、

前記第 4 トランジスタのゲート電極が前記第 5 トランジスタのゲート電極に結合され、

前記第 4 トランジスタのゲート電極及び前記第 5 トランジスタのゲート電極が第 1 ゲート金属パターンに含まれ、前記第 1 ゲート金属パターンが第 2 方向に沿って延在され、

50

前記走査駆動回路は第 1 クロック信号線をさらに含み、前記第 5 トランジスタのゲート電極が前記第 1 クロック信号線に結合され、

前記第 1 クロック信号線は第 1 方向に沿って延在され、前記第 1 クロック信号線は前記第 5 トランジスタの表示領域から離れた側に位置している、請求項 1 に記載の表示基板。

【請求項 10】

前記少なくとも一つのシフトレジスタユニットは、第 1 トランジスタ、第 4 トランジスタ、第 5 トランジスタ、第 6 トランジスタ及び出力コンデンサをさらに含み、

前記第 5 トランジスタの第 1 電極が入力信号端に結合され、前記第 5 トランジスタの第 2 電極が前記第 6 トランジスタのゲート電極に結合され、

前記第 6 トランジスタのゲート電極は、互いに結合される第 1 ゲート電極パターン及び第 2 ゲート電極パターンを含み、

10

前記第 1 ゲート電極パターン及び前記第 2 ゲート電極パターンがそれぞれ前記出力コンデンサの第 1 極板に結合され、前記出力コンデンサの第 1 極板が前記出力トランジスタのゲート電極に結合され、

前記第 6 トランジスタの第 1 電極が第 4 トランジスタのゲート電極に結合され、前記第 6 トランジスタの第 2 電極が前記第 4 トランジスタの第 2 電極に結合され、前記出力コンデンサの第 2 極板が前記第 1 トランジスタの第 1 電極に結合され、

前記第 4 トランジスタ、前記第 6 トランジスタ及び前記第 1 トランジスタが前記第 1 方向に沿って順次に配列され、

前記第 5 トランジスタ、前記第 6 トランジスタ及び前記第 1 トランジスタが前記第 1 方向に沿って順次に配列され、

20

前記出力コンデンサは、前記第 6 トランジスタと前記出力回路との間に位置している、請求項 1 に記載の表示基板。

【請求項 11】

前記少なくとも一つのシフトレジスタユニットは、第 2 トランジスタ、第 1 トランジスタ、第 6 トランジスタ、第 7 トランジスタ及び第 8 トランジスタをさらに含み、

前記第 7 トランジスタのアクティブ層及び前記第 8 トランジスタのアクティブ層が一つの連続した第 2 半導体層により形成され、前記第 2 半導体層が第 1 方向に沿って延在され、

前記第 7 トランジスタのアクティブ層は、第 1 方向に沿って順次に設置される 1 番目の第 9 導電部分、第 9 チャネル部分及び 2 番目の第 9 導電部分を含み、

30

前記 2 番目の第 9 導電部分が 1 番目の第 10 導電部分として兼用され、

前記第 8 トランジスタのアクティブ層は、第 1 方向に沿って順次に設置される 1 番目の第 10 導電部分、第 10 チャネル部分及び 2 番目の第 10 導電部分を含み、

前記 1 番目の第 9 導電部分が前記第 7 トランジスタの第 2 電極として用いられ、前記 2 番目の第 9 導電部分が前記第 7 トランジスタの第 1 電極として用いられ、前記 2 番目の第 10 導電部分が前記第 8 トランジスタの第 1 電極として用いられ、前記第 7 トランジスタの第 1 電極が前記第 8 トランジスタの第 2 電極として兼用され、

前記第 7 トランジスタのゲート電極が出力コンデンサの第 2 極板に結合され、前記第 7 トランジスタの第 2 電極が前記第 6 トランジスタのゲート電極に結合され、

前記第 8 トランジスタのゲート電極が前記第 1 トランジスタのゲート電極に結合され、前記第 8 トランジスタの第 1 電極が第 1 電圧信号線に結合され、

40

前記第 1 電圧信号線が第 1 方向に沿って延在され、

前記第 6 トランジスタ、前記第 7 トランジスタ、前記第 8 トランジスタ及び前記第 2 トランジスタは、第 1 方向に沿って順次に配列され、

前記走査駆動回路は第 2 クロック信号線をさらに含み、前記第 2 トランジスタのゲート電極及び第 7 トランジスタのゲート電極がそれぞれ前記第 2 クロック信号線に結合され、

前記第 2 クロック信号線が第 1 方向に沿って延在され、前記第 2 クロック信号線が前記第 2 トランジスタの表示領域から離れた側に位置している、請求項 1 に記載の表示基板。

【請求項 12】

前記走査駆動回路は、第 2 電圧信号線及び信号出力線をさらに含み、

50

前記信号出力線は、第 1 出力線部分及び少なくとも一つの第 2 出力線部分を含み、

前記第 2 電圧信号線及び前記第 1 出力線部分がいずれも第 1 方向に沿って延在され、前記第 1 出力線部分が前記第 2 電圧信号線と前記出力回路との間に位置しており、

前記第 2 出力線部分が第 2 方向に沿って延在され、

前記第 2 出力線部分が表示領域のうち、画素回路に発光制御信号を提供することに用いられ、

前記第 1 出力線部分及び前記出力回路が前記第 2 電圧信号線の前記表示領域から離れた側に位置しており、

または、

前記走査駆動回路は、第 1 電圧信号線、第 2 電圧信号線、第 1 クロック信号線及び第 2 クロック信号線をさらに含み、

前記第 1 電圧信号線、前記第 2 電圧信号線、前記第 1 クロック信号線及び前記第 2 クロック信号線がいずれも第 1 方向に沿って延在され、

前記第 1 電圧信号線の前記ベースでの正投影、前記第 1 クロック信号線の前記ベースでの正投影及び前記第 2 クロック信号線の前記ベースでの正投影がいずれも前記シフトレジスタユニットの前記ベースでの正投影の前記表示領域から離れた側に位置しており、

前記第 2 電圧信号線の前記ベースでの正投影は、前記シフトレジスタユニットの前記表示領域に近い側に位置している、

または、

前記信号出力線は、少なくとも一つの第 2 出力線部分をさらに含み、前記第 2 出力線部分が前記第 1 出力線部分に結合され、前記第 2 出力線部分が前記表示領域まで延在されて、前記表示領域に位置している画素回路に発光制御信号を提供することに用いられる、請求項 1 に記載の表示基板。

【請求項 13】

前記走査駆動回路は、第 1 電圧信号線、第 2 電圧信号線、第 1 クロック信号線、第 2 クロック信号線及び信号出力線をさらに含み、前記少なくとも一つのシフトレジスタユニットは、第 1 コンデンサ、出力コンデンサ、出力リセットコンデンサ、第 1 トランジスタ、第 2 トランジスタ、第 3 トランジスタ、第 4 トランジスタ、第 5 トランジスタ、第 6 トランジスタ、第 7 トランジスタ及び第 8 トランジスタをさらに含み、前記信号出力線は、少なくとも一つの第 2 出力線部分をさらに含み、

前記出力トランジスタのゲート電極が前記出力コンデンサの第 1 極板に結合され、前記出力トランジスタの第 1 電極が第 2 電圧信号線に結合され、前記出力トランジスタの第 2 電極が前記信号出力線に結合され、

前記出力リセットトランジスタのゲート電極が前記出力リセットコンデンサの第 1 極板に結合され、前記出力リセットトランジスタの第 1 電極が前記出力リセットコンデンサの第 2 極板に結合され、前記出力リセットトランジスタの第 2 電極が前記信号出力線に結合され、

前記出力リセットコンデンサの第 2 極板が前記第 1 電圧信号線に結合され、前記出力コンデンサの第 2 極板が前記第 7 トランジスタのゲート電極に結合され、

前記第 1 トランジスタの第 1 電極が前記出力コンデンサの第 2 極板に結合され、前記第 1 トランジスタの第 2 電極及び前記第 2 トランジスタの第 1 電極がそれぞれ前記第 1 コンデンサの第 2 極板に結合され、前記第 1 トランジスタのゲート電極が前記第 1 コンデンサの第 1 極板に結合され、

前記第 2 トランジスタのゲート電極が前記第 2 クロック信号線に結合され、前記第 2 トランジスタの第 2 電極が前記第 3 トランジスタの第 2 電極に結合され、

前記第 3 トランジスタのゲート電極が前記出力トランジスタのゲート電極に結合され、

前記第 3 トランジスタの第 1 電極が前記出力リセットコンデンサの第 1 極板に結合され、

前記第 4 トランジスタのゲート電極が前記第 5 トランジスタのゲート電極に結合され、

前記第 4 トランジスタの第 1 電極が前記出力トランジスタの第 1 電極に結合され、前記第 4 トランジスタの第 2 電極が前記第 6 トランジスタの第 2 電極に結合され、

10

20

30

40

50

前記第 5 トランジスタのゲート電極が前記第 1 クロック信号線に結合され、前記第 5 トランジスタの第 1 電極が入力信号端に結合され、第 5 トランジスタの第 2 電極が前記第 6 トランジスタのゲート電極に結合され、

前記第 6 トランジスタの第 1 電極が第 4 トランジスタのゲート電極に結合され、前記第 6 トランジスタの第 2 電極が前記第 4 トランジスタの第 2 電極に結合され、

前記第 8 トランジスタのゲート電極が前記第 1 トランジスタのゲート電極に結合され、前記第 8 トランジスタの第 1 電極が第 1 電圧信号線に結合され、

前記第 2 出力線部分は、前記第 1 出力線部分に結合され、前記第 2 出力線部分は前記表示領域まで延在されて、前記表示領域に位置している画素回路に発光制御信号を提供することに用いられ、

10

第 2 電圧信号線が前記シフトレジスタユニットの表示領域に近い側に設けられており、前記第 1 電圧信号線、前記第 1 クロック信号線及び前記第 2 クロック信号線が、前記シフトレジスタユニットの表示領域から離れた側に設けられており、

前記表示領域に近づいてくる方向に沿って、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線が順次に配列され、もしくは、前記表示領域に近づいてくる方向に沿って、前記第 2 クロック信号線、前記第 1 クロック信号線及び前記第 1 電圧信号線が順次に配列され、

前記走査駆動回路は、第 1 初期信号線及び第 2 初期信号線をさらに含み、前記表示領域に近づいてくる方向に沿って、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線が順次に配列される場合、

20

前記表示領域に近づいてくる方向に沿って、前記第 2 初期信号線、前記第 1 初期信号線、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線が順次に配列され、または

前記表示領域に近づいてくる方向に沿って、前記第 1 初期信号線、前記第 2 初期信号線、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線が順次に配列され、

前記表示領域に近づいてくる方向に沿って、前記第 2 クロック信号線、前記第 1 クロック信号線及び前記第 1 電圧信号線が順次に配列される場合、

前記表示領域に近づいてくる方向に沿って、前記第 2 初期信号線、前記第 1 初期信号線、前記第 2 クロック信号線、前記第 1 クロック信号線及び前記第 1 電圧信号線が順次に配列され、または

30

前記表示領域に近づいてくる方向に沿って、前記第 1 初期信号線、前記第 2 初期信号線、前記第 2 クロック信号線、前記第 1 クロック信号線及び前記第 1 電圧信号線が順次に配列され、

前記出力トランジスタ及び前記出力リセットトランジスタは前記出力コンデンサと前記第 1 出力線部分との間に位置しており、前記出力トランジスタ及び前記出力リセットトランジスタが前記第 1 方向に沿って順次に配列され、

第 1 方向に沿って、前記第 5 トランジスタ、前記第 6 トランジスタ、前記第 7 トランジスタ、前記第 8 トランジスタ、前記第 1 トランジスタ、前記第 1 コンデンサ、前記第 2 トランジスタ及び前記出力リセットトランジスタが順次に配列され、

40

前記第 5 トランジスタ、前記第 4 トランジスタ、前記第 6 トランジスタ、前記第 7 トランジスタ及び前記第 8 トランジスタが前記出力コンデンサと前記第 1 電圧信号線との間に位置しており、

前記第 5 トランジスタのゲート電極及び前記第 4 トランジスタのゲート電極が第 1 ゲート金属パターンに含まれ、前記第 1 ゲート金属パターンが前記第 2 方向に沿って延在される、請求項 1 に記載の表示基板。

【請求項 1 4】

前記表示基板は、前記ベースに設けられる複数行の画素回路をさらに含み、前記画素回路は発光制御端を含み、

前記シフトレジスタユニットが少なくとも一行の前記画素回路に対応され、

50

前記シフトレジスタユニットの信号出力線が前記少なくとも一行の画素回路の発光制御端に結合されて、前記少なくとも一行の画素回路の発光制御端に発光制御信号を提供することに用いられる、請求項 1 に記載の表示基板。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示技術分野に関し、特に、表示基板、その製作方法及び表示装置に関する。

【背景技術】

【0002】

アクティブマトリックス有機発光ダイオード (Active-Matrix Organic Light-Emitting Diode、AMOLED) 表示パネルは、低い消費電力、低い製造コスト、広い色域などのメリットを持ち、様々な分野で幅広く適用されている。

AMOLED 表示パネルは、表示領域に位置する画素回路及び周辺領域に位置する走査駆動回路を含み、前記画素回路は、アレイで分布されている複数のサブ画素回路を含み、前記走査駆動回路は複数のシフトレジスタユニットを含み、各シフトレジスタユニットは、対応するサブ画素回路に発光制御信号を提供することに用いられる。前記走査駆動回路が AMOLED 表示パネルの周辺領域に設置されているので、走査駆動回路の配列方式が AMOLED 表示パネルの額縁の幅を決めるようになっている。

【発明の概要】

【課題を解決するための手段】

【0003】

第 1 態様において、本開示の実施例には、表示基板であって、ベースに設けられている走査駆動回路及び表示領域を含み、前記走査駆動回路は、複数のシフトレジスタユニットを含み、前記複数のシフトレジスタユニットのうち、少なくとも一つのシフトレジスタユニットは、信号出力線及び出力回路を含み、前記出力回路は、出力トランジスタ及び出力リセットトランジスタを含み、

前記信号出力線は、第 1 方向に沿って延在される第 1 出力線部分を含み、

前記第 1 出力線部分は、信号線の重なり領域に設けられた複数の第 1 信号線ビアホールを介して前記出力トランジスタの第 2 電極に結合され、前記第 1 出力線部分は、前記信号線の重なり領域に設けられた複数の第 2 信号線ビアホールを介して前記出力リセットトランジスタの第 2 電極に結合され、前記複数の第 1 信号線ビアホールが第 1 方向に沿って順次に配列され、前記複数の第 2 信号線ビアホールが第 1 方向に沿って順次に配列され、

前記信号線の重なり領域は、第 1 信号線の重なり領域及び第 2 信号線の重なり領域を含み、前記第 1 信号線の重なり領域は、前記第 1 出力線部分の前記ベースでの正投影と、前記出力トランジスタの第 2 電極が含まれる第 1 ソース・ドレイン金属パターンの前記ベースでの正投影との重なり領域であり、前記第 2 信号線の重なり領域は、前記第 1 出力線部分の前記ベースでの正投影と、前記出力リセットトランジスタの第 2 電極が含まれる第 2 ソース・ドレイン金属パターンの前記ベースでの正投影との重なり領域であり、

第 1 方向に沿って順次に配列されるいずれか二つの第 1 信号線ビアホールの第 1 方向での最大距離と第 3 長さとの割合が第 1 所定割合であり、二つの隣接する第 1 信号線ビアホールの間の第 1 方向での最小距離が第 1 所定距離であり、前記第 3 長さが、前記第 1 信号線の重なり領域の第 1 方向での長さであり、

第 1 方向に沿って順次に配列されるいずれか二つの第 2 信号線ビアホールの第 1 方向での最大距離と第 4 長さとの割合が第 2 所定割合であり、二つの隣接する第 2 信号線ビアホールの間の第 1 方向での最小距離が第 2 所定距離であり、前記第 4 長さが、前記第 2 信号線の重なり領域の第 1 方向での長さであり、

前記第 1 所定割合が 0.05 以上かつ 0.9 以下であり、

前記第 1 所定距離が 1.5 μm 以上かつ 45 μm 以下であり、

前記第 2 所定割合が 0.05 以上かつ 0.9 以下であり、

10

20

30

40

50

前記第 2 所定距離が $1.5 \mu\text{m}$ 以上かつ $6.5 \mu\text{m}$ 以下である、表示基板を提供する。

【0004】

選択的に、前記出力トランジスタのアクティブ層及び前記出力リセットトランジスタのアクティブ層は、第 1 方向に沿って配列され、前記出力トランジスタのアクティブ層の前記第 1 方向での長さを第 1 長さとして、前記出力リセットトランジスタのアクティブ層の前記第 1 方向での長さを第 2 長さとして、前記第 1 長さと前記第 2 長さとの和が出力アクティブ長さであり、

前記出力トランジスタのアクティブ層の第 2 方向に沿う最小の幅と、前記出力リセットトランジスタのアクティブ層の第 2 方向に沿う最小の幅とのうち、小さいものを出力アクティブ幅とし、前記第 1 方向と前記第 2 方向は互いに交差する。

10

【0005】

選択的に、前記出力アクティブ長さと前記出力アクティブ幅との割合が所定割合の範囲内にあり、

前記所定割合の範囲が 3 以上かつ 11 以下である。

【0006】

選択的に、前記出力アクティブ幅が所定の幅の範囲内にあり、

前記所定の幅の範囲が $1.2 \mu\text{m}$ 以上かつ $4.5 \mu\text{m}$ である。

【0007】

選択的に、前記出力トランジスタのアクティブ層及び前記出力リセットトランジスタのアクティブ層が一つの連続した第 1 半導体層により形成され、前記第 1 半導体層が第 1 方向に沿って延在され、

20

前記第 1 半導体層の第 1 方向での長さが出力アクティブ長さであり、

前記第 1 半導体層の第 2 方向での最小の長さが前記出力アクティブ長さである。

【0008】

選択的に、前記少なくとも一つのシフトレジスタユニットは、第 1 トランジスタをさらに含み、

前記第 1 トランジスタは、第 1 アクティブパターンを含み、前記第 1 アクティブパターンが第 2 方向に沿って延在され、

前記第 1 トランジスタは、前記出力回路の表示領域から離れた側に位置している。

【0009】

30

選択的に、前記少なくとも一つのシフトレジスタユニットは、第 2 トランジスタ及び第 3 トランジスタをさらに含み、前記第 2 トランジスタの第 2 電極が前記第 3 トランジスタの第 2 電極に結合され、

前記第 2 トランジスタのゲート電極の前記ベースでの正投影と、前記第 3 トランジスタのゲート電極の前記ベースでの正投影との間の第 2 方向での最大距離が第 3 所定距離であり、

前記第 2 トランジスタ及び前記第 3 トランジスタは、前記出力回路の表示領域から離れた側に位置している。

【0010】

選択的に、前記第 3 所定距離が $1.4 \mu\text{m}$ 以上かつ $5.0 \mu\text{m}$ 以下である。

40

【0011】

選択的に、前記少なくとも一つのシフトレジスタユニットは、第 1 トランジスタ、第 2 トランジスタ及び第 1 コンデンサをさらに含み、

前記第 1 トランジスタの第 2 電極及び前記第 2 トランジスタの第 1 電極がそれぞれ前記第 1 コンデンサの第 2 極板に結合され、前記第 1 トランジスタのゲート電極が前記第 1 コンデンサの第 1 極板に結合され、

前記第 1 トランジスタ、前記第 1 コンデンサ及び前記第 2 トランジスタが第 1 方向に沿って順次に配列され、

前記第 1 トランジスタ、前記第 1 コンデンサ及び前記第 2 トランジスタが、前記出力回路の表示領域から離れた側に位置している。

50

【 0 0 1 2 】

選択的に、前記走査駆動回路は、第 1 電圧信号線をさらに含み、前記少なくとも一つのシフトレジスタユニットは、出力リセットコンデンサをさらに含み、前記出力リセットコンデンサの第 1 極板が前記出力リセットトランジスタのゲート電極に結合され、前記出力リセットコンデンサの第 2 極板が前記第 1 電圧信号線に結合され、

前記出力リセットコンデンサの第 2 極板の第 2 方向での最大の幅が第 1 所定の幅であり、前記出力リセットコンデンサの第 2 極板の第 1 方向での最大の長さが第 2 所定の長さであり、

前記出力リセットコンデンサは前記出力回路の表示領域から離れた側に位置しており、

前記出力リセットコンデンサの第 2 極板の前記ベースでの正投影が前記出力リセットコンデンサの第 1 極板の前記ベースでの正投影内にある。

10

【 0 0 1 3 】

選択的に、前記第 1 所定の幅が $3\ \mu\text{m}$ 以上かつ $60\ \mu\text{m}$ 以下であり、前記第 2 所定の長さが $3\ \mu\text{m}$ 以上かつ $20\ \mu\text{m}$ 以下である。

【 0 0 1 4 】

選択的に、前記第 1 電圧信号線が第 1 方向に沿って延在され、前記第 1 電圧信号線は前記出力リセットコンデンサの表示領域から離れた側に位置している。

【 0 0 1 5 】

選択的に、前記出力トランジスタ及び前記出力リセットトランジスタが第 1 方向に沿って配列され、前記走査駆動回路は、第 2 電圧信号線をさらに含み、前記少なくとも一つのシフトレジスタユニットは、出力リセットコンデンサをさらに含み、

20

前記出力リセットコンデンサの第 2 極板が前記第 1 電圧信号線に結合され、

前記出力トランジスタの第 1 電極が第 2 電圧信号線に結合され、前記出力リセットトランジスタの第 1 電極が前記出力リセットコンデンサの第 2 極板に結合され、

前記出力トランジスタ及び前記出力リセットトランジスタが前記第 2 電圧信号線の表示領域から離れた側に位置している。

【 0 0 1 6 】

選択的に、前記出力トランジスタのゲート電極は、少なくとも一つの出力ゲート電極パターンを含み、前記出力トランジスタの第 1 電極は、少なくとも一つの第 1 電極パターンを含み、前記出力トランジスタの第 2 電極は、少なくとも一つの第 2 電極パターンを含み、

30

前記出力ゲート電極パターンは、隣接する前記第 1 電極パターンと前記第 2 電極パターンとの間に位置しており、

前記第 1 電極パターン、前記出力ゲート電極パターン及び前記第 2 電極パターンはいずれも第 2 方向に沿って延在されている。

【 0 0 1 7 】

選択的に、前記出力リセットトランジスタのゲート電極は、少なくとも一つの出力リセットゲート電極パターンを含み、前記出力リセットトランジスタの第 1 電極は、少なくとも一つの第 3 電極パターンを含み、前記出力リセットトランジスタの第 2 電極は、少なくとも一つの第 4 電極パターンを含み、

前記出力リセットゲート電極パターンは、隣接する前記第 3 電極パターンと前記第 4 電極パターンとの間に位置しており、

40

前記第 3 電極パターン、前記出力リセットゲート電極パターン及び前記第 4 電極パターンはいずれも第 2 方向に沿って延在され、

前記出力リセットトランジスタのうち、前記出力トランジスタのゲート電極に最も近接する前記第 4 電極パターンが前記出力トランジスタの第 2 電極パターンとして兼用される。

【 0 0 1 8 】

選択的に、前記出力トランジスタのアクティブ層は、第 1 方向に沿って対向して設けられる少なくとも二つの第 1 導電部分及び少なくとも一つの第 1 チャネル部分を含み、それぞれの前記第 1 チャネル部分は二つの隣接する前記第 1 導電部分の間に設けられており、

前記第 1 チャネル部分が前記出力ゲート電極パターンに一対一対応され、各前記第 1 電

50

ヤネル部分の前記ベースでの正投影が、いずれも対応する前記出力ゲート電極パターン
の前記ベースでの正投影の内部に位置しており、

前記出力トランジスタのうちの一部の前記第 1 導電部分が前記第 1 電極パターンに一対
一対応され、前記第 1 電極パターンの前記ベースでの正投影と、対応する前記第 1 導電部
分の前記ベースでの正投影とが第 1 重なり領域を有し、前記第 1 電極パターンは前記第 1
重なり領域に設けられている少なくとも一つの第 1 ピアホールを介して対応する前記第 1
導電部分に結合され、

前記出力トランジスタのうちの他の一部の前記第 1 導電部分が前記第 2 電極パターンに
一対一対応され、前記第 2 電極パターンの前記ベースでの正投影と、対応する前記第 1 導
電部分の前記ベースでの正投影とが第 2 重なり領域を有し、前記第 2 電極パターンは前記
第 2 重なり領域に設けられている少なくとも一つの第 2 ピアホールを介して対応する前記
第 1 導電部分に結合される。

10

【 0 0 1 9 】

選択的に、前記出力リセットトランジスタのアクティブ層は、第 1 方向に沿って対向し
て設けられる少なくとも二つの第 2 導電部分及び少なくとも一つの第 2 チャンネル部分を含
み、それぞれの前記第 2 チャンネル部分は二つの隣接する前記第 2 導電部分の間に設けられ
ており、

前記第 2 チャンネル部分は、前記出力リセットゲート電極パターンに一対一対応され、各
前記第 2 チャンネル部分の前記ベースでの正投影は、いずれも対応する前記出力リセットゲ
ート電極パターン前記ベースでの正投影の内部に位置しており、

20

前記出力リセットトランジスタのうちの一部の前記第 2 導電部分が前記第 3 電極パター
ンに一対一対応され、前記第 3 電極パターン前記ベースでの正投影と、対応する前記第
2 導電部分の前記ベースでの正投影とが第 3 重なり領域を有し、前記第 3 電極パターンは
、前記第 3 重なり領域に設けられている少なくとも一つの第 3 ピアホールを介して対応す
る前記第 2 導電部分に結合され、

前記出力リセットトランジスタのうちの他の一部の前記第 2 導電部分が前記第 4 電極パ
ターンに一対一対応され、前記第 4 電極パターン前記ベースでの正投影と、対応する前
記第 2 導電部分の前記ベースでの正投影とが第 4 重なり領域を有し、前記第 4 電極パター
ンは、前記第 4 重なり領域に設けられている少なくとも一つの第 4 ピアホールを介して対
応する前記第 2 導電部分に結合される。

30

【 0 0 2 0 】

選択的に、前記走査駆動回路は第 2 電圧信号線をさらに含み、前記少なくとも一つのシ
フトレジスタユニットは、第 4 トランジスタをさらに含み、

前記第 2 電圧信号線が電極導電接続部に結合され、前記電極導電接続部が第 2 方向に沿
って延在され、前記少なくとも一つの第 1 電極パターンは第 1 方向に沿って順次に配列さ
れ、

前記電極導電接続部が前記出力トランジスタの第 1 電極に含まれる 1 番目の第 1 電極パ
ターンに結合され、

前記第 4 トランジスタの第 1 電極が前記電極導電接続部に結合され、

前記第 4 トランジスタのゲート電極の前記ベースでの正投影と、前記電極導電接続部の
前記ベースでの正投影との間の第 1 方向での最小距離が第 4 所定距離である。

40

【 0 0 2 1 】

選択的に、前記第 4 所定距離が $1\ \mu\text{m}$ 以上かつ $5\ \mu\text{m}$ 以下である。

【 0 0 2 2 】

選択的に、前記少なくとも一つのシフトレジスタユニットは、第 4 トランジスタ及び第
5 トランジスタをさらに含み、

前記第 4 トランジスタのゲート電極が前記第 5 トランジスタのゲート電極に結合され、

前記第 4 トランジスタのゲート電極及び前記第 5 トランジスタのゲート電極が第 1 ゲー
ト金属パターンに含まれ、前記第 1 ゲート金属パターンが第 2 方向に沿って延在される。

【 0 0 2 3 】

50

選択的に、前記走査駆動回路は第 1 クロック信号線をさらに含み、前記第 5 トランジスタのゲート電極が前記第 1 クロック信号線に結合され、

前記第 1 クロック信号線は第 1 方向に沿って延在され、前記第 1 クロック信号線は前記第 5 トランジスタの表示領域から離れた側に位置している。

【 0 0 2 4 】

選択的に、前記少なくとも一つのシフトレジスタユニットは、第 1 トランジスタ、第 4 トランジスタ、第 5 トランジスタ、第 6 トランジスタ及び出力コンデンサをさらに含み、

前記第 5 トランジスタの第 1 電極が入力信号端に結合され、前記第 5 トランジスタの第 2 電極が前記第 6 トランジスタのゲート電極に結合され、

前記第 6 トランジスタのゲート電極は、互いに結合される第 1 ゲート電極パターン及び第 2 ゲート電極パターンを含み、

10

前記第 1 ゲート電極パターン及び前記第 2 ゲート電極パターンがそれぞれ前記出力コンデンサの第 1 極板に結合され、前記出力コンデンサの第 1 極板が前記出力トランジスタのゲート電極に結合され、

前記第 6 トランジスタの第 1 電極が第 4 トランジスタのゲート電極に結合され、前記第 6 トランジスタの第 2 電極が前記第 4 トランジスタの第 2 電極に結合され、前記出力コンデンサの第 2 極板が前記第 1 トランジスタの第 1 電極に結合され、

前記第 4 トランジスタ、前記第 6 トランジスタ及び前記第 1 トランジスタが前記第 1 方向に沿って順次に配列され、

前記第 5 トランジスタ、前記第 6 トランジスタ及び前記第 1 トランジスタが前記第 1 方向に沿って順次に配列され、

20

前記出力コンデンサは、前記第 6 トランジスタと前記出力回路との間に位置している。

【 0 0 2 5 】

選択的に、前記少なくとも一つのシフトレジスタユニットは、第 2 トランジスタ、第 1 トランジスタ、第 6 トランジスタ、第 7 トランジスタ及び第 8 トランジスタをさらに含み、

前記第 7 トランジスタのアクティブ層及び前記第 8 トランジスタのアクティブ層が一つの連続した第 2 半導体層により形成され、前記第 2 半導体層が第 1 方向に沿って延在され、

前記第 7 トランジスタのアクティブ層は、第 1 方向に沿って順次に設置される 1 番目の第 9 導電部分、第 9 チャネル部分及び 2 番目の第 9 導電部分を含み、

前記 2 番目の第 9 導電部分が 1 番目の第 10 導電部分として兼用され、

30

前記第 8 トランジスタのアクティブ層は、第 1 方向に沿って順次に設置される 1 番目の第 10 導電部分、第 10 チャネル部分及び 2 番目の第 10 導電部分を含み、

前記 1 番目の第 9 導電部分が前記第 7 トランジスタの第 2 電極として用いられ、前記 2 番目の第 9 導電部分が前記第 7 トランジスタの第 1 電極として用いられ、前記 2 番目の第 10 導電部分が前記第 8 トランジスタの第 1 電極として用いられ、前記第 7 トランジスタの第 1 電極が前記第 8 トランジスタの第 2 電極として兼用され、

前記第 7 トランジスタのゲート電極が出力コンデンサの第 2 極板に結合され、前記第 7 トランジスタの第 2 電極が前記第 6 トランジスタのゲート電極に結合され、

前記第 8 トランジスタのゲート電極が前記第 1 トランジスタのゲート電極に結合され、前記第 8 トランジスタの第 1 電極が第 1 電圧信号線に結合され、

40

前記第 1 電圧信号線が第 1 方向に沿って延在され、

前記第 6 トランジスタ、前記第 7 トランジスタ、前記第 8 トランジスタ及び前記第 2 トランジスタは、第 1 方向に沿って順次に配列される。

【 0 0 2 6 】

選択的に、前記走査駆動回路は第 2 クロック信号線をさらに含み、前記第 2 トランジスタのゲート電極及び第 7 トランジスタのゲート電極がそれぞれ前記第 2 クロック信号線に結合され、

前記第 2 クロック信号線が第 1 方向に沿って延在され、前記第 2 クロック信号線が前記第 2 トランジスタの表示領域から離れた側に位置している。

【 0 0 2 7 】

50

選択的に、前記走査駆動回路は、第 2 電圧信号線及び信号出力線をさらに含み、
前記信号出力線は、第 1 出力線部分及び少なくとも一つの第 2 出力線部分を含み、
前記第 2 電圧信号線及び前記第 1 出力線部分がいずれも第 1 方向に沿って延在され、前記第 1 出力線部分が前記第 2 電圧信号線と前記出力回路との間に位置しており、
前記第 2 出力線部分が第 2 方向に沿って延在され、
前記第 2 出力線部分が表示領域のうち、画素回路に発光制御信号を提供することに用いられ、
前記第 1 出力線部分及び前記出力回路が前記第 2 電圧信号線の前記表示領域から離れた側に位置している。

【 0 0 2 8 】

選択的に、前記走査駆動回路は、第 1 電圧信号線、第 2 電圧信号線、第 1 クロック信号線及び第 2 クロック信号線をさらに含み、
前記第 1 電圧信号線、前記第 2 電圧信号線、前記第 1 クロック信号線及び前記第 2 クロック信号線がいずれも第 1 方向に沿って延在され、
前記第 1 電圧信号線の前記ベースでの正投影、前記第 1 クロック信号線の前記ベースでの正投影及び前記第 2 クロック信号線の前記ベースでの正投影がいずれも前記シフトレジスタユニットの前記ベースでの正投影の前記表示領域から離れた側に位置しており、
前記第 2 電圧信号線の前記ベースでの正投影は、前記シフトレジスタユニットの前記表示領域に近い側に位置している。

【 0 0 2 9 】

選択的に、前記信号出力線は、少なくとも一つの第 2 出力線部分をさらに含み、前記第 2 出力線部分が前記第 1 出力線部分に結合され、前記第 2 出力線部分が前記表示領域まで延在されて、前記表示領域に位置している画素回路に発光制御信号を提供することに用いられる。

【 0 0 3 0 】

選択的に、前記走査駆動回路は、第 1 電圧信号線、第 2 電圧信号線、第 1 クロック信号線、第 2 クロック信号線及び信号出力線をさらに含み、前記少なくとも一つのシフトレジスタユニットは、第 1 コンデンサ、出力コンデンサ、出力リセットコンデンサ、第 1 トランジスタ、第 2 トランジスタ、第 3 トランジスタ、第 4 トランジスタ、第 5 トランジスタ、第 6 トランジスタ、第 7 トランジスタ及び第 8 トランジスタをさらに含み、前記信号出力線は、少なくとも一つの第 2 出力線部分をさらに含み、

前記出力トランジスタのゲート電極が前記出力コンデンサの第 1 極板に結合され、前記出力トランジスタの第 1 電極が第 2 電圧信号線に結合され、前記出力トランジスタの第 2 電極が前記信号出力線に結合され、

前記出力リセットトランジスタのゲート電極が前記出力リセットコンデンサの第 1 極板に結合され、前記出力リセットトランジスタの第 1 電極が前記出力リセットコンデンサの第 2 極板に結合され、前記出力リセットトランジスタの第 2 電極が前記信号出力線に結合され、

前記出力リセットコンデンサの第 2 極板が前記第 1 電圧信号線に結合され、前記出力コンデンサの第 2 極板が前記第 7 トランジスタのゲート電極に結合され、

前記第 1 トランジスタの第 1 電極が前記出力コンデンサの第 2 極板に結合され、前記第 1 トランジスタの第 2 電極及び前記第 2 トランジスタの第 1 電極がそれぞれ前記第 1 コンデンサの第 2 極板に結合され、前記第 1 トランジスタのゲート電極が前記第 1 コンデンサの第 1 極板に結合され、

前記第 2 トランジスタのゲート電極及び第 7 トランジスタのゲート電極がそれぞれ前記第 2 クロック信号線に結合され、前記第 2 トランジスタの第 2 電極が前記第 3 トランジスタの第 2 電極に結合され、

前記第 3 トランジスタのゲート電極が前記出力トランジスタのゲート電極に結合され、前記第 3 トランジスタの第 1 電極が前記出力リセットコンデンサの第 1 極板に結合され、

前記第 4 トランジスタのゲート電極が前記第 5 トランジスタのゲート電極に結合され、

10

20

30

40

50

前記第 4 トランジスタの第 1 電極が前記出力トランジスタの第 1 電極に結合され、前記第 4 トランジスタの第 2 電極が前記第 6 トランジスタの第 2 電極に結合され、

前記第 5 トランジスタのゲート電極が前記第 1 クロック信号線に結合され、前記第 5 トランジスタの第 1 電極が入力信号端に結合され、第 5 トランジスタの第 2 電極が前記第 6 トランジスタのゲート電極に結合され、

前記第 6 トランジスタの第 1 電極が第 4 トランジスタのゲート電極に結合され、前記第 6 トランジスタの第 2 電極が前記第 4 トランジスタの第 2 電極に結合され、

前記第 7 トランジスタのゲート電極が出力コンデンサの第 2 極板に結合され、前記第 7 トランジスタの第 1 電極が前記第 8 トランジスタの第 2 電極として兼用され、前記第 7 トランジスタの第 2 電極が前記第 6 トランジスタのゲート電極に結合され、

10

前記第 8 トランジスタのゲート電極が前記第 1 トランジスタのゲート電極に結合され、前記第 8 トランジスタの第 1 電極が第 1 電圧信号線に結合され、

前記第 2 出力線部分は、前記第 1 出力線部分に結合され、前記第 2 出力線部分は前記表示領域まで延在されて、前記表示領域に位置している画素回路に発光制御信号を提供することに用いられる。

【 0 0 3 1 】

選択的に、第 2 電圧信号線が前記シフトレジスタユニットの表示領域に近い側に設けられており、

前記第 1 電圧信号線、前記第 1 クロック信号線及び前記第 2 クロック信号線が、前記シフトレジスタユニットの表示領域から離れた側に設けられており、

20

前記表示領域に近づいてくる方向に沿って、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線が順次に配列され、もしくは、前記表示領域に近づいてくる方向に沿って、前記第 2 クロック信号線、前記第 1 クロック信号線及び前記第 1 電圧信号線が順次に配列される。

【 0 0 3 2 】

選択的に、前記走査駆動回路は、第 1 初期信号線及び第 2 初期信号線をさらに含み、

前記表示領域に近づいてくる方向に沿って、前記第 2 初期信号線、前記第 1 初期信号線、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線が順次に配列され、

前記表示領域に近づいてくる方向に沿って、前記第 1 初期信号線、前記第 2 初期信号線、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線が順次に配列され、

30

前記表示領域に近づいてくる方向に沿って、前記第 2 初期信号線、前記第 1 初期信号線、前記第 2 クロック信号線、前記第 1 クロック信号線及び前記第 1 電圧信号線が順次に配列され、

前記表示領域に近づいてくる方向に沿って、前記第 1 初期信号線、前記第 2 初期信号線、前記第 2 クロック信号線、前記第 1 クロック信号線及び前記第 1 電圧信号線が順次に配列される。

【 0 0 3 3 】

選択的に、前記出力トランジスタ及び前記出力リセットトランジスタは前記出力コンデンサと前記第 1 出力線部分との間に位置しており、前記出力トランジスタ及び前記出力リセットトランジスタが前記第 1 方向に沿って順次に配列され、

40

第 1 方向に沿って、前記第 5 トランジスタ、前記第 6 トランジスタ、前記第 7 トランジスタ、前記第 8 トランジスタ、前記第 1 トランジスタ、前記第 1 コンデンサ、前記第 2 トランジスタ及び前記出力リセットトランジスタが順次に配列され、

前記第 5 トランジスタ、前記第 4 トランジスタ、前記第 6 トランジスタ、前記第 7 トランジスタ及び前記第 8 トランジスタが前記出力コンデンサと前記第 1 電圧信号線との間に位置しており、

前記第 5 トランジスタのゲート電極及び前記第 4 トランジスタのゲート電極が第 1 ゲート金属パターンに含まれ、前記第 1 ゲート金属パターンが前記第 2 方向に沿って延在され

50

る。

【 0 0 3 4 】

選択的に、前記表示基板は、前記ベースに設けられる複数行の画素回路をさらに含み、前記画素回路は発光制御端を含み、

前記シフトレジスタユニットが少なくとも一行の前記画素回路に対応され、

前記シフトレジスタユニットの信号出力線が前記少なくとも一行の画素回路の発光制御端に結合されて、前記少なくとも一行の画素回路の発光制御端に発光制御信号を提供することに用いられる。

【 0 0 3 5 】

第 2 態様において、本開示の実施例では、表示基板の製作方法であって、前記表示基板の製作方法は、ベース上に走査駆動回路を製作することを含み、前記走査駆動回路は、複数のシフトレジスタユニットを含み、前記複数のシフトレジスタユニットのうち、少なくとも一つのシフトレジスタユニットは、出力回路を含み、前記出力回路は、出力トランジスタ及び出力リセットトランジスタを含み、

前記表示基板の製作方法は、

前記ベース上に半導体層を製作し、前記半導体層にパターニング工程を行って、出力トランジスタのアクティブ層及び出力リセットトランジスタのアクティブ層を形成することと、

前記半導体層の前記ベースに背く一面に第 1 ゲート金属層を製作し、前記第 1 ゲート金属層にパターニング工程を行って、前記出力トランジスタのゲート電極及び前記出力リセットトランジスタのゲート電極を形成することと、

前記出力トランジスタのゲート電極及び前記出力リセットトランジスタのゲート電極をマスクとして、半導体層のうち、前記ゲート電極により被覆されていない部分に対してドーピングを行って、前記半導体層のうち、前記ゲート電極により被覆されていない部分を導電部分として形成し、前記半導体層のうち、前記ゲート電極により被覆されている部分をチャンネル部分として形成することと、

前記第 1 ゲート金属層の前記半導体層に背く一面に第 2 ゲート金属層を設け、前記第 2 ゲート金属層にパターニング工程を行って、第 1 方向に沿って延在される第 1 出力線部分を含む信号出力線を形成することと、

前記第 2 ゲート金属層の前記第 1 ゲート金属層に背く一面に第 1 絶縁層を設けることと、

前記第 1 絶縁層と前記第 1 出力線とが部分的に重なる領域に、前記第 1 絶縁層を貫通する複数の第 1 信号線ビアホール及び複数の第 2 信号線ビアホールを製作することと、

前記第 1 絶縁層の前記第 2 ゲート金属層に背く一面にソース・ドレイン金属層を製作し、前記ソース・ドレイン金属層にパターニング工程を行って、第 1 ソース・ドレイン金属パターン及び第 2 ソース・ドレイン金属パターンを形成することと、を含み、

前記第 1 ソース・ドレイン金属パターンが前記出力トランジスタの第 2 電極を含み、前記第 2 ソース・ドレイン金属パターンが前記出力リセットトランジスタの第 2 電極を含んでいることで、前記第 1 出力線部分が前記複数の第 1 信号線ビアホールを介して前記出力トランジスタの第 2 電極に結合され、かつ前記第 1 出力線部分が前記複数の第 2 信号線ビアホールを介して前記出力リセットトランジスタの第 2 電極に結合され、

前記信号出力線は、第 1 方向に沿って延在される第 1 出力線部分を含み、

前記複数の第 1 信号線ビアホールが第 1 方向に沿って順次に配列され、前記複数の第 2 信号線ビアホールが第 1 方向に沿って順次に配列され、

第 1 方向に沿って順次に配列されるいずれか二つの第 1 信号線ビアホールの第 1 方向での最大距離と第 3 長さとの割合が第 1 所定割合であり、二つの隣接する第 1 信号線ビアホールの間の第 1 方向での最小距離が第 1 所定距離であり、

第 1 方向に沿って順次に配列されるいずれか二つの第 2 信号線ビアホールの第 1 方向での最大距離と第 4 長さとの割合が第 2 所定割合であり、二つの隣接する第 2 信号線ビアホールの間の第 1 方向での最小距離が第 2 所定距離であり、

前記第 3 長さは、前記第 1 信号線の重なり領域の第 1 方向での長さであり、前記第 4 長

10

20

30

40

50

さは、前記第 2 信号線の重なり領域の第 1 方向での長さであり、

前記第 1 所定割合は、0.05 以上かつ 0.9 以下であり、

前記第 1 所定距離は、1.5 μm 以上かつ 45 μm 以下であり、

前記第 2 所定割合は、0.05 以上かつ 0.9 以下であり、

前記第 2 所定距離は、1.5 μm 以上かつ 65 μm 以下である、表示基板の製作方法を提供する。

【0036】

選択的に、前記出力トランジスタのアクティブ層の前記第 1 方向での長さを第 1 長さとして、前記出力リセットトランジスタのアクティブ層の前記第 1 方向での長さを第 2 長さとして、前記第 1 長さと前記第 2 長さとの和が出力アクティブ長さであり、

前記出力トランジスタのアクティブ層の第 2 方向に沿う最小の幅と、前記出力リセットトランジスタのアクティブ層の第 2 方向に沿う最小の幅とのうち、小さいものを出力アクティブ幅とし、前記第 1 方向と前記第 2 方向は互いに交差する。

【0037】

選択的に、前記出力アクティブ長さと前記出力アクティブ幅との割合が所定割合の範囲内にあり、

前記所定割合の範囲が 3 以上かつ 11 以下である。

【0038】

選択的に、前記出力アクティブ幅が所定の幅の範囲内にあり、

前記所定の幅の範囲が 12 μm 以上かつ 45 μm 以下である。

【0039】

第 3 態様において、本開示の実施例では、上記の表示基板を含む表示装置をさらに提供する。

【図面の簡単な説明】

【0040】

【図 1】本開示の実施例に記載の表示基板に含まれる少なくとも一つのシフトレジスタユニットの少なくとも一実施例の回路図である。

【図 2 A】図 1 に示されるシフトレジスタユニットの少なくとも一実施例の動作シーケンス図である。

【図 2 B】本開示の少なくとも一実施例に記載の表示基板の領域区画の概略図である。

【図 2 C】本開示の少なくとも一実施例に記載の表示基板に含まれる走査駆動回路と画素回路との間の接続関係の概略図である。

【図 2 D】本開示の少なくとも一実施例に係るシフトレジスタユニットのレイアウト概略図である。

【図 3 A】本開示の少なくとも一実施例に係るシフトレジスタユニットの他のレイアウト概略図である。

【図 3 B】本開示の少なくとも一実施例に係るシフトレジスタユニットの更なる他のレイアウト概略図である。

【図 4】図 3 A に基づいた、第 1 方向に沿って順次に配列される 1 番目の第 1 信号線ビアホールと最後の一つの第 1 信号線ビアホールとの第 1 方向での最大距離 K1 及び第 1 方向に沿って順次に配列される 1 番目の第 2 信号線ビアホールと最後の一つの第 2 信号線ビアホールとの第 1 方向での最大距離 K2 を示した概略図である。

【図 5】本開示の少なくとも一実施例に係るシフトレジスタユニットのうちのアクティブ層の概略図である。

【図 6】本開示の少なくとも一実施例に係るシフトレジスタユニットのうちの第 1 ゲート金属層の概略図である。

【図 7】本開示の少なくとも一実施例に係るシフトレジスタユニットのうちの第 2 ゲート金属層の概略図である。

【図 8】本開示の少なくとも一実施例に係るシフトレジスタユニットに用いられるビアホールの概略図である。

10

20

30

40

50

【図 9】本開示の少なくとも一実施例に係るシフトレジスタユニットのうちのソース・ドレイン金属層の概略図である。

【図 10】図 3 A のソース・ドレイン金属層の概略図である。

【図 11】本開示の少なくとも一実施例に係るシフトレジスタユニットの更なる他のレイアウト概略図である。

【発明を実施するための形態】

【0041】

以下、本開示の実施例の図面を参照しながら、本開示の実施例の技術案を明確かつ完全に説明する。明らかなように、説明される実施例は本開示の一部の実施例に過ぎず、全ての実施例ではない。説明される本開示の実施例に基づいて、当業者が創造的な努力をせず

10

【0042】

図 1 に示すように、本開示の少なくとも一実施例は、表示基板を提供し、前記表示基板は表示基板の周辺領域に位置する走査駆動回路を含み、前記走査駆動回路は、第 1 電圧信号線 VGH、第 2 電圧信号線 VGL、第 1 クロック信号線 CK、第 2 クロック信号線 CB 及び信号出力線 E0 を含み、前記走査駆動回路は、複数のシフトレジスタユニットをさらに含み、

図 1 に示すように、前記複数のシフトレジスタユニットのうち、少なくとも一つのシフトレジスタユニットの少なくとも一実施例は、第 1 コンデンサ C1、出力コンデンサ C2、出力リセットコンデンサ C3、出力トランジスタ T10、出力リセットトランジスタ T9、第 1 トランジスタ T1、第 2 トランジスタ T2、第 3 トランジスタ T3、第 4 トランジスタ T4、第 5 トランジスタ T5、第 6 トランジスタ T6、第 7 トランジスタ T7 及び第 8 トランジスタ T8 を含み、

20

前記出力トランジスタ T10 のゲート電極 G10 は、前記出力コンデンサ C2 の第 1 極板 C2a に結合され、前記出力トランジスタ T10 の第 1 電極 S10 は、第 2 電圧信号線 VGL に結合され、前記出力トランジスタ T10 の第 2 電極 D10 は、前記信号出力線 E0 に結合され、

前記出力リセットトランジスタ T9 のゲート電極 G9 は、前記出力リセットコンデンサ C3 の第 1 極板 C3a に結合され、前記出力リセットトランジスタ T9 の第 1 電極 S9 は、前記出力リセットコンデンサ C3 の第 2 極板 C3b に結合され、前記出力リセットトランジスタ T9 の第 2 電極 D9 は、前記信号出力線 E0 に結合され、

30

前記出力リセットコンデンサ C3 の第 2 極板 C3b が前記第 1 電圧信号線 VGH に結合され、前記出力コンデンサ C2 の第 2 極板 C2b が第 2 クロック信号線 CB に結合され、

前記第 1 トランジスタ T1 の第 1 電極 S1 が前記第 2 クロック信号線 CB に結合され、前記第 1 トランジスタ T1 の第 2 電極 D1 及び前記第 2 トランジスタ T2 の第 1 電極 S2 がそれぞれ前記第 1 コンデンサ C1 の第 2 極板 C1b に結合され、前記第 1 トランジスタ T1 のゲート電極 G1 が前記第 1 コンデンサ C1 の第 1 極板 C1a に結合され、

前記第 2 トランジスタ T2 のゲート電極 G2 及び第 7 トランジスタ T7 のゲート電極 G7 は、それぞれ前記第 1 クロック信号線 CB に結合され、前記第 2 トランジスタ T2 の第 2 電極 D2 は、前記第 3 トランジスタ T3 の第 2 電極 D3 に結合され、前記第 2 トランジスタ T2 の第 1 電極 S2 は、前記第 1 コンデンサの第 2 極板 C1b に結合され、

40

前記第 3 トランジスタ T3 のゲート電極 G3 は、前記出力トランジスタ T10 のゲート電極 G10 に結合され、前記第 3 トランジスタ T3 の第 1 電極 S3 は、前記第 1 電圧信号線 VGH に結合され、

前記第 4 トランジスタ T4 のゲート電極 G4 及び前記第 5 トランジスタ T5 のゲート電極 G5 は、いずれも第 1 クロック信号線 CK に結合され、前記第 4 トランジスタ T4 の第 1 電極 S4 及び前記出力トランジスタ T10 の第 1 電極 S10 は、いずれも第 2 電圧信号線 VGL に結合され、前記第 4 トランジスタ T4 の第 2 電極 D4 は、前記第 6 トランジスタ T6 の第 2 電極 D6 に結合され、

前記第 5 トランジスタ T5 のゲート電極 G5 は、前記第 1 クロック信号線 CK に結合さ

50

れ、第5トランジスタT5の第2電極D5は、前記第6トランジスタT6のゲート電極G6に結合され、前記第5トランジスタT5の第1電極S5は、入力信号端E1に結合され、

前記第6トランジスタT6の第1電極S1及び第4トランジスタT4のゲート電極G4は、いずれも第1クロック信号線CKに結合され、前記第6トランジスタT6の第2電極D6は、前記第4トランジスタT4の第2電極D4に結合され、前記第6トランジスタT6のゲート電極G6は、第5トランジスタの第2電極D1に結合され、

前記第7トランジスタT7のゲート電極G7及び出力コンデンサC2の第2極板C2bは、いずれも第2クロック信号線CBに結合され、前記第7トランジスタT7の第1電極S7は、前記第8トランジスタT8の第2電極D8に結合され、前記第7トランジスタT7の第2電極D7は、前記第6トランジスタT6のゲート電極G6に結合され、

10

前記第8トランジスタT8のゲート電極G8は、前記第1トランジスタT1のゲート電極G1に結合され、前記第8トランジスタT8の第1電極S8は、第1電圧信号線VGHに結合される。

【0043】

図1に示されるシフトレジスタユニットの少なくとも一実施例では、全てのトランジスタはいずれもp型トランジスタであるが、これに限らない。

【0044】

本開示の少なくとも一実施例では、図1に示されるシフトレジスタユニットの少なくとも一実施例は、発光制御走査駆動回路であってもよいが、これに限らない。

【0045】

20

本開示の少なくとも一実施例では、トランジスタの第1電極はソース電極であってもよく、トランジスタの第2電極はドレイン電極であってもよく、もしくは、トランジスタの第1電極はドレイン電極であってもよく、トランジスタの第2電極はソース電極であってもよく。

【0046】

図1において、符号N1は第1ノードであり、符号N2は第2ノードであり、符号N3は第3ノードであり、符号N4は第4ノードである。

【0047】

図1に示した少なくとも一実施例では、第1電圧信号線VGHは高電圧Vghを提供することができ、第2電圧信号線VGLは低電圧Vglを提供することができるが、これに限らない。

30

【0048】

図2Aに示すように、本開示の図1に示されるシフトレジスタユニットの少なくとも一実施例において、動作する時に、

第1段階P1で、E1がハイレベルを提供し、CKがローレベルを提供し、CBがハイレベルを提供し、T5及びT4がオンとなり、N1の電位がハイレベルで、T6はオフとなり、N2の電位はローレベルであるので、T7、T3及びT10がオフとなり、T8及びT1がオンとなり、この時、N3の電位がハイレベルであり、CBがハイレベルを提供するので、T2がオフとなり、コンデンサの両端の電圧が突然に変化しないので、N4の電位が、前フレームのハイレベルに保持されて、T9がオフとなり、E0から出力される発光制御信号の電位が、前フレームのローレベルに保持され、

40

第2段階P2で、E1及びCKがいずれもハイレベルを提供し、CBがローレベルを提供し、T5、T6及びT4がいずれもオフとなり、N1の電位がハイレベルに保持され、N2の電位がローレベルに保持され、T7、T8及びT1がいずれもオンとなり、N3の電位がハイレベルからローレベルに変化し、T2がオンとなり、N4の電位がローレベルであり、T9がオンとなり、E0がハイレベルを出力し、T3及びT10がいずれもオフとなり、

第3段階P3で、E1及びCBがいずれもハイレベルを提供し、CKがローレベルを提供し、T5及びT4がいずれもオンとなり、N1の電位がハイレベルであり、N2の電位がローレベルであり、T6及びT7がいずれもオフとなり、T8及びT1がいずれもオン

50

となり、N 3 の電位が前の段階のローレベルからハイレベルに変化し、T 2 がオフとなり、N 4 の電位がローレベルに保持され、T 9 がオンとなり、E 0 がハイレベルを出力し、T 3 及び T 1 0 がいずれもオフとなり、

第 4 段階 P 4 で、E 1 及び C B がいずれもローレベルを提供し、C K がハイレベルを提供し、T 5 及び T 4 がいずれもオフとなり、N 1 の電位がハイレベルであり、T 6 がオフとなり、N 2 の電位がローレベルに保持され、T 7、T 8 及び T 1 がいずれもオンとなり、N 3 の電圧がローレベルにジャンプし、T 2 がオンとなり、N 4 の電位がローレベルであり、T 9 がオンとなり、E 0 がハイレベルを出力し、T 3 及び T 1 0 がいずれもオフとなり、

第 5 段階 P 5 で、E 1 及び C K がいずれもローレベルを提供し、C B がハイレベルを提供し、T 5、T 6 及び T 4 がいずれもオンとなり、N 1 の電位及び N 2 の電位はいずれもローレベルであり、T 7 がオフとなり、T 7 及び T 1 がいずれもオンとなり、N 3 の電圧がハイレベルに変化し、T 2 がオフとなり、T 3 がオンとなり、N 4 の電圧がハイレベルに変化し、T 9 がオフとなり、T 1 0 がオンとなり、E 0 がローレベルを出力し、

第 6 段階 P 6 で、E 1 及び C B 信号はローレベルであり、C K はハイレベルであり、T 1、T 3 がオフとなり、ノード N 1 がローレベルを保持され、T 2 がオンとなり、N 2 ノードの電圧はハイレベルであり、T 4、T 5 がオンとなり、T 6 がオフとなり、N 3 ノードはハイレベルであり、T 7、T 8 がオンとなり、N 4 ノードはハイレベルであり、T 9 がオフとなり、T 1 0 はオンとなり、E 0 がローレベルを出力する。

【 0 0 4 9 】

第 7 段階 P 7 で、E 1 及び C K がいずれもローレベルを提供し、C B がハイレベルを提供し、T 5、T 6 及び T 4 がいずれもオンとなり、N 1 の電位及び N 2 の電位はいずれもローレベルであり、T 7 がオフとなり、T 8 及び T 1 がいずれもオンとなり、N 3 の電位はハイレベルであり、T 2 がオフとなり、T 3 がオンとなり、N 4 の電位はハイレベルであり、T 9 がオフとなり、T 1 0 がオンとなり、E 0 がローレベルを出力し、

【 0 0 5 0 】

第 8 段階 P 8 で、E 1 及び C B がいずれもローレベルを提供し、C K がハイレベルを提供し、T 5 及び T 4 がいずれもオフとなり、N 1 の電位がローレベルに保持され、T 6 がオンとなり、N 2 の電位はハイレベルであり、T 7 がオンとなり、T 8 及び T 1 がいずれもオフとなり、N 3 の電位はハイレベルであり、T 2 及び T 3 がいずれもオンとなり、N 4 の電圧はハイレベルであり、T 9 がオフとなり、T 1 0 がオンとなり、E 0 がローレベルを出力し、

前記第 6 段階の後、次のフレームで E 1 が入力信号を受信するまで、T 3 が持続的にオンとなり、T 9 が持続的にオフとなり、T 5 が周期的に C 2 に充電し、N 1 の電位がローレベルに保持され、T 1 0 が持続的にオンとなり、E 0 がローレベルを出力する。

【 0 0 5 1 】

図 2 B に示すように、符号 J 1 は表示基板であり、符号 A 0 は表示領域であり、符号 B 1 は第 1 周辺領域であり、符号 B 2 は第 2 周辺領域である。

【 0 0 5 2 】

前記表示基板 J 1 の表示領域 A 0 に複数本の発光制御線、複数本のゲート線と複数本のデータ線、及び、前記複数本のゲート線と前記複数本のデータ線が交差して限定した複数のサブ画素は設けられていてもよく、

第 1 周辺領域 B 1 及び / または第 2 周辺領域 B 2 に走査駆動回路が設けられていてもよく、前記走査駆動回路は、複数のシフトレジスタユニットを含み、

前記走査駆動回路に含まれる複数のシフトレジスタユニットのうち、各前記シフトレジスタユニットの信号出力線は、それぞれ A 本の発光制御線に結合されて、対応する発光制御線に発光制御信号を提供することに用いられてもよい。

【 0 0 5 3 】

ここで、A は、正の整数であってもよい。実際の操作において、A は 1、2、3、4 であってもよく、または他の正の整数であってもよく、A の値は実際の状態によって選択し

10

20

30

40

50

てもよい。

【 0 0 5 4 】

具体的に実施する時に、前記発光制御線は、相応する行の画素回路の発光制御端に結合される。

選択的に、前記表示基板は、前記ベースに設けられる複数行の画素回路をさらに含み、前記画素回路は発光制御端を含み、

前記走査駆動回路に含まれる前記シフトレジスタユニットは少なくとも一行の前記画素回路に対応され、

前記シフトレジスタユニットの信号出力線は、前記少なくとも一行の画素回路の発光制御端に結合されて、前記少なくとも一行の画素回路の発光制御端に発光制御信号を提供することに用いられる。

10

【 0 0 5 5 】

本開示の少なくとも一実施例では、前記画素回路が表示基板の有効表示領域に設けられてもよく、前記走査駆動回路が表示基板の周辺領域に設けられてもよい。

【 0 0 5 6 】

図 2 C に示すように、符号 Y 1 は走査駆動回路であり、符号 S 1 1 は前記走査駆動回路 S 1 に含まれる第 1 段シフトレジスタユニットであり、符号 S 1 2 は前記走査駆動回路 S 1 に含まれる第 2 段シフトレジスタユニットであり、符号 S 1 N - 1 は前記走査駆動回路 S 1 に含まれる第 N - 1 段シフトレジスタユニットであり、符号 S 1 N は前記走査駆動回路 S 1 に含まれる第 N 段シフトレジスタユニットであり、N は 3 より大きい整数であり、

20

図 2 C において、符号 R 1 は第 1 行画素回路であり、符号 R 2 は第 2 行画素回路であり、符号 R 3 は第 3 行画素回路であり、符号 R 4 は第 4 行画素回路であり、符号 R 2 N - 3 は第 2 N - 3 行画素回路であり、符号 R 2 N - 2 は第 2 N - 2 行画素回路であり、符号 R 2 N - 1 は第 2 N - 1 行画素回路であり、符号 R 2 N は第 2 N 行画素回路であり、

S 1 1 が R 1 及び R 2 に発光制御信号を提供し、S 1 2 が R 3 及び R 4 に発光制御信号を提供し、S 1 N - 1 が R 2 N - 3 及び R 2 N - 2 に発光制御信号を提供し、S 1 N が R 2 N - 1 及び R 2 N に発光制御信号を提供し、

図 2 C に示すように、周辺領域において、前記表示基板は、ゲート電極駆動回路をさらに含んでもよく、前記ゲート電極駆動回路は、複数段のゲート電極駆動ユニットを含み、前記ゲート電極駆動ユニットは画素行に一対一対応されて、相応する行の画素に、相応のゲート電極駆動信号を提供することに用いられてもよく、

30

図 2 C において、符号 Y 2 はゲート電極駆動回路であり、符号 S 2 1 はゲート電極駆動回路に含まれる第 1 行ゲート電極駆動ユニットであり、符号 S 2 2 はゲート電極駆動回路に含まれる第 2 行ゲート電極駆動ユニットであり、符号 S 2 3 はゲート電極駆動回路に含まれる第 3 行ゲート電極駆動ユニットであり、符号 S 2 4 はゲート電極駆動回路に含まれる第 4 行ゲート電極駆動ユニットであり、符号 S 2 N - 3 はゲート電極駆動回路に含まれる第 2 N - 3 行ゲート電極駆動ユニットであり、符号 S 2 N - 2 はゲート電極駆動回路に含まれる第 2 N - 2 行ゲート電極駆動ユニットであり、符号 S 2 N - 1 はゲート電極駆動回路に含まれる第 2 N - 1 行ゲート電極駆動ユニットであり、符号 S 2 N はゲート電極駆動回路に含まれる第 2 N 行ゲート電極駆動ユニットである。

40

【 0 0 5 7 】

図 2 D に示した少なくとも一実施例では、第 1 電圧信号線 V G H が高電圧信号 V g h を提供し、第 2 電圧信号線 V G L が低電圧信号 V g l を提供し、

図 2 D に示すように、V G L、V G H、C K 及び C B は表示領域から離れていく方向に沿って配列され、V G H、V G L、C K 及び C B が第 1 方向に延在され、

図 1 及び図 2 D に示すように、シフトレジスタユニットの少なくとも一実施例は、第 1 コンデンサ C 1、出力コンデンサ C 2、出力リセットコンデンサ C 3、出力トランジスタ T 1 0、出力リセットトランジスタ T 9、第 1 トランジスタ T 1、第 2 トランジスタ T 2、第 3 トランジスタ T 3、第 4 トランジスタ T 4、第 5 トランジスタ T 5、第 6 トランジスタ T 6、第 7 トランジスタ T 7 及び第 8 トランジスタ T 8 を含み、前記シフトレジスタ

50

ユニットの該実施例は、V G HとV G Lとの間に設置され、

T 1 0及びT 9は第1方向に沿って配列され、

C 2は、T 1 0のV G Lから離れた側に設けられ、T 5、T 6及びT 4は、C 2及びV G Hとの間に設けられ、

T 1及びT 3は、T 9のV G Lから離れた側に設けられ、C 1は、T 3のT 9から離れた側に設けられ、T 8及びT 2は、C 1のT 8から離れた側に設けられ、

T 5、T 7、T 8、T 2及びC 3が第1方向に沿って順次に配列され、T 6、C 1及びC 3が第1方向に沿って順次に配列され、C 2、T 1、T 3及びC 3が第1方向に沿って順次に配列され、

T 1は、第1アクティブパターンを含み、T 1の第1アクティブパターンが縦方向に配列されて、T 2及びT 3との間に緊密に配列されることに不利であり、

C 3の第2極板C 3 bの横方向での幅が長くて、シフトレジスタユニットの第2方向での幅を狭めることに不利である。

【0058】

図2Dにおいて、符号E 0 1は信号出力線の第1出力線部分であり、符号E 0 2 1は信号出力線の1番目の第2出力線部分であり、符号E 0 2 2は信号出力線の2番目の第2出力線部分であり、E 0 1が第1方向に沿って配列され、E 0 2 1が第2方向に沿って配列され、E 0 1、E 0 2 1及びE 0 2 2は、互いに結合され、第1方向及び第2方向は互いに交差され、E 0 1は、V G Lと出力回路(前記出力回路は前記出力トランジスタT 1 0及び前記出力リセットトランジスタT 9を含む)との間に設けられ、E 0 2 1及びE 0 2 2が第2方向に沿って表示領域へと延在されて、表示領域に位置している画素回路に発光制御信号を提供することを便利にする。

【0059】

図2Dに示すように、S 7がD 8として兼用される。

【0060】

図2D及び図3Aにおいて、符号G 1はT 1のゲート電極であり、符号S 1はT 1の第1電極であり、符号D 1はT 1の第2電極であり、符号G 2はT 2のゲート電極であり、符号S 2はT 2の第1電極であり、符号D 2はT 2の第2電極であり、符号G 3はT 3のゲート電極であり、符号S 3はT 3の第1電極であり、符号D 3はT 3の第2電極であり、符号G 4はT 4のゲート電極であり、符号S 4はT 4の第1電極であり、符号D 4はT 4の第2電極であり、符号G 5はT 5のゲート電極であり、符号S 5はT 5の第1電極であり、符号D 5はT 5の第2電極であり、符号G 6はT 6のゲート電極であり、符号S 6はT 6の第1電極であり、符号D 6はT 6の第2電極であり、符号G 7はT 7のゲート電極であり、符号S 7はT 7の第1電極であり、符号D 7はT 7の第2電極であり、符号G 8はT 8のゲート電極であり、符号S 8はT 8の第1電極であり、符号G 9はT 9のゲート電極であり、符号S 9はT 9の第1電極であり、符号D 9はT 9の第2電極であり、符号G 1 0はT 1 0のゲート電極であり、符号S 1 0はT 1 0の第1電極であり、符号D 1 0はT 1 0の第2電極である。

【0061】

図2Dに示した少なくとも一実施例では、第1方向は上から下に向かう垂直方向であってもよく、第2方向は右から左に向かう水平方向であってもよいが、これに限らない。実際の操作において、第1方向は、下から上に向かう垂直方向であってもよく、第2方向は、左から右に向かう水平方向であってもよく、もしくは、前記第1方向は他の方向であってもよく、前記第2方向は他の方向であってもよい。

【0062】

図2Dに示されるゲート電極駆動回路のレイアウト方式において、T 9のアクティブ層及びT 9のアクティブ層は一つの連続した第1半導体層により形成され、前記第1半導体層の第1方向での長さが短くて、シフトレジスタユニット全体の縦方向での空間が小さく、そのため、横方向でのシフトレジスタユニットの幅が大きくて、シフトレジスタユニットのうちの素子が水平方向で緊密に配列されることに不利で、表示基板の狭額縁化の発展

10

20

30

40

50

に不利である。

【 0 0 6 3 】

図 2 D に示されるシフトレジスタユニットは走査駆動回路に含まれる第 n 段シフトレジスタユニットであってもよく、 n は正の整数である。

【 0 0 6 4 】

上記の問題点に基づいて、本開示の発明者は、研究を通じて、シフトレジスタユニットのうちの各トランジスタのレイアウト方式を調整することにより、シフトレジスタユニットの占有面積を減らすことで、表示基板の額縁の幅を縮めることができることを発見した。

【 0 0 6 5 】

図 3 A に示されるレイアウト方式において、第 1 電圧信号線 VGH が高電圧信号 Vgh を提供し、第 2 電圧信号線 VGL が低電圧信号 Vgl を提供し、本開示の少なくとも一実施例では、シフトレジスタユニットは、 VGH と VGL との間に設置される。

【 0 0 6 6 】

図 3 A において、符号 $E01$ は信号出力線の第 1 出力線部分であり、符号 $E021$ は信号出力線の 1 番目の第 2 出力線部分であり、符号 $E022$ は信号出力線の 2 番目の第 2 出力線部分であり、 $E01$ が第 1 方向に沿って配列され、 $E021$ が第 2 方向に沿って配列され、 $E01$ 、 $E021$ 及び $E022$ は、互いに結合され、第 1 方向及び第 2 方向は互いに交差する。図 3 A に示すように、 $E01$ が VGL と前記出力回路との間に設けられており、 $E021$ 及び $E022$ が第 2 方向に沿って表示領域へと延在されて、表示領域に位置している画素回路に発光制御信号を提供することを便利にする。

【 0 0 6 7 】

例えば、図 3 A に示されるレイアウト方式において、第 1 方向は上から下に向かう垂直方向であってもよく、第 2 方向は右から左に向かう水平方向であってもよいが、これに限らない。

【 0 0 6 8 】

図 3 A に示されるシフトレジスタユニットは、走査駆動回路に含まれる第 n 段シフトレジスタユニットであってもよく、 n は正の整数である。

【 0 0 6 9 】

図 1 及び図 3 A に示すように、シフトレジスタユニットの少なくとも一実施例は、第 1 コンデンサ $C1$ 、出力コンデンサ $C2$ 、出力リセットコンデンサ $C3$ 、出力トランジスタ $T10$ 、出力リセットトランジスタ $T9$ 、第 1 トランジスタ $T1$ 、第 2 トランジスタ $T2$ 、第 3 トランジスタ $T3$ 、第 4 トランジスタ $T4$ 、第 5 トランジスタ $T5$ 、第 6 トランジスタ $T6$ 、第 7 トランジスタ $T7$ 及び第 8 トランジスタ $T8$ を含み、図 3 A に示すように、出力回路 $O1$ は、前記出力トランジスタ $T10$ 及び前記出力リセットトランジスタ $T9$ を含み、

前記出力トランジスタ $T10$ のゲート電極 $G10$ は、前記出力コンデンサ $C2$ の第 1 極板 $C2a$ に結合され、前記出力トランジスタ $T10$ の第 1 電極 $S10$ は、第 2 電圧信号線 VGL に結合され、前記出力トランジスタ $T10$ の第 2 電極 $D10$ は、信号出力線に含まれる第 1 出力線部分 $E01$ に結合され、

前記出力リセットトランジスタ $T9$ のゲート電極 $G9$ は、前記出力リセットコンデンサ $C3$ の第 1 極板 $C3a$ に結合され、前記出力リセットトランジスタ $T9$ の第 1 電極 $S9$ は、前記出力リセットコンデンサ $C3$ の第 2 極板 $C3b$ に結合され、前記出力リセットトランジスタ $T9$ の第 2 電極 $D9$ は、前記信号出力線に含まれる第 1 出力線部分 $E01$ に結合される。

【 0 0 7 0 】

図 3 A に示されるゲート電極駆動回路のレイアウト方式において、 $T9$ のアクティブ層及び $T10$ のアクティブ層は、一つの連続した第 1 半導体層により形成されてもよく、前記第 1 半導体層の第 1 方向での長さを引き上げて、シフトレジスタユニットに含まれる他の素子が縦方向で余裕になる空間を利用して、横方向でのシフトレジスタユニットの幅を狭めて、シフトレジスタユニットのうちの素子が水平方向で緊密に配列されることに有利

10

20

30

40

50

で、表示基板の狭額縁化の発展に有利であるようにする。

【0071】

図3Aに示すように、上記構成のシフトレジスタユニットを表示基板の周辺領域にレイアウトを行う場合、表示基板の表示領域から離れていく方向に沿って、第2電圧信号線VGL、第1電圧信号線VGH、第1クロック信号線CK及び第2クロック信号線CBを順次に配列し、第2電圧信号線VGL、第1電圧信号線VGH、第1クロック信号線CK及び第2クロック信号線CBはいずれも第1方向に沿って延在され、

図3Aに示すように、第1コンデンサC1、出力コンデンサC2、出力リセットコンデンサC3、出力トランジスタT10、出力リセットトランジスタT9、第1トランジスタT1、第2トランジスタT2、第3トランジスタT3、第4トランジスタT4、第5トランジスタT5、第6トランジスタT6、第7トランジスタT7及び第8トランジスタT8がいずれもVGHとVGLとの間に設置され、第1半導体層の第1方向で引き上げた長さを利用するために、T5、T6、T4、T7及びT8をいずれも上の方に移動して、

T1は、第1アクティブパターンを含み、かつT1の第1アクティブパターンが第2方向に沿って延在されるように設け、T1をT8とC1との間に設け、T8、T1及びC1は第1方向に沿って順次に配列されることで、T8とC1との間の空間を利用してT1を設けて、T2及びT3との間の配列がより緊密にすることができ（前記第2トランジスタT2の第2電極D2が前記第3トランジスタT3の第2電極D2に結合されるので、配線の便宜上、T2及びT3を近く設けることが必要である）、シフトレジスタユニットの占める第2方向での幅をさらに狭めることができ、

そのうえ、図3Aに示されるレイアウト方式において、C1の形状と、T1、T2及びT3の配列される位置とがさらに契合し、T1、T2及びT3の間の空間を利用してC1の極板を設け、

図3Aに示されるレイアウト方式において、C3の第2極板C3bの第2方向での幅を小さく設置し、C3の第2極板C3bの第1方向での長さを大きく設置して、C3の極板の面積を確保することを前提に、C3の極板の占める第2方向での幅を狭め、

図3Aに示すように、C3の第2極板C3bのベースでの正投影がC3の第1極板C3aのベースでの正投影内にある。

【0072】

また、図3A及び図6（図6は図3Aの第1ゲート金属層の概略図である）に示すように、T6のゲート電極G6は、互いに結合される第1ゲート電極パターンG61及び第2ゲート電極パターンG62を含んで、T6をダブルゲート構造として形成する。

【0073】

ダブルゲート構造の設計の目的としては、第2段階P2で、走査駆動回路に含まれるシフトレジスタユニットが高電圧信号Vghを出力する時に、T10が完全にオフとなるべき、T10のゲート電極に印加されるハイレベルがT8のソース電極から入力され、したがって、第2段階P2で、必ずT8がオンとなるように確保し、即ち、第2ノードN2の電位が低電圧にされる必要である一方、第2段階P2で、T6のゲート電極の電位が高電圧になっているので、第2ノードN2の電位上昇をもたらすT6の漏電がないように、設置T6をオフにし易くさせるダブルゲート設計を採用してT6を設定することにある。

【0074】

本開示の少なくとも一実施例では、前記第1方向と前記第2方向は互いに交差され、例えば、前記第1方向が前記第2方向に垂直してもよいが、これに限らない。

【0075】

具体的に、前記第2方向と前記第1方向とが互いに交差する夾角は、実際の必要に応じて設けてもよく、例示として、前記第2方向は前記第1方向に垂直である。

【0076】

本開示の少なくとも一実施例では、第1クロック信号線CBの位置及び前記第2クロック信号線CKの位置は互いに交換してもよいが、これに限らない。

【0077】

10

20

30

40

50

図 3 A に示されるレイアウト方式において、図 5 に示すように（図 5 は図 3 A のアクティブ層の概略図である）、第 1 半導体層 10 の第 1 方向での長さは出力アクティブ長さ L_1 であり、前記第 1 半導体層 10 の第 2 方向での最小の幅は出力アクティブ幅 W_1 であり、前記出力アクティブ長さ L_1 は、第 1 所定の長さであり、

前記出力アクティブ長さ L_1 及び前記出力アクティブ幅 W_1 の割合が所定割合の範囲内にあり、

前記出力アクティブ幅 W_1 は所定の幅の範囲にあり、

本開示の少なくとも一実施例前記出力アクティブ長さ L_1 を上げることで、シフトレジスタユニットのうち、出力回路以外の素子は L_1 が大きくなって縦方向で余裕になる空間を利用してレイアウトを行うことができ、その上シフトレジスタユニットの占める横方向の空間を縮めることができ、かつ本開示の少なくとも一実施例では、前記出力アクティブ幅 W_1 を減らすことができ、水平方向での空間を省き、残すべきところを、シフトレジスタユニットのうち、出力回路以外の素子が利用してレイアウトを行うことができるようにし、シフトレジスタユニットの占める横方向の空間も縮めることができる。

【0078】

本開示の少なくとも一実施例では、前記所定割合の範囲は、3 以上かつ 11 以下であってもよいが、これに限らない。

【0079】

本開示の少なくとも一実施例では、前記所定の幅の範囲は、 $12\ \mu\text{m}$ 以上かつ $45\ \mu\text{m}$ 以下でもよいが、これに限らない。

【0080】

本開示の少なくとも一実施例では、前記第 1 所定の長さは、 $50\ \mu\text{m}$ 以上かつ $130\ \mu\text{m}$ 以下でもよいが、これに限らない。

【0081】

図 3 A 及び図 8 に示すように、前記第 1 出力線部分 E_{01} は、信号線の重なり領域に設けられた複数の第 1 信号線ビアホール H_{01} を介して前記出力トランジスタ T_{10} の第 2 電極 D_{10} に結合され、前記第 1 出力線部分 E_{01} は、前記信号線の重なり領域に設けられた複数の第 2 信号線ビアホール H_{02} を介して前記出力リセットトランジスタ T_9 の第 2 電極 D_9 に結合され、前記複数の第 1 信号線ビアホール H_{01} は第 1 方向に沿って順次に配列され、前記複数の第 2 信号線ビアホール H_{02} が第 1 方向に沿って順次に配列され、

図 4 及び図 10（図 10 は図 3 A のソース・ドレイン金属層の概略図であり、図 10 に第 1 ソース・ドレイン金属パターン Ds_1 及び第 2 ソース・ドレイン金属パターン Ds_2 を示す）に示すように、前記信号線の重なり領域は、第 1 信号線の重なり領域 A_{01} 及び第 2 信号線の重なり領域 A_{02} を含み、前記第 1 信号線の重なり領域 A_{01} は、前記第 1 出力線部分 E_{01} の前記ベースでの正投影と、前記出力トランジスタ T_{10} の第 2 電極 D_{10} が含まれる第 1 ソース・ドレイン金属パターン Ds_1 の前記ベースでの正投影との重なり領域であり、前記第 2 信号線の重なり領域 A_{02} は、前記第 1 出力線部分 E_{01} の前記ベースでの正投影と、前記出力リセットトランジスタ T_9 の第 2 電極 D_9 が含まれる第 2 ソース・ドレイン金属パターン Ds_2 の前記ベースでの正投影との重なり領域であり、

図 4 及び図 10 に示すように、第 1 方向に沿って順次に配列される 1 番目の第 1 信号線ビアホールと最後の一つの第 1 信号線ビアホールとの第 1 方向での最大距離 K_1 と、第 3 長さ L_3 との割合は、第 3 所定割合であり、二つの隣接する第 1 信号線ビアホールとの間の第 1 方向での最小距離は、第 1 所定距離であり、前記第 3 長さ L_3 は、前記第 1 信号線の重なり領域 A_{01} の第 1 方向での長さであり、

第 1 方向に沿って順次に配列される 1 番目の第 2 信号線ビアホールと最後の一つの第 2 信号線ビアホールとの第 1 方向での最大距離 K_2 と、第 4 長さ L_4 との割合は、第 4 所定割合であり、二つの隣接する第 2 信号線ビアホールとの間の第 1 方向での最小距離は、第 2 所定距離であり、前記第 4 長さ L_4 は、前記第 2 信号線の重なり領域 A_{02} の第 1 方向での長さである。

【0082】

10

20

30

40

50

本開示の少なくとも一実施例では、前記第 1 信号線ビアホールの数及び前記第 2 信号線ビアホールは実際の状態によって選択してもよい。

【0083】

本開示の少なくとも一実施例では、第 1 方向に沿って順次に配列されるいずれか二つの第 1 信号線ビアホールの第 1 方向での最大距離というのは、いずれか二つの第 1 信号線ビアホールのベースでの正投影の周辺との間の第 1 方向での最大距離であり、

第 1 方向に沿って順次に配列される 1 番目の第 1 信号線ビアホールと最後の一つの第 1 信号線ビアホールとの第 1 方向での最大距離 K_1 というのは、前記 1 番目の第 1 信号線ビアホールのベースでの正投影の周辺と、前記最後の一つの第 1 信号線ビアホールのベースでの正投影の周辺との間の第 1 方向での最大距離であり、

10

二つの隣接する第 1 信号線ビアホールの間の第 1 方向での最小距離 K_{01} とは、二つの隣接する第 1 信号線ビアホールのベースでの正投影の周辺の第 1 方向での最小距離であり、

第 1 方向に沿って順次に配列される 1 番目の第 2 信号線ビアホールと最後の一つの第 2 信号線ビアホールとの第 1 方向での最大距離 K_2 というのは、前記 1 番目の第 2 信号線ビアホールのベースでの正投影の周辺と、前記最後の一つの第 2 信号線ビアホールのベースでの正投影の周辺との間の第 1 方向での最大距離であり、

第 1 方向に沿って順次に配列されるいずれか二つの第 2 信号線ビアホールの第 1 方向での最大距離というのは、いずれか二つの第 2 信号線ビアホールのベースでの正投影の周辺の間の第 1 方向での最大距離であり、

二つの隣接する第 2 信号線ビアホールの間の第 1 方向での最小距離 K_{02} というのは、二つの隣接する第 2 信号線ビアホールのベースでの正投影の周辺の第 1 方向での最小距離である。

20

【0084】

本開示の少なくとも一実施例では、前記第 1 所定割合は 0.05 以上かつ 0.9 以下であってもよいが、これに限らず、

前記第 1 所定距離は、 $1.5 \mu m$ 以上かつ $45 \mu m$ 以下であってもよいが、これに限らず、

前記第 2 所定割合は、 0.05 以上かつ 0.9 以下であってもよいが、これに限らず、

前記第 2 所定距離は、 $1.5 \mu m$ 以上かつ $65 \mu m$ 以下であってもよいが、これに限らない。

30

【0085】

図 3 A、図 4 及び図 10 に示すように、 T_{10} のアクティブ層及び T_9 のアクティブ層が縦方向で長められるので、それに伴い、第 3 長さ L_3 及び第 4 長さ L_4 が長くなり、これにより複数の第 1 信号線ビアホール H_{01} が第 1 信号線の重なり領域 A_{01} に均一に配列され得、かつ上から下の 1 番目の第 1 信号線ビアホールと上から下の最後の一つの第 1 信号線ビアホールとの第 1 方向での最大距離 K_1 と、第 3 長さ L_3 との割合は、第 3 所定割合であり、前記複数の第 1 信号線ビアホール H_{01} が前記第 1 信号線の重なり領域 A_{01} にできるだけ張り詰め得、出力トランジスタ T_{10} の第 2 電極 D_{10} をより良好に E_{01} に結合させることができ、

図 3 A、図 4 及び図 10 に示すように、 T_{10} のアクティブ層及び T_9 のアクティブ層が縦方向で長められるので、それに伴い、第 3 長さ L_3 及び第 4 長さ L_4 が長くなり、これにより複数の第 2 信号線ビアホール H_{02} が第 2 信号線の重なり領域 A_{02} に均一に配列され得、かつ上から下の 1 番目の第 2 信号線ビアホールと上から下の最後の一つの第 2 信号線ビアホールとの第 1 方向での最大距離 K_2 と、第 4 長さ L_4 との割合が第 4 所定割合であり、前記複数の第 2 信号線ビアホール H_{02} が前記第 2 信号線の重なり領域 A_{02} にできるだけ張り詰め得、出力リセットトランジスタ T_9 の第 2 電極 D_9 をより良好に E_{01} に結合させることができる。

40

【0086】

本開示の少なくとも一実施例では、前記第 3 所定割合は、 0.05 以上かつ 0.9 以下であってもよく、前記第 4 所定割合は、 0.05 以上かつ 0.9 以下であってもよいが、

50

これに限らない。

【 0 0 8 7 】

本開示の少なくとも一実施例に記載の表示基板は、ベースに設けられている走査駆動回路及び表示領域を含み、前記走査駆動回路は、複数のシフトレジスタユニットを含み、前記複数のシフトレジスタユニットのうち、少なくとも一つのシフトレジスタユニットは、信号出力線及び出力回路を含み、前記出力回路は、出力トランジスタ及び出力リセットトランジスタを含み、

前記信号出力線は、第 1 方向に沿って延在される第 1 出力線部分を含み、

前記第 1 出力線部分は、信号線の重なり領域に設けられた複数の第 1 信号線ピアホールを介して前記出力トランジスタの第 2 電極に結合され、前記第 1 出力線部分は、前記信号線の重なり領域に設けられた複数の第 2 信号線ピアホールを介して前記出力リセットトランジスタの第 2 電極に結合され、前記複数の第 1 信号線ピアホールが第 1 方向に沿って順次に配列され、前記複数の第 2 信号線ピアホールが第 1 方向に沿って順次に配列され、

前記信号線の重なり領域は、第 1 信号線の重なり領域及び第 2 信号線の重なり領域を含み、前記第 1 信号線の重なり領域は、前記第 1 出力線部分の前記ベースでの正投影と、前記出力トランジスタの第 2 電極が含まれる第 1 ソース・ドレイン金属パターンの前記ベースでの正投影との重なり領域であり、前記第 2 信号線の重なり領域は、前記第 1 出力線部分の前記ベースでの正投影と、前記出力リセットトランジスタの第 2 電極が含まれる第 2 ソース・ドレイン金属パターンの前記ベースでの正投影との重なり領域であり、

第 1 方向に沿って順次に配列されるいずれか二つの第 1 信号線ピアホールの第 1 方向での最大距離と第 3 長さとの割合が第 1 所定割合であり、二つの隣接する第 1 信号線ピアホールの間の第 1 方向での最小距離が第 1 所定距離であり、前記第 3 長さが、前記第 1 信号線の重なり領域の第 1 方向での長さであり、

第 1 方向に沿って順次に配列されるいずれか二つの第 2 信号線ピアホールの第 1 方向での最大距離と第 4 長さとの割合が第 2 所定割合であり、二つの隣接する第 2 信号線ピアホールの間の第 1 方向での最小距離が第 2 所定距離であり、前記第 4 長さが、前記第 2 信号線の重なり領域の第 1 方向での長さであり、

前記第 1 所定割合が 0 . 0 5 以上かつ 0 . 9 以下であり、

前記第 1 所定距離が 1 . 5 μm 以上かつ 4 5 μm 以下であり、

前記第 2 所定割合が 0 . 0 5 以上かつ 0 . 9 以下であり、

前記第 2 所定距離が 1 . 5 μm 以上かつ 6 5 μm 以下である。

【 0 0 8 8 】

選択的に、前記出力トランジスタのアクティブ層及び前記出力リセットトランジスタのアクティブ層は、第 1 方向に沿って配列され、前記出力トランジスタのアクティブ層の前記第 1 方向での長さを第 1 長さとして、前記出力リセットトランジスタのアクティブ層の前記第 1 方向での長さを第 2 長さとして、前記第 1 長さと前記第 2 長さとの和が出力アクティブ長さであり、

前記出力トランジスタのアクティブ層の第 2 方向に沿う最小の幅と、前記出力リセットトランジスタのアクティブ層の第 2 方向に沿う最小の幅とのうち、小さいものを出力アクティブ幅とし、前記第 1 方向と前記第 2 方向は互いに交差する。

【 0 0 8 9 】

本開示の少なくとも一実施例では、前記出力アクティブ長さと前記出力アクティブ幅との割合が所定割合の範囲内にあり、前記所定割合の範囲は、3 以上かつ 1 1 以下であってもよいが、これに限らない。

【 0 0 9 0 】

本開示の少なくとも一実施例において、前記出力アクティブ長さを上げることで、シフトレジスタユニットのうち、出力回路以外の素子が出力アクティブ長さが大きくなって縦方向で余裕になる空間を利用してレイアウトを行うことができ、その上、シフトレジスタユニットの占める横方向の空間を縮めることができる。しかも、本開示の少なくとも一実施例では、出力トランジスタのアクティブ層及び出力リセットトランジスタのアクティブ

層が縦方向で長められるので、それに伴い、第 3 長さ及び第 4 長さが長くなり、これにより複数の第 1 信号線ビアホールが第 1 信号線の重なり領域に均一に配列され得、かついずれか二つの第 1 信号線ビアホールの第 1 方向での最大距離と、第 3 長さとの割合が第 1 所定割合であり、前記複数の第 1 信号線ビアホールが前記第 1 信号線の重なり領域にできるだけ張り詰め得、出力トランジスタの第 2 電極をより良好に第 1 出力線部分に結合させることができ、

図 3 A、図 4 及び図 1 0 に示すように、出力トランジスタのアクティブ層及び出力リセットトランジスタのアクティブ層が縦方向で長められるので、それに伴い、第 3 長さ及び第 4 長さが長くなり、これにより複数の第 2 信号線ビアホールが第 2 信号線の重なり領域に均一に配列され得、かつ上から下のいずれか二つの第 2 信号線ビアホールの第 1 方向での最大距離と、第 4 長さとの割合が第 2 所定割合であり、前記複数の第 2 信号線ビアホールが前記第 2 信号線の重なり領域にできるだけ張り詰め得、出力リセットトランジスタの第 2 電極をより良好に第 1 出力線部分に結合させることができる。

【 0 0 9 1 】

本開示の少なくとも一実施例では、前記出力アクティブ幅は、所定の幅の範囲にあってよい。

【 0 0 9 2 】

本開示の少なくとも一実施例では、前記出力アクティブ幅を減らすことができ、水平方向での空間を省き、残すべきところを、シフトレジスタユニットのうち、出力回路以外の素子が利用してレイアウトを行うことができるようにし、シフトレジスタユニットの占める横方向の空間を縮めることもできる。

【 0 0 9 3 】

選択的に、図 3 A 及び図 5 に示すように、前記出力トランジスタ T 1 0 のアクティブ層及び前記出力リセットトランジスタ T 9 のアクティブ層は一つの連続した第 1 半導体層により形成されてもよく、前記第 1 半導体層は第 1 方向 1 0 に沿って延在され、

図 5 に示すように、前記第 1 半導体層 1 0 の第 1 方向での長さは出力アクティブ長さ L 1 であり、

前記第 1 半導体層 1 0 の第 2 方向での最小長さは、前記出力アクティブ長さ W 1 であり。

【 0 0 9 4 】

図 3 A に示すように、前記出力トランジスタ T 1 0 及び前記出力リセットトランジスタ T 9 は第 1 方向に沿って順次に配列されているが、これに限らず、実際の操作において、出力リセットトランジスタ T 9 及び出力トランジスタ T 1 0 は第 1 方向に沿って順次に配列するように設置されてもよい。

【 0 0 9 5 】

本開示の少なくとも一実施例では、出力リセットトランジスタ T 9 は無効の発光制御信号を提供することに用いられ、出力トランジスタ T 1 0 は有効の発光制御信号を提供することに用いられる。

【 0 0 9 6 】

本開示の少なくとも一実施例では、前記有効の発光制御信号は画素回路のうち、発光制御トランジスタをオンとすることができる電圧信号であってもよく（前記発光制御トランジスタのゲート電極は、前記発光制御線に結合され）、前記無効の発光制御信号は、前記発光制御トランジスタをオフとすることができる電圧信号であってもよい。

【 0 0 9 7 】

具体的に、前記表示基板の表示領域は、複数のサブ画素を含み、前記複数のサブ画素のうち、少なくとも一つのサブ画素は、画素駆動回路を含み、前記画素駆動回路は、トランジスタ、ゲート線、発光制御線及びデータ線を含み、前記走査駆動回路に含まれるシフトレジスタユニットは、少なくとも一本の発光制御線に対応してもよく、各前記シフトレジスタユニットの信号出力線は、対応する少なくとも一本の発光制御線に結合されて、対応する発光制御線に発光制御信号を提供することに用いられる。

【 0 0 9 8 】

10

20

30

40

50

本開示の少なくとも一実施例では、前記出力トランジスタのアクティブ層及び前記リセットトランジスタのアクティブ層は一つの連続した第1半導体層により形成されてもよく、

前記出力トランジスタのアクティブ層は、第1方向に沿って対向して設けられる少なくとも二つの第1導電部分及び少なくとも一つの第1チャンネル部分を含んでもよく、それぞれの前記第1チャンネル部分は二つの隣接する前記第1導電部分の間に設けられており、

前記出力リセットトランジスタのアクティブ層は、第1方向に沿って対向して設けられる少なくとも二つの第2導電部分及び少なくとも一つの第2チャンネル部分を含んでもよく、それぞれの前記第2チャンネル部分は二つの隣接する前記第2導電部分の間に設けられており、

前記出力トランジスタのアクティブ層で前記出力リセットトランジスタのアクティブ層との距離が最も近い第1導電部分は、前記出力リセットトランジスタのうちの第2導電部分として兼用されてもよく、これにより前記出力トランジスタ及び出力リセットトランジスタのレイアウト空間をさらに縮めることができ、前記表示基板の狭額縁化を実現することに有利であるようにする。

【0099】

図5に示すように、前記出力トランジスタT10のアクティブ層及び前記出力リセットトランジスタT9のアクティブ層は一つの連続した第1半導体層により形成されてもよく、

前記出力トランジスタT10のアクティブ層は、第1方向に沿って対向して設けられる1番目の第1導電部分111、2番目の第1導電部分112、3番目の第1導電部分113、4番目の第1導電部分114、5番目の第1導電部分115及び6番目の第1導電部分116を含み、前記出力トランジスタT10のアクティブ層は、1番目の第1チャンネル部分121、2番目の第1チャンネル部分122、3番目の第1チャンネル部分123、4番目の第1チャンネル部分124及び5番目の第1チャンネル部分125をさらに含み、

前記1番目の第1チャンネル部分121は、前記1番目の第1導電部分111と前記2番目の第1導電部分112との間に設けられており、前記2番目の第1チャンネル部分122は、前記2番目の第1導電部分112と前記3番目の第1導電部分113との間に設けられており、

前記3番目の第1チャンネル部分123は、前記3番目の第1導電部分113及び前記2番目の第4導電部分114との間に設けられており、前記4番目の第1チャンネル部分124は、前記4番目の第1導電部分114と前記5番目の第1導電部分115との間に設けられており、前記5番目の第1チャンネル部分125は、前記5番目の第1導電部分115と前記6番目の第1導電部分116との間に設けられており、

前記6番目の第1導電部分116は、前記出力リセットトランジスタT9のアクティブ層に含まれる1番目の第2導電部分として兼用され、

前記出力リセットトランジスタT9のアクティブ層は、第1方向に沿って対向して設けられる2番目の第2導電部分132、3番目の第2導電部分133、4番目の第2導電部分134、5番目の第2導電部分135及び6番目の第2導電部分136をさらに含み、前記出力リセットトランジスタT9のアクティブ層は、1番目の第2チャンネル部分141、2番目の第2チャンネル部分142、3番目の第2チャンネル部分143、4番目の第2チャンネル部分144及び5番目の第2チャンネル部分145をさらに含み、

前記1番目の第2チャンネル部分141は、1番目の第2導電部分と2番目の第2導電部分132との間に設けられており、前記2番目の第2チャンネル部分142は、前記2番目の第2導電部分132と3番目の第2導電部分133との間に設けられており、前記3番目の第2チャンネル部分143は、3番目の第2導電部分133と4番目の第2導電部分134との間に設けられており、前記4番目の第2チャンネル部分144は、前記4番目の第2導電部分134と5番目の第2導電部分135との間に設けられている、前記5番目の第2チャンネル部分145は、前記5番目の第2導電部分135と6番目の第2導電部分136との間に設けられている。

【0100】

前記出力トランジスタT10及び前記出力リセットトランジスタT9において、各トラ

10

20

30

40

50

ンジスタのチャネル部分の両側の導電部分は、それぞれ対応して、該トランジスタの第 1 電極、第 2 電極としてもよく、もしくはそれぞれ該トランジスタの第 1 電極、該トランジスタの第 2 電極に結合されてもよく、これにより T 1 0 及び T 9 が 6 番目の第 1 導電部分 1 1 6 を介して電氣的接続を実現可能にする。

【 0 1 0 1 】

前記第 1 半導体層 1 0 を製作する時に、例示として、まず、第 1 半導体材料層を形成した後、出力トランジスタ T 1 0 のゲート電極 G 1 0 及び出力リセットトランジスタ T 9 のゲート電極 G 9 を形成してから、前記第 1 半導体材料層のうち、各トランジスタのゲート電極により被覆されていない部分が前記導電部分として形成されるよう、前記第 1 半導体材料層のうち、各トランジスタにより被覆されている部分が前記チャネル部分として形成されるように、出力トランジスタ T 1 0 のゲート電極 G 1 0 及び出力リセットトランジスタ T 9 のゲート電極 G 9 をマスクとして、第 1 半導体材料層のうち、各トランジスタのゲート電極により被覆されていない部分に対してドーピングを行ってもよい。

10

【 0 1 0 2 】

上記の表示基板の具体的な構成によって、本開示の少なくとも一実施例に記載の表示基板において、シフトレジスタユニットのうち、前記出力トランジスタ T 1 0 及び出力リセットトランジスタ T 9 が前記第 1 方向に沿って配列され得、シフトレジスタユニットの占める第 2 方向での面積を縮め、前記表示基板を狭額縁化の発展要求にさらに符合させることができる。

【 0 1 0 3 】

20

具体的に、前記出力トランジスタのゲート電極は、少なくとも一つの出力ゲート電極パターンを含んでもよく、前記出力トランジスタの第 1 電極は、少なくとも一つの第 1 電極パターンを含み、前記出力トランジスタの第 2 電極は、少なくとも一つの第 2 電極パターンを含み、

前記出力ゲート電極パターンは、隣接する前記第 1 電極パターンと前記第 2 電極パターンとの間に位置しており、

前記第 1 電極パターン、前記出力ゲート電極パターン及び前記第 2 電極パターンはいずれも第 2 方向に沿って延在されている。

【 0 1 0 4 】

具体的に、前記出力リセットトランジスタのゲート電極は、少なくとも一つの出力リセットゲート電極パターンを含んでもよく、前記出力リセットトランジスタの第 1 電極は、少なくとも一つの第 3 電極パターンを含み、前記出力リセットトランジスタの第 2 電極は、少なくとも一つの第 4 電極パターンを含み、

30

前記出力リセットゲート電極パターンは、隣接する前記第 3 電極パターンと前記第 4 電極パターンとの間に位置しており、

前記第 3 電極パターン、前記出力リセットゲート電極パターン及び前記第 4 電極パターンはいずれも第 2 方向に沿って延在され、

前記出力リセットトランジスタのうち、前記出力トランジスタのゲート電極に最も近接する前記第 4 電極パターンが前記出力トランジスタの第 2 電極パターンとして兼用される。

【 0 1 0 5 】

40

具体的に実施する時に、前記出力リセットゲート電極パターンの数量、前記第 1 電極パターンの数量、前記第 2 電極パターンの数量、前記出力ゲート電極パターンの数量、前記第 3 電極パターンの数量及び前記第 4 電極パターンの数量は、実際の必要に応じて設けられてもよい。例示として、図 6 及び図 9 に示すように、前記出力ゲート電極パターンの数量及び前記出力リセットゲート電極パターンの数量は、五つであってもよく、第 1 電極パターンの数量は、三つであってもよく、第 2 電極パターンの数量は、三つであってもよく、第 3 電極パターンの数量は、三つであってもよく、前記第 4 電極パターンの数量は、三つであってもよいが、これに限らない。

【 0 1 0 6 】

また、前記出力トランジスタの第 2 電極及び出力リセットトランジスタの第 2 電極はい

50

ずれも信号出力線に結合されるので、出力トランジスタ及び出力リセットトランジスタをレイアウトを行う時に、前記出力リセットトランジスタのうち、前記出力トランジスタのゲート電極に最も近接する前記第4電極パターンが前記出力トランジスタの第2電極パターンとして兼用されてもよく、これにより、出力トランジスタ及び出力リセットトランジスタのレイアウト空間をさらに縮めることができ、表示基板の狭額縁化を実現することに有利であるようにする。

【0107】

図3A及び図6に示すように、いくつかの実施例では、前記出力トランジスタT10のゲート電極は、第1出力ゲート電極パターンG101、第2出力ゲート電極パターンG102、第3出力ゲート電極パターンG103、第4出力ゲート電極パターンG104及び第5出力ゲート電極パターンG105を含んでもよく、

10

前記出力リセットトランジスタT9のゲート電極は、第1出力リセットゲート電極パターンG91、第2出力リセットゲート電極パターンG92、第3出力リセットゲート電極パターンG93、第4出力リセットゲート電極パターンG94及び第5出力リセットゲート電極パターンG95を含んでもよく、

第1出力ゲート電極パターンG101、第2出力ゲート電極パターンG102、第3出力ゲート電極パターンG103、第4出力ゲート電極パターンG104及び第5出力ゲート電極パターンG105が第1方向に沿って順次に配列され、

第1出力リセットゲート電極パターンG91、第2出力リセットゲート電極パターンG92、第3出力リセットゲート電極パターンG93、第4出力リセットゲート電極パターンG94及び第5出力リセットゲート電極パターンG95が第1方向に沿って順次に配列され、

20

第1出力ゲート電極パターンG101、第2出力ゲート電極パターンG102、第3出力ゲート電極パターンG103、第4出力ゲート電極パターンG104及び第5出力ゲート電極パターンG105がいずれも第2方向に沿って延在され、第1方向と第2方向は互いに交差され、

第1出力ゲート電極パターンG101、第2出力ゲート電極パターンG102、第3出力ゲート電極パターンG103、第4出力ゲート電極パターンG104及び第5出力ゲート電極パターンG105が互いに結合され、

第1出力リセットゲート電極パターンG91、第2出力リセットゲート電極パターンG92、第3出力リセットゲート電極パターンG93、第4出力リセットゲート電極パターンG94及び第5出力リセットゲート電極パターンG95がいずれも第2方向に沿って延在され、

30

第1出力リセットゲート電極パターンG91、第2出力リセットゲート電極パターンG92、第3出力リセットゲート電極パターンG93、第4出力リセットゲート電極パターンG94及び第5出力リセットゲート電極パターンG95が互いに結合され、

図9に示すように、前記出力トランジスタT10の第1電極S10は、1番目の第1電極パターンS101、2番目の第1電極パターンS102及び3番目の第1電極パターンS103を含み、

前記出力トランジスタT10の第2電極D10は、1番目の第2電極パターンD101及び2番目の第2電極パターンD102を含み、

40

前記出力リセットトランジスタT9の第1電極S9は、1番目の第3電極パターンS91、2番目の第3電極パターンS92及び3番目の第3電極パターンS93、

前記出力リセットトランジスタT9の第2電極D9は、1番目の第4電極パターンD91、2番目の第4電極パターンD92及び3番目の第4電極パターンD93を含み、

1番目の第4電極パターンD91が前記出力トランジスタT10に含まれる3番目の第2電極パターンとして兼用され、

図3A～図10に示すように、S101がVGLに結合され、S101がS102に結合され、S103がVGLに結合され、S91、S92及びS93がそれぞれ第1導電接続部F1に結合され、前記第1導電接続部F1が前記第1電圧信号線VGHに結合され、

50

図 3 A ~ 図 1 0 に示すように、前記第 1 出力線部分 E 0 1 が信号線の重なり領域に設けられた複数の第 1 信号線ビアホール H 0 1 を介してそれぞれ D 1 0 1 及び D 1 0 2 に結合され、前記第 1 出力線部分 E 0 1 は、信号線の重なり領域に設けられた複数の第 2 信号線ビアホール H 0 2 を介してそれぞれ D 9 1、D 9 2 及び D 9 3 に結合され、

前記複数の第 1 信号線ビアホール H 0 1 が第 1 方向に沿って順次に配列され、前記複数の第 2 信号線ビアホール H 0 2 が第 1 方向に沿って順次に配列される。

【 0 1 0 8 】

具体的に実施する時に、前記出力トランジスタのアクティブ層は、第 1 方向に沿って対向して設けられる少なくとも二つの第 1 導電部分及び少なくとも一つの第 1 チャンネル部分を含んでもよく、それぞれの前記第 1 チャンネル部分は、二つの隣接する前記第 1 導電部分の間に設けられており、

10

前記第 1 チャンネル部分は、前記出力ゲート電極パターンに一対一対応され、各前記第 1 チャンネル部分の前記ベースでの正投影は、いずれも対応する前記出力ゲート電極パターンの前記ベースでの正投影の内部に位置しており、

前記出力トランジスタのうちの一部の前記第 1 導電部分が前記第 1 電極パターンに一対一対応され、前記第 1 電極パターンの前記ベースでの正投影と、対応する前記第 1 導電部分の前記ベースでの正投影とが第 1 重なり領域を有し、前記第 1 電極パターンは前記第 1 重なり領域に設けられている少なくとも一つの第 1 ビアホールを介して対応する前記第 1 導電部分に結合され、

前記出力トランジスタのうちの一部の前記第 1 導電部分が前記第 2 電極パターンに一対一対応され、前記第 2 電極パターンの前記ベースでの正投影と、対応する前記第 1 導電部分の前記ベースでの正投影とが第 2 重なり領域を有し、前記第 2 電極パターンは前記第 2 重なり領域に設けられている少なくとも一つの第 2 ビアホールを介して対応する前記第 1 導電部分に結合される。

20

【 0 1 0 9 】

具体的に実施する時に、前記出力リセットトランジスタのアクティブ層は、第 1 方向に沿って対向して設けられる少なくとも二つの第 2 導電部分及び少なくとも一つの第 2 チャンネル部分を含み、それぞれの前記第 2 チャンネル部分は二つの隣接する前記第 2 導電部分の間に設けられており、

前記第 2 チャンネル部分は、前記出力リセットゲート電極パターンに一対一対応され、各前記第 2 チャンネル部分の前記ベースでの正投影は、いずれも対応する前記出力リセットゲート電極パターンの前記ベースでの正投影の内部に位置しており、

30

前記出力リセットトランジスタのうちの一部の前記第 2 導電部分が前記第 3 電極パターンに一対一対応され、前記第 3 電極パターンの前記ベースでの正投影と、対応する前記第 2 導電部分の前記ベースでの正投影とが第 3 重なり領域を有し、前記第 3 電極パターンは、前記第 3 重なり領域に設けられている少なくとも一つの第 3 ビアホールを介して対応する前記第 2 導電部分に結合され、

前記出力リセットトランジスタのうちの一部の前記第 2 導電部分が前記第 4 電極パターンに一対一対応され、前記第 4 電極パターンの前記ベースでの正投影と、対応する前記第 2 導電部分の前記ベースでの正投影とが第 4 重なり領域を有し、前記第 4 電極パターンは、前記第 4 重なり領域に設けられている少なくとも一つの第 4 ビアホールを介して対応する前記第 2 導電部分に結合される。

40

【 0 1 1 0 】

図 5、図 6、図 8 及び図 9 に示すように、1 番目の第 1 チャンネル部分 1 2 1 が第 1 出力ゲート電極パターン G 1 0 1 に対応され、2 番目の第 1 チャンネル部分 1 2 2 が第 2 出力ゲート電極パターン G 1 0 2 に対応され、3 番目の第 1 チャンネル部分 1 2 3 が第 3 出力ゲート電極パターン G 1 0 3 に対応され、4 番目の第 1 チャンネル部分 1 2 4 が第 4 出力ゲート電極パターン G 1 0 4 に対応され、5 番目の第 1 チャンネル部分 1 2 5 が第 5 出力ゲート電極パターン G 1 0 5 に対応され、

1 番目の第 1 チャンネル部分 1 2 1 のベースでの正投影は、第 1 出力ゲート電極パターン

50

G 1 0 1 のベースでの正投影の内部に位置しており、

2 番目の第 1 チャネル部分 1 2 2 のベースでの正投影は、第 2 出力ゲート電極パターン

G 1 0 2 のベースでの正投影の内部に位置しており、

3 番目の第 1 チャネル部分 1 2 3 のベースでの正投影は、第 3 出力ゲート電極パターン

G 1 0 3 のベースでの正投影の内部に位置しており、

4 番目の第 1 チャネル部分 1 2 4 のベースでの正投影は、第 4 出力ゲート電極パターン

G 1 0 4 のベースでの正投影の内部に位置しており、

5 番目の第 1 チャネル部分 1 2 5 のベースでの正投影は、第 5 出力ゲート電極パターン

G 1 0 5 のベースでの正投影の内部に位置しており、

1 番目の第 1 導電部分 1 1 1 が 1 番目の第 1 電極パターン S 1 0 1 に対応され、2 番目の

10

第 1 導電部分 1 1 2 が 1 番目の第 2 電極パターン D 1 0 1 に対応され、3 番目の第 1 導

電部分 1 1 3 が 2 番目の第 1 電極パターン S 1 0 2 に対応され、4 番目の第 1 導電部分 1

1 4 が 2 番目の第 2 電極パターン D 1 0 2 に対応され、5 番目の第 1 導電部分 1 1 5 が 3

番目の第 1 電極パターン S 1 0 3 に対応され、6 番目の第 1 導電部分 1 1 6 が 1 番目の第

4 電極パターン D 9 1 に対応され、

前記 6 番目の第 1 導電部分 1 1 6 は、前記出力リセットトランジスタ T 9 のアクティブ層に含まれる 1 番目の第 2 導電部分として兼用され、

1 番目の第 2 チャネル部分 1 4 1 が第 1 出力リセットゲート電極パターン G 9 1 に対応

され、2 番目の第 2 チャネル部分 1 4 2 が第 2 出力リセットゲート電極パターン G 9 2 に

対応され、3 番目の第 2 チャネル部分 1 4 3 が第 3 出力リセットゲート電極パターン G 9

20

3 に対応され、4 番目の第 2 チャネル部分 1 4 4 が第 4 出力リセットゲート電極パターン

G 9 4 に対応され、5 番目の第 2 チャネル部分 1 4 5 が第 5 出力リセットゲート電極パタ

ーン G 9 5 に対応され、

1 番目の第 2 チャネル部分 1 4 1 のベースでの正投影は、第 1 出力リセットゲート電極

パターン G 9 1 のベースでの正投影の内部に位置しており、

2 番目の第 2 チャネル部分 1 4 2 のベースでの正投影は、第 2 出力リセットゲート電極

パターン G 9 2 のベースでの正投影の内部に位置しており、

3 番目の第 2 チャネル部分 1 4 3 のベースでの正投影は、第 3 出力リセットゲート電極

パターン G 9 3 のベースでの正投影の内部に位置しており、

4 番目の第 2 チャネル部分 1 4 4 のベースでの正投影は、第 4 出力リセットゲート電極

30

パターン G 9 4 のベースでの正投影の内部に位置しており、

5 番目の第 2 チャネル部分 1 4 5 のベースでの正投影は、第 5 出力リセットゲート電極

パターン G 9 5 のベースでの正投影の内部に位置しており、

2 番目の第 2 導電部分 1 3 2 が 1 番目の第 3 電極パターン S 9 1 に対応され、3 番目の

第 2 導電部分 1 3 3 が 2 番目の第 4 電極パターン D 9 2 に対応され、4 番目の第 2 導電部

分 1 3 4 が 2 番目の第 3 電極パターン S 9 2 に対応され、5 番目の第 2 導電部分 1 3 5 が

3 番目の第 4 電極パターン D 9 3 に対応され、6 番目の第 2 導電部分 1 3 6 が 3 番目の第

3 電極パターン S 9 3 に対応され、

S 1 0 1 のベースでの正投影と、1 番目の第 1 導電部分 1 1 1 のベースでの正投影との

間に 1 番目の第 1 重なり領域を有し、S 1 0 2 のベースでの正投影と、3 番目の第 1 導電

40

部分 1 1 3 のベースでの正投影との間に 2 番目の第 1 重なり領域を有し、S 1 0 3 のベ

ースでの正投影と、5 番目の第 1 導電部分 1 1 5 のベースでの正投影との間に 3 番目の第 1

重なり領域を有し、S 1 0 1 は、1 番目の第 1 重なり領域に設けられている第 1 ビアホール

H 1 を介して 1 番目の第 1 導電部分 1 1 1 に結合され、S 1 0 2 は、2 番目の第 1 重なり

領域に設けられている第 1 ビアホール H 1 を介して 3 番目の第 1 導電部分 1 1 3 に結合

され、S 1 0 3 は、3 番目の第 1 重なり領域に設けられている第 1 ビアホール H 1 を介し

て 5 番目の第 1 導電部分 1 1 5 に結合され、

D 1 0 1 のベースでの正投影と、2 番目の第 1 導電部分 1 1 2 のベースでの正投影との

間に存在 1 番目の第 2 重なり領域を有し、D 1 0 2 のベースでの正投影と、4 番目の第 1

導電部分 1 1 4 との間に 2 番目の第 2 重なり領域を有し、D 1 0 1 は、1 番目の第 2 重な

50

り領域に設けられている第2ビアホールH2を介して2番目の第1導電部分112に結合され、D102は、2番目の第2重なり領域に設けられている第2ビアホールH2を介して4番目の第1導電部分114に結合され、

D91のベースでの正投影と、1番目の第2導電部分131のベースでの正投影との間に1番目の第4重なり領域を有し、D92のベースでの正投影と、3番目の第2導電部分133のベースでの正投影との間に2番目の第4重なり領域を有し、D93のベースでの正投影と、5番目の第2導電部分135との間に3番目の第4重なり領域を有し、D91は、1番目の第4重なり領域に設けられている第4ビアホールH4を介して1番目の第2導電部分131に結合され、D92は、2番目の第4重なり領域に設けられている第4ビアホールH4を介して3番目の第2導電部分133に結合され、D93は、3番目の第4重なり領域に設けられている第4ビアホールH4を介して5番目の第2導電部分135に結合され、

10

S91のベースでの正投影と、2番目の第2導電部分132のベースでの正投影との間に1番目の第3重なり領域を有し、S92のベースでの正投影と、4番目の第2導電部分134のベースでの正投影との間に2番目の第3重なり領域を有し、S93のベースでの正投影と、6番目の第2導電部分136のベースでの正投影との間に3番目の第3重なり領域を有し、S91は、1番目の第3重なり領域に設けられている第3ビアホールH3を介して2番目の第2導電部分132に結合され、S92は、2番目の第3重なり領域に設けられている第3ビアホールH3を介して4番目の第2導電部分134に結合され、S93は、3番目の第3重なり領域に設けられている第3ビアホールH3を介して6番目の第2導電部分136に結合される。

20

【0111】

本開示の少なくとも一実施例では、第1ビアホールの数量、第2ビアホールの数量、第3ビアホールの数量及び第4ビアホールの数量は、実際の必要に応じて設けてもよい。

【0112】

図3Aに示されるレイアウト方式において、第1ビアホールの数量、第2ビアホールの数量、第3ビアホールの数量はいずれも三つであるが、実際の操作において、以上の各ビアホールの数量は実際の状態によって選択してもよく、例えば、図11に示すように、他のレイアウト方式において、第1ビアホールの数量、第2ビアホールの数量、第3ビアホールの数量はいずれも二つであってもよく、図11に示されるレイアウト方式において、第1半導体層の第1方向での長さがより長く（図3Aに示されるレイアウト方式に比べ）、第1半導体層の第2方向での幅がより狭く（図3Aに示されるレイアウト方式に比べ）、シフトレジスタユニットの占める第2方向での幅を狭めることに寄与し、狭額縁の実現に有利である。

30

【0113】

上記の実施例に係る表示基板において、第1半導体層10を利用して出力リセットトランジスタT9のアクティブ層及び出力トランジスタT10のアクティブ層を形成して、T9及びT10の占める第2方向での空間を小さくするのみならず、出力リセットトランジスタT9のアクティブ層及び出力トランジスタT10のアクティブ層の第1方向でのサイズを大きくすることで、T9のチャンネルの幅及びT10のチャンネルの幅を確保し、これによりT9の動作性能及びT10の動作性能を確保する上に、表示基板の額縁の幅を縮めることができる。

40

【0114】

本開示の少なくとも一実施例では、図5は、図3Aのアクティブ層の概略図であり、図6は、図3Aの第1ゲート金属層の概略図であり、図7は、図3Aの第2ゲート金属層の概略図であり、図8は、順次にアクティブ層、第1ゲート金属層及び第2ゲート金属層を設置した後に製作したビアホールの概略図であり、図9は図3Aのソース・ドレイン金属層の概略図である。

【0115】

具体的に実施する時に、ベース上に順次にアクティブ層、第1ゲート金属層、第2ゲー

50

ト金属層、ビアホール及びソース・ドレイン金属層を設置して表示基板を形成する。

【0116】

本開示の少なくとも一実施例では、前記少なくとも一つのシフトレジスタユニットは、出力トランジスタ及び出力リセットトランジスタに加えて、複数のトランジスタも含んでもよく、各トランジスタのチャンネル部分の両側の導電部分は、対応に該トランジスタの第1電極及び第2電極それぞれにしてもよいが、もしくは該トランジスタの第1電極及び該トランジスタの第2電極それぞれに結合されてもよい。

【0117】

図3A～図9に示すように、S91、S92及びS93がそれぞれ第1導電接続部F1に結合され、前記第1導電接続部F1が前記第1電圧信号線VGHに結合され、

10

前記第1導電接続部F1のベースでの正投影と、前記出力リセットコンデンサC3の第2極板C3bのベースでの正投影との間に第5重なり領域を有し、前記第1導電接続部F1が前記第5重なり領域に設けられている第5ビアホールH5を介して前記出力リセットコンデンサC3の第2極板C3bに結合される。

【0118】

具体的に実施する時に、前記少なくとも一つのシフトレジスタユニットは、第1トランジスタをさらに含んでもよく、

前記第1トランジスタは、第1アクティブパターンを含み、前記第1アクティブパターンが第2方向に沿って延在され、

前記第1トランジスタは、前記出力回路の表示領域から離れた側に位置している。

20

図1、図3A～図9に示すように、前記少なくとも一つのシフトレジスタユニットは、第1トランジスタT1をさらに含んでもよく、

前記第1トランジスタT1は、第1アクティブパターンA1を含み、前記第1アクティブパターンA1が第2方向に沿って延在され、

前記第1トランジスタT1は、前記出力回路O1の表示領域から離れた側に位置している。

【0119】

本開示の少なくとも一実施例では、T1のうち、第1アクティブパターンA1を第2方向に沿って延在されるように設置して、T2及びT8がより緊密に設置されて、横方向の空間を節約することができる。

30

【0120】

図3A～図9に示すように、前記第1トランジスタT1は、第1アクティブパターンA1を含み、前記第1アクティブパターンA1は、第2方向に沿って順次に配列される1番目の第3導電部分A11、第3チャンネル部分A10及び2番目の第3導電部分A12を含み、

1番目の第3導電部分A11が第1トランジスタT1の第1電極S1として兼用され、2番目の第3導電部分A12が第1トランジスタT1の第2電極D1として兼用され、

前記第1トランジスタT1の第1電極S1は、第1接続ビアホールH11を介して第2導電接続部F2に結合され、前記第2導電接続部F2のベースでの正投影と、前記出力コンデンサC2の第2極板C2bのベースでの正投影との間に第6重なり領域を有し、前記第2導電接続部F2は、前記第6重なり領域に設けられている第6ビアホールH6を介して前記出力コンデンサC2の第2極板C2bに結合され、

40

T1の第2電極D1は、第2接続ビアホールH21を介して第3導電接続部F3に結合され、前記第3導電接続部F3のベースでの正投影と、C1の第2極板C1bのベースでの正投影との間に第7重なり領域を有し、F3は、第7重なり領域に設けられている第7ビアホールH7を介してC1の第2極板C1bに結合され、

T1のゲート電極G1は、C1の第1極板C1aに結合され、T1のゲート電極G1は、T8のゲート電極G8にも結合される。

【0121】

図3Aに示すように、前記出力コンデンサC2の極板のT4とT10との間の部分の第

50

2方向での幅が狭くなり、C2の極板のT7とT10との間の部分の第2方向での幅も狭くなって、第2方向での空間を省き、残すべきところが他の素子のレイアウトに用いられるようにする。しかも、図3Aに示すように、第1方向におけるC2の極板の長さも長くなって、C2の極板の面積を確保する。

【0122】

本開示の少なくとも一実施例では、図1、図3A～図9に示すように、前記少なくとも一つのシフトレジスタユニットは、第2トランジスタT2及び第3トランジスタT3をさらに含んでもよく、

前記第2トランジスタT2のゲート電極G2の前記ベースでの正投影と、前記第3トランジスタT3のゲート電極G3の前記ベースでの正投影との間の第2方向での最大距離が第3所定距離であり、

10

前記第2トランジスタT2及び前記第3トランジスタT3が前記出力回路の表示領域から離れた側に位置しており、

前記第2トランジスタT2の第2電極D2は、前記第3トランジスタT3の第2電極D3に結合される。

【0123】

本開示の少なくとも一実施例では、前記第3所定距離は、14 μm 以上かつ50 μm 以下であってもよいが、これに限らない。

【0124】

具体的に実施する時に、前記第2トランジスタT2の第2電極D2が前記第3トランジスタT3の第2電極D2に結合されるので、配線の便宜上、T2及びT3を近く設置することが必要であり、かつT2及びT3を近く設置することは、シフトレジスタユニットの占める第2方向での幅を狭めることに寄与することができる。

20

【0125】

本開示の少なくとも一実施例では、前記第2トランジスタT2のゲート電極G2の前記ベースでの正投影と、前記第3トランジスタT3のゲート電極G3の前記ベースでの正投影との間の第2方向での最大距離が第3所定距離より短いということは、G2のベースでの正投影の周辺と、G3のベースでの正投影の周辺との間の第2方向での最大距離が第3所定距離より短いことである。

【0126】

30

図3A～図9に示すように、第2トランジスタT2は、第2アクティブパターンを含み、前記第2アクティブパターンA2は、第1方向に沿って順次に配列される1番目の第4導電部分A21、第4チャネル部分A20及び2番目の第4導電部分A22を含み、

1番目の第4導電部分A21が第2トランジスタT2の第1電極S2として兼用され、2番目の第4導電部分A22が第2トランジスタT2の第2電極D2として兼用され、

第2トランジスタT2の第1電極S2は、第3接続ビアホールH31を介して前記第3導電接続部F3に結合され、前記第3導電接続部F3のベースでの正投影と、C1の第2極板C1bのベースでの正投影との間に第7重なり領域を有し、F3は、第7重なり領域に設けられている第7ビアホールH7を介してC1の第2極板C1bに結合されて、第2トランジスタT2の第1電極S2がC1の第2極板C1bに結合され、

40

第2トランジスタT2の第2電極D2は、第4接続ビアホールH41を介して第4導電接続部F4に結合され、

第3トランジスタT3は、第3アクティブパターンA3を含み、

前記第3アクティブパターンA3は、第2方向に沿って順次に配列される1番目の第5導電部分A31、第5チャネル部分A30及び2番目の第5導電部分A32を含み、

1番目の第5導電部分A31が第3トランジスタT3の第1電極S3として兼用され、2番目の第5導電部分A32が第3トランジスタT3の第2電極D3として兼用され、

第3トランジスタT3の第1電極S3は、第5接続ビアホールH51を介してそれぞれS91、S92及びS93に結合され、

第3トランジスタT3の第2電極D3は、第6接続ビアホールH61を介して第4導電

50

接続部 F 4 に結合される。

【 0 1 2 7 】

選択的に、前記少なくとも一つのシフトレジスタユニットは、第 1 トランジスタ、第 2 トランジスタ及び第 1 コンデンサを含んでもよく、ここで、

前記第 1 トランジスタの第 2 電極及び前記第 2 トランジスタの第 1 電極は、それぞれ前記第 1 コンデンサの第 2 極板に結合され、前記第 1 トランジスタのゲート電極は、前記第 1 コンデンサの第 1 極板に結合され、

前記第 1 トランジスタ、前記第 1 コンデンサ及び前記第 2 トランジスタが第 1 方向に沿って順次に配列され、

前記第 1 トランジスタ、前記第 1 コンデンサ及び前記第 2 トランジスタは、前記出力回路の表示領域から離れた側に位置している。

10

【 0 1 2 8 】

図 1、図 3 A ~ 図 9 に示すように、前記少なくとも一つのシフトレジスタユニットは、第 1 トランジスタ T 1、第 2 トランジスタ T 2 及び第 1 コンデンサ C 1 をさらに含んでもよく、ここで、

前記第 1 トランジスタ T 1 の第 2 電極 D 1 及び前記第 2 トランジスタ T 2 の第 1 電極 D 2 は、それぞれ前記第 1 コンデンサ C 1 の第 2 極板 C 1 b に結合され、前記第 1 トランジスタ T 1 のゲート電極 G 1 は、前記第 1 コンデンサ C 1 の第 1 極板 C 1 a に結合され、

前記第 1 トランジスタ T 1、前記第 1 コンデンサ C 1 及び前記第 2 トランジスタ T 2 が第 1 方向に沿って順次に配列され、

20

前記第 1 トランジスタ T 1、前記第 1 コンデンサ C 1 及び前記第 2 トランジスタ T 2 は、前記出力回路 O 1 の表示領域から離れた側に位置している。

【 0 1 2 9 】

本開示の少なくとも一実施例では、C 1 は、T 1 と T 2 との間に位置しており、かつ T 1、T 2 及び T 3 の配列される位置が C 1 の極板の形状に互いに契合して、T 1、T 2、T 3 及び C 1 がさらに緊密に配列される。具体的に実施する時に、図 1、図 3 A - 図 9 に示すように、前記走査駆動回路は、第 1 電圧信号線 V G H をさらに含んでもよく、前記少なくとも一つのシフトレジスタユニットは、出力リセットコンデンサ C 3 をさらに含んでもよく、前記出力リセットコンデンサ C 3 の第 1 極板 C 3 a は、前記出力リセットトランジスタ T 9 のゲート電極 G 9 に結合され、前記出力リセットコンデンサ C 3 の第 2 極板 C 3 b は、前記第 1 電圧信号線 V G H に結合され、

30

前記出力リセットコンデンサ C 3 の第 2 極板 C 3 b の第 2 方向での最大の幅が第 1 所定の幅であり、前記出力リセットコンデンサ C 3 の第 2 極板 C 3 b の第 1 方向での最大長さが第 2 所定の長さであり、

前記出力リセットコンデンサ C 3 は、前記出力回路 O 1 の表示領域から離れた側に位置しており、

前記出力リセットコンデンサ C 3 の第 2 極板 C 3 b の前記ベースでの正投影は、前記出力リセットコンデンサ C 3 の第 1 極板 C 3 a の前記ベースでの正投影内にある。

【 0 1 3 0 】

本開示の少なくとも一実施例では、前記第 1 所定の幅は、 $3\ \mu\text{m}$ 以上かつ $60\ \mu\text{m}$ 以下であってもよく、前記第 2 所定の長さは、 $3\ \mu\text{m}$ 以上かつ $20\ \mu\text{m}$ 以下であってもよいが、これに限らない。

40

【 0 1 3 1 】

選択的に、図 3 A に示すように、前記第 1 電圧信号線 V G H が第 1 方向に沿って延在され、前記第 1 電圧信号線 V G H は、前記出力リセットコンデンサ C 3 の表示領域から離れた側に位置している。

【 0 1 3 2 】

本開示の少なくとも一実施例では、C 3 の第 2 極板 C 3 b の第 2 方向での幅を小さく設定して、第 2 方向でのシフトレジスタユニットの幅を狭め、かつ C 3 の極板の面積を確保するために、C 3 の第 2 極板 C 3 b の第 1 方向での長さを大きく設定する。

50

【 0 1 3 3 】

図 3 A ~ 図 9 に示すように、C 3 の第 1 極板 C 3 a が T 9 のゲート電極 G 9 に結合され、C 3 の第 1 極板 C 3 a のベースでの正投影と、前記第 4 導電接続部 F 4 のベースでの正投影との間に第 8 重なり領域を有し、C 3 a は、前記第 8 重なり領域に設けられている第 8 ビアホール H 8 を介して前記第 4 導電接続部 F 4 に結合されて、C 3 a が第 2 トランジスタ T 2 の第 2 電極 D 2 に結合され、

S 9 1、S 9 2 及び S 9 3 がそれぞれ第 1 導電接続部 F 1 に結合され、前記第 1 導電接続部 F 1 が前記第 1 電圧信号線 V G H に結合され、

前記第 1 導電接続部 F 1 のベースでの正投影と、前記出力リセットコンデンサ C 3 の第 2 極板 C 3 b のベースでの正投影との間に第 5 重なり領域を有し、前記第 1 導電接続部 F 1 は、前記第 5 重なり領域に設けられている第 5 ビアホール H 5 を介して前記出力リセットコンデンサ C 3 の第 2 極板 C 3 b に結合されて、C 3 b が S 9 1、S 9 2 及び S 9 3 それぞれに結合される。

10

【 0 1 3 4 】

本開示の少なくとも一実施例では、図 3 A ~ 図 9 に示すように、前記出力トランジスタ T 1 0 及び前記出力リセットトランジスタ T 9 は、第 1 方向に沿って配列され、前記走査駆動回路は、第 2 電圧信号線 V G L をさらに含み、前記少なくとも一つのシフトレジスタユニットは、出力リセットコンデンサ C 3 をさらに含み、

前記出力リセットコンデンサ C 3 の第 2 極板 C 3 b は、前記第 1 電圧信号線 V G H に結合され、

20

前記出力トランジスタ T 1 0 の第 1 電極 S 1 0 は、第 2 電圧信号線 V G L に結合され、前記出力リセットトランジスタ T 9 の第 1 電極 S 9 は、前記出力リセットコンデンサ C 3 の第 2 極板 C 3 b に結合され、

前記出力トランジスタ T 1 0 及び前記出力リセットトランジスタ T 9 は、前記第 2 電圧信号線 V G L の表示領域から離れた側に位置している。

【 0 1 3 5 】

選択的に、前記走査駆動回路は、第 2 電圧信号線をさらに含んでもよく、前記少なくとも一つのシフトレジスタユニットは、第 4 トランジスタをさらに含んでもよく、

前記第 2 電圧信号線は、電極導電接続部に結合され、前記電極導電接続部は、第 2 方向に沿って延在され、前記少なくとも一つの第 1 電極パターンは、第 1 方向に沿って順次に配列され、

30

前記電極導電接続部は、前記出力トランジスタの第 1 電極に含まれる 1 番目の第 1 電極パターンに結合され、

前記第 4 トランジスタの第 1 電極は、前記電極導電接続部に結合され、

前記第 4 トランジスタのゲート電極の前記ベースでの正投影と、前記電極導電接続部の前記ベースでの正投影との間の第 1 方向での最小距離は、第 4 所定距離である。

【 0 1 3 6 】

本開示の少なくとも一実施例では、前記第 4 トランジスタのゲート電極の前記ベースでの正投影と、前記電極導電接続部の前記ベースでの正投影との間の第 1 方向での最小距離というのは、第 4 トランジスタのゲート電極のベースでの正投影の周辺と、電極導電接続部のベースでの正投影の周辺との間の第 1 方向での最小距離である。

40

【 0 1 3 7 】

本開示の少なくとも一実施例では、前記第 4 所定距離は、 $1\ \mu\text{m}$ 以上かつ $5\ \mu\text{m}$ 以下であってよいが、これに限らない。

本開示の少なくとも一実施例では、出力アクティブ長さを上げるとともに、第 4 トランジスタを上の方に移動し、第 4 トランジスタのゲート電極と電極導電接続部との第 1 方向での距離を短く保持することで、出力アクティブ長さを上げることにより第 1 方向で余裕になる空間を利用してシフトレジスタユニットに含まれる出力回路以外の他の素子をレイアウトし、その上シフトレジスタユニットの第 2 方向での幅を狭めることができる。

【 0 1 3 8 】

50

図3A～図9に示すように、前記走査駆動回路は、第2電圧信号線VGLをさらに含んでもよく、前記少なくとも一つのシフトレジスタユニットは、第4トランジスタT4をさらに含んでもよく、

前記第2電圧信号線VGLは、電極導電接続部F01に結合され、前記電極導電接続部F01は、第2方向に沿って延在され、前記出力トランジスタT10の第1電極S10に含まれる1番目の第1電極パターンS101、2番目の第1電極パターンS102及び3番目の第1電極パターンS103は第1方向に沿って順次に配列され、

前記電極導電接続部F01は、前記1番目の第1電極パターンS101に結合され、

前記第4トランジスタT4の第1電極S4は、電極接続ビアホールH0を介して前記電極導電接続部F01に結合され、

前記第4トランジスタT4のゲート電極G4の前記ベースでの正投影と、前記電極導電接続部F01の前記ベースでの正投影との間の第1方向での最小距離が第4所定距離とされ、S101を上の方に移動するとともに、T4も上の方に移動するようにする。

【0139】

図5に示すように、第4トランジスタT4は、第4アクティブパターンA4を含み、

前記第4アクティブパターンA4は、第1方向に沿って順次に配列される1番目の第6導電部分A41、第6チャネル部分A40及び2番目の第6導電部分A42を含み、

1番目の第6導電部分A41が第4トランジスタT4の第1電極S4として兼用され、2番目の第6導電部分A42が第4トランジスタT4の第2電極D4として兼用される。

【0140】

本開示の少なくとも一実施例では、前記少なくとも一つのシフトレジスタユニットは、第4トランジスタ及び第5トランジスタをさらに含んでもよく、

前記第4トランジスタのゲート電極は、前記第5トランジスタのゲート電極に結合され、

前記第4トランジスタのゲート電極及び前記第5トランジスタのゲート電極は、第1ゲート金属パターンに含まれ、前記第1ゲート金属パターンは、第2方向に沿って延在される。

【0141】

具体的に実施する時に、前記第4トランジスタ及び前記第5トランジスタは並べて設置されてもよく、第4トランジスタを上の方に移動するとともに、第5トランジスタも上の方に移動する。

選択的に、前記走査駆動回路は、第1クロック信号線をさらに含んでもよく、前記第5トランジスタのゲート電極は、前記第1クロック信号線に結合され、

前記第1クロック信号線は第1方向に沿って延在され、前記第1クロック信号線は前記第5トランジスタの表示領域から離れた側に位置している。

【0142】

図1、図3A～図9に示すように、前記少なくとも一つのシフトレジスタユニットは第4トランジスタT4及び第5トランジスタT5をさらに含んでもよく、前記走査駆動回路は、第1クロック信号線CKをさらに含んでもよく、

前記第4トランジスタT4のゲート電極G4は、前記第5トランジスタT5のゲート電極G5に結合され、

前記第4トランジスタT4のゲート電極G4及び前記第5トランジスタT5のゲート電極G5は第1ゲート金属パターン45に含まれ、前記第1ゲート金属パターン45は、第2方向に沿って延在され、

前記第5トランジスタT5のゲート電極G5は、前記第1クロック信号線CKに結合され、

前記第1クロック信号線CKは、第1方向に沿って延在され、前記第1クロック信号線CKは、前記第5トランジスタT5の表示領域から離れた側に位置している。

【0143】

図3A～図9に示すように、前記第1ゲート金属パターン45のベースでの正投影と、前記第1クロック信号線CKのベースでの正投影との間に第9重なり領域を有し、前記第

10

20

30

40

50

1 ゲート金属パターン 4 5 は、前記第 9 重なり領域に設けられている第 9 ビアホール H 9 を介して前記第 1 クロック信号線 C K に結合され、

T 5 の第 1 電極 S 5 は、第 7 接続ビアホール H 7 1 を介して入力信号端 E 1 に結合される。

【 0 1 4 4 】

図 5 に示すように、第 5 トランジスタ T 5 は、第 5 アクティブパターン A 5 を含み、前記第 5 アクティブパターン A 5 は、第 1 方向に沿って順次に配列される 1 番目の第 7 導電部分 A 5 1、第 7 チャンネル部分 A 5 0 及び 2 番目の第 7 導電部分 A 5 2 を含み、

1 番目の第 7 導電部分 A 5 1 が第 5 トランジスタ T 5 の第 1 電極 S 5 として兼用され、2 番目の第 7 導電部分 A 5 2 が第 5 トランジスタ T 5 の第 2 電極 D 5 として兼用される。

10

【 0 1 4 5 】

具体的に実施する時に、図 1、図 3 A ~ 図 9 に示すように、前記少なくとも一つのシフトレジスタユニットは、第 1 トランジスタ T 1、第 4 トランジスタ T 4、第 5 トランジスタ T 5、第 6 トランジスタ T 6 及び出力コンデンサ C 2 をさらに含んでもよく、

前記第 5 トランジスタ T 5 の第 2 電極 D 5 は、前記第 6 トランジスタ T 6 のゲート電極 G 6 に結合され、前記第 5 トランジスタ T 5 の第 1 電極 S 1 は、入力信号端 E 1 に結合され、

前記第 6 トランジスタ T 6 のゲート電極 G 6 は、互いに結合される第 1 ゲート電極パターン g 6 1 及び第 2 ゲート電極パターン g 6 2 を含み、

前記第 1 ゲート電極パターン g 6 1 及び前記第 2 ゲート電極パターン g 6 2 は、それぞれ前記出力コンデンサ C 2 の第 1 極板 C 2 a に結合され、前記出力コンデンサ C 2 の第 1 極板 C 2 a は、前記出力トランジスタ T 10 のゲート電極 S 10 に結合され、

20

前記第 6 トランジスタ T 6 の第 1 電極 S 6 は、第 4 トランジスタ T 4 のゲート電極 G 4 に結合され、前記第 6 トランジスタ T 6 の第 2 電極 D 6 は、前記第 4 トランジスタ T 4 の第 2 電極 D 4 に結合され、前記出力コンデンサ C 2 の第 2 極板 C 2 b は、前記第 1 トランジスタ T 1 の第 1 電極 S 1 に結合され、

前記第 4 トランジスタ T 4、前記第 6 トランジスタ T 6 及び前記第 1 トランジスタ T 1 が前記第 1 方向に沿って順次に配列され、

前記第 5 トランジスタ T 5、前記第 6 トランジスタ T 6 及び前記第 1 トランジスタ T 1 が前記第 1 方向に沿って順次に配列され、

30

前記出力コンデンサ C 2 は、前記第 6 トランジスタ T 6 と前記出力回路 O 1 との間に位置している。

【 0 1 4 6 】

図 5 に示すように、第 6 トランジスタ T 6 は、第 6 アクティブパターン A 6 を含み、

前記第 6 アクティブパターン A 6 は、第 1 方向に沿って順次に配列される 1 番目の第 8 導電部分 A 6 1、1 番目の第 8 チャンネル部分 A 6 0 1、2 番目の第 8 導電部分 A 6 2、2 番目の第 8 チャンネル部分 A 6 0 2 及び 3 番目の第 8 導電部分 A 6 3 を含み、

1 番目の第 8 導電部分 A 6 1 が第 6 トランジスタ T 6 の第 1 電極 S 6 として兼用され、3 番目の第 8 導電部分 A 6 3 が第 6 トランジスタ T 6 の第 2 電極 D 6 として兼用される。

【 0 1 4 7 】

40

図 3 A ~ 図 9 に示すように、T 6 のゲート電極は、第 2 ゲート金属パターン 6 0 に含まれ、前記第 2 ゲート金属パターン 6 0 は U 形であって、T 6 のゲート電極が互いに結合される第 1 ゲート電極パターン g 6 1 及び第 2 ゲート電極パターン g 6 2 を含むようにし、

前記第 2 ゲート金属パターン 6 0 は、第 8 接続ビアホール H 8 1 を介して第 5 導電接続部 F 5 に結合され、

T 5 の第 2 電極 D 5 は、第 9 接続ビアホール H 9 1 を介して前記第 5 導電接続部 F 5 に結合されて、T 5 の第 2 電極 D 5 が T 6 のゲート電極に含まれる互いに結合される第 1 ゲート電極パターン g 6 1 及び第 2 ゲート電極パターン g 6 2 それぞれに結合されるようにし、

T 6 の第 1 電極 S 6 は、第 10 接続ビアホール H 10 1 を介して第 6 導電接続部 F 6 に

50

結合され、第 1 ゲート金属パターン 4 5 は、第 1 1 接続ビアホール H 1 1 1 を介して前記第 6 導電接続部 F 6 に結合され、

T 6 の第 2 電極 D 6 は、第 1 2 接続ビアホール H 1 2 1 を介して第 7 導電接続部 F 7 に結合され、T 4 の第 2 電極 D 4 は、第 1 3 接続ビアホール H 1 3 1 を介して前記第 7 導電接続部 F 7 に結合されて、T 6 の第 2 電極 D 6 が T 4 の第 2 電極 D 4 に結合されるようにする。

【 0 1 4 8 】

本開示の少なくとも一実施例では、図 1、図 3 A ~ 図 9 に示すように、前記少なくとも一つのシフトレジスタユニットは、第 2 トランジスタ T 2、第 1 トランジスタ T 1、第 6 トランジスタ T 6、第 7 トランジスタ T 7 及び第 8 トランジスタ T 8 をさらに含んでもよく、ここで、

10

図 5 に示すように、前記第 7 トランジスタ T 7 のアクティブ層及び前記第 8 トランジスタ T 8 のアクティブ層は、一つの連続した第 2 半導体層 2 0 により形成されてもよく、前記第 2 半導体層 2 0 が第 1 方向に沿って延在され、

前記第 7 トランジスタ T 7 のアクティブ層は、第 1 方向に沿って順次に設置される 1 番目の第 9 導電部分 2 1 1、第 9 チャンネル部分 2 0 1 及び 2 番目の第 9 導電部分 2 1 2 を含み、

前記 2 番目の第 9 導電部分 2 1 2 が 1 番目の第 1 0 導電部分として兼用され、

前記第 8 トランジスタ T 8 のアクティブ層は、第 1 方向に沿って順次に設置される 1 番目の第 1 0 導電部分、第 1 0 チャンネル部分 2 0 2 及び 2 番目の第 1 0 導電部分 2 2 2 を含み、

20

前記 1 番目の第 9 導電部分 2 1 1 は、前記第 7 トランジスタ T 7 の第 2 電極 D 7 として用いられ、前記 2 番目の第 9 導電部分 2 1 2 は、前記第 7 トランジスタ T 7 の第 1 電極 S 7 として用いられ、前記 2 番目の第 1 0 導電部分 2 2 2 は、前記第 8 トランジスタ T 8 の第 1 電極 S 8 として用いられ、前記第 7 トランジスタ T 7 の第 1 電極 S 7 が前記第 8 トランジスタ T 8 の第 2 電極 D 8 として兼用され、

前記第 7 トランジスタ T 7 のゲート電極 G 7 は、出力コンデンサ C 2 の第 2 極板 C 2 b に結合され、前記第 7 トランジスタ T 7 の第 2 電極 D 7 は、前記第 6 トランジスタ T 6 のゲート電極 G 6 に結合され、

前記第 8 トランジスタ T 8 のゲート電極 G 8 は、前記第 1 トランジスタ T 1 のゲート電極 G 1 に結合され、前記第 8 トランジスタ T 8 の第 1 電極 S 8 は、第 1 電圧信号線 V G H に結合され、

30

前記第 1 電圧信号線 V G H が第 1 方向に沿って延在され、

前記第 6 トランジスタ T 6、前記第 7 トランジスタ T 7、前記第 8 トランジスタ T 8 及び前記第 2 トランジスタ T 2 は、第 1 方向に沿って順次に配列される。

本開示の少なくとも一実施例では、出力アクティブ長さを上げるのに伴い、T 5、T 4、T 6、T 7 及び T 8 がいずれも上の方に移動され、第 1 方向で余裕になる空隙を利用して、シフトレジスタユニットの占める第 2 方向での幅を狭める。

【 0 1 4 9 】

また、前記第 7 トランジスタ T 7 の第 1 電極 S 7 が前記第 8 トランジスタ T 8 の第 2 電極 D 8 として兼用され、即ち、本開示の少なくとも一実施例に記載の表示基板において、第 7 トランジスタ T 7 及び第 8 トランジスタ T 8 において、第 2 半導体層 2 0 に含まれる 2 番目の第 9 導電部分 2 1 2 を介して直接的に結合されることができ、T 7 及び T 8 の第 1 方向で占める面積を縮める。

40

【 0 1 5 0 】

選択的に、図 1、図 3 A - 図 9 に示すように、前記走査駆動回路は、第 2 クロック信号線 C B をさらに含んでもよく、前記第 2 トランジスタ T 2 のゲート電極 G 2 及び第 7 トランジスタ T 7 のゲート電極 G 7 は、それぞれ前記第 2 クロック信号線 C B に結合され、

前記第 2 クロック信号線 C B が第 1 方向に沿って延在され、前記第 2 クロック信号線 C B は、前記第 2 トランジスタ T 2 の表示領域から離れた側に位置している。

50

【 0 1 5 1 】

図 3 A ~ 図 9 に示すように、T 7 の第 2 電極 D 7 は、第 1 4 接続ビアホール H 1 4 1 を介して前記第 5 導電接続部 F 5 に結合されて、T 7 の第 2 電極 D 7 が T 6 のゲート電極 G 6 に結合され、

T 7 のゲート電極 G 7 は、それぞれ第 8 導電接続部 F 8 及び第 9 導電接続部 F 9 に結合され、

F 8 は、第 1 5 接続ビアホール H 1 5 1 を介して第 2 クロック信号線 C B に結合され、

F 9 は、第 1 6 接続ビアホール H 1 6 1 を介して第 2 導電接続部 F 2 に結合されて、T 7 のゲート電極 G 7 が C 2 の第 2 極板 C 2 b に結合され、

T 8 の第 1 電極 S 8 は、第 1 7 接続ビアホール H 1 7 1 を介して前記第 1 電圧信号線 V G H に結合され、

T 8 のゲート電極 G 8 は、T 1 のゲート電極 G 1 及び C 1 の第 1 極板 C 1 a それぞれに結合される。

図 3 A - 図 9 に示すように、T 2 のゲート電極 G 2 は、第 1 0 導電接続部 F 1 0 に結合され、前記第 1 0 導電接続部 F 1 0 は、第 1 8 接続ビアホール 1 8 1 を介して前記第 2 クロック信号線 C B に結合される。

【 0 1 5 2 】

図 6 に示すように、T 3 のゲート電極 G 3 は、第 1 1 導電接続部 F 1 1 を介して出力コンデンサ C 2 の第 1 極板 C 2 A に結合され得る。

【 0 1 5 3 】

図 9 に示すように、G 8 は、第 1 9 接続ビアホール H 1 9 1 を介して第 1 2 導電接続部 F 1 2 に結合され、前記第 1 2 導電接続部 F 1 2 は、第 1 2 接続ビアホール H 1 2 1 を介して T 6 の第 2 電極 D 6 に結合される。

選択的に、前記走査駆動回路は、第 2 電圧信号線及び信号出力線をさらに含んでもよく、前記信号出力線は、第 1 出力線部分及び少なくとも一つの第 2 出力線部分を含み、

前記第 2 電圧信号線及び前記第 1 出力線部分は、いずれも第 1 方向に沿って延在され、前記第 1 出力線部分は、前記第 2 電圧信号線と前記出力回路との間に位置しており、

前記第 2 出力線部分は、第 2 方向に沿って延在され、前記第 2 出力線部分は、表示領域のうち、画素回路に発光制御信号を提供することに用いられ、

前記第 1 出力線部分及び前記出力回路は、前記第 2 電圧信号線の前記表示領域から離れた側に位置している。

【 0 1 5 4 】

図 3 A に示されるレイアウト方式において、前記信号出力線は二つの第 2 出力線部分を含み、具体的に実施する時に、前記信号出力線に含まれる第 2 出力線部分の数は実際の状態に応じて選択されてもよい。

【 0 1 5 5 】

具体的に実施する時に、前記走査駆動回路は、第 1 電圧信号線、第 2 電圧信号線、第 1 クロック信号線及び第 2 クロック信号線をさらに含んでもよく、

前記第 1 電圧信号線、前記第 2 電圧信号線、前記第 1 クロック信号線及び前記第 2 クロック信号線は、いずれも第 1 方向に沿って延在され、

前記第 1 電圧信号線の前記ベースでの正投影、前記第 1 クロック信号線の前記ベースでの正投影及び前記第 2 クロック信号線の前記ベースでの正投影がいずれも前記シフトレジスタユニットの前記ベースでの正投影の前記表示領域から離れた側に位置しており、

前記第 2 電圧信号線の前記ベースでの正投影は、前記シフトレジスタユニットの前記表示領域に近い側に位置している。

【 0 1 5 6 】

本開示の少なくとも一実施例では、前記信号出力線は、少なくとも一つの第 2 出力線部分を含んでもよく、前記第 2 出力線部分が前記第 1 出力線部分に結合され、前記第 2 出力線部分が前記表示領域まで延在されて、前記表示領域に位置している画素回路に発光制御

10

20

30

40

50

信号を提供することに用いられる。

【 0 1 5 7 】

具体的に、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線の具体的な位置は、実際の必要に応じて設置されてもよく、例示として、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線をいずれも前記表示基板の周辺の箇所に設置して、すなわち、前記第 1 電圧信号線の前記ベースでの正投影、前記第 1 クロック信号線の前記ベースでの正投影及び前記第 2 クロック信号線の前記ベースでの正投影がいずれも前記シフトレジスタユニットの前記ベースでの正投影の前記表示基板の表示領域から離れた側に位置され、このようにして、前記シフトレジスタユニットをレイアウトする時に、前記シフトレジスタユニットのうち、各トランジスタと前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線との間に過多のオーバーラップが発生することを避けることで、前記シフトレジスタユニットの動作性能を高めることにさらに寄与する。

10

【 0 1 5 8 】

また、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線をいずれも前記第 1 方向に沿って延在されるように設置することで、前記表示基板の狭額縁化の実現にさらに寄与する。

【 0 1 5 9 】

本開示の少なくとも一実施例では、前記第 1 クロック信号線から出力の第 1 クロック信号及び前記第 2 クロック信号線から出力の第 2 クロック信号の位相が互いに反してもよいが、これに限らない。

20

具体的に実施する時に、図 1 及び図 3 A に示すように、前記走査駆動回路は、第 1 電圧信号線 V G H、第 2 電圧信号線 V G L、第 1 クロック信号線 C K、第 2 クロック信号線 C B 及び信号出力線を含んでもよく、前記少なくとも一つのシフトレジスタユニットは、第 1 コンデンサ C 1、出力コンデンサ C 2、出力リセットコンデンサ C 3、第 1 トランジスタ T 1、第 2 トランジスタ T 2、第 3 トランジスタ T 3、第 4 トランジスタ T 4、第 5 トランジスタ T 5、第 6 トランジスタ T 6、第 7 トランジスタ T 7、第 8 トランジスタ T 8、出力リセットトランジスタ T 9 及び出力トランジスタ T 10 をさらに含んでもよく、

前記信号出力線は、第 1 出力線部分 E 0 1、1 番目の第 2 出力線部分 E 0 2 1 及び 2 番目の第 2 出力線部分 E 0 2 2 を含み、

30

第 1 出力線部分 E 0 1、1 番目の第 2 出力線部分 E 0 2 1 及び 2 番目の第 2 出力線部分 E 0 2 2 は、互いに結合され、

前記第 1 出力線部分 E 0 1 は、第 1 方向に沿って延在され、前記 1 番目の第 2 出力線部分 E 0 2 1 及び前記 2 番目の第 2 出力線部分 E 0 2 2 は、互いに結合されかつ第 2 方向に沿って延在され、

前記出力トランジスタ T 10 及び前記出力リセットトランジスタ T 9 が第 1 方向に沿って配列され、

前記出力トランジスタ T 10 のゲート電極 G 10 は、前記出力コンデンサ C 2 の第 1 極板 C 2 a に結合され、前記出力トランジスタ T 10 の第 1 電極 S 10 は、第 2 電圧信号線 V G L に結合され、前記出力トランジスタ T 10 の第 2 電極 D 10 は、前記第 1 出力線部分 E 0 1 に結合され、

40

前記出力リセットトランジスタ T 9 のゲート電極 G 9 は、前記出力リセットコンデンサ C 3 の第 1 極板 C 3 a に結合され、前記出力リセットトランジスタ T 9 の第 1 電極 S 9 は、前記出力リセットコンデンサ C 3 の第 2 極板 C 3 b に結合され、前記出力リセットトランジスタ T 9 の第 2 電極 D 9 は、前記第 1 出力線部分 E 0 1 に結合され、

前記出力リセットコンデンサ C 3 の第 2 極板 C 3 b は、前記第 1 電圧信号線 V G H に結合され、前記出力コンデンサ C 2 の第 2 極板 C 2 b は、前記第 7 トランジスタ T 7 のゲート電極 G 7 に結合され、

前記第 1 トランジスタ T 1 の第 1 電極 S 1 は、前記出力コンデンサ C 2 の第 2 極板 C 2 b に結合され、前記第 1 トランジスタ T 1 の第 2 電極 D 1 及び前記第 2 トランジスタ T 2

50

の第 1 電極 D 2 は、それぞれ前記第 1 コンデンサ C 1 の第 2 極板 C 1 b に結合され、前記第 1 トランジスタ T 1 のゲート電極 G 1 は、前記第 1 コンデンサ C 1 の第 1 極板 C 1 a に結合され、

前記第 2 トランジスタ T 2 のゲート電極 G 2 及び第 7 トランジスタ T 7 のゲート電極 G 7 は、それぞれ前記第 2 クロック信号線 C B に結合され、前記第 2 トランジスタ T 2 の第 2 電極 D 2 は、前記第 3 トランジスタ T 3 の第 2 電極 D 3 に結合され、

前記第 3 トランジスタ T 3 のゲート電極 G 3 は、前記出力トランジスタ T 10 のゲート電極 G 10 に結合され、前記第 3 トランジスタ T 3 の第 1 電極 S 3 は、前記出力リセットコンデンサ C 3 の第 1 極板 C 3 a に結合され、

前記第 4 トランジスタ T 4 のゲート電極 G 4 は、前記第 5 トランジスタ T 5 のゲート電極 G 5 に結合され、前記第 4 トランジスタ T 4 の第 1 電極 S 4 は、前記出力トランジスタ T 10 の第 1 電極 S 10 に結合され、前記第 4 トランジスタ T 4 の第 2 電極 D 4 は、前記第 6 トランジスタ T 6 の第 2 電極 D 6 に結合され、

前記第 5 トランジスタ T 5 のゲート電極 G 5 は、前記第 1 クロック信号線 C K に結合され、第 5 トランジスタ T 5 の第 2 電極 D 5 は、前記第 6 トランジスタ T 6 のゲート電極 G 6 に結合され、前記第 5 トランジスタ T 5 の第 1 電極 S 5 は、入力信号端 E 1 に結合され、

前記第 6 トランジスタ T 6 の第 1 電極 S 6 は、第 4 トランジスタ T 4 のゲート電極 G 4 に結合され、前記第 6 トランジスタ T 6 の第 2 電極 D 6 は、前記第 4 トランジスタ T 4 の第 2 電極 D 4 に結合され、

前記第 7 トランジスタ T 7 のゲート電極 G 7 は、出力コンデンサ C 2 の第 2 極板 C 2 b に結合され、前記第 7 トランジスタ T 7 の第 1 電極 S 7 が前記第 8 トランジスタ T 8 の第 2 電極 D 8 として兼用され、前記第 7 トランジスタ T 7 の第 2 電極 D 7 は、前記第 6 トランジスタ T 6 のゲート電極 G 6 に結合され、

前記第 8 トランジスタ T 8 のゲート電極 G 8 は、前記第 1 トランジスタ T 1 のゲート電極 G 1 に結合され、前記第 8 トランジスタ T 8 の第 1 電極 S 8 は、第 1 電圧信号線 V G H に結合され、

前記 1 番目の第 2 出力線部分 E 0 2 1 は、前記第 1 出力線部分 E 0 1 に結合され、前記 1 番目の第 2 出力線部分 E 0 2 1 は前記表示領域まで延在されて、前記表示領域に位置している画素回路に発光制御信号を提供することに用いられ、

前記 2 番目の第 2 出力線部分 E 0 2 2 は、前記第 1 出力線部分 E 0 1 に結合され、前記 2 番目の第 2 出力線部分 E 0 2 2 は前記表示領域まで延在されて、前記表示領域に位置している画素回路に発光制御信号を提供することに用いられる。

【 0 1 6 0 】

具体的に実施する時に、第 2 電圧信号線は、前記シフトレジスタユニットの表示領域に近い側に設けられてもよく、

前記第 1 電圧信号線、前記第 1 クロック信号線及び前記第 2 クロック信号線は、前記シフトレジスタユニットの表示領域から離れた側に設けられており、

前記表示領域に近づいてくる方向に沿って、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線が順次に配列され、もしくは、前記表示領域に近づいてくる方向に沿って、前記第 2 クロック信号線、前記第 1 クロック信号線及び前記第 1 電圧信号線が順次に配列される。

【 0 1 6 1 】

本開示の少なくとも一実施例では、前記走査駆動回路は、第 1 初期信号線及び第 2 初期信号線をさらに含んでもよく、

前記表示領域に近づいてくる方向に沿って、前記第 2 初期信号線、前記第 1 初期信号線、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線が順次に配列され、

前記表示領域に近づいてくる方向に沿って、前記第 1 初期信号線、前記第 2 初期信号線、前記第 1 クロック信号線、前記第 2 クロック信号線及び前記第 1 電圧信号線が順次に配列され、

10

20

30

40

50

前記表示領域に近づいてくる方向に沿って、前記第 2 初期信号線、前記第 1 初期信号線、前記第 2 クロック信号線、前記第 1 クロック信号線及び前記第 1 電圧信号線が順次に配列され、

前記表示領域に近づいてくる方向に沿って、前記第 1 初期信号線、前記第 2 初期信号線、前記第 2 クロック信号線、前記第 1 クロック信号線及び前記第 1 電圧信号線が順次に配列される。

【 0 1 6 2 】

図 3 B に示すように、図 3 A に示されるシフトレジスタユニットの少なくとも一実施例を基にして、前記シフトレジスタユニットの少なくとも一実施例は、第 1 初期信号線 E 1 1 及び第 2 初期信号線 E 1 2 をさらに含み、

前記第 1 初期信号線 E 1 1 及び前記第 2 初期信号線 E 1 2 はいずれも第 1 方向に沿って延在されてもよく、

図 3 B に示すように、E 1 2、E 1 1、C B、C K、V G H は、表示領域に近づいてくる方向に沿って、順次に配列される。

実際の操作において、E 1 1 の位置及び E 1 2 の位置は互に取り換えてもよく、即ち、E 1 1、E 1 2、C B、C K、V G H は、表示領域に近づいてくる方向に沿って、順次に配列される。

【 0 1 6 3 】

選択的に、図 3 A に示すように、前記出力トランジスタ T 1 0 及び前記出力リセットトランジスタ T 9 は、前記出力コンデンサ C 2 と前記第 1 出力線部分 E 0 1 との間に位置してもよく、前記第 1 方向に沿って、前記出力トランジスタ T 1 0 及び前記出力リセットトランジスタ T 9 が順次に配列され、

第 1 方向に沿って、前記第 5 トランジスタ T 5、前記第 6 トランジスタ T 6、前記第 7 トランジスタ T 7、前記第 8 トランジスタ T 8、前記第 1 トランジスタ T 1、前記第 1 コンデンサ C 1、前記第 2 トランジスタ T 2 及び前記出力リセットトランジスタ T 9 が順次に配列され、

前記第 5 トランジスタ T 5、前記第 4 トランジスタ T 4、前記第 6 トランジスタ T 6、前記第 7 トランジスタ T 7 及び前記第 8 トランジスタ T 8 は、前記出力コンデンサ C 2 と前記第 1 電圧信号線 V G H との間に位置しており、

前記第 5 トランジスタ T 5 のゲート電極 G 5 及び前記第 4 トランジスタ T 4 のゲート電極 G 4 は、第 1 ゲート金属パターンに含まれ、前記第 1 ゲート金属パターンは前記第 2 方向に沿って延在される。

【 0 1 6 4 】

本開示の少なくとも一実施例では、前記表示基板は、前記ベースに設けられる複数行の画素回路をさらに含んでもよく、前記画素回路は、発光制御端を含んでもよく、

前記シフトレジスタユニットが少なくとも一行の前記画素回路に対応され、

前記シフトレジスタユニットの信号出力線は、前記少なくとも一行の画素回路の発光制御端に結合されて、前記少なくとも一行の画素回路の発光制御端に発光制御信号を提供することに用いられる。

【 0 1 6 5 】

図 3 A に示されるレイアウト方式において、図 5 に示すように（図 5 は図 3 A のアクティブ層の概略図）、第 1 半導体層 1 0 の第 1 方向での長さは出力アクティブ長さ L 1 であり、前記第 1 半導体層 1 0 の第 2 方向での最小の幅は出力アクティブ幅 W 1 であり、

前記出力アクティブ長さ L 1 は、第 1 所定の長さであり、

前記出力アクティブ長さ L 1 及び前記出力アクティブ幅 W 1 の割合は、所定割合の範囲内にあり、

前記出力アクティブ幅 W 1 は、所定の幅の範囲内にあり、

本開示の図 3 A に示されるレイアウト方式において、前記出力アクティブ長さ L 1 を上げることで、シフトレジスタユニットのうち、出力回路以外の素子は L 1 が大きくなって縦方向で余裕になる空間を利用してレイアウトを行うことができ、その上シフトレジスタ

10

20

30

40

50

ユニットの占める横方向の空間を縮めることができ、かつ本開示の少なくとも一実施例では、前記出力アクティブ幅 $W1$ を減らすことができ、水平方向での空間を省き、残すべきところを、シフトレジスタユニットのうち、出力回路以外の素子が利用してレイアウトを行うことができるようにし、シフトレジスタユニットの占める横方向の空間も縮めることができる。

【0166】

本開示の図3Aに示されるレイアウト方式において、 $T5$ 、 $T4$ 、 $T6$ 、 $T7$ 及び $T8$ を上の方に移動し、縦方向で余裕になる空間を利用してレイアウトを行って、シフトレジスタユニットの水平方向で占める空間を縮めることができ、

本開示の図3Aに示されるレイアウト方式において、 $T1$ のアクティブパターンを横方向の設置に変更して、 $T2$ 及び $T3$ との間をより緊密にすることができ、かつ $T1$ 、 $T2$ 、 $T3$ の配列される位置が $C1$ の極板の形状にさらに契合し、

本開示の図3Aに示されるレイアウト方式において、 $C3$ の第1極板の形状及び $C3$ の第2極板の形状を変えて、 $C3$ の極板の第2方向での幅を狭めて、シフトレジスタユニットの水平方向での緊密な配列に寄与する。

【0167】

本開示の図3Aに示されるレイアウト方式において、図3A及び図8に示すように、前記第1出力線部分 $E01$ は、信号線の重なり領域に設けられた複数の第1信号線ビアホール $H01$ を介して前記出力トランジスタ $T10$ の第2電極 $D10$ に結合され、前記第1出力線部分 $E01$ は、前記信号線の重なり領域に設けられた複数の第2信号線ビアホール $H02$ を介して前記出力リセットトランジスタ $T9$ の第2電極 $D9$ に結合され、前記複数の第1信号線ビアホール $H01$ が第1方向に沿って順次に配列され、前記複数の第2信号線ビアホール $H02$ が第1方向に沿って順次に配列され、

図4及び図10(図10は図3Aのソース・ドレイン金属層の概略図であり、図10に第1ソース・ドレイン金属パターン $DS1$ 及び第2ソース・ドレイン金属パターン $DS2$ を示す)に示すように、前記信号線の重なり領域は、第1信号線の重なり領域 $A01$ 及び第2信号線の重なり領域 $A02$ を含み、前記第1信号線の重なり領域 $A01$ は、前記第1出力線部分 $E01$ の前記ベースでの正投影と、前記出力トランジスタ $T10$ の第2電極 $D10$ が含まれる第1ソース・ドレイン金属パターン $DS1$ の前記ベースでの正投影との重なり領域であり、前記第2信号線の重なり領域 $A02$ は、前記第1出力線部分 $E01$ の前記ベースでの正投影と、前記出力リセットトランジスタ $T9$ の第2電極 $D9$ が含まれる第2ソース・ドレイン金属パターン $DS2$ の前記ベースでの正投影との重なり領域であり、

図4に示すように、第1方向に沿って順次に配列される1番目の第1信号線ビアホールと最後の一つの第1信号線ビアホールとの第1方向での最大距離 $K1$ と、第3長さ $L3$ との割合は、第3所定割合であり、二つの隣接する第1信号線ビアホールとの第1方向での最小距離は、第1所定距離であり、前記第3長さ $L3$ は、前記第1信号線の重なり領域 $A01$ の第1方向での長さであり、

第1方向に沿って順次に配列される1番目の第2信号線ビアホールと最後の一つの第2信号線ビアホールの第1方向での最大距離 $K2$ と、第4長さ $L4$ との割合は、第4所定割合であり、二つの隣接する第2信号線ビアホールとの第1方向での最小距離は、第2所定距離であり、前記第4長さ $L4$ は、前記第2信号線の重なり領域 $A02$ の第1方向での長さである。

【0168】

本開示の少なくとも一実施例では、前記第1信号線ビアホールの数及び前記第2信号線ビアホールは実際の状態に応じて選択されてもよい。

【0169】

図3A、図4及び図10に示すように、 $T10$ のアクティブ層及び $T9$ のアクティブ層が縦方向に長められるので、それに伴い、第3長さ $L3$ 及び第4長さ $L4$ が長くなり、これにより複数の第1信号線ビアホール $H01$ が第1信号線の重なり領域 $A01$ に均一に配列され得、かつ上から下の1番目の第1信号線ビアホールと上から下の最後の一つの第1

10

20

30

40

50

信号線ビアホールとの第 1 方向での最大距離 K_1 と、第 3 長さ L_3 との割合は、第 3 所定割合であり、前記複数の第 1 信号線ビアホール H_{01} が前記第 1 信号線の重なり領域 A_{01} にできるだけ張り詰め得、出力トランジスタ T_{10} の第 2 電極 D_{10} をより良好に E_{01} に結合させ、

図 3 A、図 4 及び図 10 に示すように、 T_{10} のアクティブ層及び T_9 のアクティブ層が縦方向に長められるので、それに伴い、第 3 長さ L_3 及び第 4 長さ L_4 が長くなり、これにより複数の第 2 信号線ビアホール H_{02} が第 2 信号線の重なり領域 A_{02} に均一に配列され得、かつ上から下の 1 番目の第 2 信号線ビアホールと上から下の最後の一つの第 2 信号線ビアホールとの第 1 方向での最大距離 K_2 と、第 4 長さ L_4 との割合は、第 4 所定割合であり、前記複数の第 2 信号線ビアホール H_{02} が前記第 2 信号線の重なり領域 A_{02} にできるだけ張り詰め得、出力リセットトランジスタ T_9 の第 2 電極 D_9 をより良好に E_{01} に結合させることができる。

【0170】

本開示の少なくとも一実施例では、図 5 に示される半導体層及び図 6 に示される第 1 ゲート金属層との間に、第 1 ゲート絶縁層がさらに設けられていてもよく、図 6 に示される第 1 ゲート金属層及び図 7 に示される第 2 ゲート金属層との間に、第 2 ゲート絶縁層がさらに設けられていてもよく、図 7 に示される第 2 ゲート金属層及び図 9 に示されるソース・ドレイン金属層との間に一層の絶縁層がさらに設けられていてもよい。

【0171】

また、本開示の少なくとも一実施例に記載の表示基板を製作する時に、まず、ベースに半導体材料層を設け、前記半導体材料層にパターニング工程を行って、各トランジスタのアクティブ層を形成し、図 5 に示すように、第 1 半導体層 10 、第 2 半導体層 20 、第 1 アクティブパターン A_1 、第 2 アクティブパターン A_2 、第 3 アクティブパターン A_3 、第 4 アクティブパターン A_4 、第 5 アクティブパターン A_5 及び第 6 アクティブパターン A_6 を形成し、

前記アクティブ層の前記ベースに背く一面に第 1 ゲート絶縁層を製作し、

前記第 1 ゲート絶縁層の前記アクティブ層に背く一面に、第 1 ゲート金属層を製作し、第 1 ゲート金属層にパターニング工程を行い、図 6 に示すように、シフトレジスタユニットに含まれる各トランジスタのゲート電極、出力リセットコンデンサ C_3 の第 1 極板 C_{3a} 、第 1 コンデンサ C_1 の第 1 極板 C_{1a} 及び出力コンデンサ C_2 の第 1 極板 C_{2A} を形成し、

前記各トランジスタのゲート電極をマスクとし、アクティブ層のうち、前記ゲート電極により被覆されていない部分に対してドーピングを行って、前記アクティブ層のうち、前記ゲート電極により被覆されていない部分を導電部分として形成し、前記アクティブ層のうち、前記ゲート電極により被覆されている部分をチャンネル部分として形成し、前記導電部分を第 1 電極または第 2 電極として用いられ、もしくは、前記導電部分が第 1 電極または第 2 電極に結合され、

前記第 2 ゲート絶縁層の前記第 1 ゲート金属層に背く一面に第 2 ゲート金属層を設け、前記第 2 ゲート金属層にパターニング工程を行って、図 7 に示すように、信号出力線、入力信号端 E_1 、出力リセットコンデンサ C_3 の第 2 極板 C_{3b} 、第 1 コンデンサ C_1 の第 2 極板 C_{1b} 及び出力コンデンサ C_2 の第 1 極板 C_{2b} を形成し、

前記第 2 ゲート金属層の前記第 2 ゲート絶縁層に背く一面に絶縁層を設け、

図 8 に示すように、アクティブ層、第 1 ゲート絶縁層、第 1 ゲート金属層、第 2 ゲート絶縁層、第 2 ゲート金属層及び絶縁層を設けたベースに、複数のビアホールを設け、

前記絶縁層の前記第 2 ゲート金属層に背く一面にソース・ドレイン金属層を設け、前記ソース・ドレイン金属層にパターニング工程を行って、図 9 に示すように、第 1 電圧信号線 V_{GH} 、第 2 電圧信号線 V_{GL} 、第 1 クロック信号線 C_K 、第 2 クロック信号線 C_B 、前記出力リセットトランジスタ T_9 の第 2 電極、前記出力リセットトランジスタ T_9 の第 1 電極、前記出力トランジスタ T_{10} の第 2 電極、前記出力トランジスタ T_{10} の第 1 電極を形成する。

10

20

30

40

50

【 0 1 7 2 】

本開示の少なくとも一実施例に記載の表示基板の製作方法は、ベースに走査駆動回路を製作することを含み、前記走査駆動回路は、複数のシフトレジスタユニットを含み、前記複数のシフトレジスタユニットのうち、少なくとも一つのシフトレジスタユニットは、出力回路を含み、前記出力回路は、出力トランジスタ及び出力リセットトランジスタを含み、

前記ベース上に半導体層を製作し、前記半導体層にパターニング工程を行って、出力トランジスタのアクティブ層及び出力リセットトランジスタのアクティブ層を形成することと、

前記半導体層の前記ベースに背く一面に第 1 ゲート金属層を製作し、前記第 1 ゲート金属層にパターニング工程を行って、前記出力トランジスタのゲート電極及び前記出力リセットトランジスタのゲート電極を形成することと、

10

前記出力トランジスタのゲート電極及び前記出力リセットトランジスタのゲート電極をマスクとして、半導体層のうち、前記ゲート電極により被覆されていない部分に対してドーピングを行って、前記半導体層のうち、前記ゲート電極により被覆されていない部分を導電部分として形成し、前記導電層のうち、前記ゲート電極により被覆されている部分をチャンネル部分として形成することと、

前記第 1 ゲート金属層の前記半導体層に背く一面に第 2 ゲート金属層を設け、前記第 2 ゲート金属層にパターニング工程を行って、第 1 方向に沿って延在される第 1 出力線部分を含む信号出力線を形成することと、

前記第 2 ゲート金属層の前記第 1 ゲート金属層に背く一面に第 1 絶縁層を設けることと、

20

前記第 1 絶縁層と前記第 1 出力線とが部分的に重なる領域に、前記第 1 絶縁層を貫通する複数の第 1 信号線ビアホール及び複数の第 2 信号線ビアホールを製作することと、

前記第 1 絶縁層の前記第 2 ゲート金属層に背く一面にソース・ドレイン金属層を製作し、前記ソース・ドレイン金属層にパターニング工程を行って、第 1 ソース・ドレイン金属パターン及び第 2 ソース・ドレイン金属パターンを形成することと、を含み、

前記第 1 ソース・ドレイン金属パターンが前記出力トランジスタの第 2 電極を含み、前記第 2 ソース・ドレイン金属パターンが前記出力リセットトランジスタの第 2 電極を含んでいることで、前記第 1 出力線部分が前記複数の第 1 信号線ビアホールを介して前記出力トランジスタの第 2 電極に結合され、かつ前記第 1 出力線部分が前記複数の第 2 信号線ビアホールを介して前記出力リセットトランジスタの第 2 電極に結合され、

30

前記信号出力線は、第 1 方向に沿って延在される第 1 出力線部分を含み、

前記複数の第 1 信号線ビアホールが第 1 方向に沿って順次に配列され、前記複数の第 2 信号線ビアホールが第 1 方向に沿って順次に配列され、

第 1 方向に沿って順次に配列されるいずれか二つの第 1 信号線ビアホールの第 1 方向での最大距離と第 3 長さとの割合が第 1 所定割合であり、二つの隣接する第 1 信号線ビアホールの間の第 1 方向での最小距離が第 1 所定距離であり、

第 1 方向に沿って順次に配列されるいずれか二つの第 2 信号線ビアホールの第 1 方向での最大距離と第 4 長さとの割合が第 2 所定割合であり、二つの隣接する第 2 信号線ビアホールの間の第 1 方向での最小距離が第 2 所定距離であり、

前記第 3 長さは、前記第 1 信号線の重なり領域の第 1 方向での長さであり、前記第 4 長さは、前記第 2 信号線の重なり領域の第 1 方向での長さであり、

40

前記第 1 所定割合は、0.05 以上かつ 0.9 以下であり、

前記第 1 所定距離は、1.5 μm 以上かつ 4.5 μm 以下であり、

前記第 2 所定割合は、0.05 以上かつ 0.9 以下であり、

前記第 2 所定距離は、1.5 μm 以上かつ 6.5 μm 以下である。

【 0 1 7 3 】

本開示の少なくとも一実施例において、前記出力アクティブ長さを上げることで、シフトレジスタユニットのうち、出力回路以外の素子が出力アクティブ長さが大きくなって縦方向で余裕になる空間を利用してレイアウトを行うことができ、その上シフトレジスタユニットの占める横方向の空間を縮めることができ、かつ本開示の少なくとも一実施例では

50

、前記出力アクティブ幅を減らすことができ、水平方向での空間を省き、残すべきところを、シフトレジスタユニットのうち、出力回路以外の素子が、利用してレイアウトを行うことができるようにし、シフトレジスタユニットの占める横方向の空間も縮めることができる。

選択的に、前記出力トランジスタのアクティブ層の前記第 1 方向での長さを第 1 長さとして、前記出力リセットトランジスタのアクティブ層の前記第 1 方向での長さを第 2 長さとして、前記第 1 長さと前記第 2 長さとの和が出力アクティブ長さであり、

前記出力トランジスタのアクティブ層の第 2 方向に沿う最小の幅と、前記出力リセットトランジスタのアクティブ層の第 2 方向に沿う最小の幅とのうち、小さいものを出力アクティブ幅とし、前記第 1 方向と前記第 2 方向は互いに交差する。

10

【 0 1 7 4 】

選択的に、前記第 1 所定の長さは $50\ \mu\text{m}$ 以上かつ $130\ \mu\text{m}$ 以下であり、

選択的に、前記出力アクティブ長さと前記出力アクティブ幅との割合が所定割合の範囲内にあり、前記所定割合の範囲は、3 以上かつ 11 以下であってもよい。

【 0 1 7 5 】

本開示の少なくとも一実施例では、前記出力アクティブ幅は、所定の幅の範囲にあってもよい。

【 0 1 7 6 】

選択的に、前記所定の幅の範囲は、 $12\ \mu\text{m}$ 以上かつ $45\ \mu\text{m}$ 以下である。

前記第 1 出力線部分は、信号線の重なり領域に設けられた複数の第 1 信号線ビアホールを介して前記出力トランジスタの第 2 電極に結合され、前記第 1 出力線部分は、前記信号線の重なり領域に設けられた複数の第 2 信号線ビアホールを介して前記出力リセットトランジスタの第 2 電極に結合され、前記複数の第 1 信号線ビアホールが第 1 方向に沿って順次に配列され、前記複数の第 2 信号線ビアホールが第 1 方向に沿って順次に配列され、

20

前記信号線の重なり領域は、第 1 信号線の重なり領域及び第 2 信号線の重なり領域を含み、前記第 1 信号線の重なり領域は、前記第 1 出力線部分の前記ベースでの正投影と、前記出力トランジスタの第 2 電極が含まれる第 1 ソース・ドレイン金属パターンの前記ベースでの正投影との重なり領域であり、前記第 2 信号線の重なり領域は、前記第 1 出力線部分の前記ベースでの正投影と、前記出力リセットトランジスタの第 2 電極が含まれる第 2 ソース・ドレイン金属パターンの前記ベースでの正投影との重なり領域であり、

30

第 1 方向に沿って順次に配列されるいずれか二つの第 1 信号線ビアホールの第 1 方向での最大距離と第 3 長さとの割合が第 1 所定割合であり、二つの隣接する第 1 信号線ビアホールの間の第 1 方向での最小距離が第 1 所定距離であり、前記第 3 長さが、前記第 1 信号線の重なり領域の第 1 方向での長さであり、

第 1 方向に沿って順次に配列されるいずれか二つの第 2 信号線ビアホールの第 1 方向での最大距離と第 4 長さとの割合が第 2 所定割合であり、二つの隣接する第 2 信号線ビアホールの間の第 1 方向での最小距離が第 2 所定距離であり、前記第 4 長さが、前記第 2 信号線の重なり領域の第 1 方向での長さである。

【 0 1 7 7 】

出力トランジスタのアクティブパターン及び出力リセットトランジスタのアクティブパターンが縦方向に長められるので、それに伴い、第 3 長さ及び第 4 長さが長くなり、これにより複数の第 1 信号線ビアホールが第 1 信号線の重なり領域に均一に配列され得、かついずれか二つの第 1 信号線ビアホールの第 1 方向での最大距離と第 3 長さとの割合が第 1 所定割合であり、前記複数の第 1 信号線ビアホールが前記第 1 信号線の重なり領域にできるだけ張り詰め得、出力トランジスタの第 2 電極をより良好に第 1 出力線部分に結合させ、

40

出力トランジスタのアクティブ層及び出力リセットトランジスタのアクティブ層が縦方向に長められるので、それに伴い、第 3 長さ及び第 4 長さが長くなり、これにより複数の第 2 信号線ビアホールが第 2 信号線の重なり領域に均一に配列され得、かついずれか二つの第 2 信号線ビアホールの第 1 方向での最大距離と第 4 長さとの割合が第 2 所定割合であり、前記複数の第 2 信号線ビアホールが前記第 2 信号線の重なり領域にできるだけ張り詰

50

め得、出力リセットトランジスタの第2電極をより良好に第1出力線部分に結合させることができる。

【0178】

選択的に、本開示の少なくとも一実施例に記載の表示基板の製作方法は、前記出力トランジスタの表示領域から離れた側に第1トランジスタを設置することをさらに含んでもよく、前記第1トランジスタを製作するステップは、

出力トランジスタのアクティブ層及び出力リセットトランジスタのアクティブ層を形成するとともに、第2方向に沿って延在される前記第1トランジスタの第1アクティブパターンを形成することを含む。

【0179】

本開示の少なくとも一実施例では、第1アクティブパターンを第2方向に沿って延在されるように設置し、第1トランジスタを第8トランジスタ及び第1コンデンサの間に設置し、第8トランジスタ、第1トランジスタ及び第1コンデンサが第1方向に沿って順次に配列されることで、第8トランジスタと第1コンデンサとの間の空間に第1トランジスタを設置して、第2トランジスタ及び第3トランジスタとの間がより緊密に配列され（前記第2トランジスタの第2電極が前記第3トランジスタの第2電極に結合されるので、配線の便宜上、第2トランジスタ及び第3トランジスタを近く設けることも必要である）、シフトレジスタユニットの占める第2方向での幅をさらに狭めることができる。

【0180】

選択的に、本開示の少なくとも一実施例に記載の表示基板の製作方法は、前記出力リセットトランジスタの表示領域から離れた側に、第2トランジスタ及び第3トランジスタを製作することをさらに含んでもよく、

前記第2トランジスタ及び前記第3トランジスタを製作するステップは、

前記出力トランジスタのゲート電極及び前記出力リセットトランジスタのゲート電極を形成するとともに、前記第2トランジスタのゲート電極及び前記第3トランジスタのゲート電極を形成することを含み、

前記第2トランジスタのゲート電極の前記ベースでの正投影と、前記第3トランジスタのゲート電極の前記ベースでの正投影との間の第2方向での最大距離が第3所定距離である。

【0181】

選択的に、前記第3所定距離は、14 μm 以上かつ50 μm である。

【0182】

具体的に実施する時に、前記第2トランジスタの第2電極は、前記第3トランジスタの第2電極に結合されるので、配線の便宜上、第2トランジスタ及び第3トランジスタを近く設けることが必要であり、かつ第2トランジスタ及び第3トランジスタを近く設けることは、シフトレジスタユニットの占める第2方向での幅を狭めることに寄与することができる。

【0183】

具体的に実施する時に、本開示の少なくとも一実施例に記載の表示基板の製作方法は、前記出力トランジスタの表示領域から離れた側に出力リセットコンデンサを製作することをさらに含んでもよく、前記出力リセットコンデンサを製作するステップは、

前記出力トランジスタのゲート電極及び前記出力リセットトランジスタのゲート電極を形成するとともに、前記出力リセットトランジスタのゲート電極に結合される前記出力リセットコンデンサの第1極板を形成することと、

前記信号出力線を形成するとともに、前記出力リセットトランジスタの第2極板を形成することと、を含み、

前記出力リセットコンデンサの第2極板の第2方向での最大の幅が第1所定の幅であり、前記出力リセットコンデンサの第2極板の第1方向での最大長さが第2所定の長さであり、

前記出力リセットコンデンサの第2極板の前記ベースでの正投影が前記出力リセットコ

10

20

30

40

50

ンデンサの第 1 極板の前記ベースでの正投影内にある。

【0184】

選択的に、前記第 1 所定の幅は、 $3\text{ }\mu\text{m}$ 以上かつ $60\text{ }\mu\text{m}$ 以下であり、前記第 2 所定の長さは、 $3\text{ }\mu\text{m}$ 以上かつ $20\text{ }\mu\text{m}$ 以下である。本開示の少なくとも一実施例では、出力リセットコンデンサの第 1 極板の第 2 方向での幅及び出力リセットコンデンサの第 2 極板の第 2 方向での幅を小さく設置し、出力リセットコンデンサの第 1 極板の第 1 方向での長さ及び出力リセットコンデンサの第 2 極板の第 1 方向での長さを大きく設置して、出力リセットコンデンサの極板の面積を確保することを前提に、出力リセットコンデンサの極板の占める第 2 方向での幅を狭める。

【0185】

本開示の少なくとも一実施例では、前記信号出力線は、少なくとも一つの第 2 出力線部分を含んでもよく、前記第 2 出力線部分は、前記第 1 出力線部分に結合され、前記第 2 出力線部分は前記表示領域まで延在されて、前記表示領域に位置している画素回路に発光制御信号を提供することに用いられる。

【0186】

本開示の少なくとも一実施例に記載される表示装置は上記の表示基板を含む。

【0187】

上記の実施例に係る表示基板は、狭額縁を実現することができるので、本開示の実施例に係る表示装置が上記の表示基板を含む場合に、同様に、狭額縁の有益な効果を実現でき、ここでは重複して説明しない。

【0188】

本開示の少なくとも一実施例で提供した表示装置は、携帯電話、タブレット、テレビ、表示パネル、ノートパソコン、デジタルフォトフレーム、ナビゲーター等の表示機能を有する任意の製品または部品であってよい。

【0189】

別に定義がない限り、本開示で使用される専門用語または科学用語は、本開示が属する分野の当業者によって理解される通常の意味を有するものとする。本開示で使用される「第 1」、「第 2」および類似の単語は、何らの順序、数量、または重要性を示すものではなく、異なる構成要素を区別するためにのみ使用される。「含む」または「含有する」などの類似の単語は、当該単語の前に表示される要素または項目が、当該単語の後に挙げられる要素または項目およびそれらに相当するものをカバーすることを意味する。「接続」、「結合」もしくは「連結」など類似の単語は、物理的または機械的な接続に限らず、直接的または間接的な電気接続を含んでもよい。「上」、「下」、「左」、「右」などは、相対位置関係を示すためのものにすぎず、説明対象の絶対位置が変わると、当該相対位置関係もそれに応じて変わる可能性がある。

【0190】

なお、層、膜、領域、または基板といった要素が、別の要素の「上」または「下」に位置すると言われる場合、該要素は、「直接に」別の要素の「上」または「下」に位置してもよい、またはこれらの要素の間に中間要素が介在してもよい。上記の実施形態の説明において、具体的な特徴、構造、材料又は特徴は、任意の 1 つ又は複数の実施例又は例示において、適切な方法で組み合わせることができる。

【0191】

以上の記載は、本開示の好ましい実施形態であり、なお、本技術分野の当業者にとって、本開示の要旨を逸脱しない限り、種々の変更や改良を行ってもよく、これらの変更及び改良も、本開示の範囲内に含まれるとする。

10

20

30

40

【 図 2 D 】

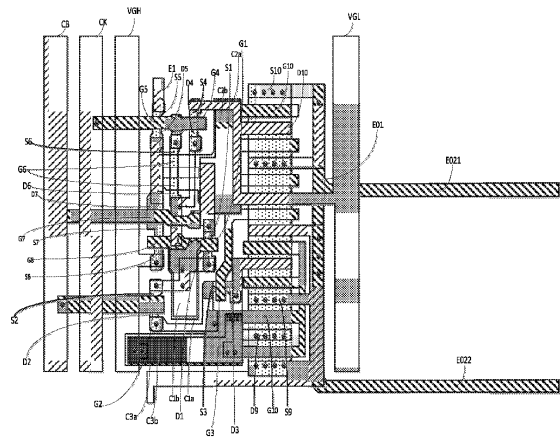


图 2D

【 图 3 A 】

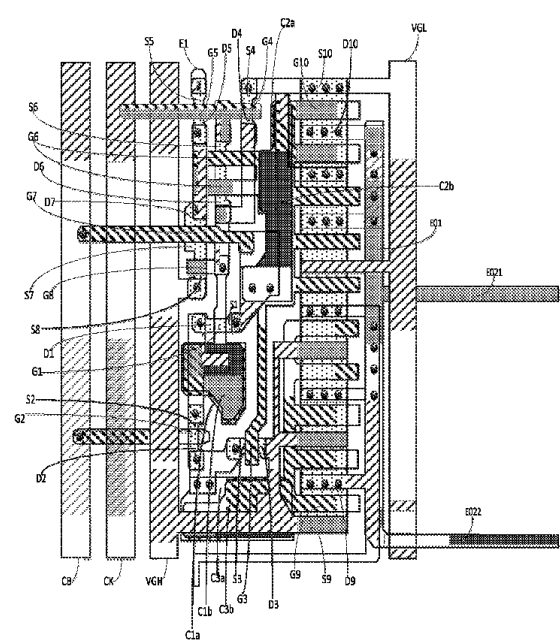


图 3A

【 图 3 B 】

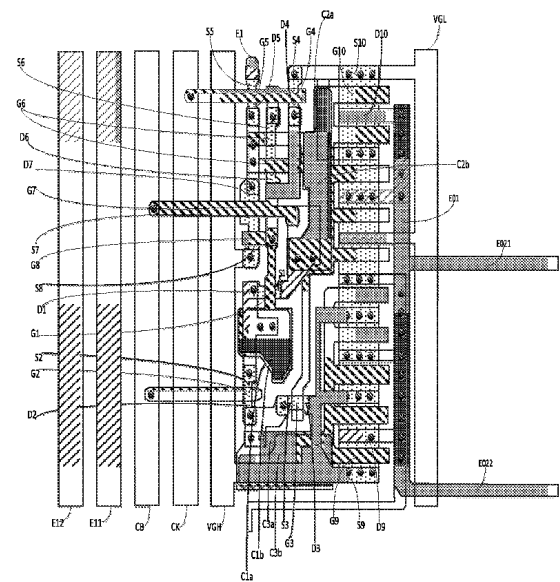


图 3B

【 图 4 】

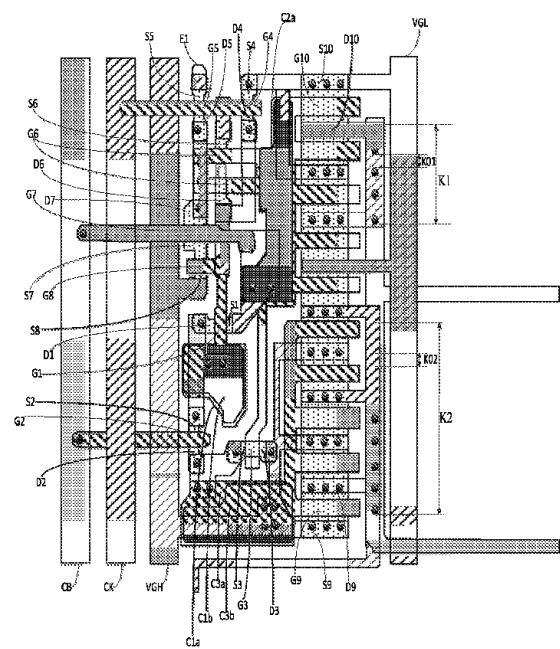


图 4

10

20

30

40

50

【 図 5 】

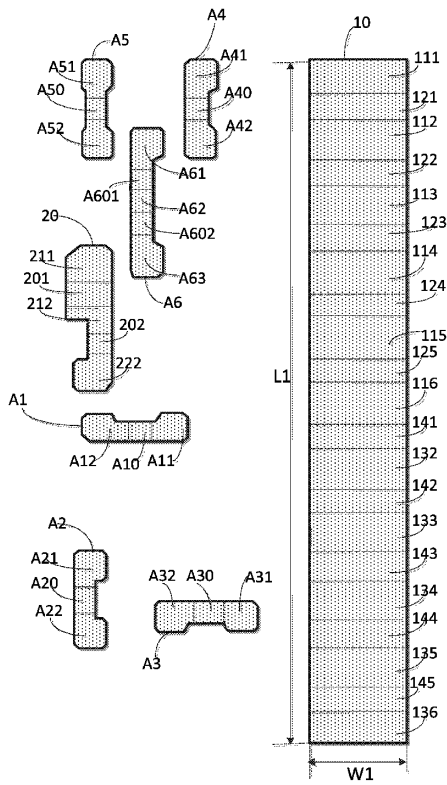


图 5

【 图 6 】

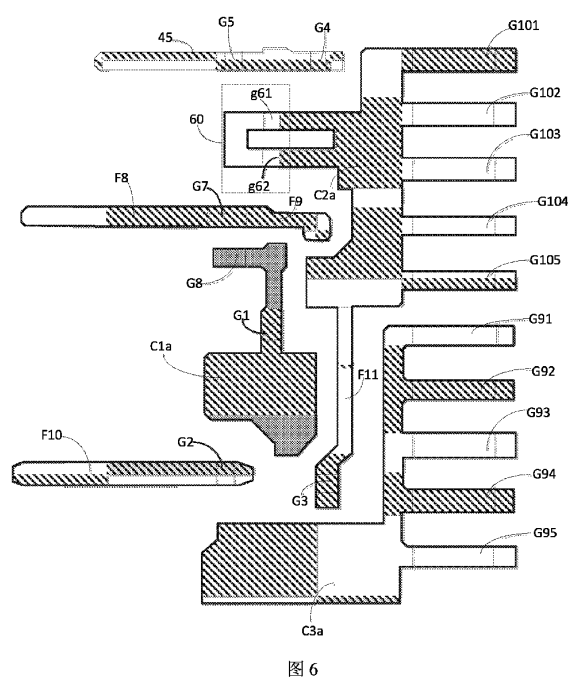


图 6

【 图 7 】

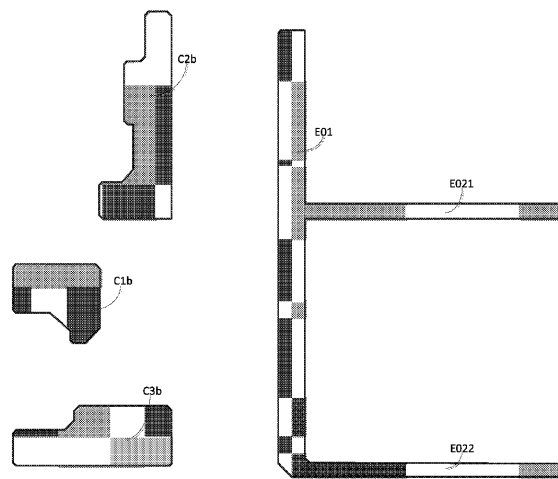


图 7

【 图 8 】

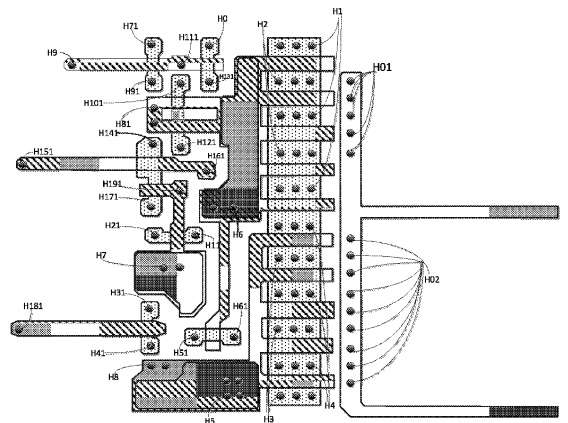


图 8

10

20

30

40

50

【図 9】

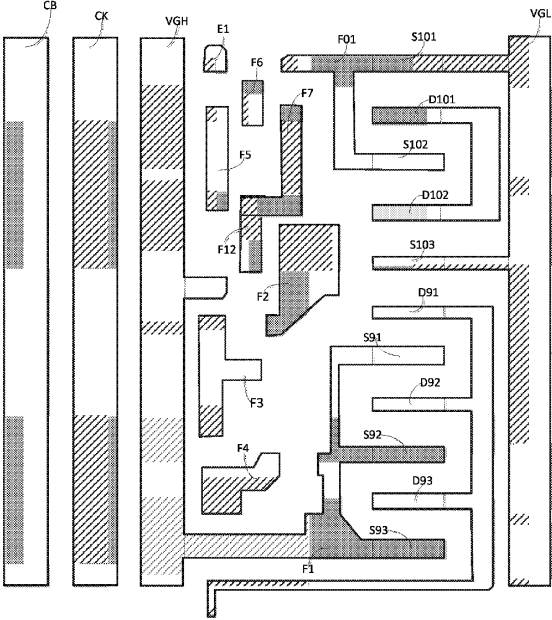


图 9

【図 10】

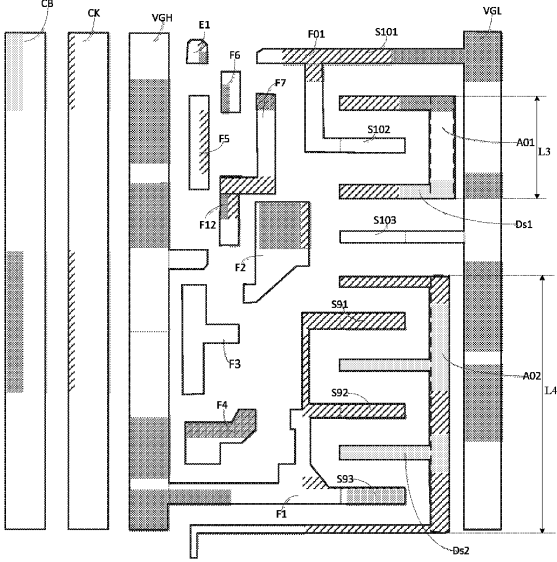


图 10

【図 11】

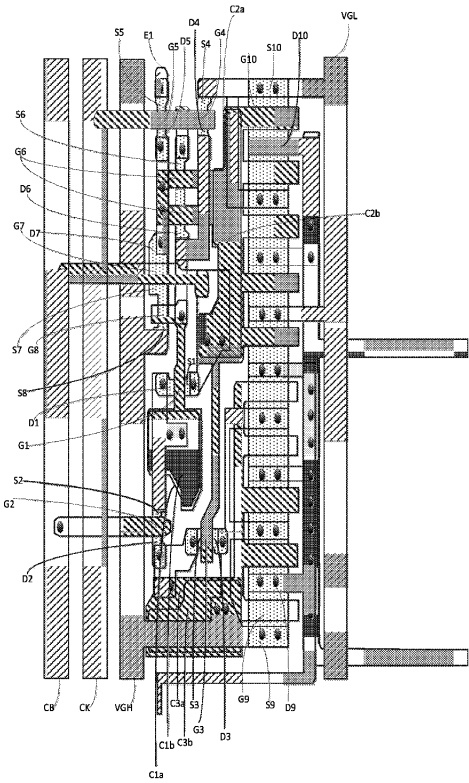


图 11

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 27/088(2006.01)

G 1 1 C 19/28 2 3 0

H 1 0 K 59/12 (2023.01)

H 0 1 L 27/088 B

H 1 0 K 59/131(2023.01)

H 1 0 K 59/12

G 0 9 G 3/3266(2016.01)

H 1 0 K 59/131

G 0 9 G 3/3266

G 0 9 G 3/20 6 8 0 G

中華人民共和國 6 1 1 7 3 1 四川省成都市高新區（西區）合作路 1 1 8 8 號

No . 1 1 8 8 , H e z u o R d . , (W e s t Z o n e) , H i - t e c h D e v e l o p

m e n t Z o n e , C h e n g d u , S i c h u a n , 6 1 1 7 3 1 , P . R . C H I N A

(74)代理人 100070024

弁理士 松永 宣行

(74)代理人 100195257

弁理士 大淵 一志

(72)発明者 白 露

中華人民共和國 1 0 0 1 7 6 北京市北京經濟技術開發區地澤路 9 号

(72)発明者 張 シン

中華人民共和國 1 0 0 1 7 6 北京市北京經濟技術開發區地澤路 9 号

(72)発明者 于 鵬飛

中華人民共和國 1 0 0 1 7 6 北京市北京經濟技術開發區地澤路 9 号

審査官 西田 光宏

(56)参考文献

米国特許出願公開第 2 0 1 9 / 0 3 0 4 3 7 4 (U S , A 1)

韓国公開特許第 1 0 - 2 0 2 0 - 0 0 4 1 0 8 0 (K R , A)

特開 2 0 1 5 - 0 0 2 3 4 7 (J P , A)

中国特許出願公開第 1 1 0 0 4 7 4 1 4 (C N , A)

中国特許出願公開第 1 1 0 0 6 1 0 3 5 (C N , A)

(58)調査した分野 (Int.Cl. , D B 名)

G 0 9 F 9 / 0 0 - 9 / 4 6

G 0 9 G 3 / 0 0 - 3 / 3 8

G 1 1 C 1 9 / 2 8

H 0 1 L 2 1 / 8 2 2

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 7 / 0 4

H 1 0 K 5 0 / 0 0 - 9 9 / 0 0