

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016年2月4日 (04.02.2016)



(10) 国际公布号
WO 2016/015523 A1

- (51) 国际专利分类号:
G05F 3/26 (2006.01)
- (21) 国际申请号: PCT/CN2015/081096
- (22) 国际申请日: 2015年6月9日 (09.06.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410371561.2 2014年7月30日 (30.07.2014) CN
- (71) 申请人: 国家电网公司 (STATE GRID CORPORATION OF CHINA (SGCC)) [CN/CN]; 中国北京市西城区西长安街86号, Beijing 100031 (CN)。北京南瑞智芯微电子科技有限公司 (BEIJING NARI SMARTCHIP MICROELECTRONICS TECHNOLOGY COMPANY LIMITED) [CN/CN]; 中国北京市海淀区西小口路66号东升科技园北领地A-3座, Beijing 100192 (CN)。
- (72) 发明人: 苏胜新 (SU, Shengxin); 中国北京市海淀区西小口路66号东升科技园北领地A-3座, Beijing 100092 (CN)。杜新纲 (DU, Xingang); 中国北京市海淀区西小口路66号东升科技园北领地A-3座, Beijing 100092 (CN)。杨小坤 (YANG, Xiaokun); 中

国北京市海淀区西小口路66号东升科技园北领地A-3座, Beijing 100092 (CN)。原义栋 (YUAN, Yidong); 中国北京市海淀区西小口路66号东升科技园北领地A-3座, Beijing 100092 (CN)。胡毅 (HU, Yi); 中国北京市海淀区西小口路66号东升科技园北领地A-3座, Beijing 100092 (CN)。何洋 (HE, Yang); 中国北京市海淀区西小口路66号东升科技园北领地A-3座, Beijing 100092 (CN)。李振国 (LI, Zhenguo); 中国北京市海淀区西小口路66号东升科技园北领地A-3座, Beijing 100092 (CN)。

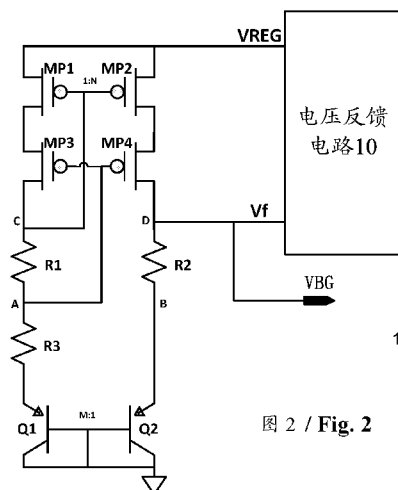
(74) 代理人: 北京中誉威圣知识产权代理有限公司 (GENUINWAYS INC.); 中国北京市东城区东四块玉南街32号南楼3层, Beijing 100061 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: BANDGAP REFERENCE SOURCE HAVING LOW OFFSET VOLTAGE AND HIGH PSRR

(54) 发明名称: 一种具有低失调电压高 PSRR 的带隙基准源



10 VOLTAGE FEEDBACK CIRCUIT

图 2 / Fig. 2

(57) Abstract: A bandgap reference source having a low offset voltage and a high PSRR comprises: a first P tunnel field-effect transistor (MP1), a second P tunnel field-effect transistor (MP2), a third P tunnel field-effect transistor (MP3), a fourth P tunnel field-effect transistor (MP4), a first resistor (R1), a second resistor (R2), a third resistor (R3), a first bipolar transistor (Q1), a second bipolar transistor (Q2) and a voltage feedback circuit (10). The bandgap reference source having a low offset voltage and a high PSRR reduces the influence of tunnel length adjustment effect among various current mirrors, ensures the accuracy of a current multiplication factor, and thus reduces the offset of the output voltage by using a two-layer current mirror structure and increasing offset resistance.

(57) 摘要:

[见续页]



WO 2016/015523 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种具有低失调电压高 PSRR 的带隙基准源, 包括: 第一 P 沟道场效应管 (MP1)、第二 P 沟道场效应管 (MP2)、第三 P 沟道场效应管 (MP3)、第四 P 沟道场效应管 (MP4)、第一电阻 (R1)、第二电阻 (R2)、第三电阻 (R3)、第一双极型晶体管 (Q1)、第二双极型晶体管 (Q2) 和电压反馈电路 (10)。该具有低失调电压高 PSRR 的带隙基准源通过采用双层电流镜结构以及增加偏置电阻, 降低了各个电流镜之间的沟道长度调制效应的影响, 保证了电流倍乘系数的准确性, 进而降低了输出电压的失调。

一种具有低失调电压高 PSRR 的带隙基准源

技术领域

5 本发明涉及带隙基准源技术领域，具体地，涉及一种具有低失调电压高 PSRR 的带隙基准源。

背景技术

集成电路主要分成模拟电路和数字电路两部分。片上带隙电压基准源作为模拟电
10 路的核心模块，它的性能好坏决定着整个模拟电路乃至整个芯片的性能好坏与功能实现。目前应用最广泛、性能指标最好的带隙电压基准都是采用双极型器件实现，它的原理是将正温度系数的电压和负温度系数的电压以一定的系数相叠加来得到近似零温度系数的带隙电压。

随着技术的进步和人们对系统要求指标的提高，系统对带隙电压基准源指标要求
15 也不断提高，特别是在电压输入范围、电路失调、电源电压抑制比和功耗等方面。有些系统电源电压的变化范围很宽（如 2.5V~5.5V），并且要求功耗很低以延长系统工作时间（例如：电池供电系统、双界面 IC 卡系统等）；有些系统要求较高的电源抑制比可以减小输出基准电压受到系统电源噪声的影响（例如：电源管理系统）；有些系统要求输出基准电压的失调很小（例如：ADC 和 DAC 电路等）。现有的技术方案
20 很难同时满足以上不同的电路系统对带隙电压基准源的要求。

现有的高电源电压抑制比 PSRR（Power Supply Rejection Ratio）的电路一般采用
图 1 所示的结构，核心的带隙基准电路由电流镜 MP1、MP2、MP3，电阻 R3、R4 和三极管 Q1、Q2 组成。环路放大器通过检测 B 点电压来控制 VREG 点，使其工作在正
确的电压上。该结构采用电压负反馈的方法来实现核心节点电压 VREG 在很宽的频率
25 范围内的稳定，从而提高了输出电压的电源抑制比。电路的输出电压为：

$$V_{BG} = V_{be2} + N \frac{R_4}{R_3} \ln[M(N+1)] V_T \quad (1);$$

其中， V_{be2} 为 Q2 的基极-发射极电压， V_T 为热电压， R_3 为电阻 R3 的阻值， R_4 为电阻 R4 的阻值。

通过对以上现有技术的研究和实际电路系统应用环境的考虑很容易发现现有技
30 术存在以下缺点：

(1)、在现有技术中为了实现很宽的电源电压范围，同时支持高、低电源电压输入，考虑到电路的可靠性和寿命，电路本身必须采用高压器件实现，而高压器件受到其本身高阈值电压的影响，很难支持低电压（如：2.5V）工作状态，或者在低电压条件下性能会有很大的下降。

5 (2)、在现有的技术中，为了实现很高的电源电压抑制比减小基准电压受到系统电源的影响，一般采用电压级联（例如：共源共栅结构、电源 regulator 等）和很大的片上滤波电容实现。而电压级联会限制输入电压范围，片上滤波电容会占用很大的芯片面积，从而提高芯片的生产成本。

10 (3)、在式子(1)中输出电压的精度受到电流倍乘因子 N 的影响，N 的变化会导致输出电压的变化，从而影响输出电压的精度。由于 A、B 两点（V_{be}）和 E 点（V_{BG}）电压差别较大，受到沟道长度调制效应的影响，很难通过电流镜的比例实现精确的倍乘因子 N，进而影响输出电压 V_{BG} 的精度。

发明内容

15 本发明是为了克服现有技术中带隙基准源受到沟道长度调制效应的影响，输出电压精度不高的缺陷，根据本发明的一个方面，提出一种低失调电压高 PSRR 带隙基准源。

根据本发明实施例的一种低失调电压高 PSRR 带隙基准源，包括：第一 P 沟道场效应管、第二 P 沟道场效应管、第三 P 沟道场效应管、第四 P 沟道场效应管、第一电阻、第二电阻、第三电阻、第一双极型晶体管、第二双极型晶体管和电压反馈电路；

20 第一 P 沟道场效应管、第二 P 沟道场效应管、第三 P 沟道场效应管和第四 P 沟道场效应管组成电流镜；第一 P 沟道场效应管的宽长比与第二 P 沟道场效应管的宽长比的比值为 1:N，且第一电阻的阻值与第二电阻的阻值的比值为 N:1；

25 第一 P 沟道场效应管的栅极与第二 P 沟道场效应管的栅极相连，并与第三 P 沟道场效应管的漏极相连；第三 P 沟道场效应管的栅极与第四 P 沟道场效应管的栅极相连，并与第一电阻和第三电阻的连接节点相连；

第一 P 沟道场效应管的漏极与第三 P 沟道场效应管的源极相连，第二 P 沟道场效应管的漏极与第四 P 沟道场效应管的源极相连；

30 第三 P 沟道场效应管的漏极依次通过第一电阻、第三电阻与第一双极型晶体管的发射极相连；

第四 P 沟道场效应管的漏极通过第二电阻与第二双极型晶体管的发射极相连，且

第四 P 沟道场效应管的漏极还与电压输出端相连；

第一双极型晶体管的基极与第二双极型晶体管的基极相连并接地，第一双极型晶体管的集电极与第二双极型晶体管的集电极相连并接地；

5 电压反馈电路的电压反馈输入端与第四 P 沟道场效应管的漏极相连，电压反馈输出端分别与第一 P 沟道场效应管的源极、第二 P 沟道场效应管的源极相连；电压反馈电路用于根据第四 P 沟道场效应管的漏极电压确定输出反馈电压，控制第三 P 沟道场效应管的漏极电压与第四 P 沟道场效应管的漏极电压相等。

在上述技术方案中，第一双极型晶体管与第二双极型晶体管的发射极面积之比为 M:1；

10 电压输出端的输出电压为：

$$V_{BG} = V_{be2} + \frac{R_2}{R_3} \times N \times \ln(M \times N) \times V_T;$$

其中， V_{be2} 为第二双极型晶体管的基极-发射极电压， V_T 为热电压， R_2 为第二电阻的阻值， R_3 为第三电阻的阻值。

15 在上述技术方案中，电压反馈电路包括：第五 P 沟道场效应管、第六 P 沟道场效应管、第七 P 沟道场效应管、第八 P 沟道场效应管、第九 P 沟道场效应管、第十 P 沟道场效应管、第一 N 沟道场效应管、第二 N 沟道场效应管、第三 N 沟道场效应管、第四 N 沟道场效应管、第五 N 沟道场效应管、第六 N 沟道场效应管、第七 N 沟道场效应管、第四电阻、补偿电容；

20 第九 P 沟道场效应管的源极与第十 P 沟道场效应管的源极相连并接外部电源，第九 P 沟道场效应管的栅极与第十 P 沟道场效应管的栅极相连并与第十 P 沟道场效应管的漏极相连，第十 P 沟道场效应管的漏极还与第三 N 沟道场效应管的漏极相连；第九 P 沟道场效应管与第十 P 沟道场效应管组成电流镜；

第九 P 沟道场效应管的漏极为电压反馈输出端，并分别与第五 P 沟道场效应管的源极、第六 P 沟道场效应管的源极相连；

25 第五 P 沟道场效应管的栅极与第二 P 沟道场效应管的栅极相连；

第六 P 沟道场效应管的栅极为电压反馈输入端，与第四 P 沟道场效应管的漏极相连；

第七 P 沟道场效应管的栅极、第八 P 沟道场效应管的栅极分别与第四 P 沟道场效应管的栅极相连；

30 第五 P 沟道场效应管的漏极与第七 P 沟道场效应管的源极相连，第六 P 沟道场效

应管的漏极与第八 P 沟道场效应管的源极相连；

第七 P 沟道场效应管的漏极与第一 N 沟道场效应管的栅极、第二 N 沟道场效应管的栅极和第三 N 沟道场效应管的栅极相连；第七 P 沟道场效应管的漏极还通过第四电阻与第一 N 沟道场效应管漏极相连的；

5 第八 P 沟道场效应管的漏极分别与第二 N 沟道场效应管的漏极、第七 N 沟道场效应管的栅极相连；第七 N 沟道场效应管的漏极与第九 P 沟道场效应管的漏极相连，且第七 N 沟道场效应管的源极接地；

10 第一 N 沟道场效应管的源极与第四 N 沟道场效应管的漏极相连，第二 N 沟道场效应管的源极与第五 N 沟道场效应管的漏极相连，第三 N 沟道场效应管的源极与第六 N 沟道场效应管的漏极相连；

第四 N 沟道场效应管的栅极、第五 N 沟道场效应管的栅极、第六 N 沟道场效应管的栅极分别相连，并与第一 N 沟道场效应管的漏极相连；

第四 N 沟道场效应管的源极、第五 N 沟道场效应管的源极、第六 N 沟道场效应管的源极分别相连且接地；

15 补偿电容的一端与第八 P 沟道场效应管的漏极相连、另一端与第九 P 沟道场效应管的漏极相连。

在上述技术方案中，第一 N 沟道场效应管、第二 N 沟道场效应管、第三 N 沟道场效应管、第四 N 沟道场效应管、第五 N 沟道场效应管、第六 N 沟道场效应管、第九 P 沟道场效应管、第十 P 沟道场效应管为可承受高电源电压的晶体管；

20 第一 P 沟道场效应管、第二 P 沟道场效应管、第三 P 沟道场效应管、第四 P 沟道场效应管、第五 P 沟道场效应管、第六 P 沟道场效应管、第七 P 沟道场效应管、第八 P 沟道场效应管、第七 N 沟道场效应管为低电源电压、低阈值电压的晶体管。

在上述技术方案中，补偿电容为片内电容，且补偿电容的下极板与第八 P 沟道场效应管的漏极相连、上极板与第九 P 沟道场效应管的漏极相连。

25 在上述技术方案中，电压反馈电路包括：第五 P 沟道场效应管、第六 P 沟道场效应管、第七 P 沟道场效应管、第八 P 沟道场效应管、第九 P 沟道场效应管、第十 P 沟道场效应管、第十一 P 沟道场效应管、第十二 P 沟道场效应管、第一 N 沟道场效应管、第二 N 沟道场效应管、第三 N 沟道场效应管、第四 N 沟道场效应管、第五 N 沟道场效应管、第六 N 沟道场效应管、补偿电容；

30 第十一 P 沟道场效应管的源极与第十二 P 沟道场效应管的源极相连并接外部电

源，第十一 P 沟道场效应管的栅极与第十二 P 沟道场效应管的栅极相连并与第十二 P 沟道场效应管的漏极相连，第十二 P 沟道场效应管的漏极还与第六 N 沟道场效应管的漏极相连；第十一 P 沟道场效应管与第十二 P 沟道场效应管组成电流镜；

第十一 P 沟道场效应管的漏极为电压反馈输出端，并分别与第五 P 沟道场效应管的源极、第六 P 沟道场效应管的源极、第七 P 沟道场效应管的源极相连；

第五 P 沟道场效应管的栅极与第六 P 沟道场效应管的栅极相连，并与第二 P 沟道场效应管的栅极相连；第七 P 沟道场效应管的栅极为电压反馈输入端，与第四 P 沟道场效应管的漏极相连；

第五 P 沟道场效应管的漏极与第八 P 沟道场效应管的源极相连，第六 P 沟道场效应管的漏极与第九 P 沟道场效应管的源极相连，第七 P 沟道场效应管的漏极与第十 P 沟道场效应管的源极相连；

第八 P 沟道场效应管的栅极、第九 P 沟道场效应管的栅极、第十 P 沟道场效应管的栅极分别相连，并与第四 P 沟道场效应管的栅极相连；

第八 P 沟道场效应管的漏极分别与第四 N 沟道场效应管的漏极和栅极相连；第九 P 沟道场效应管的漏极分别与第一 N 沟道场效应管的漏极、第二 N 沟道场效应管的栅极相连；第十 P 沟道场效应管的漏极分别与第二 N 沟道场效应管的漏极、第三 N 沟道场效应管的栅极相连；第三 N 沟道场效应管的源极接地；

第一 N 沟道场效应管的栅极与第二 N 沟道场效应管的源极相连，且第一 N 沟道场效应管的源极接地；第二 N 沟道场效应管的源极与第五 N 沟道场效应管的漏极相连；第一 N 沟道场效应管和第二 N 沟道场效应管组成 Gainboost 结构；

第四 N 沟道场效应管的栅极、第五 N 沟道场效应管的栅极、第六 N 沟道场效应管的栅极分别相连；第四 N 沟道场效应管的源极、第五 N 沟道场效应管的源极、第六 N 沟道场效应管的源极分别相连且接地；

补偿电容的一端与第十 P 沟道场效应管的漏极相连、另一端与第十一 P 沟道场效应管的漏极相连。

在上述技术方案中，第四 N 沟道场效应管、第五 N 沟道场效应管、第六 N 沟道场效应管、第十一 P 沟道场效应管、第十二 P 沟道场效应管为可承受高电源电压的晶体管；

第一 P 沟道场效应管、第二 P 沟道场效应管、第三 P 沟道场效应管、第四 P 沟道场效应管、第五 P 沟道场效应管、第六 P 沟道场效应管、第七 P 沟道场效应管、第八

P 沟道场效应管、第九 P 沟道场效应管、第十 P 沟道场效应管、第一 N 沟道场效应管、第二 N 沟道场效应管、第三 N 沟道场效应管为低电源电压、低阈值电压的晶体管。

在上述技术方案中，补偿电容为片内电容，且补偿电容的下极板与第十 P 沟道场效应管的漏极相连、上极板与第十一 P 沟道场效应管的漏极相连。

5 本发明实施例提供的一种低失调电压高 PSRR 带隙基准源中，加入第三 P 沟道场效应管 MP3、第四 P 沟道场效应管 MP4 和第一电阻 R1，将单层电路镜换成带自偏置电阻（即第一电阻 R1）的双层电流镜结构，从而降低了各个电流镜场效应管之间的沟道长度调制效应的影响，保证了电流倍乘系数（N）的准确性，进而降低了输出电压的失调。该结构具有低功耗、低失调电压、高电源抑制比 PSRR 和宽的电源电压输入范围等特点。

本发明的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在所写的说明书、权利要求书、以及附图中所特别指出的结构来实现和获得。

15 下面通过附图和实施例，对本发明的技术方案做进一步的详细描述。

附图说明

附图用来提供对本发明的进一步理解，并且构成说明书的一部分，与本发明的实施例一起用于解释本发明，并不构成对本发明的限制。在附图中：

- 图 1 为现有技术中的高电源电压抑制比电路的电路图；
- 20 图 2 为本发明实施例中低失调电压高 PSRR 带隙基准源的电路结构图；
- 图 3 为实施例一中低失调电压高 PSRR 带隙基准源的电路结构图；
- 图 4 为实施例二中低失调电压高 PSRR 带隙基准源的电路结构图。

具体实施方式

25 下面结合附图，对本发明的具体实施方式进行详细描述，但应当理解本发明的保护范围并不受具体实施方式的限制。

根据本发明实施例，提供了一种具有低失调电压高 PSRR 的带隙基准源，图 2 为该低失调电压高 PSRR 带隙基准源的电路图，具体包括：

30 第一 P 沟道场效应管 MP1、第二 P 沟道场效应管 MP2、第三 P 沟道场效应管 MP3、第四 P 沟道场效应管 MP4、第一电阻 R1、第二电阻 R2、第三电阻 R3、第一双极型晶体管 Q1、第二双极型晶体管 Q2 和电压反馈电路 10。

具体的, 第一 P 沟道场效应管 MP1、第二 P 沟道场效应管 MP2、第三 P 沟道场效应管 MP3 和第四 P 沟道场效应管 MP4 组成电流镜; 其中, 第一 P 沟道场效应管 MP1 的宽长比与第二 P 沟道场效应管 MP2 的宽长比的比值为 1:N, 且第一电阻 R1 的阻值 R_1 与第二电阻 R2 的阻值 R_2 的比值为 N:1。

5 如图 2 所示, 第一 P 沟道场效应管 MP1 的栅极与第二 P 沟道场效应管 MP2 的栅极相连, 并与第三 P 沟道场效应管 MP3 的漏极 (即图 2 中的节点 C) 相连; 第三 P 沟道场效应管 MP3 的栅极与第四 P 沟道场效应管 MP4 的栅极相连, 并与第一电阻 R1 和第三电阻 R3 的连接节点 (即图 2 中的节点 A) 相连。

10 第一 P 沟道场效应管 MP1 的漏极与第三 P 沟道场效应管 MP3 的源极相连, 第二 P 沟道场效应管 MP2 的漏极与第四 P 沟道场效应管 MP4 的源极相连; 第三 P 沟道场效应管 MP3 的漏极依次通过第一电阻 R1、第三电阻 R3 与第一双极型晶体管 Q1 的发射极相连。

15 第四 P 沟道场效应管 MP4 的漏极 (即图 2 中的节点 D) 通过第二电阻 R2 与第二双极型晶体管 Q2 的发射极 (即图 2 中的节点 B) 相连, 且第四 P 沟道场效应管 MP4 的漏极还与电压输出端 VBG 相连。

第一双极型晶体管 Q1 的基极与第二双极型晶体管 Q2 的基极相连并接地, 第一双极型晶体管 Q1 的集电极与第二双极型晶体管 Q2 的集电极相连并接地;

20 电压反馈电路 10 的电压反馈输入端 V_f 与第四 P 沟道场效应管 MP4 的漏极相连, 电压反馈输出端 VREG 分别与第一 P 沟道场效应管 MP1 的源极、第二 P 沟道场效应管 MP2 的源极相连; 电压反馈电路 10 用于根据第四 P 沟道场效应管 MP4 的漏极电压确定输出反馈电压, 控制第三 P 沟道场效应管 MP3 的漏极电压 (即节点 C 处的电压) 与第四 P 沟道场效应管 MP4 的漏极电压 (即节点 D 处的电压) 相等。

下面详细介绍该电路的工作原理。

25 如图 2 所示, 第一 P 沟道场效应管 MP1 的宽长比与第二 P 沟道场效应管 MP2 的宽长比的比值为 1:N, 且第一电阻 R1 的阻值 R_1 与第二电阻 R2 的阻值 R_2 的比值为 N:1, 第一双极型晶体管 Q1 与第二双极型晶体管 Q2 的发射极面积之比为 M:1。

30 电压反馈电路 10 根据第四 P 沟道场效应管 MP4 的漏极电压 (即节点 D 处的电压) 确定输出反馈电压 VREG, 使 VREG 的电压保持在正确的电压上; 控制第三 P 沟道场效应管 MP3 的漏极电压与第四 P 沟道场效应管 MP4 的漏极电压相等, 从而保证节点 C 与节点 D 两点的电压相等。

由于第一 P 沟道场效应管 MP1 的宽长比与第二 P 沟道场效应管 MP2 的宽长比的比值为 1:N, 则流过第一 P 沟道场效应管 MP1 和第二 P 沟道场效应管 MP2 两条支路的电流的比值也为 1:N。又由于 $R_1:R_2=N:1$, 则流过 MP1 和 MP2 两条支路的电流分别在电阻 R1 和 R2 上产生的压降相等。由于 C、D 两点电压相等, 所以 A、B 两点电压也相等。因此, 流过电阻 R1、R3、MP3 和 MP1 的电流为:

$$I_{PTAT} = \frac{V_{be2} - V_{be1}}{R_3} \quad (2)$$

其中, V_{be2} 为第二双极型晶体管 Q2 的基极-发射极电压 (即 Q2 发射极与 Q2 基极之间的电压), V_{be1} 为第一双极型晶体管 Q1 的基极-发射极电压, R_3 为第三电阻 R3 的阻值。

10 由于流过 MP2 的电流是流过 MP1 的电流的 N 倍, 所以电阻 R2 上产生的压降为:

$$V_{R2} = N \times I_{PTAT} \times R2 = N \times \frac{R_2}{R_3} \times (V_{be2} - V_{be1}) \quad (3)$$

由于流过 Q2 的电流是流过 Q1 电流的 N 倍, 又由于, 第一双极型晶体管 Q1 与第二双极型晶体管 Q2 的发射极面积之比为 M:1, 所以 Q2 的电流密度是 Q1 电流密度的 $M \times N$ 倍, 所以:

$$15 \quad V_{be2} - V_{be1} = V_T \times \ln(M \times N) \quad (4)$$

其中, V_T 为热电压, $V_T = KT/q$; K 为波尔兹曼常数, T 为绝对温度, q 为电子电荷。联立式子 (2)、式子 (3) 和式子 (4), 得到:

$$VBG = V_{be2} + V_{R2} = V_{be2} + N \times \frac{R2}{R3} \times V_T \times \ln(M \times N) \quad (5)$$

其中, V_{be2} 为负温度系数, V_{R2} 为正温度系数, 且:

$$20 \quad \frac{\partial V_{be2}}{\partial T} \approx -1.5mV/^{\circ}K \quad (6)$$

$$\frac{\partial V_T}{\partial T} \approx +0.085mV/^{\circ}K \quad (7)$$

因此, 适当的选取式子 (5) 中 V_T 的温度系数, 即适当选取 M、N、 R_2 、 R_3 的值, 即可以得到近似零温度系数的 VBG 电压。

与传统的单层电流镜结构相比, 在本发明实施例提供的一种具有低失调电压高 PSRR 的带隙基准源中, 加入第三 P 沟道场效应管 MP3、第四 P 沟道场效应管 MP4 和第一电阻 R1, 将单层电路镜换成带自偏置电阻 (即第一电阻 R1) 的双层电流镜结构, 从而降低了各个电流镜场效应管之间的沟道长度调制效应的影响, 保证了电流倍

乘系数 (N) 的准确性, 进而降低了输出电压的失调。该结构具有低功耗、低失调电压、高电源抑制比 PSRR 和宽的电源电压输入范围等特点。

第一电阻 R1 用于偏置第一 P 沟道场效应管 MP1 和第三 P 沟道场效应管 MP3, 使二者工作在饱和区。加入第二电阻 R2, 平衡了第一 P 沟道场效应管 MP1 和第二 P 沟道场效应管 MP2 两条支路的电流镜状态, 同时也可以调节正温度系数电压, 使带隙基准电压可以直接由 D 点输出。当保证了 C 点和 D 点电压相等的同时, A 点和 B 点的电压也相等。这样不仅使带隙基准电压会实时受到负反馈环路的调节, 提高了其对电源的 PSRR, 而且相对于图 1 中的带隙基准源还减少了一条电流偏置, 降低了电路功耗。

下面通过两个实施例详细介绍该低失调电压高 PSRR 带隙基准源的结构。

实施例一

参见图 3 所示, 在实施例一中, 电压反馈电路 10 包括: 第五 P 沟道场效应管 MP5、第六 P 沟道场效应管 MP6、第七 P 沟道场效应管 MP7、第八 P 沟道场效应管 MP8、第九 P 沟道场效应管 MP9、第十 P 沟道场效应管 MP10、第一 N 沟道场效应管 MN1、第二 N 沟道场效应管 MN2、第三 N 沟道场效应管 MN3、第四 N 沟道场效应管 MN4、第五 N 沟道场效应管 MN5、第六 N 沟道场效应管 MN6、第七 N 沟道场效应管 MN7、第四电阻 R4、补偿电容 Cc。

具体的, 参见图 3 所示, 第九 P 沟道场效应管 MP9 的源极与第十 P 沟道场效应管 MP10 的源极相连并接外部电源, 第九 P 沟道场效应管 MP9 的栅极与第十 P 沟道场效应管 MP10 的栅极相连并与第十 P 沟道场效应管 MP10 的漏极 (即节点 F) 相连, 第十 P 沟道场效应管 MP10 的漏极还与第三 N 沟道场效应管 MN3 的漏极相连; 第九 P 沟道场效应管 MP9 与第十 P 沟道场效应管 MP10 组成电流镜。

第九 P 沟道场效应管 MP9 的漏极为电压反馈输出端, 并分别与第五 P 沟道场效应管 MP5 的源极、第六 P 沟道场效应管 MP6 的源极相连。

第五 P 沟道场效应管 MP5 的栅极与第二 P 沟道场效应管 MP2 的栅极相连。

第六 P 沟道场效应管 MP6 的栅极为电压反馈输入端, 与第四 P 沟道场效应管 MP4 的漏极 (即图 3 中的节点 D) 相连。

第七 P 沟道场效应管 MP7 的栅极、第八 P 沟道场效应管 MP8 的栅极分别与第四 P 沟道场效应管的栅极相连。

第五 P 沟道场效应管 MP5 的漏极与第七 P 沟道场效应管 MP7 的源极相连, 第六

P 沟道场效应管 MP6 的漏极与第八 P 沟道场效应管 MP8 的源极相连。

第七 P 沟道场效应管 MP7 的漏极（即图 3 中的节点 H）与第一 N 沟道场效应管 MN1 的栅极、第二 N 沟道场效应管 MN2 的栅极和第三 N 沟道场效应管 MN3 的栅极相连；第七 P 沟道场效应管 MP7 的漏极还通过第四电阻 R4 与第一 N 沟道场效应管 MN1 漏极（即图 3 中的节点 G）相连的。

第八 P 沟道场效应管 MP8 的漏极（即图 3 中的节点 E）分别与第二 N 沟道场效应管 MN2 的漏极、第七 N 沟道场效应管 MN7 的栅极相连；第七 N 沟道场效应管 MN7 的漏极与第九 P 沟道场效应管 MP9 的漏极相连，且第七 N 沟道场效应管 MN7 的源极接地。

第一 N 沟道场效应管 MN1 的源极与第四 N 沟道场效应管 MN4 的漏极相连，第二 N 沟道场效应管 MN2 的源极与第五 N 沟道场效应管 MN5 的漏极相连，第三 N 沟道场效应管 MN3 的源极与第六 N 沟道场效应管 MN6 的漏极相连。

第四 N 沟道场效应管 MN4 的栅极、第五 N 沟道场效应管 MN5 的栅极、第六 N 沟道场效应管 MN6 的栅极分别相连，并与第一 N 沟道场效应管 MN1 的漏极相连。

第四 N 沟道场效应管 MN4 的源极、第五 N 沟道场效应管 MN5 的源极、第六 N 沟道场效应管 MN6 的源极分别相连且接地。

补偿电容 Cc 的一端与第八 P 沟道场效应管 MP8 的漏极相连、另一端与第九 P 沟道场效应管 MP9 的漏极相连。

在实施例一中，补偿电容 Cc 具体为片内电容，且补偿电容 Cc 的下极板与第八 P 沟道场效应管 MP8 的漏极相连、上极板与第九 P 沟道场效应管 MP9 的漏极相连。

该电压反馈电路 10 的工作原理具体如下：

第七 P 沟道场效应管 MP7 的漏极检测 D 点电压变化，并与第八 P 沟道场效应管 MP8、第二 N 沟道场效应管 MN2、第五 N 沟道场效应管 MN5 组成 Cascode（共源共栅）电压放大器，将 D 点的电压变化放大。被放大的电压通过第七 N 沟道场效应管 MN7 反馈到 VREG 端，使得 VREG 保持在正确的电压上，并保证 C、D 两点的电压相等。该结构采用电压负反馈的方法实现核心节点 VREG 在很宽的频率范围内稳定；同时，电流镜 MP9、MP10 和场效应管 MN3、MN6 组成内部 regulator 对电源电压与 VREG 进行隔离，从而提高 VREG 对电源 VDD 的电源抑制比 PSRR。

此外，在实施例一中，MN1、MN2、MN4、MN5 和电阻 R4 采用电阻自偏置共源共栅结构，在保证 E 点高阻抗的同时，减少了环路放大器的电流偏置支路个数。同时

MN3 和 MN6 组成的共源共栅放大器可以直接采用电阻自偏置支路进行偏置, MN3 和 MN6 组成的共源共栅放大器增大了 F 点对地的输出阻抗, 使 F 点 (即 MP9 的栅极) 对电源的跟随特性更好, 优化了 VREG 对 VDD 的电源抑制比, 进而优化了 VBG 对电源 VDD 的 PSRR。

5 优选的, 第一 N 沟道场效应管 MN1、第二 N 沟道场效应管 MN2、第三 N 沟道场效应管 MN3、第四 N 沟道场效应管 MN4、第五 N 沟道场效应管 MN5、第六 N 沟道场效应管 MN6、第九 P 沟道场效应管 MP9、第十 P 沟道场效应管 MP10 为可承受高电源电压的晶体管; 第一 P 沟道场效应管、第二 P 沟道场效应管、第三 P 沟道场效应管、第四 P 沟道场效应管、第五 P 沟道场效应管 MP5、第六 P 沟道场效应管 MP6、
10 第七 P 沟道场效应管 MP7、第八 P 沟道场效应管 MP8、第七 N 沟道场效应管 MN7 为低电源电压、低阈值电压的晶体管。

采用低阈值电压的晶体管, 可以将 VREG 的电压调到很低而保证所有管子都工作的饱和区。VREG 的降低, 可以使电路在更低 VDD 电压下正常工作。而只有高压管 MP9、MP10 能够“看到”高的电源电压输入, 保证了在高电源电压输入的情况下低
15 电压管子不会被击穿。为了保证镜像的准确性, MN1、MN2、MN3、MN4、MN5 和 MN6 都采用同种类型的晶体管。

实施例二

在实施例二中, 参见图 4 所示, 电压反馈电路 10 包括: 第五 P 沟道场效应管 MP5、第六 P 沟道场效应管 MP6、第七 P 沟道场效应管 MP7、第八 P 沟道场效应管 MP8、
20 第九 P 沟道场效应管 MP9、第十 P 沟道场效应管 MP10、第十一 P 沟道场效应管 MP11、第十二 P 沟道场效应管 MP12、第一 N 沟道场效应管 MN1、第二 N 沟道场效应管 MN2、第三 N 沟道场效应管 MN3、第四 N 沟道场效应管 MN4、第五 N 沟道场效应管 MN5、第六 N 沟道场效应管 MN6、补偿电容 Cc。

第十一 P 沟道场效应管 MP11 的源极与第十二 P 沟道场效应管 MP12 的源极相连
25 并接外部电源, 第十一 P 沟道场效应管 MP11 的栅极与第十二 P 沟道场效应管 MP12 的栅极相连并与第十二 P 沟道场效应管 MP12 的漏极相连, 第十二 P 沟道场效应管 MP12 的漏极还与第六 N 沟道场效应管 MN6 的漏极相连; 第十一 P 沟道场效应管 MP11 与第十二 P 沟道场效应管 MP12 组成电流镜。

第十一 P 沟道场效应管 MP11 的漏极为电压反馈输出端, 并分别与第五 P 沟道场
30 效应管 MP5 的源极、第六 P 沟道场效应管 MP6 的源极、第七 P 沟道场效应管 MP7

的源极相连。

第五 P 沟道场效应管 MP5 的栅极与第六 P 沟道场效应管 MP6 的栅极相连，并与第二 P 沟道场效应管 MP2 的栅极相连；第七 P 沟道场效应管 MP7 的栅极为电压反馈输入端，与第四 P 沟道场效应管 MP4 的漏极相连。

5 第五 P 沟道场效应管 MP5 的漏极与第八 P 沟道场效应管 MP8 的源极相连，第六 P 沟道场效应管 MP6 的漏极与第九 P 沟道场效应管 MP9 的源极相连，第七 P 沟道场效应管 MP7 的漏极与第十 P 沟道场效应管 MP10 的源极相连。

第八 P 沟道场效应管 MP8 的栅极、第九 P 沟道场效应管 MP9 的栅极、第十 P 沟道场效应管 MP10 的栅极分别相连，并与第四 P 沟道场效应管 MP4 的栅极相连。

10 第八 P 沟道场效应管 MP8 的漏极分别与第四 N 沟道场效应管 MN4 的漏极和栅极相连；第九 P 沟道场效应管 MP9 的漏极分别与第一 N 沟道场效应管 MN1 的漏极、第二 N 沟道场效应管 MN2 的栅极相连；第十 P 沟道场效应管 MP10 的漏极分别与第二 N 沟道场效应管 MN2 的漏极、第三 N 沟道场效应管 MN3 的栅极相连；第三 N 沟道场效应管 MN3 的源极接地。

15 第一 N 沟道场效应管 MN1 的栅极与第二 N 沟道场效应管 MN2 的源极相连，且第一 N 沟道场效应管 MN1 的源极接地；第二 N 沟道场效应管 MN2 的源极与第五 N 沟道场效应管 MN5 的漏极相连；第一 N 沟道场效应管 MN1 和第二 N 沟道场效应管 MN2 组成 Gainboost 结构。

20 第四 N 沟道场效应管 MN4 的栅极、第五 N 沟道场效应管 MN5 的栅极、第六 N 沟道场效应管 MN6 的栅极分别相连；第四 N 沟道场效应管 MN4 的源极、第五 N 沟道场效应管 MN5 的源极、第六 N 沟道场效应管 MN6 的源极分别相连且接地。

25 补偿电容 Cc 的一端与第十 P 沟道场效应管 MP10 的漏极相连、另一端与第十一 P 沟道场效应管 MP11 的漏极相连。具体的，补偿电容 Cc 可以为片内电容，且补偿电容 Cc 的下极板与第十 P 沟道场效应管 MP10 的漏极相连、上极板与第十一 P 沟道场效应管 MP11 的漏极相连。

第十一 P 沟道场效应管 MP11、第十二 P 沟道场效应管 MP12 组成的电流镜以及第六 N 沟道场效应管 MN6 组成内部 regulator，产生稳定电压 VREG，对电源电压 VDD 与 VREG 进行隔离。

该电压反馈电路 10 的工作原理具体如下：

30 第七 P 沟道场效应管 MP7 采集节点 D 电压变化，并与第十 P 沟道场效应管 MP10、

第二 N 沟道场效应管 MN2、第五 N 沟道场效应管 MN5 组成 Cascode（共源共栅）电压放大器，将 D 点的电压变化放大。被放大的电压通过第三 N 沟道场效应管 MN3 反馈到 VREG 端，使得 VREG 保持在正确的电压上，并保证 C、D 两点的电压相等。该结构采用电压负反馈的方法实现核心节点 VREG 在很宽的频率范围内稳定，从而可以提高输出电压 VBG 的电源抑制比 PSRR。

第五 P 沟道场效应管 MP5 和第八 P 沟道场效应管 MP8 通过第四 N 沟道场效应管 MN4 为第五 N 沟道场效应管 MN5、第六 N 沟道场效应管 MN6 提供偏置。第六 P 沟道场效应管 MP6 和第九 P 沟道场效应管 MP9 为第二 N 沟道场效应管 MN2 提供偏置。

在实施例二中，通过加入第八 P 沟道场效应管 MP8 和第九 P 沟道场效应管 MP9，也将单层电流镜换成带自偏置电阻的双层电流镜结构。从而降低了各个电流镜之间的沟道长度调制效应的影响，可以保证电流倍乘系数（N）的准确性，并进而降低了输出电压 VBG 的失调。同时，该电压反馈电路 10 采用电压负反馈的方法实现核心节点 VREG 在很宽的频率范围内稳定，使得 VREG 保持在正确的电压上，并保证 C、D 两点的电压相等，可以提高输出电压 VBG 的电源抑制比 PSRR。

此外，在实施例二中，第一 N 沟道场效应管 MN1 的栅极与第二 N 沟道场效应管 MN2 的源极相连。此时，第一 N 沟道场效应管 MN1 和第二 N 沟道场效应管 MN2 组成 Gainboost 结构。

MN1 和 MN2 采用 Gainboost 结构，提高了 F 点的输出阻抗；同时 MP2 和 MP5 组成 Cascode 电流镜也提高了 D 点的输出阻抗；输出阻抗的提高，增大了环路增益，减小了 C、D 两点的增益误差，从而进一步降低了增益误差对输出电压失调的影响。

优选的，第四 N 沟道场效应管 MN4、第五 N 沟道场效应管 MN5、第六 N 沟道场效应管 MN6、第十一 P 沟道场效应管 MP11、第十二 P 沟道场效应管 MP12 为可承受高电源电压的晶体管；第一 P 沟道场效应管、第二 P 沟道场效应管、第三 P 沟道场效应管、第四 P 沟道场效应管、第五 P 沟道场效应管 MP5、第六 P 沟道场效应管 MP6、第七 P 沟道场效应管 MP7、第八 P 沟道场效应管 MP8、第九 P 沟道场效应管 MP9、第十 P 沟道场效应管 MP10、第一 N 沟道场效应管 MN1、第二 N 沟道场效应管 MN2、第三 N 沟道场效应管 MN3 为低电源电压、低阈值电压的晶体管。

采用低阈值电压的晶体管，可以将 VREG 的电压调到很低而保证所有管子都工作在饱和区。VREG 的降低，可以使电路在更低 VDD 电压下正常工作。而只有高压管 MP11、MP12 能够“看到”高的电源电压输入，保证了在高电源电压输入的情况下低

电压管子不会被击穿。为了保证镜像的准确性，MN4、MN5 和 MN6 都采用同种类型的晶体管。

5 本发明能有多种不同形式的具体实施方式，上面以图 2-图 4 为例结合附图对本发明的技术方案作举例说明，这并不意味着本发明所应用的具体实例只能局限在特定的流程或实施例结构中，本领域的普通技术人员应当了解，上文所提供的具体实施方案只是多种优选用法中的一些示例，任何体现本发明权利要求的实施方式均应在本发明技术方案所要求保护的范围之内。

10 最后应说明的是：以上所述仅为本发明的优选实施例而已，并不用于限制本发明，尽管参照前述实施例对本发明进行了详细的说明，对于本领域的技术人员来说，其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换。凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权利要求书

1. 一种具有低失调电压高 PSRR 的带隙基准源，其特征在于，包括：第一 P 沟道场效应管、第二 P 沟道场效应管、第三 P 沟道场效应管、第四 P 沟道场效应管、第一电阻、第二电阻、第三电阻、第一双极型晶体管、第二双极型晶体管和电压反馈电路；
- 所述第一 P 沟道场效应管、所述第二 P 沟道场效应管、所述第三 P 沟道场效应管和所述第四 P 沟道场效应管组成电流镜；所述第一 P 沟道场效应管的宽长比与所述第二 P 沟道场效应管的宽长比的比值为 1:N，且所述第一电阻的阻值与所述第二电阻的阻值的比值为 N:1；
- 所述第一 P 沟道场效应管的栅极与所述第二 P 沟道场效应管的栅极相连，并与所述第三 P 沟道场效应管的漏极相连；所述第三 P 沟道场效应管的栅极与所述第四 P 沟道场效应管的栅极相连，并与所述第一电阻和所述第三电阻的连接节点相连；
- 所述第一 P 沟道场效应管的漏极与所述第三 P 沟道场效应管的源极相连，所述第二 P 沟道场效应管的漏极与所述第四 P 沟道场效应管的源极相连；
- 所述第三 P 沟道场效应管的漏极依次通过所述第一电阻、所述第三电阻与所述第一双极型晶体管的发射极相连；
- 所述第四 P 沟道场效应管的漏极通过所述第二电阻与所述第二双极型晶体管的发射极相连，且所述第四 P 沟道场效应管的漏极还与电压输出端相连；
- 所述第一双极型晶体管的基极与所述第二双极型晶体管的基极相连并接地，所述第一双极型晶体管的集电极与所述第二双极型晶体管的集电极相连并接地；
- 所述电压反馈电路的电压反馈输入端与所述第四 P 沟道场效应管的漏极相连，电压反馈输出端分别与所述第一 P 沟道场效应管的源极、所述第二 P 沟道场效应管的源极相连；所述电压反馈电路用于根据所述第四 P 沟道场效应管的漏极电压确定输出反馈电压，控制所述第三 P 沟道场效应管的漏极电压与所述第四 P 沟道场效应管的漏极电压相等。
2. 根据权利要求 1 所述的具有低失调电压高 PSRR 的带隙基准源，其特征在于，所述第一双极型晶体管与所述第二双极型晶体管的发射极面积之比为 M:1；
- 所述电压输出端的输出电压为：

$$V_{BG} = V_{be2} + \frac{R_2}{R_3} \times N \times \ln(M \times N) \times V_T;$$

其中， V_{be2} 为第二双极型晶体管的基极-发射极电压， V_T 为热电压， R_2 为第二电阻的阻值， R_3 为第三电阻的阻值。

3. 根据权利要求 1 或 2 所述的具有低失调电压高 PSRR 的带隙基准源，其特征在于，所述电压反馈电路包括：第五 P 沟道场效应管、第六 P 沟道场效应管、第七 P 沟道场效应管、第八 P 沟道场效应管、第九 P 沟道场效应管、第十 P 沟道场效应管、第一 N 沟道场效应管、第二 N 沟道场效应管、第三 N 沟道场效应管、第四 N 沟道场效应管、第五 N 沟道场效应管、第六 N 沟道场效应管、第七 N 沟道场效应管、第四电阻、补偿电容；

所述第九 P 沟道场效应管的源极与所述第十 P 沟道场效应管的源极相连并接外部电源，所述第九 P 沟道场效应管的栅极与所述第十 P 沟道场效应管的栅极相连并与所述第十 P 沟道场效应管的漏极相连，所述第十 P 沟道场效应管的漏极还与所述第三 N 沟道场效应管的漏极相连；所述第九 P 沟道场效应管与所述第十 P 沟道场效应管组成电流镜；

所述第九 P 沟道场效应管的漏极为电压反馈输出端，并分别与所述第五 P 沟道场效应管的源极、所述第六 P 沟道场效应管的源极相连；

所述第五 P 沟道场效应管的栅极与所述第二 P 沟道场效应管的栅极相连；

所述第六 P 沟道场效应管的栅极为电压反馈输入端，与所述第四 P 沟道场效应管的漏极相连；

所述第七 P 沟道场效应管的栅极、所述第八 P 沟道场效应管的栅极分别与所述第四 P 沟道场效应管的栅极相连；

所述第五 P 沟道场效应管的漏极与所述第七 P 沟道场效应管的源极相连，所述第六 P 沟道场效应管的漏极与所述第八 P 沟道场效应管的源极相连；

所述第七 P 沟道场效应管的漏极与所述第一 N 沟道场效应管的栅极、所述第二 N 沟道场效应管的栅极和所述第三 N 沟道场效应管的栅极相连；所述第七 P 沟道场效应管的漏极还通过所述第四电阻与所述第一 N 沟道场效应管漏极相连；

所述第八 P 沟道场效应管的漏极分别与所述第二 N 沟道场效应管的漏极、所述第七 N 沟道场效应管的栅极相连；所述第七 N 沟道场效应管的漏极与所述第九 P 沟道场效应管的漏极相连，且所述第七 N 沟道场效应管的源极接地；

所述第一 N 沟道场效应管的源极与所述第四 N 沟道场效应管的漏极相连，所述

第二 N 沟道场效应管的源极与所述第五 N 沟道场效应管的漏极相连，所述第三 N 沟道场效应管的源极与所述第六 N 沟道场效应管的漏极相连；

所述第四 N 沟道场效应管的栅极、所述第五 N 沟道场效应管的栅极、所述第六 N 沟道场效应管的栅极分别相连，并与所述第一 N 沟道场效应管的漏极相连；

5 所述第四 N 沟道场效应管的源极、所述第五 N 沟道场效应管的源极、所述第六 N 沟道场效应管的源极分别相连且接地；

所述补偿电容的一端与所述第八 P 沟道场效应管的漏极相连、另一端与所述第九 P 沟道场效应管的漏极相连。

4. 根据权利要求 3 所述的具有低失调电压高 PSRR 的带隙基准源，其特征在于，
10 所述第一 N 沟道场效应管、第二 N 沟道场效应管、第三 N 沟道场效应管、第四 N 沟道场效应管、第五 N 沟道场效应管、第六 N 沟道场效应管、第九 P 沟道场效应管、第十 P 沟道场效应管为可承受高电源电压的晶体管；

所述第一 P 沟道场效应管、第二 P 沟道场效应管、第三 P 沟道场效应管、第四 P 沟道场效应管、第五 P 沟道场效应管、第六 P 沟道场效应管、第七 P 沟道场效应管、
15 第八 P 沟道场效应管、第七 N 沟道场效应管为低电源电压、低阈值电压的晶体管。

5. 根据权利要求 3 所述的具有低失调电压高 PSRR 的带隙基准源，其特征在于，所述补偿电容为片内电容，且所述补偿电容的下极板与所述第八 P 沟道场效应管的漏极相连、上极板与所述第九 P 沟道场效应管的漏极相连。

6. 根据权利要求 1 或 2 所述的具有低失调电压高 PSRR 的带隙基准源，其特征在于，
20 所述电压反馈电路包括：第五 P 沟道场效应管、第六 P 沟道场效应管、第七 P 沟道场效应管、第八 P 沟道场效应管、第九 P 沟道场效应管、第十 P 沟道场效应管、第十一 P 沟道场效应管、第十二 P 沟道场效应管、第一 N 沟道场效应管、第二 N 沟道场效应管、第三 N 沟道场效应管、第四 N 沟道场效应管、第五 N 沟道场效应管、第六 N 沟道场效应管、补偿电容；

25 所述第十一 P 沟道场效应管的源极与所述第十二 P 沟道场效应管的源极相连并接外部电源，所述第十一 P 沟道场效应管的栅极与所述第十二 P 沟道场效应管的栅极相连并与所述第十二 P 沟道场效应管的漏极相连，所述第十二 P 沟道场效应管的漏极还与所述第六 N 沟道场效应管的漏极相连；所述第十一 P 沟道场效应管与所述第十二 P 沟道场效应管组成电流镜；

30 所述第十一 P 沟道场效应管的漏极为电压反馈输出端，并分别与所述第五 P 沟道

场效应管的源极、所述第六 P 沟道场效应管的源极、所述第七 P 沟道场效应管的源极相连；

所述第五 P 沟道场效应管的栅极与所述第六 P 沟道场效应管的栅极相连，并与所述第二 P 沟道场效应管的栅极相连；所述第七 P 沟道场效应管的栅极为电压反馈输入端，与所述第四 P 沟道场效应管的漏极相连；

所述第五 P 沟道场效应管的漏极与所述第八 P 沟道场效应管的源极相连，所述第六 P 沟道场效应管的漏极与所述第九 P 沟道场效应管的源极相连，所述第七 P 沟道场效应管的漏极与所述第十 P 沟道场效应管的源极相连；

所述第八 P 沟道场效应管的栅极、所述第九 P 沟道场效应管的栅极、所述第十 P 沟道场效应管的栅极分别相连，并与所述第四 P 沟道场效应管的栅极相连；

所述第八 P 沟道场效应管的漏极分别与所述第四 N 沟道场效应管的漏极和栅极相连；所述第九 P 沟道场效应管的漏极分别与所述第一 N 沟道场效应管的漏极、所述第二 N 沟道场效应管的栅极相连；所述第十 P 沟道场效应管的漏极分别与所述第二 N 沟道场效应管的漏极、所述第三 N 沟道场效应管的栅极相连；所述第三 N 沟道场效应管的源极接地；

所述第一 N 沟道场效应管的栅极与所述第二 N 沟道场效应管的源极相连，且所述第一 N 沟道场效应管的源极接地；所述第二 N 沟道场效应管的源极与所述第五 N 沟道场效应管的漏极相连；所述第一 N 沟道场效应管和所述第二 N 沟道场效应管组成 Gainboost 结构；

所述第四 N 沟道场效应管的栅极、所述第五 N 沟道场效应管的栅极、所述第六 N 沟道场效应管的栅极分别相连；所述第四 N 沟道场效应管的源极、所述第五 N 沟道场效应管的源极、所述第六 N 沟道场效应管的源极分别相连且接地；

所述补偿电容的一端与所述第十 P 沟道场效应管的漏极相连、另一端与所述第十一 P 沟道场效应管的漏极相连。

7. 根据权利要求 6 所述的具有低失调电压高 PSRR 的带隙基准源，其特征在于，所述第四 N 沟道场效应管、第五 N 沟道场效应管、第六 N 沟道场效应管、第十一 P 沟道场效应管、第十二 P 沟道场效应管为可承受高电源电压的晶体管；

所述第一 P 沟道场效应管、第二 P 沟道场效应管、第三 P 沟道场效应管、第四 P 沟道场效应管、第五 P 沟道场效应管、第六 P 沟道场效应管、第七 P 沟道场效应管、第八 P 沟道场效应管、第九 P 沟道场效应管、第十 P 沟道场效应管、第一 N 沟道场效

应管、第二 N 沟道场效应管、第三 N 沟道场效应管为低电源电压、低阈值电压的晶体管。

8. 根据权利要求 6 所述的具有低失调电压高 PSRR 的带隙基准源，其特征在于，所述补偿电容为片内电容，且所述补偿电容的下极板与所述第十 P 沟道场效应管的漏极相连、上极板与所述第十一 P 沟道场效应管的漏极相连。
- 5

1/4

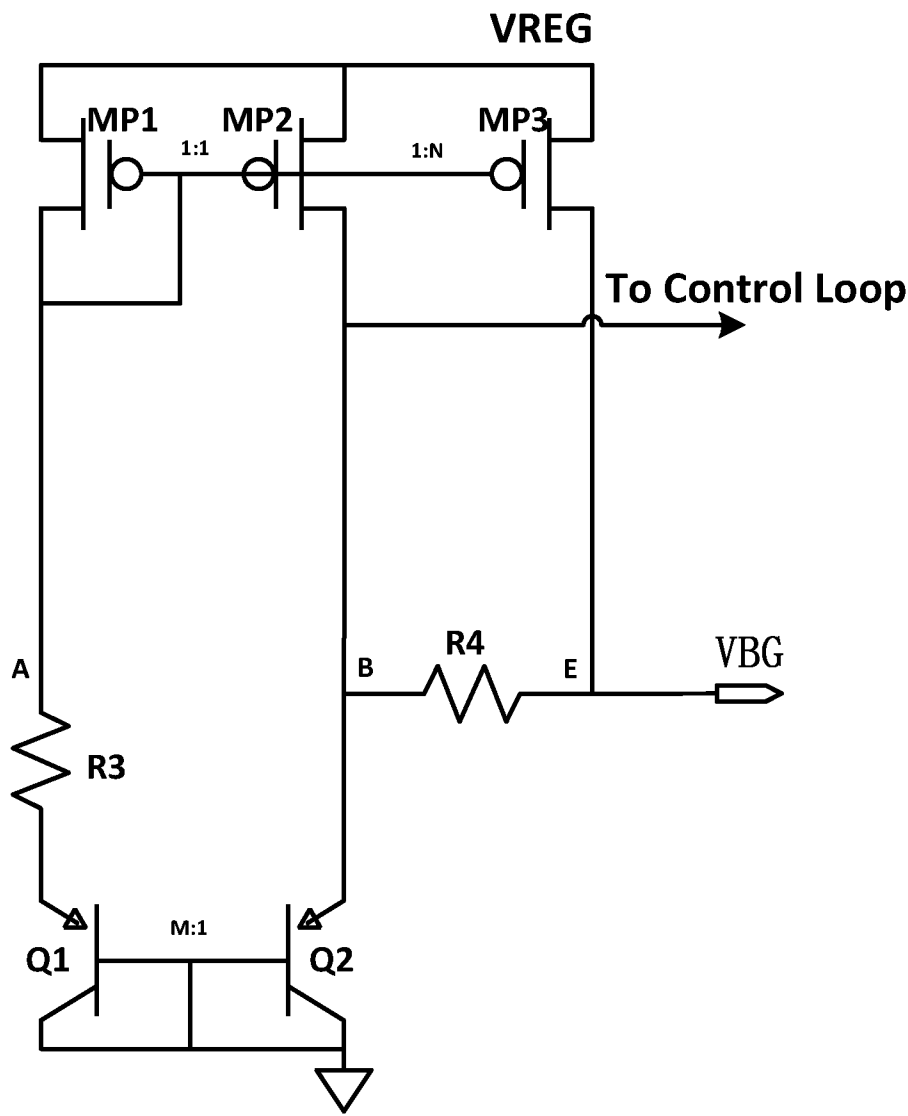


图 1

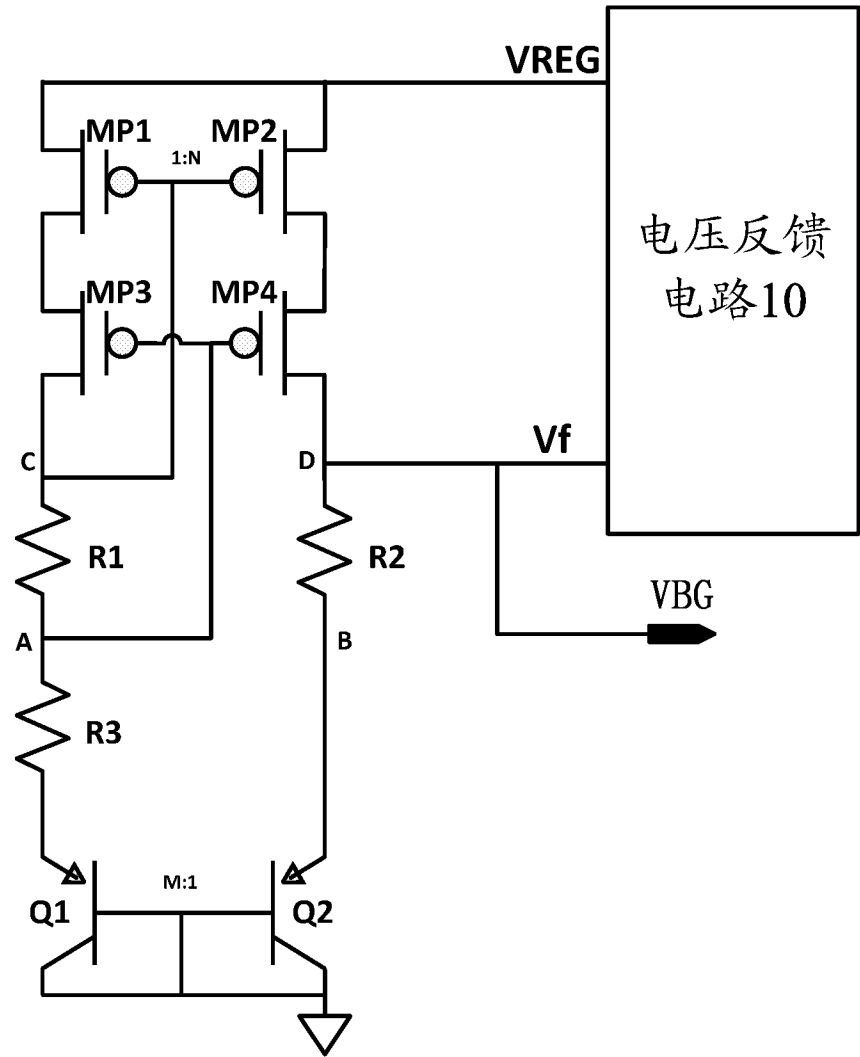


图 2

4/4

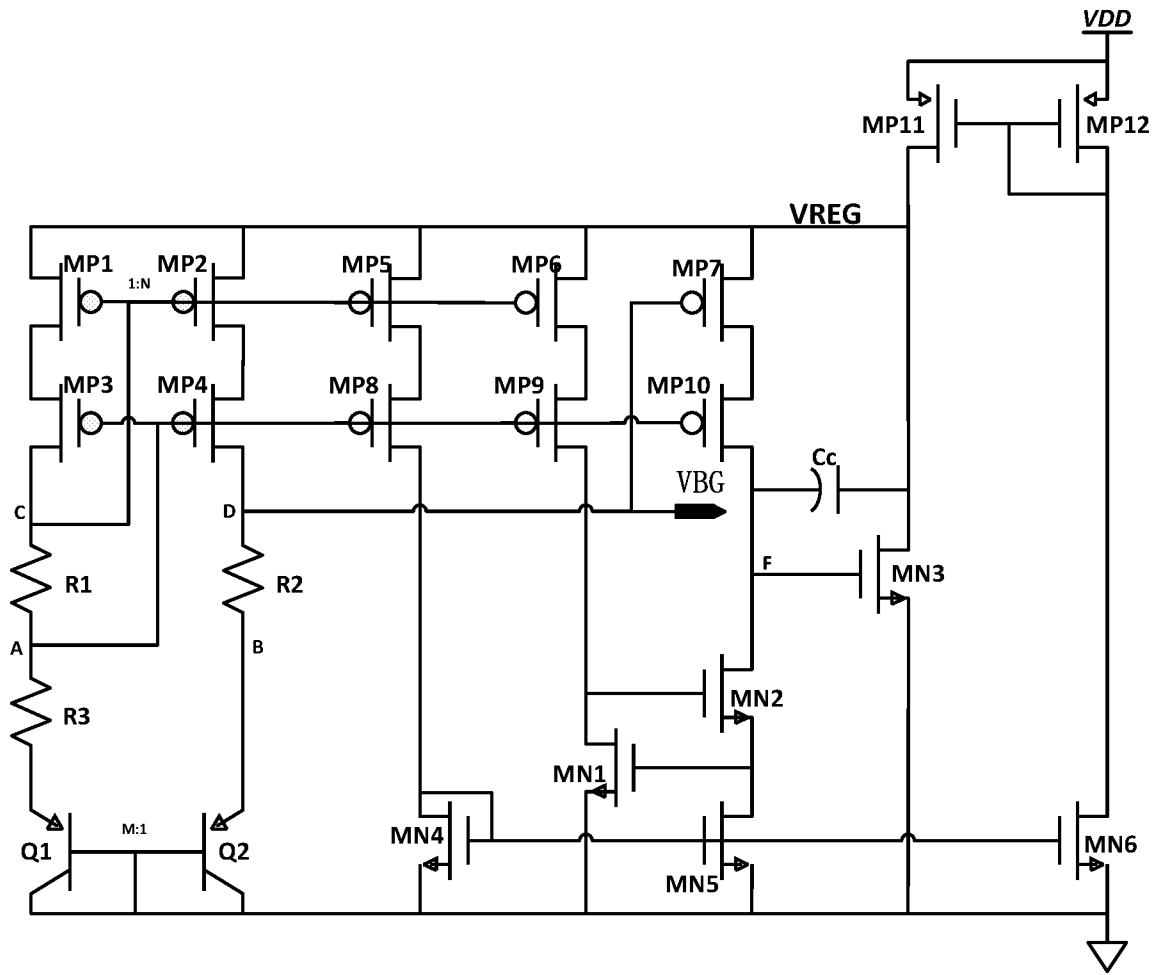


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/081096

A. CLASSIFICATION OF SUBJECT MATTER

G05F 3/26 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTEXT; CNABS; SIPOABS; VEN: field effect transistor, transistor, power supply rejection ratio, current mirror, band gap reference, detuning, cascode, cascade, couple, psrr, two, double, second, pair, mos, resistance?, transducer?, resistor?, fourth, mirror?, current

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101083453 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES), 05 December 2007 (05.12.2007), description, page 1, 4 th to last paragraph to page 2, paragraph 3, and figure 1	1-2
Y	CN 102622038 A (BEIJING JINGWEI HIRAIN TECHNOLOGIES CO., LTD.), 01 August 2012 (01.08.2012), description, paragraphs 0052-0098, and figures 2-3	1-2
Y	JP 2011172213 A (ROHM CO., LTD.), 01 September 2011 (01.09.2011), description, paragraphs 0002-0003, and figure 1	1-2
Y	CN 201134057 Y (SHANGHAI BELLING CO., LTD.), 15 October 2008 (15.10.2008), description, page 1, paragraph 2, and figure 1	1-2
Y	DE 10353340 A1 (INFINEON TECHNOLOGIES AG), 30 June 2005 (30.06.2005), the whole document	1-2
A	US 6194886 B1 (ANALOG DEVICES INC.), 27 February 2001 (27.02.2001), the whole document	1-8
A	GB 2429307 A (AVAGO TECH ECBU IP), 21 February 2007 (21.02.2007), the whole document	1-8

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07 September 2015 (07.09.2015)	Date of mailing of the international search report 16 September 2015 (16.09.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer SUN, Jiejun Telephone No.: (86-10) 62084166

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/081096

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004041551 A1 (MOTTOLA, M.J.; SCHLAGER, K.M.), 04 March 2004 (04.03.2004), the whole document	1-8
A	EP 0661616 A2 (AT & T CORP.), 05 July 1995 (05.07.1995), the whole document	1-8

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/081096

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101083453 A	05 December 2007	None	
CN 102622038 A	01 August 2012	CN 102622038 B	13 August 2014
TP 2011172213 A	01 September 2011	US 8653754 B2	18 February 2014
		US 2012025737 A1	02 February 2012
CN 201134057 Y	15 October 2008	None	
DE 10353340 A1	30 June 2005	None	
US 6194886 B1	27 February 2001	None	
GB 2429307 A	21 February 2007	US 2007040543 A1	22 February 2007
		JP 2007052789 A	01 March 2007
		CN 1940800 A	04 April 2007
		CN 1940800 B	04 January 2012
US 2004041551 A1	04 March 2004	US 6737908 B2	18 May 2004
EP 0661616 A2	05 July 1995	JP H07249949 A	26 September 1995
		US 5512817 A	30 April 1996
		EP 0661616 A3	24 September 1997

国际检索报告

国际申请号

PCT/CN2015/081096

A. 主题的分类

G05F 3/26(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G05F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTEXT;CNABS;SIPOABS;VEN: 双, 二, 两, 场效应管, 晶体管, 电阻, 电源电压抑制比, 电流镜, 带隙基准源, 失调, 电压, cascode, cascade, couple, psrr, two, double, second, pair, mos, resistance?, transducer?, resistor?, fourth, mirror?, current

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 101083453 A (中国科学院微电子研究所) 2007年 12月 5日 (2007 - 12 - 05) 说明书第1页倒数第4段至第2页第3段, 图1	1-2
Y	CN 102622038 A (北京经纬恒润科技有限公司) 2012年 8月 1日 (2012 - 08 - 01) 说明书0052-0098段, 图2-3	1-2
Y	JP 2011172213 A (ROHM CO LTD) 2011年 9月 1日 (2011 - 09 - 01) 说明书0002-0003段, 附图1	1-2
Y	CN 201134057 Y (上海贝岭股份有限公司) 2008年 10月 15日 (2008 - 10 - 15) 说明书第1页第2段, 图1	1-2
Y	DE 10353340 A1 (INFINEON TECHNOLOGIES AG) 2005年 6月 30日 (2005 - 06 - 30) 全文	1-2
A	US 6194886 B1 (ANALOG DEVICES INC) 2001年 2月 27日 (2001 - 02 - 27) 全文	1-8
A	GB 2429307 A (AVAGO TECH ECBU IP) 2007年 2月 21日 (2007 - 02 - 21) 全文	1-8

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 9月 7日

国际检索报告邮寄日期

2015年 9月 16日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

孙洁君

电话号码 (86-10)62084166

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2004041551 A1 (MOTTOLA M J; SCHLAGER K M) 2004年 3月 4日 (2004 - 03 - 04) 全文	1-8
A	EP 0661616 A2 (AT & T CORP) 1995年 7月 5日 (1995 - 07 - 05) 全文	1-8

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/081096

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101083453	A	2007年 12月 5日	无			
CN	102622038	A	2012年 8月 1日	CN	102622038	B	2014年 8月 13日
JP	2011172213	A	2011年 9月 1日	US	8653754	B2	2014年 2月 18日
				US	2012025737	A1	2012年 2月 2日
CN	201134057	Y	2008年 10月 15日	无			
DE	10353340	A1	2005年 6月 30日	无			
US	6194886	B1	2001年 2月 27日	无			
GB	2429307	A	2007年 2月 21日	US	2007040543	A1	2007年 2月 22日
				JP	2007052789	A	2007年 3月 1日
				CN	1940800	A	2007年 4月 4日
				CN	1940800	B	2012年 1月 4日
US	2004041551	A1	2004年 3月 4日	US	6737908	B2	2004年 5月 18日
EP	0661616	A2	1995年 7月 5日	JP	H07249949	A	1995年 9月 26日
				US	5512817	A	1996年 4月 30日
				EP	0661616	A3	1997年 9月 24日

表 PCT/ISA/210 (同族专利附件) (2009年7月)