

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6333530号
(P6333530)

(45) 発行日 平成30年5月30日 (2018.5.30)

(24) 登録日 平成30年5月11日 (2018.5.11)

(51) Int. Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 6 T
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 1 3 B
HO 1 L 21/8244 (2006.01)	HO 1 L 29/78	6 1 6 U
HO 1 L 27/11 (2006.01)	HO 1 L 29/78	6 1 7 K
HO 1 L 29/417 (2006.01)	HO 1 L 29/78	6 1 8 C

請求項の数 28 (全 22 頁) 最終頁に続く

(21) 出願番号	特願2013-200207 (P2013-200207)	(73) 特許権者	390019839
(22) 出願日	平成25年9月26日 (2013.9.26)		三星電子株式会社
(65) 公開番号	特開2014-68017 (P2014-68017A)		Samsung Electronics Co., Ltd.
(43) 公開日	平成26年4月17日 (2014.4.17)		大韓民国京畿道水原市靈通区三星路129
審査請求日	平成28年9月12日 (2016.9.12)		129, Samsung-ro, Yeon gtong-gu, Suwon-si, G yeonggi-do, Republic of Korea
(31) 優先権主張番号	10-2012-0107381	(74) 代理人	110000051
(32) 優先日	平成24年9月26日 (2012.9.26)		特許業務法人共生国際特許事務所
(33) 優先権主張国	韓国 (KR)	(72) 発明者	宋 泰 中
			大韓民国京畿道城南市盆唐区蘆内洞 パー クタウン大林アパート102棟802号
			最終頁に続く

(54) 【発明の名称】 非対称シリサイド構造を含む電界効果トランジスタ及び関連した装置

(57) 【特許請求の範囲】

【請求項1】

電界効果トランジスタ (Field Effect Transistor; FET) において、

前記 FET のゲートから離隔し、前記 FET のソースの上端に位置する第 1 シリサイドと、

前記ゲートから離隔し、前記 FET のドレインの上端に位置する第 2 シリサイドと、

前記第 1 シリサイドと前記第 2 シリサイドのそれぞれの上端に位置する少なくとも 1 つのコンタクト層と、を含み、

前記ソースとドレインはゲート幅方向の長さが同一であり、

前記第 1 シリサイドまたは前記第 2 シリサイドのそれぞれの膜厚方向及びゲート幅方向の長さの比である縦横比を調節して、前記第 1 シリサイドのゲートに対向する表面の面積と前記第 2 シリサイドのゲートに対向する表面の面積とが互いに異なり非対称であることを特徴とする電界効果トランジスタ。

【請求項2】

前記電界効果トランジスタは、

前記第 1 シリサイドが前記ゲートに対向する表面の面積が、前記第 2 シリサイドが前記ゲートに対向する表面の面積よりも小さくなるように、前記第 1 シリサイドまたは前記第 2 シリサイドのそれぞれの前記縦横比を調節することを特徴とする請求項 1 に記載の電界効果トランジスタ。

10

20

【請求項 3】

前記電界効果トランジスタは、

前記第 1 シリサイドが前記ゲートに対向する表面の面積が、前記第 2 シリサイドが前記ゲートに対向する表面の面積よりも大きくなるように、前記第 1 シリサイドまたは前記第 2 シリサイドのそれぞれの前記縦横比を調節することを特徴とする請求項 1 に記載の電界効果トランジスタ。

【請求項 4】

前記第 1 シリサイドの縦横比は、

前記第 1 シリサイドの横長は、前記第 2 シリサイドの横長よりも短く、前記第 1 シリサイドの縦長は、前記第 2 シリサイドの縦長と同じであることを特徴とする請求項 2 に記載の電界効果トランジスタ。

10

【請求項 5】

前記第 1 シリサイドの縦横比は、

前記第 1 シリサイドの横長は、前記第 2 シリサイドの横長よりも長く、前記第 1 シリサイドの縦長は、前記第 2 シリサイドの縦長と同じであることを特徴とする請求項 3 に記載の電界効果トランジスタ。

【請求項 6】

複数のメモリセルを含んだメモリセルアレイと、

前記メモリセルにアクセスするための周辺回路と、を含み、

前記各メモリセルは、

複数の電界効果トランジスタ (F E T) を含み、

各 F E T は、

前記 F E T のゲートから離隔し、前記 F E T のソースの上端に位置する第 1 シリサイドと、

20

前記ゲートから離隔し、前記 F E T のドレインの上端に位置し、前記ゲートに対向する表面の面積が、前記第 1 シリサイドのゲートに対向する表面の面積と異なり互いに非対称である第 2 シリサイドと、

前記第 1 シリサイドと前記第 2 シリサイドのそれぞれの上端に位置する少なくとも 1 つのコンタクトと、

を含むことを特徴とするメモリ装置。

30

【請求項 7】

前記電界効果トランジスタは、

前記第 1 シリサイドが前記ゲートに対向する表面の面積が、前記第 2 シリサイドが前記ゲートに対向する表面の面積よりも大きくなるように、前記第 1 シリサイドまたは前記第 2 シリサイドのそれぞれの前記縦横比を調節することを特徴とする請求項 6 に記載のメモリ装置。

【請求項 8】

前記第 1 シリサイドの縦横比は、

前記第 1 シリサイドの横長は、前記第 2 シリサイドの横長よりも長く、前記第 1 シリサイドの縦長は、前記第 2 シリサイドの縦長と同じであることを特徴とする請求項 7 に記載のメモリ装置。

40

【請求項 9】

前記各メモリセルは、

少なくとも 2 つ以上の前記電界効果トランジスタを含む第 1 インバータと、

少なくとも 2 つ以上の前記電界効果トランジスタを含み、前記第 1 インバータとクロスカップリングされた (c r o s s - c o u p l e d) 第 2 インバータと、

前記第 1 インバータ及び前記第 2 インバータにそれぞれ連結されて、前記第 1 インバータ及び前記第 2 インバータ間のデータビットをリード/ライトする一対のワードラインパストランジスタと、

を含むことを特徴とする請求項 6 に記載のメモリ装置。

50

【請求項 10】

前記メモリセルは、

リードワードラインが活性化されれば、プリチャージされたリードビットラインからリード電流 (read current) をシンクするリードトランジスタと、

前記第 1 インバータ及び前記第 2 インバータに接続されて、前記リード電流を生成するリードドライブトランジスタと、をさらに含み、

前記第 1 インバータ、前記第 2 インバータ及び前記一对のワードラインパストランジスタを一对のライトビットラインの間に連結し、前記一对のワードラインパストランジスタをライトワードラインに連結することを特徴とする請求項 9 に記載のメモリ装置。

【請求項 11】

10

前記第 1 インバータ及び前記第 2 インバータは、

P 型の前記電界効果トランジスタと、

前記 P 型の電界効果トランジスタと直列に連結され、前記 P 型の電界効果トランジスタのゲートと入力信号を共有する N 型の前記電界効果トランジスタと、

を含むことを特徴とする請求項 9 に記載のメモリ装置。

【請求項 12】

前記メモリ装置は、SRAM (Static Random Access Memory) を含むことを特徴とする請求項 6 に記載のメモリ装置。

【請求項 13】

メモリ装置と、

20

前記メモリ装置の動作を制御するマイクロプロセッサと、を含み、

前記メモリ装置は、

それぞれが複数の電界効果トランジスタ (FET) を含む複数のメモリセルを含むメモリセルアレイと、

リード動作またはライト動作を行うために、前記メモリセルアレイをアクセスするためのアクセス制御回路と、

前記アクセス制御回路の動作を制御するための制御信号を生成する制御信号生成回路と、を含み、

前記電界効果トランジスタは、

前記 FET のゲートから離隔し、前記 FET のソースの上端に位置する第 1 シリサイドと、

30

前記ゲートから離隔し、前記 FET のドレインの上端に位置し、前記ゲートに対向する面積が、前記第 1 シリサイドと互いに非対称である第 2 シリサイドと、

前記第 1 シリサイドと前記第 2 シリサイドのそれぞれの上端に位置する少なくとも 1 つのコンタクトと、

を含むことを特徴とするメモリコントローラ。

【請求項 14】

前記メモリ装置と前記マイクロプロセッサは、1 つのチップに含まれることを特徴とする請求項 13 に記載のメモリコントローラ。

【請求項 15】

40

不揮発性メモリ装置と、

前記不揮発性メモリ装置の動作を制御するための請求項 13 に記載のメモリコントローラと、を含み、

前記メモリコントローラは、前記アクセス制御回路を用いて前記不揮発性メモリ装置から出力されたデータを前記メモリ装置にライトし、前記アクセス制御回路から出力されたデータを前記不揮発性メモリ装置に伝送することを特徴とするメモリシステム。

【請求項 16】

前記メモリシステムは、マルチチップパッケージを含むことを特徴とする請求項 15 に記載のメモリシステム。

【請求項 17】

50

カードインターフェースと、
不揮発性メモリ装置と、
前記カードインターフェースと前記不揮発性メモリ装置との間でデータの伝送をインターフェーシングするための請求項 13 に記載のメモリコントローラと、
を含むことを特徴とするメモリカード。

【請求項 18】

不揮発性メモリ装置と、
前記不揮発性メモリ装置を含む多数の不揮発性メモリ装置のそれぞれのデータ処理動作を制御することができる請求項 13 に記載のメモリコントローラと、
前記メモリコントローラとホストとの間で送受信するデータを揮発性メモリ装置に保存することを制御するバッファマネージャと、
を含むことを特徴とするソリッドステートドライブ。

10

【請求項 19】

CPUと、
前記CPUの制御によってデータをリードまたはライトするために、外部メモリにアクセスするメモリコントローラと、
前記CPUの制御によってリードまたはライトされる前記データを保存するメモリ装置と、を含み、

前記メモリ装置は、
複数のメモリセルを含んだメモリセルアレイ及び前記メモリセルにアクセスするための周辺回路を含み、

20

前記各メモリセルは、
ゲートから離隔し、ソースの上端に位置する第1シリサイドと、
前記ゲートから離隔し、ドレインの上端に位置し、前記ゲートに対向する面積が、前記第1シリサイドと互いに非対称である第2シリサイドと、
前記第1シリサイドと前記第2シリサイドのそれぞれの上端に位置する少なくとも1つのコンタクトを含む複数の電界効果トランジスタと、
を含むことを特徴とするSoC(System on Chip)。

【請求項 20】

フィン電界効果トランジスタ(fin Field Effect Transistor; finFET)において、
前記finFETのソース領域及びドレイン領域と、
前記ソース及びドレイン領域の間のフィンを横切る前記finFETのゲートと、
前記ソース及びドレイン領域のそれぞれの上端に位置し、それぞれ前記フィンを横切る前記ゲートに対向する第1及び第2表面を含む第1及び第2シリサイド層と、を含み、
前記ソース及びドレイン領域のそれぞれのゲート幅方向の長さは同一であり、
前記第1及び第2表面は、互いに異なるサイズを有することを特徴とするfinFET。

30

【請求項 21】

前記表面は、
互いに異なる縦横比を有することを特徴とする請求項 20 に記載のfinFET。

40

【請求項 22】

前記表面のそれぞれは、
前記ゲートが前記フィンを横切る第1方向の第1長及び前記第1方向に垂直な第2方向の第2長によってそれぞれ定義される第1領域及び第2領域を定義することを特徴とする請求項 20 に記載のfinFET。

【請求項 23】

前記第1及び第2表面の前記第2長は、
互いに同一であることを特徴とする請求項 22 に記載のfinFET。

【請求項 24】

50

前記第 1 及び第 2 表面の前記第 1 長は、
互いに異なることを特徴とする請求項 22 に記載の f i n F E T。

【請求項 25】

前記 f i n F E T は、
前記第 1 及び第 2 シリサイド層の上端にそれぞれ位置する第 1 及び第 2 コンタクト層をさらに含むことを特徴とする請求項 20 に記載の f i n F E T。

【請求項 26】

前記第 1 または第 2 シリサイド層は、
前記第 1 または第 2 コンタクト層と接触する領域を定義し、
前記領域は、前記第 1 または第 2 コンタクト層の領域よりも小さなことを特徴とする請求項 25 に記載の f i n F E T。

10

【請求項 27】

前記第 1 または第 2 シリサイド層は、
前記第 1 または第 2 コンタクト層と接触する領域を定義し、
前記領域は、前記第 1 または第 2 コンタクト層の領域と同一であることを特徴とする請求項 25 に記載の f i n F E T。

【請求項 28】

少なくとも 1 つの請求項 20 に記載の f i n F E T を含むことを特徴とするメモリセルアレイ。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、メモリ装置、特に、非対称シリサイド構造を含む電界効果トランジスタを含むメモリ装置、及び関連した装置に関する。

【背景技術】

【0002】

静的ランダムアクセスメモリ (S t a t i c R a n d o m A c c e s s M e m o r i e s ; S R A M s) は、次第に小型化され、フィン (f i n) を活用して複数のチャネル領域を形成するフィン電界効果トランジスタ (F i n F i e l d E f f e c t T r a n s i s t o r s ; F i n F E T) が次第に大衆化されている。

30

最近、フィン電界効果トランジスタの小型化及び工程細分化によって、トランジスタコンタクト (T r a n s i s t o r C o n t a c t) の複雑性が台頭した。トランジスタでコンタクトが複雑になるにつれて、コンタクトによる寄生キャパシタンス (p a r a s i t i c c a p a c i t a n c e) が問題になっている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許第 7646046 号公報

【特許文献 2】特開 2006-294995 号公報

【特許文献 3】特開 2000-138369 号公報

40

【特許文献 4】米国特許第 8138030 号公報

【特許文献 5】米国特許第 8053314 号公報

【特許文献 6】米国特許第 7982269 号公報

【特許文献 7】米国特許第 7906802 号公報

【特許文献 8】米国特許第 7402862 号公報

【特許文献 9】米国特許第 7348642 号公報

【特許文献 10】米国特許第 6756638 号公報

【特許文献 11】特開 2008-028263 号公報

【特許文献 12】特開 2007-158139 号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする技術的な課題は、データビットを保存するトランジスタのキャパシタンス調節によって、メモリセルのリード安定性及びライト安定性を向上させるメモリ装置及びそれを含む装置を提供することにある。

【課題を解決するための手段】

【0005】

前述した技術的課題を解決するために、本発明の一実施形態による電界効果トランジスタ (Field Effect Transistor; FET) は、前記 FET のゲートから離隔し、前記 FET のソースの上端に位置する第 1 シリサイドと、前記ゲートから離隔し、前記 FET のドレインの上端に位置する第 2 シリサイドと、前記第 1 シリサイドと前記第 2 シリサイドのそれぞれの上端に位置する少なくとも 1 つのコンタクト層と、を含む。

10

前記ソースとドレインはゲート幅方向の長さが同一であり、前記第 1 シリサイドまたは前記第 2 シリサイドのそれぞれの膜厚方向及びゲート幅方向の長さの比である縦横比 (aspect ratio) を調節して、前記第 1 シリサイドのゲートに対向する表面の面積と前記第 2 シリサイドのゲートに対向する表面の面積とが互いに異なり非対称であり得る。

【0006】

前述した技術的課題を解決するために、本発明の他の実施形態によるメモリ装置は、複数のメモリセルを含んだメモリセルアレイと、前記メモリセルにアクセスするための周辺回路と、を含み、前記各メモリセルは、複数の電界効果トランジスタ (FET) を含み、各 FET は、前記 FET のゲートから離隔し、前記 FET のソースの上端に位置する第 1 シリサイドと、前記ゲートから離隔し、前記 FET のドレインの上端に位置し、前記ゲートに対向する表面の面積が、前記第 1 シリサイドのゲートに対向する表面の面積と異なり互いに非対称である第 2 シリサイドと、前記第 1 シリサイドと前記第 2 シリサイドのそれぞれの上端に位置する少なくとも 1 つのコンタクトを含む複数の電界効果トランジスタと、を含みうる。

20

【0007】

前述した技術的課題を解決するために、本発明のさらに他の実施形態によるメモリコントローラは、メモリ装置と、前記メモリ装置の動作を制御するマイクロプロセッサと、を含み、前記メモリ装置は、それぞれが複数の電界効果トランジスタ (FET) を含む複数のメモリセルを含むメモリセルアレイと、リード動作またはライト動作を行うために、前記メモリセルアレイをアクセスするためのアクセス制御回路と、前記アクセス制御回路の動作を制御するための制御信号を生成する制御信号生成回路と、を含む。前記電界効果トランジスタは、前記 FET のゲートから離隔し、前記 FET のソースの上端に位置する第 1 シリサイドと、前記ゲートから離隔し、前記 FET のドレインの上端に位置し、前記ゲートに対向する面積が、前記第 1 シリサイドと互いに非対称である第 2 シリサイドと、前記第 1 シリサイドと前記第 2 シリサイドのそれぞれの上端に位置する少なくとも 1 つのコンタクトと、を含む。

30

40

【0008】

前述した技術的課題を解決するために、本発明のさらに他の実施形態によるシステム・オン・チップは、CPU (Central Processing Unit) と、前記 CPU の制御によってデータをリード (read) またはライト (write) するために、外部メモリにアクセスするメモリコントローラと、前記 CPU の制御によってリードまたはライトされる前記データを保存するメモリ装置と、を含み、前記メモリ装置は、複数のメモリセルを含んだメモリセルアレイ及び前記メモリセルにアクセスするための周辺回路を含む。

【0009】

前記各メモリセルは、ゲートから離隔し、ソースの上端に位置する第 1 シリサイドと、

50

前記ゲートから離隔し、ドレインの上端に位置し、前記ゲートに対向する面積が、前記第1シリサイドと互いに非対称である第2シリサイドと、前記第1シリサイドと前記第2シリサイドのそれぞれの上端に位置する少なくとも1つのコンタクトを含む複数の電界効果トランジスタと、を含みうる。

【0010】

本発明の一実施形態によって、フィン電界効果トランジスタ (finFET) は、前記 finFET のソース領域及びドレイン領域を含みうる。前記 finFET のゲートは、前記ソース及びドレイン領域の間のフィンを横切る (crossing over) ことができる。第1及び第2シリサイド層は、それぞれ前記ソース及びドレイン領域のそれぞれの上端に位置しうる。前記第1及び第2シリサイド層は、それぞれ前記フィンを横切る前記ゲートに対向する第1及び第2表面を含み、前記ソース及びドレイン領域のそれぞれのゲート幅方向の長さは同一であり、前記第1及び第2表面は、互いに異なるサイズを有する。

10

【発明の効果】

【0011】

本発明の電界効果トランジスタ、それを含むメモリ装置及びその半導体装置は、ソース/ドレイン上のシリサイドの縦横比を調節することによって、全体キャパシタンスが減少して、メモリ装置のリード安定性及びライト安定性を向上させうる。

【図面の簡単な説明】

【0012】

本発明の詳細な説明で引用される図面をより十分に理解するために、各図面の簡単な説明が提供される。

20

【図1】電界効果トランジスタを示す斜視図。

【図2】本発明の実施形態による電界効果トランジスタを具体的に示す斜視図。

【図3】図2の電界効果トランジスタでゲートと一端のシリサイドのみを示す斜視図。

【図4】図2の電界効果トランジスタでゲートと他の一端のシリサイドのみを示す斜視図。

【図5】図2の電界効果トランジスタでゲートの一端から見たシリサイド及びコンタクトレイヤを示す断面図。

【図6】図2の電界効果トランジスタでゲートの他の一端から見たシリサイド及びコンタクトレイヤを示す断面図。

30

【図7】本発明の単位トランジスタのシリサイド長によるゲートシリサイドキャパシタンス及びソース/ドレイン表面レジスタンスを示すグラフ。

【図8】本発明の実施形態による単位トランジスタを含んだビットセルアレイの寄生キャパシタンスとレジスタンスとを示す回路図。

【図9】図8のビットセルアレイで単位トランジスタのシリサイド長によるゲートシリサイドキャパシタンス、ソース/ドレイン表面レジスタンス及びRCディレイ (RC delay) を示すグラフ。

【図10】本発明の実施形態による単位トランジスタを示す回路図。

【図11】図10に示されたパストランジスタの電圧 - 電流グラフ。

40

【図12】プラナー (planar) 工程によるSRAMビットセルのパストランジスタ及びドライブトランジスタによる電流 - 電流グラフの比較例。

【図13】電界効果トランジスタを含むSRAMビットセルのパストランジスタ及びドライブトランジスタによる電流 - 電流グラフの比較例。

【図14】本発明の実施形態による電界効果トランジスタを含むSRAMビットセルのパストランジスタ及びドライブトランジスタによる電流 - 電流グラフ。

【図15】6トランジスタ (6T) メモリセルを示す回路図。

【図16】8トランジスタ (8T) メモリセルを示す回路図。

【図17】本発明の実施形態によるトランジスタを含んだメモリ装置を示すブロック図。

【図18】図17に示されたメモリ装置を含むメモリシステムの一実施形態を示す図。

50

【図19】図17に示されたメモリ装置を含むメモリシステムの他の実施形態を示す図。

【図20】図17に示されたモバイル装置を含むメモリシステムのさらに他の実施形態を示す図。

【図21】図17に示されたメモリ装置を含む電子システムのさらに他の実施形態を示す図。

【図22】図17に示されたメモリ装置を含むメモリカードのさらに他の実施形態を示す図。

【図23】図17に示されたメモリ装置を含むイメージシステムのさらに他の実施形態を示す図。

【図24】図17に示されたメモリ装置を含むメモリシステムのさらに他の実施形態を示す図。

10

【図25】図17に示されたメモリ装置を含むSoCの一実施形態を示す図。

【発明を実施するための形態】

【0013】

以下、本明細書に添付した図面を参照して、本発明の実施形態を詳しく説明する。

図1は、電界効果トランジスタを示す斜視図である。

図1を参照すると、電界効果トランジスタ(Field Effect Transistor; 以下、FETと称する)10は、基板5、絶縁層4、ソース2、ドレイン3及びゲート1を含む。絶縁層4は、基板5(例えば、Si基板)上に形成され、FET10は、絶縁層4(例えば、SiO₂)上に形成されている。FET10は、一般的にシリコンまたは他の適当な半導体物質で形成されたフィン(2と3との中間部分)とポリシリコンまたは他の適当な半導体物質で形成され、フィンを覆うゲート1とを含む。チャンネル(channel)は、ソース及びドレイン領域の間のゲート1下に拡張したフィンの一部に形成される。FET10は、チャンネルを取り囲むダブルゲート(double gate)構造によって、小さなサイズ、消費電力減少、より早いスイッチングタイムのような利得を提供する。

20

【0014】

図2は、本発明の実施形態による電界効果トランジスタを具体的に示す斜視図である。

図2を参照すると、FET10は、基板に形成されるゲート1、ソース2及びドレイン3、シリサイド層6a、6b、少なくとも1つ以上のコンタクト層7a、7b、8a、8b、少なくとも1つ以上のメタル層9a、9bを含む。

30

FET10は、半導体基板をエッチングしてシリコンフィンを形成し、隣接したシリコンフィンを電氣的に隔離させるために、シリコンフィンの間の空間(トレンチ)に素子分離絶縁物質を埋め立てた後、シリコンフィンの側壁を露出させるフィン構造(fin structure)として具現可能である。すなわち、図示したように、ソース2とドレイン3との間にゲート1が形成され、ゲート1と隔離されてシリサイド層6a、6b、少なくとも1つ以上のコンタクト層7a、7b、8a、8b、少なくとも1つ以上のメタル層9a、9bが形成される。

【0015】

FET10は、ソース2とドレイン3とをメタルライン9a、9bに連結するために、コンタクトを多様な層でスタック(stack)して形成される(7a、7b、8a、8b)。コンタクト層7a、7b、8a、8bは、ソース2/ドレイン3とメタルライン9a、9bとを電氣的に連結する。

40

シリサイド層6a、6bは、コンタクト層7a、7b、8a、8b及びソース2/ドレイン3の上面の間でソース2/ドレイン3の界面抵抗を低下させると同時に、ソース2/ドレイン3とゲート1との高さを合わせる。

【0016】

フィン構造を有したFET10は、各層(例えば、シリサイド及びコンタクト)とゲート1との間に寄生キャパシタンスが発生し、寄生キャパシタンスによってソース2/ドレイン3から生成された信号がメタルライン9a、9bに伝送される時、FET10の交流

50

性能 (AC Performance) が減衰 (degradation) されうる。したがって、FET10は、層に関連する寄生キャパシタンスが小さいほど性能が向上する。この際、各層とゲート1との間に発生する寄生キャパシタンスCは、数式1で表わされる。

【0017】

【数1】

$$C = \epsilon \frac{A1}{D1}$$

【0018】

数式1で、Cは、各寄生キャパシタンス、A1は、ゲートと当該層が対向する面積、D1は、ゲートと当該層との距離、 ϵ は、誘電率である。すなわち、寄生キャパシタンスCを減らすためには、当該層(例えば、コンタクトまたはシリサイド)とゲート1とが対向する面積A1を減らすか、当該層とゲート1との距離を遠くしなければならない。または、面積及び距離のいずれをも調節する。実施形態によって、前記距離は、層の表面からゲートまでの平均距離であり得る。

10

【0019】

本発明の実施形態によって、FET10は、ゲートを中心に両側に位置したシリサイド6a、6bのそれぞれの縦横比を調節することによって、寄生キャパシタンスによる減衰現象を減らしうる。一例として、FET10は、ソース2側の第1シリサイド6aの縦横比を調節して、ドレイン3側の第2シリサイド6bと非対称的になるように配列することができる。他の一例として、FET10は、ソース2側の第1シリサイド6aに非対称的になるようにドレイン3側の第2シリサイド6bの縦横比を調節することができる。さらに他の一例として、FET10は、ソース2側の第1シリサイド6aの縦横比及びドレイン3側の第2シリサイド6bをそれぞれ調節して、第1シリサイド6aと第2シリサイド6bとが互いに非対称になるように配列することができる。

20

【0020】

図3は、図2の電界効果トランジスタでゲートと一端のシリサイドのみを示す斜視図であり、図4は、図2の電界効果トランジスタでゲートと他の一端のシリサイドのみを示す斜視図である。図5は、図2の電界効果トランジスタでゲートの一端から見たシリサイド及びコンタクトレイヤを示す断面図であり、図6は、図2の電界効果トランジスタでゲートの他の一端から見たシリサイド及びコンタクトレイヤを示す断面図である。一例として、FET10は、ソース2側の第1シリサイド6aに非対称的になるようにドレイン3側の第2シリサイド6bの縦横比を調節するものと仮定する。

30

【0021】

図3及び図5に示された第1シリサイド6aは、縦横比を調節していない状態、すなわち、第1シリサイド6aのゲートに向かう表面は、ゲート1に対してA1の面積を有し、ゲート1とD1の間隔だけ離隔する。しかし、図4及び図6に示された第2シリサイド6bは、表面の縦横比を調節してゲート1に対してB1の面積を有し、ゲート1とD1の間隔だけ離隔する。この際、A1は、B1よりも大きい。この際、第1シリサイド6aの表面500を成す横長と縦長とをそれぞれL1、L2とすれば、第2シリサイド6bの表面600の面積B1は、横長L1をL3に減らして、A1とB1とが同じではないように、すなわち、互いに非対称にする。第1シリサイド6aと第2シリサイド6bとの縦長L2は、ソース2/ドレイン3とコンタクト7、8との間の高さに影響を与えうるので、調節しないこともある。

40

【0022】

本発明は、前記実施形態に限定されず、FET10は、ゲートを中心に両側に位置したシリサイド6a、6bの表面のそれぞれの縦横比を調節することによって、寄生キャパシタンスによる減衰現象を減らしうる。一例として、FET10は、ソース2側の第1シリサイド6aの表面500の縦横比を調節して、ドレイン3側の第2シリサイド6bと非対称的になるように配列することができる。他の一例として、FET10は、ソース2側の

50

第1シリサイド6 aの表面5 0 0の縦横比及びドレイン3側の第2シリサイド6 bの表面6 0 0の縦横比をそれぞれ調節して、第1シリサイド6 aと第2シリサイド6 bとが互いに非対称になるように配列することができる。

【0023】

図7は、本発明の単位トランジスタのシリサイド長によるゲートシリサイドキャパシタンス及びソース/ドレイン表面レジスタンスを示すグラフである。図7を参照すると、図3ないし図6のように、ゲートシリサイドの面積A1を減らすために、シリサイドの横長を減らせば($L1 > L3$)、ゲートシリサイドキャパシタンスは、線形的に減る。

一方、シリサイドの界面抵抗は、数式2のように求める。

【0024】

【数2】

$$R = \rho \frac{l}{S}$$

【0025】

この際、Rは、界面抵抗、 ρ は、抵抗係数、lは、長さ、Sは、面積である。すなわち、界面抵抗は、ゲート1に対向する面積A1に反比例し、ゲート1とシリサイドとの距離D1に比例する。したがって、シリサイド6 bの横長によってシリサイドの面積がA1からB1に減れば、ドレイン3の界面抵抗(s u r f a c e r e s i s t a n c e)は増える。

【0026】

すなわち、1つのFET10において、ゲート1を中心に両側のシリサイド6 a、6 bを非対称的に調節した時、ゲートシリサイドキャパシタンスCは、減少するが、シリサイド界面抵抗Rが増えれば、FET10の交流性能が向上するとはいえないが、複数のFET10が連結されるビットセルアレイ(bit cell array)の場合は、交流性能が向上する。より具体的な説明は、図8ないし図14で行う。

【0027】

図8は、本発明の実施形態による単位トランジスタを含んだビットセルアレイの寄生キャパシタンスとレジスタンスとを示す回路図であり、図9は、図8のビットセルアレイで単位トランジスタのシリサイド長によるゲートシリサイドキャパシタンス、ソース/ドレイン表面レジスタンス及びRCディレイ(RC delay)を示すグラフである。

図8で、 R_{sd} は、FET10のソース-ドレイン間の寄生レジスタンス、 R_{ch} は、FET10のチャンネルに生じる寄生レジスタンス、 R_{TS} は、FET10のゲートシリサイドレジスタンス、 C_{TS} は、FET10のゲートシリサイドキャパシタンス、 R_{CA} 及び R_{S0} は、それぞれFET10のゲートコンタクトレジスタンス、 C_{CA} 及び C_{S0} は、それぞれFET10のゲートコンタクトキャパシタンス、 C_{S1} 及び R_{S1} は、ゲートメタルキャパシタンスとゲートメタルレジスタンスである。

【0028】

ビットセルアレイに対して寄生キャパシタンスと寄生レジスタンスとをモデリングすれば、図8に示されたように、1本のビットラインには、n個のFET10(D1ないしDn)が並列連結される。ゲートシリサイドレジスタンス R_{TS} は、複数個があっても、ワードラインが1つのFET10を活性化してデータビットをリードするので(D1)、並列連結によって実質的に1つのゲートシリサイドレジスタンス R_{TS} が影響を及ぼす(E1)。すなわち、全体レジスタンス R_{Total} は、1本のビットラインがイネーブルされる時、影響を及ぼすレジスタンスの和で数式3で表わされる。この際、ゲートコンタクトレジスタンス R_{CA} 、 R_{S0} 及びゲートメタルラインレジスタンス R_{S1} は、一定なので、全体レジスタンス R_{Total} は、実質的に R_{TS} によって影響を受ける。

【0029】

【数3】

$$R_{Total} = R_{ch} + R_{sd} + R_{TS} + R_{CA} + R_{S0} + R_{S1} + R_{D2}$$

10

20

30

40

50

【 0 0 3 0 】

ゲートシリサイドキャパシタンス C_{TS} は、並列に複数個が連結されるが、1つのビットセル当たりキャパシタンス C_{D1} は、直列連結によって数式4で表わされ、1本のビットライン当たりキャパシタンス C_{Total} は、並列連結によって数式5で表わされる。

【 0 0 3 1 】

【数4】

$$\frac{1}{C_{D1}} = \frac{1}{C_{TS}} + \frac{1}{C_{CA}} + \frac{1}{C_{S0}} + \frac{1}{C_{S1}}$$

【 0 0 3 2 】

10

【数5】

$$C_{Total} = C_{D1} + C_{D2} + \dots + C_{Dn}$$

【 0 0 3 3 】

1本のビットライン当たりキャパシタンス C_{Total} は、並列連結によってE1ないしEnに至る1本のビットラインに並列連結されたあらゆるゲートシリサイドキャパシタンスが実質的に影響を及ぼす。この際、ゲートコンタクトキャパシタンス C_{CA} 、 C_{S0} 及びゲートメタルラインキャパシタンス C_{S1} は、一定なので、全体キャパシタンス C_{Total} は、実質的に C_{TS} によって影響を受ける。

【 0 0 3 4 】

20

1つのFET10では、図9に示したように、何れか一方側のシリサイド長(L)が増加するほど、シリサイド界面抵抗 R_{TS} は増加し(2)、ゲートシリサイドキャパシタンス C_{TS} は減る。しかし、FET10が複数個連結されたビットセルアレイでは、シリサイド界面抵抗が増加(2)によって全体レジスタンスも共に増加しても(3)、全体ビットセルアレイに実質的なシリサイド界面抵抗の増加効果よりもゲートシリサイドキャパシタンス C_{TS} が減ることによって(1)、1本のビットライン当たりキャパシタンス C_{Total} が減るという効果がある。その結果、時間定数、すなわち、RCディレイがビットセルアレイで減って(4)(5)、FET10が複数個連結されたビットセルアレイを含んだメモリ装置の性能が全体的に向上する。

【 0 0 3 5 】

30

図10は、本発明の実施形態による単位トランジスタを示す回路図であり、図11は、図10に示されたパストランジスタの電圧-電流グラフである。

図10を参照すると、FET10を含んだビットセルをモデリングすれば、各ビットセルは、全体レジスタンス R_{Total} 、パストランジスタ TR_{pass} 、ドライブトランジスタ TR_{drive} を含む。この際、ビットセルに対する動作によってワードラインがイネーブルされれば、パストランジスタ TR_{pass} 及びドライブトランジスタ TR_{drive} がターンオンになるが、動作によってソース-ドレインの方向は、表1のように決定される。

【 0 0 3 6 】

【表1】

40

動作	ソース	ドレイン
リード	Q1	Q2
ライト	Q2	Q1

【 0 0 3 7 】

リード動作(Read Operation)では、パストランジスタ TR_{pass} は、Q1ノードがソース(Source)、Q2ノードがドレイン(Drain)になる。リード動作時に、全体レジスタンス R_{Total} によってドレイン電圧が低下し、ドレイン-ソース電圧 V_{DS} が減少する。リード電流 I_{read} は、Q2ノードからQ1ノード

50

方向に流れる。この際、パストランジスタ TR_{pass} が、図 11 に示したように、ドレイン - ソース電圧 V_{DS} が減少しても (8) (9)、ゲート - ソース電圧 V_{GS} は、ほとんど変化がないので (6)、飽和領域 (Saturation 領域) にあるためにリード電流 I_{DS} の減少量は微弱である。

【0038】

ライト動作 (Write Operation) では、FET10 にデータをプログラムしなければならないので、電流の方向が逆になって、Q1 ノードがドレインに、Q2 ノードがソースになる。この場合、全体レジスタンス R_{total} によってソース電圧が低下し、ゲート - ソース電圧 V_{GS} が減少する (6) (7)。その結果、パストランジスタ TR_{pass} が、図 11 に示したように、全体レジスタンスによるライト電流 I_{DS} の減少が発生することがある。

10

しかし、FET10 を利用したメモリ装置で、ライト動作は、ドライブトランジスタ TR_{drive} に外部から強いドライブ電圧を与えて駆動するために、ライト電流が減少しても、メモリ装置の全体ライト動作速度には極めて制限的な影響しか及ぼさない。

【0039】

図 12 は、プラナー (planar) 工程による SRAM ビットセルのパストランジスタ及びドライブトランジスタによる電流 - 電流グラフの比較例であり、図 13 は、電界効果トランジスタを含む SRAM ビットセルのパストランジスタ及びドライブトランジスタによる電流 - 電流グラフの比較例である。そして、図 14 は、本発明の実施形態による電界効果トランジスタを含む SRAM ビットセルのパストランジスタ及びドライブトランジスタによる電流 - 電流グラフである。

20

【0040】

図 12 を参照すると、パストランジスタ TR_{pass} とドライブトランジスタ TR_{drive} (または、プルアップトランジスタ) の強度 (Strength) によって SNM (Static Noise Margin、すなわち、Read Margin の意味) と WRM (Writability Margin) は、互いに相反した方向の傾向を有する。すなわち、各トランジスタのスレシヨルド電圧 (V_{th})、 fin の有効幅 (effective width、 W_{eff})、 fin の長さ (L) などによって、ビットセルの算出量 (yield) がパストランジスタとドライブトランジスタとの強度が類似している時に最も高い (High)。そして、パストランジスタがドライブトランジスタよりも強いと、ドライブトランジスタがパストランジスタよりも強ければ、ビットセルの算出量が次第に低くなり (Middle、Low)、リード安定性 (SNM) が弱くなるか、またはライト安定性 (WRM) が弱くなる。しかし、プラナー工程による SRAM ビットセルの場合、ビットセルの算出量は線形的に分布する。

30

【0041】

しかし、図 13 を参照すると、 fin 構造の電界効果トランジスタがトランジスタの幅 (Width) を調節することができる領域が離散的 (discrete) なので、図 12 とは異なって、トランジスタのそれぞれの強度によるビットセルの算出量が離散的な傾向に分布する。ビットセルの算出量が離散的であれば、工程上、非常に制限された範囲でビットセル安定性 (WRM、SNM) をチューニングをするしかない。

40

【0042】

本発明の実施形態による FET10 を利用したビットセルの場合、前述したように、レジスタンスとキャパシタンスとが調節されるので、ビットセルアレイは、図 14 に示したように、半線形的に (semi-linear) ビットセル算出量が分布可能である。その結果、工程上、さらに拡張された範囲でビットセル安定性 (WRM、SNM) をチューニング可能である。

【0043】

図 15 は、6 トランジスタ (6T) メモリセルを示す回路図であり、図 16 は、8 トランジスタ (8T) メモリセルを示す回路図である。

図 15 を参照すると、メモリセル 100 は、2 つのクロスカップルインバータ (cro

50

ss-couple inverter)を含み、これは、第1プルアップトランジスタ (first pull-up transistor) 105、第1プルダウントランジスタ (first pull-down transistor) 109、第2プルアップトランジスタ (second pull-up transistor) 107、第2プルダウントランジスタ (second pull-down transistor) 111が電氣的に連結される。

【0044】

第1プルダウントランジスタ109及び第1プルアップトランジスタ105のドレインは、第2プルアップトランジスタ107及び第2プルダウントランジスタ111のゲートに電氣的に連結され、第2プルアップトランジスタ107及び第2プルダウントランジスタ111のドレインは、第2プルアップトランジスタ105及び第1プルダウントランジスタ109のゲートに電氣的に連結される。

10

【0045】

SRAMセル100は、第1パスゲートトランジスタ (first pass-gate transistor) 101及び第2パスゲートトランジスタ (second pass-gate transistor) 115をさらに含む。一実施形態で、第1パスゲートトランジスタ101または第2パスゲートトランジスタ115のようなパスゲートトランジスタは、第1プルダウントランジスタ109または第2プルダウントランジスタ111のようなプルダウン装置に比べて、より長いゲート長 (gate length) を有しうる。前記パスゲートトランジスタのゲートは、メモリセル100を読み出し/書込むためにアクセスを制御するワードライン (word line: WL) に連結される。第1パスゲートトランジスタ101は、ビットライン (bit line: BL) に連結され、第2パスゲートトランジスタ115は、相補的ビットライン (complementary bit line: RBL) に連結される。第1パスゲートトランジスタ101は、第1プルダウントランジスタ109と第1プルアップトランジスタ105との間の共通ノード (common node) に連結される。第2パスゲートトランジスタ115は、第2プルダウントランジスタ111と第2プルアップトランジスタ107との間の共通ノードに連結される。

20

【0046】

図15に示された実施形態で、ワードライン (WL) に高電圧を加えて第1パスゲートトランジスタ101及び第2パスゲートトランジスタ115をターンオン (turn-on) させることによって、メモリ装置100が記録される。パスゲートトランジスタがターンオンになる時、ビットライン (BL) 及び相補的ビットライン (RBL) は、いずれもメモリ装置100に記録するために使われる。

30

【0047】

図16を参照すると、メモリセル100は、図15のメモリセル100にリードバッファ200をさらに含む。

8つのトランジスタを含むメモリセル100は、保存されたデータのビットに対する個別判読及び記録経路を提供する。リードバッファ200は、リードパスゲートトランジスタ203及びリードドライブトランジスタ201をさらに含む。リードパスゲートトランジスタ203とリードドライブトランジスタ201とは、リードビットラインと接地電圧との間に直列に連結される。リードパスゲートトランジスタ201は、リードワードライン (RWL) によってゲートされ、リードビットライン (RBL) によってデータセルを個別判読する。リードドライブトランジスタ201のゲートは、第2プルアップトランジスタ107のゲートに連結されて、各データセルからリード電流を生成する。

40

【0048】

図17は、本発明の実施形態によるトランジスタを含んだメモリ装置を示すブロック図である。図17を参照すると、メモリ装置300は、カラム選択スイッチ310、カラムデコーダ320、ローデコーダ330、ビットセルアレイ350を含む。

ビットセルアレイ350は、複数のビットセル100を含む。ビットセルのそれぞれは

50

、図15または図16に示したように、FET10を含んだSRAMとして具現可能である。

ローデコーダ330は、ローアドレスXADDRをデコーディングして、当該ワードライン(WL)をイネーブルする。カラムデコーダ320は、カラムアドレスYADDRをデコーディングして、当該ビットライン(BL、BLB)をイネーブルする。カラム選択スイッチ310は、イネーブルされたビットラインをスイッチングする。

説明の便宜上、ワードライン、ビットラインは、それぞれ4本のラインとして示したが、本発明の範囲が、これに限定されるものではない。

【0049】

図18は、図2に示されたメモリ装置を含むメモリシステムの一実施形態を示す。図18を参照すると、メモリシステム400は、不揮発性メモリ装置450、揮発性メモリ装置300、及び揮発性メモリ装置300と不揮発性メモリ装置450との動作を制御することができるCPU410を含む。CPU410は、マイクロプロセッサであり得る。

揮発性メモリ装置300は、CPU410の動作メモリ(operation memory)として使われる。揮発性メモリ装置300は、SRAM(Static Random Access Memory)として具現可能である。メモリシステム400に接続されたホスト(HOST)は、メモリインターフェース420とホストインターフェース440とを通じて不揮発性メモリ装置450とデータ通信を行うことができる。

【0050】

CPU410の制御によって、エラー訂正コード(Error Correction Code; ECC)ブロック430は、メモリインターフェース420を通じて不揮発性メモリ装置450から出力されたデータに含まれたエラービットを検出し、エラービットを訂正し、エラー訂正されたデータをホストインターフェース440を通じてホスト(HOST)に伝送しうる。CPU410は、バス401を通じてメモリインターフェース420、ECCブロック430、ホストインターフェース440、及び揮発性メモリ装置300の間でデータ通信を制御することができる。

メモリシステム200は、フラッシュ(flash)メモリドライブ、USB(Universal Serial Bus)フラッシュメモリドライブ、IC-USB(InterChip USB)メモリドライブ、またはメモリスティック(memory stick)として具現可能である。他の具現も本発明の範囲に含まれる。

【0051】

図19は、図17に示されたメモリ装置を含むメモリシステムの他の実施形態を示す。図19を参照すると、メモリシステム500は、入力部510、制御部520、不揮発性メモリ装置530、SRAM300を含むメモリコントローラ540、DRAMコントローラ550、DRAM560、及び出力部570を含む。

入力部510は、外部から入力された命令を受信する。制御部520は、入力部510を通じて伝送された前記命令を行うための制御信号を生成する。

この制御信号によって、不揮発性メモリ装置530に保存されたデータがメモリコントローラ540に伝送され、該伝送されたデータは、メモリコントローラ540に含まれたSRAM300に保存される。

【0052】

メモリコントローラ540は、不揮発性メモリ装置530から出力されたデータをDRAM560に伝送する前にバッファメモリの機能を行うSRAM300に保存する。メモリシステム500は、バッファメモリの機能を行うSRAM300を含むことによって、不揮発性メモリ装置530から出力されたデータをDRAM560に直接保存する時、発生する遅延を防止することができる。

DRAMコントローラ550は、SRAM300から出力されたデータをDRAM560に保存する。DRAM560に保存されたデータは、制御部520の制御によって出力部570を通じて出力される。

【0053】

10

20

30

40

50

図20は、図17に図示されたメモリ装置を含むモバイル装置のさらに他の実施形態を示す。図17及び図20を参照すると、モバイル装置600は、携帯電話(cellular phone)、スマートフォン(smartphone)、タブレットPC(Tablet Personal Computer)、PDA(Personal Digital Assistant)、PMP(Portable Multimedia Player)、または無線通信装置として具現可能である。

【0054】

モバイル装置600は、不揮発性メモリ装置660と不揮発性メモリ装置660の動作を制御することができるメモリコントローラ650を含む。

メモリコントローラ650は、プロセッサ610の制御によって不揮発性メモリ装置660のデータアクセス動作、例えば、プログラム(program)動作、イレーズ(erase)動作、またはリード動作を制御することができる。メモリコントローラ650は、不揮発性メモリ装置660から出力されたデータを保存するためのSRAM300を含む。

SRAM300は、不揮発性メモリ装置660から出力されたデータを一時的に保存する。SRAM300に保存されたデータは、プロセッサ610に伝送される。

【0055】

無線送受信器630は、アンテナ(ANT)を通じて無線信号を送受信することができる。例えば、無線送受信器630は、アンテナ(ANT)を通じて受信された無線信号をプロセッサ610で処理される信号に変更することができる。

したがって、プロセッサ610は、無線送受信器630から出力された信号を処理し、該処理された信号をメモリコントローラ650またはディスプレイ620に伝送しうる。メモリコントローラ650は、プロセッサ610によって処理された信号を不揮発性メモリ装置660にプログラムまたはライトすることができる。また、無線送受信器630は、プロセッサ610から出力された信号を無線信号に変更し、該変更された無線信号をアンテナ(ANT)を通じて外部装置に出力することができる。

【0056】

入力装置640は、プロセッサ610の動作を制御するための制御信号またはプロセッサ610によって処理されるデータを入力することができる装置であって、タッチパッド(touch pad)とコンピュータマウス(computer mouse)のようなポインティング装置(pointing device)、キーパッド(keypad)、またはキーボードとして具現可能である。

プロセッサ610は、メモリコントローラ650から出力されたデータ、無線送受信器630から出力されたデータ、または入力装置640から出力されたデータがディスプレイ620を通じてディスプレイされるように、ディスプレイ620の動作を制御することができる。

【0057】

実施形態によって、不揮発性メモリ装置660の動作を制御することができるメモリコントローラ650は、プロセッサ610の一部として具現され、また、プロセッサ610と別途のチップとして具現可能である。

実施形態によって、メモリコントローラ650と不揮発性メモリ装置660は、1つのパッケージ、例えば、マルチチップパッケージ(Multi-Chip Package)として具現可能である。

【0058】

図21は、図17に示されたメモリ装置を含む電子システムのさらに他の実施形態を示す。図21に示された電子システム700は、PC、タブレットPC、ネットブック(net-book)、eリーダー(e-reader)、PDA、PMP、MP3プレーヤ、またはMP4プレーヤとして具現可能である。

電子システム700は、不揮発性メモリ装置750のデータ処理動作を制御することができるメモリコントローラ740を含む。メモリコントローラ740は、SRAM300

10

20

30

40

50

を含む。メモリコントローラ740は、不揮発性メモリ装置750に出力されたデータをSRAM300に一時的に保存する。SRAM300に保存されたデータは、プロセッサ710に伝送することができる。

【0059】

プロセッサ710は、入力装置720を通じて入力されたデータによって不揮発性メモリ装置750に保存されたデータをディスプレイ730を通じてディスプレイすることができる。例えば、入力装置720は、タッチパッドまたはコンピュータマウスのようなポインティング装置、キーパッド、またはキーボードとして具現可能である。プロセッサ710は、メモリシステム700の全般的な動作を制御し、メモリコントローラ740の動作を制御することができる。

10

【0060】

実施形態によって、不揮発性メモリ装置750の動作を制御することができるメモリコントローラ740は、プロセッサ710の一部として具現され、また、プロセッサ710と別途のチップとして具現可能である。

実施形態によって、メモリコントローラ740と不揮発性メモリ装置750は、1つのパッケージ、例えば、マルチチップパッケージとして具現可能である。

【0061】

図22は、図17に示されたメモリ装置を含むメモリカードのさらに他の実施形態を示す。図22に示されたメモリカード800は、如何なるタイプのメモリカード(memory card)、例えば、スマートカード(smart card)として具現可能である。メモリカード800は、不揮発性メモリ装置805、メモリコントローラ810、及びカードインターフェース820を含む。

20

メモリコントローラ810は、不揮発性メモリ装置805とカードインターフェース820との間でデータの交換を制御することができる。

【0062】

実施形態によって、カードインターフェース820は、SD(Secure Digital)カードインターフェースまたはMMC(Multi-Media Card)インターフェースであり得るが、これに限定されるものではない。カードインターフェース820は、ホスト830のプロトコルによってホスト830とメモリコントローラ810との間でデータ交換をインターフェースすることができる。

30

メモリコントローラ810は、不揮発性メモリ装置805から出力されたデータをメモリコントローラ810に含まれたSRAM300に一時的に保存する。

SRAM300に保存されたデータは、カードインターフェース820に伝送することができる。

【0063】

実施形態によって、カードインターフェース820は、USBプロトコル、IC-USBプロトコルまたは他のプロトコルを支援することができる。ここで、カードインターフェースとは、ホスト830が使うプロトコルを支援することができるハードウェア、前記ハードウェアに搭載されたソフトウェア、または信号伝送方式を意味する。

メモリカード800が、PC、タブレットPC、デジタルカメラ、デジタルオーディオプレーヤー、携帯電話、コンソールビデオゲームハードウェア、またはデジタルセットトップボックスのようなホスト830のホストインターフェース850と接続される時、ホストインターフェース850は、マイクロプロセッサ840(または、他のプロセッサが利用される)の制御によってカードインターフェース820とメモリコントローラ810とを通じて不揮発性メモリ装置805とデータ通信を行うことができる。

40

【0064】

図23は、図17に示されたメモリ装置を含むイメージシステムのさらに他の実施形態を示す。図23に示されたイメージシステム900は、例えば、デジタルカメラ、デジタルカメラ付き携帯電話、デジタルカメラ付きスマートフォン、またはデジタルカメラ付きタブレットPCまたは他の電子装置に含まれるイメージプロセッサとして具現可能である

50

。 イメージシステム 900 は、不揮発性メモリ装置 980 のデータ処理動作、例えば、プログラム動作、イレーズ動作、またはリード動作を制御することができるメモリコントローラ 970 を含む。

【0065】

メモリコントローラ 970 は、不揮発性メモリ装置 980 から出力されたデータを一時的に保存するか、または不揮発性メモリ装置 980 に出力されるデータを一時的に保存するための S R A M 300 を含む。

イメージシステム 900 のイメージセンサ 920 は、光学イメージをデジタルイメージに変換し、該変換されたデジタルイメージは、プロセッサ 910 またはメモリコントローラ 970 に伝送される。プロセッサ 910 の制御によって、変換されたデジタルイメージは、ディスプレイ 930 を通じてディスプレイされるか、またはメモリコントローラ 970 を通じて不揮発性メモリ装置 980 に保存することができる。

【0066】

また、不揮発性メモリ装置 980 に保存されたデータは、プロセッサ 910 またはメモリコントローラ 970 の制御によってディスプレイ 930 を通じてディスプレイされる。

実施形態によって、不揮発性メモリ装置 980 の動作を制御することができるメモリコントローラ 970 は、プロセッサ 910 の一部として具現され、また、プロセッサ 910 と別個のチップとして具現可能である。

【0067】

図 24 は、図 17 に示されたメモリ装置を含むメモリシステムのさらに他の実施形態を示す。

図 24 を参照すると、メモリシステム 1000 は、SSD (Solid State Drive) のようなデータ処理装置として具現可能である。メモリシステム 1000 は、多数の不揮発性メモリ装置 1050 (例えば、NAND 装置)、多数の不揮発性メモリ装置 1050 のそれぞれのデータ処理動作を制御することができるメモリコントローラ 1010、D R A M 1030、メモリコントローラ 1010 とホスト 1040 との間で送受信するデータを D R A M 1030 に保存することを制御するバッファマネージャ 1020 を含む。

【0068】

メモリコントローラ 1010 は、S R A M 300 を含み、S R A M 300 は、不揮発性メモリ装置 1050 から出力されたデータを一時的に保存してから、バッファマネージャ 1020 の制御によって、前記データを D R A M 1030 に伝送しうる。

本明細書で説明されたメモリコントローラ 540、650、740、810、970、及び 1010 は、S R A M 300 と S R A M 300 の動作、例えば、ライト動作とリード動作とを制御することができるマイクロプロセッサ (図示せず) を含む。

【0069】

図 25 は、図 17 に示されたメモリ装置を含む S o C の一実施形態を示す。図 25 を参照すると、S o C 1100 は、C P U 1101、メモリ装置 300、インターフェース部 1102、G P U 1103、ディスプレイコントローラ 1104、外部メモリコントローラ 1105 を含む。

S o C 1100 の動作を全般的に制御することができる C P U 1101 は、各構成要素 300、1102、1103、1104、1105 の動作を制御することができる。

【0070】

外部メモリコントローラ 1105 は、S o C 1100 に連結された外部メモリ 1130 からデータを送受信する時、メモリ動作を制御することができる。

G P U 1103 は、メモリコントローラ 1105 が外部メモリ 1130 からリードしたデータをディスプレイに適した信号で処理する。

ディスプレイコントローラ 1104 は、前記処理された信号をディスプレイ装置 1120 に伝送するか否かを制御する。

10

20

30

40

50

本発明は、図面に示された一実施形態を参考にして説明されたが、これは例示的なものに過ぎず、当業者ならば、これより多様な変形及び均等な他実施形態が可能であるという点を理解できるであろう。したがって、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想によって決定されるべきである。

【産業上の利用可能性】

【0071】

本発明は、非対称シリサイド構造を含む電界効果トランジスタ及び関連した装置関連の技術分野に適用可能である。

【符号の説明】

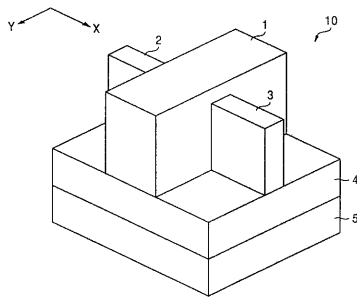
【0072】

- 1 : ゲート
- 2 : ソース
- 3 : ドレイン
- 4 : 絶縁層
- 5 : 基板
- 6 a、6 b : シリサイド
- 7 a、7 b : 第1コンタクト層
- 8 a、8 b : 第2コンタクト層
- 9 a、9 b : メタル層
- 100、100 : ビットセル
- 300 : メモリ装置
- 400、500、600、700、800、900、1000 : メモリシステム
- 1100 : SoC

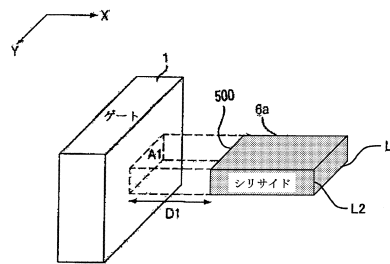
10

20

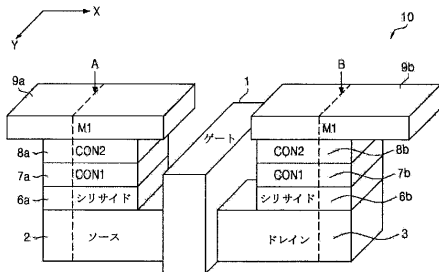
【図1】



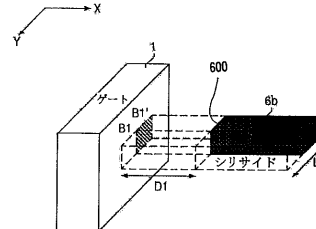
【図3】



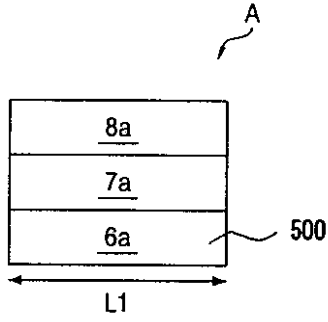
【図2】



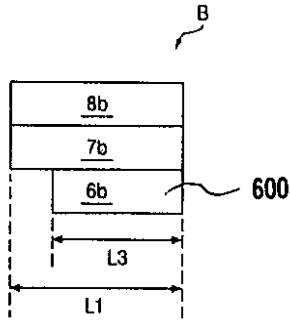
【図4】



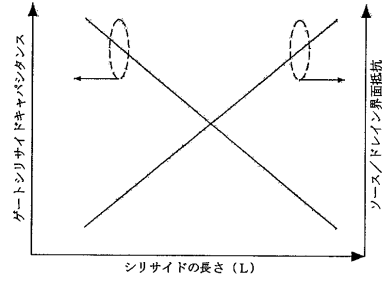
【図5】



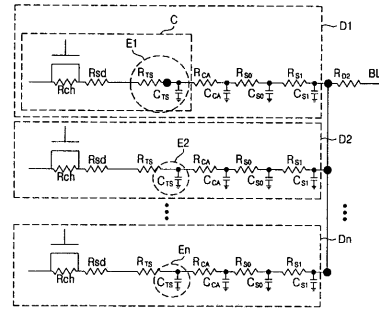
【図6】



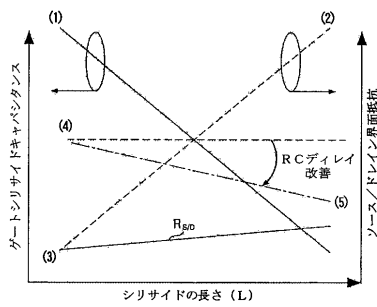
【図7】



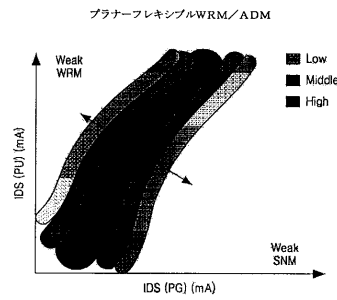
【図8】



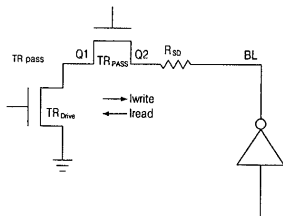
【図9】



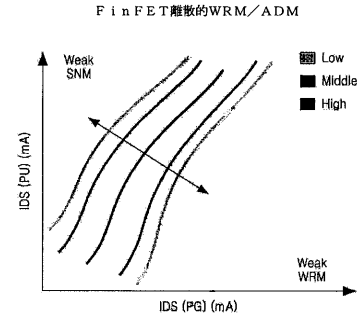
【図12】



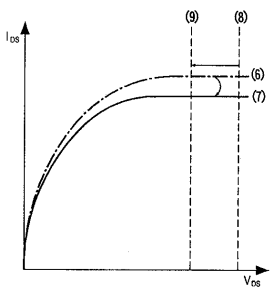
【図10】



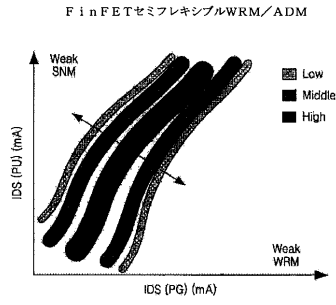
【図13】



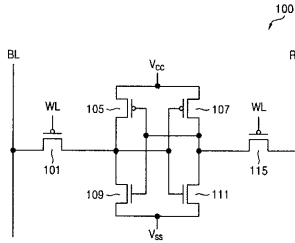
【図11】



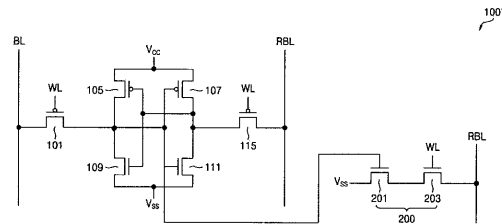
【図14】



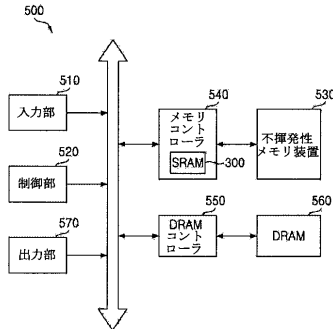
【図15】



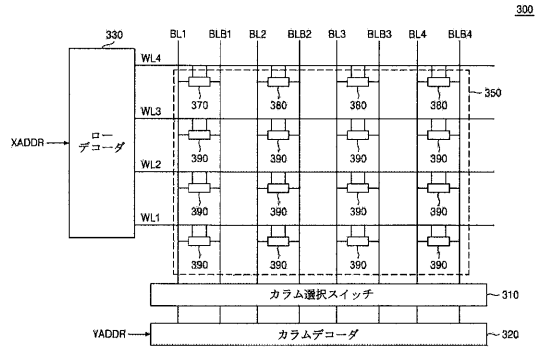
【図16】



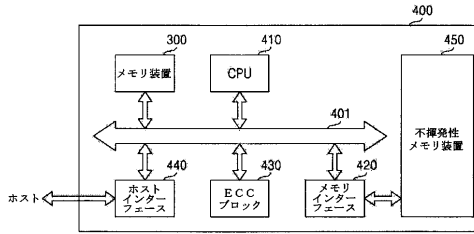
【図19】



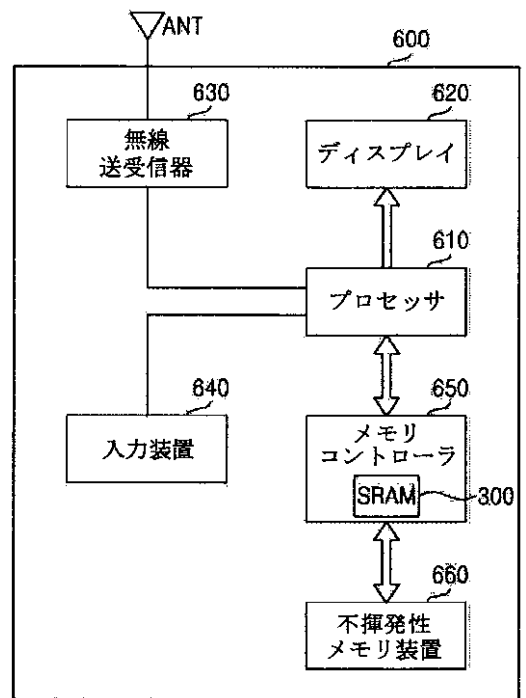
【図17】



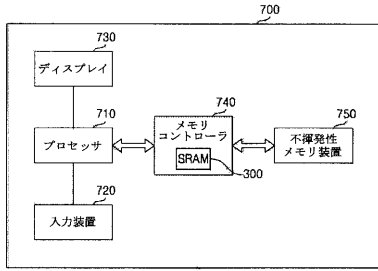
【図18】



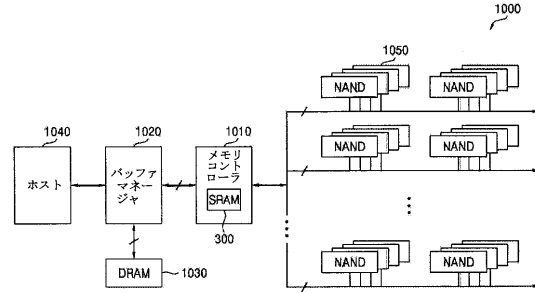
【図20】



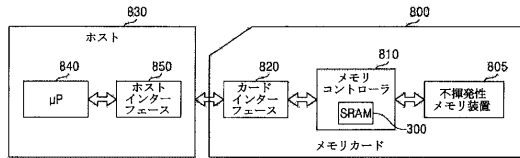
【図 2 1】



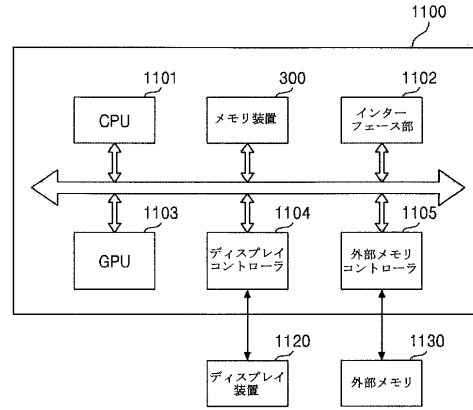
【図 2 4】



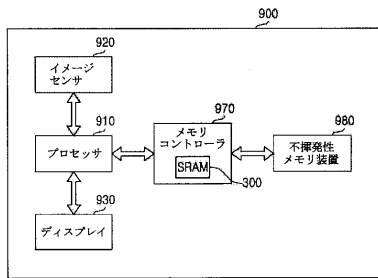
【図 2 2】



【図 2 5】



【図 2 3】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/423	(2006.01)	H 0 1 L	21/28 3 0 1 S
H 0 1 L	29/49	(2006.01)	H 0 1 L	27/11
			H 0 1 L	29/50 M
			H 0 1 L	29/58 G

- (72)発明者 金 奎 泓
大韓民國ソウル特別市瑞草区瑞草2洞 宇星アパート11棟1002号
- (72)発明者 朴 在 浩
大韓民國京畿道水原市靈通区靈通洞 住公9團地アパート906棟802号
- (72)発明者 鄭 鐘 勳
大韓民國ソウル特別市東大門区龍頭洞 龍頭斗山ウィーブアパート104棟602号

審査官 川原 光司

- (56)参考文献 国際公開第2007/063990(WO, A1)
特開2008-028263(JP, A)
特開2009-065099(JP, A)
特表2010-503997(JP, A)
特開2005-019453(JP, A)
特表2010-503200(JP, A)
特表2009-532904(JP, A)
特開2012-174331(JP, A)
特表2009-503893(JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|-------------------------------|
| H 0 1 L | 2 1 / 2 8 |
| H 0 1 L | 2 1 / 3 3 6 |
| H 0 1 L | 2 1 / 8 2 2 9 |
| H 0 1 L | 2 1 / 8 2 4 2 - 2 1 / 8 2 4 6 |
| H 0 1 L | 2 7 / 1 0 - 2 7 / 1 1 5 |
| H 0 1 L | 2 7 / 2 8 |
| H 0 1 L | 2 9 / 4 1 7 |
| H 0 1 L | 2 9 / 4 2 3 |
| H 0 1 L | 2 9 / 4 9 |
| H 0 1 L | 2 9 / 7 6 |
| H 0 1 L | 2 9 / 7 7 2 |
| H 0 1 L | 2 9 / 7 8 - 2 9 / 7 8 6 |
| H 0 1 L | 5 1 / 0 5 |