



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 198 26 689 B4** 2005.03.31

(12)

Patentschrift

(21) Aktenzeichen: **198 26 689.8**
(22) Anmeldetag: **16.06.1998**
(43) Offenlegungstag: **12.05.1999**
(45) Veröffentlichungstag
der Patenterteilung: **31.03.2005**

(51) Int Cl.7: **H01L 21/283**
H01L 21/8242

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:
P 9-297230 29.10.1997 JP

(71) Patentinhaber:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

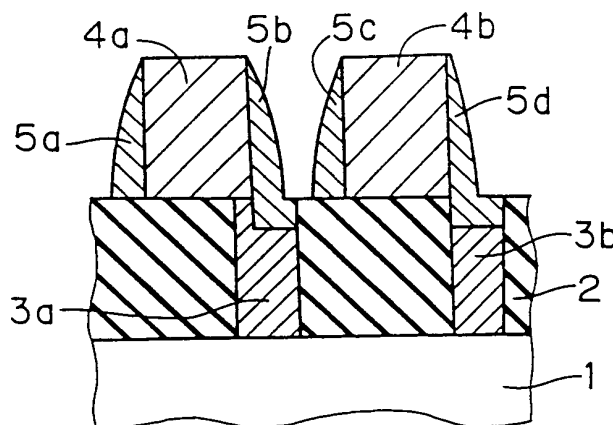
(74) Vertreter:
PRÜFER & PARTNER GbR, 81545 München

(72) Erfinder:
Tomita, Kazuo, Tokio/Tokyo, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 59 23 072
US 58 24 591
US 57 59 911

(54) Bezeichnung: **Halbleiterbauelement und Herstellungsverfahren eines Halbleiterbauelementes**

(57) Hauptanspruch: Halbleiterbauelement mit einem auf einem Halbleitersubstrat (1) gebildeten Isolierfilm (2), einem Kontakt (3a, 3b) aus einem elektrisch leitenden Material (3), das in einem von der Bodenfläche des Isolierfilmes (2) zu der Deckfläche des Isolierfilmes (2) gebildeten Kontaktloch (9) vergraben ist, einem auf dem Isolierfilm (2) gebildeten Leitermuster (4a, 4b, 4aa, 4bb, 16a, 16b) und einer separaten, aus einem elektrisch leitenden Material (11) gebildeten Seitenwand (5a, 5b, 5c, 5d), die wie ein Rahmen auf der Seitenfläche des Leitermusters (4a, 4b, 4aa, 4bb, 16a, 16b) gebildet ist, dadurch gekennzeichnet; dass das Leitermuster (4a, 4b, 4aa, 4bb, 16a, 16b) und der Kontakt (3a, 3b) elektrisch über die Seitenwand (5a, 5b, 5c, 5d) miteinander verbunden sind derart, dass ein Teil der Seitenwand (5b, 5d) auf dem Kontakt (3a, 3b) angeordnet und in dem Kontaktloch (9) vorgraben ist.



Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Halbleiterbauelement nach dem Obergriff des Anspruchs 1 und ein Herstellungsverfahren eines Halbleiterbauelementes. Ein derartiges Halbleiterbauelement ist aus der JP 9-237 876 A bekannt. Ein Teil der elektrisch leitenden Seitenwände ist auf dem Kontakt gebildet.

[0002] Das Halbleiterbauelement wird im folgenden auch als Halbleitervorrichtung bezeichnet.

[0003] Speziell betrifft sie eine Struktur einer Halbleitervorrichtung, die ein Trennen von zwei Leitern, das durch eine Verschiebung der Überlagerung verursacht ist, derart unterdrückt, daß ein Kondensator mit exzellenten Eigenschaften erhalten wird, und ein Herstellungsverfahren derselben.

Stand der Technik

[0004] Fig. 14 zeigt eine Struktur einer Halbleitervorrichtung, die in der japanischen Patentanmeldung JP8-306664A beschrieben ist. In Fig. 14 bezeichnet das Bezugszeichen **101** ein Halbleitersubstrat, bezeichnet das Bezugszeichen **102** einen Isolierfilm, der auf dem Halbleitersubstrat **101** vorgesehen ist, und bezeichnet das Bezugszeichen **103** einen in dem Isolierfilm **102** vergrabenen Kontakt mit einer Bodenfläche, die an eine Oberfläche des Halbleitersubstrates **101** anstößt. Der Kontakt **103** enthält eine erste Kontaktschicht **104**, die mit einer internen Wand und einer Bodenfläche des Kontaktloches, das in dem Isolierfilm **102** gebildet ist, verbunden ist, und einen Stöpsel **105**, der auf der ersten Kontaktschicht **104** vorgesehen ist und in dem Kontaktloch vergraben ist.

[0005] Weiterhin ist eine obere Verdrahtung **107** auf dem Kontaktloch **103** über einer zweiten Kontaktschicht **106** gebildet. Ein aus einem Isoliermaterial gebildeter Schutzfilm **108** ist an einer oberen Fläche der oberen Verdrahtung **107** gebildet. Eine aus einem Isolierfilm gebildete Seitenwand **109** ist an Seitenabschnitten der oberen Verdrahtung **107** und des Schutzfilmes **108** vorgesehen. Die zweite Kontaktschicht **106** ist an unteren Flächen der Seitenwand **109** und der oberen Verdrahtung **107** vorgesehen.

[0006] Fig. 15 bis 13 sind Querschnittsansichten, die nacheinander ein Herstellungsverfahren der in Fig. 14 gezeigten Halbleitervorrichtung zeigen. Wie in Fig. 15 gezeigt ist, wird ein Kontaktloch zuerst in einem auf einem Halbleitersubstrat **101** vorgesehen Isolierfilm **102** gebildet. Es wird eine erste Kontaktschicht **104** zumindest auf der internen Wand und einer Bodenoberfläche des Kontaktloches vorgesehen, und es wird ein leitender Film, der als Stöpsel **105** dient, gebildet. Somit wird das Kontaktloch mit einem leitenden Material gefüllt. Dann wird die gesamte Fläche

mit einem Zurückätzen derart ausgesetzt, daß der Stöpsel **105** und die erste Kontaktschicht **104**, die auf dem Isolierfilm **102** vorgesehen sind, entfernt werden. Folglich verbleiben die erste Kontaktschicht **104** und der Stöpsel **105** nur in dem Kontaktloch. Somit wird ein Kontakt **1036** gebildet.

[0007] Danach werden eine zweite Kontaktschicht **106a**, ein leitender Film **107a**, der als eine obere Verdrahtung **107** dient, und ein Schutzfilm **108a** nacheinander auf dem Kontakt **103** und dem Isolierfilm **102** vorgesehen, wie in Fig. 16 gezeigt ist.

[0008] Danach wird ein Resistmuster **110** mit einer Breite, die fast gleich zu einem Durchmesser des Kontaktloches **103** ist, auf dem Schutzfilm **108a**, der oberhalb des Kontaktloches **103** gebildet ist, gebildet, wie in Fig. 17 gezeigt ist. Der Schutzfilm **108a** und der leitende Film **107a** werden nacheinander einem anisotropen Ätzen unter Verwendung des Resistmusters **110** als Ätzmaske ausgesetzt. Folglich werden ein Schutzfilm **108** und die obere Verdrahtung **107** erhalten. Zu dieser Zeit verursacht eine Verschiebung der Überlagerung eine Verschiebung in einem Bereich, der mit W bezeichnet ist, derart, daß die Kontaktfläche des Kontaktes **103** und der oberen Verdrahtung **107** reduziert wird. Nach dieser Bearbeitung wird das Resistmuster **110** entfernt.

[0009] Dann wird ein Siliziumoxidfilm auf freigelegten Flächen der zweiten Kontaktschicht **106a**, des Schutzfilmes **108** und der oberen Verdrahtung **107** durch ein CVD-Verfahren vorgesehen, wie in Fig. 18 gezeigt ist. Danach wird ein anisotropes Ätzen derart ausgeführt, daß eine Seitenwand **109**, die einen Isolierfilm auf Seitenabschnitten des Schutzfilmes **108** und der oberen Verdrahtung **107** aufweist, gebildet wird. Danach wird die zweite Kontaktschicht **106a** einem Ätzen unter Verwendung der Seitenwand **109** und des Schutzfilmes **108** als Ätzmasken ausgesetzt. Folglich verbleibt eine zweite Kontaktschicht **106** auf unteren Flächen der Seitenwand **109** und der oberen Verdrahtung **107**. Somit wird die in Fig. 14 gezeigte Halbleitervorrichtung erhalten.

[0010] Bei der so gebildeten Halbleitervorrichtung, die in Fig. 14 gezeigt ist, verursachen der Kontakt **103** und die obere Verdrahtung **107** die Verschiebung (W) der Überlagerung. Die zweite Kontaktschicht **106**, die auf der unteren Fläche der oberen Verdrahtung **107** vorgesehen ist, erstreckt sich ebenfalls über die untere Fläche der Seitenwand **109**. Daher ist es möglich, eine Schwierigkeit, daß die erste Kontaktschicht **104**, die den Kontakt **103** bildet, einem Überätzen ausgesetzt wird, wenn das Ätzen zum Bemustern der oberen Verdrahtung **107** durchgeführt wird, zu lösen.

[0011] Ein nachteiliger Einfluß der Verschiebung der Überlagerung hat jedoch sehr viel mehr Gewicht

bei feineren Strukturen von Elementen, wie z.B. ein Kontakt, eine Verdrahtung und ähnlichem. Beispielsweise in dem Fall, bei dem der Kontakt **103** und die obere Verdrahtung **107** die Verschiebung (W) der Überlagerung verursachen und sie, wie in **Fig. 19** gezeigt ist, überhaupt nicht überlagert sind, kann die elektrische Verbindung nur über ein Ende der zweiten Kontaktschicht **106**, die zwischen dem Kontakt **103** und der oberen Verdrahtung **107** vorgesehen ist, erzielt werden. Obwohl eine Unterbrechung nicht verursacht wird, wird ein Widerstand erhöht, da die Dicke der zweiten Kontaktschicht **106** klein ist. Daher können exzellente elektrische Eigenschaften nicht erreicht werden.

Aufgabenstellung

[0012] Aufgabe der Erfindung ist es, ein Halbleiterbauelement und ein Verfahren zu dessen Herstellung bereitzustellen, mit dem ein verbesserter elektrischer Kontakt zwischen Kontaktstopfen und Verdrahtungsebene erreicht wird, sogar wenn eine starke Dejustage zwischen den Photolithographieschritten zur Herstellung des Stopfens und der Verdrahtung vorliegt.

[0013] Diese Aufgabe wird gelöst durch ein Halbleiterbauelement nach Anspruch 1 und ein Herstellungsverfahren nach Anspruch 7 oder 9. Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Ausführungsbeispiel

[0014] Es folgt die Beschreibung von Ausführungsbeispielen anhand der Figuren. Von den Figuren zeigen:

[0015] **Fig. 1** eine Querschnittsansicht, die eine Struktur einer Halbleitervorrichtung entsprechend einem ersten Ausführungsbeispiel zeigt;

[0016] **Fig. 2** eine Querschnittsansicht, die einen Schritt eines Herstellungsverfahrens der Halbleitervorrichtung entsprechend dem ersten Ausführungsbeispiel zeigt;

[0017] **Fig. 3** eine Querschnittsansicht, die einen Schritt des Herstellungsverfahrens der Halbleitervorrichtung des ersten Ausführungsbeispiels zeigt;

[0018] **Fig. 4** eine Querschnittsansicht, die einen Schritt eines Herstellungsverfahrens der Halbleitervorrichtung entsprechend dem ersten Ausführungsbeispiel zeigt;

[0019] **Fig. 5** eine Querschnittsansicht, die einen Schritt des Herstellungsverfahrens der Halbleitervorrichtung des ersten Ausführungsbeispiels zeigt;

[0020] **Fig. 6** eine Querschnittsansicht, die einen

Schritt des Herstellungsverfahrens der Halbleitervorrichtung des ersten Ausführungsbeispiels zeigt;

[0021] **Fig. 7** eine Querschnittsansicht, die einen Schritt des Herstellungsverfahrens der Halbleitervorrichtung des ersten Ausführungsbeispiels zeigt;

[0022] **Fig. 8** eine Querschnittsansicht, die eine Struktur einer Halbleitervorrichtung entsprechend einem zweiten Ausführungsbeispiel zeigt;

[0023] **Fig. 9** eine Querschnittsansicht, die eine andere Struktur der Halbleitervorrichtung entsprechend dem zweiten Ausführungsbeispiel zeigt;

[0024] **Fig. 10** eine Querschnittsansicht, die eine Struktur einer Halbleitervorrichtung entsprechend einem dritten Ausführungsbeispiel zeigt;

[0025] **Fig. 11** eine Querschnittsansicht, die einen Schritt eines Herstellungsverfahrens der Halbleitervorrichtung des dritten Ausführungsbeispiels zeigt;

[0026] **Fig. 12** eine Querschnittsansicht, die einen Schritt des Herstellungsverfahrens der Halbleitervorrichtung entsprechend dem dritten Ausführungsbeispiel zeigt;

[0027] **Fig. 13** eine Querschnittsansicht, die einen Schritt des Herstellungsverfahrens der Halbleitervorrichtung des dritten Ausführungsbeispiels zeigt;

[0028] **Fig. 14** eine Querschnittsansicht, die eine Struktur einer Halbleitervorrichtung des Standes der Technik zeigt;

[0029] **Fig. 15** eine Querschnittsansicht, die einen Schritt eines Herstellungsverfahrens der Halbleitervorrichtung des Standes der Technik zeigt;

[0030] **Fig. 16** eine Querschnittsansicht, die einen Schritt des Herstellungsverfahrens der Halbleitervorrichtung des Standes der Technik zeigt;

[0031] **Fig. 17** eine Querschnittsansicht, die einen Schritt des Herstellungsverfahrens der Halbleitervorrichtung des Standes der Technik zeigt;

[0032] **Fig. 13** eine Querschnittsansicht, die einen Schritt des Herstellungsverfahrens der Halbleitervorrichtung des Standes der Technik zeigt; und

[0033] **Fig. 19** eine Querschnittsansicht, die eine Struktur der Halbleitervorrichtung; entsprechend dem Stand der Technik zeigt.

1. Ausführungsbeispiel

[0034] **Fig. 1** ist eine Querschnittsansicht, die eine Struktur einer Halbleitervorrichtung entsprechend ei-

nem ersten Ausführungsbeispiel zeigt. In **Fig. 1** bezeichnet das Bezugszeichen **1** ein Halbleitersubstrat, bezeichnet das Bezugszeichen **2** einen aus einem Siliziumoxidfilm, der auf dem Halbleitersubstrat **1** gebildet ist, gebildeten Isolierfilm, bezeichnen die Bezugszeichen **3a** und **3b** Kontakte, die in dem Isolierfilm **2** vergraben sind und an einen leitenden Bereich, der in einem Oberflächenbereich des Halbleitersubstrates **1** gebildet ist, anstoßen, bezeichnen die Bezugszeichen **4a** und **4b** Verdrahtungen, die mit dem Kontakt **3a** bzw. **3b** direkt oder über einen anderen leitenden Film verbunden sind, bezeichnen die Bezugszeichen **5a** und **5b** aus einem leitenden Material gebildete Seitenwände, die mit Seitenabschnitten der Verdrahtung **4a** verbunden sind, und bezeichnen die Bezugszeichen **5c** und **5d** aus einem leitenden Material gebildete Seitenwände, die mit Seitenabschnitten der Verdrahtung **4b** verbunden sind.

[0035] Die Verdrahtung **4a** und der Kontakt **3a** bzw. die Verdrahtung **4b** und der Kontakt **3b** sind mit einer Verschiebung der Überlagerung gebildet. Eine Deckfläche bzw. obere Fläche des Kontaktes **3a** und eine Bodenfläche der Verdrahtung **4a** sind teilweise miteinander in Kontakt. Da die Seitenwand **5b** vorgesehen ist, ist der Kontakt **3a** elektrisch mit der Verdrahtung **4a** in einer guten Bedingung verbunden. Der Kontakt **3b** und die Verdrahtung **4b** sind nicht überlagert, aber zueinander benachbart gebildet und über die Seitenwand **5d** elektrisch miteinander verbunden.

[0036] Ein Raum zwischen den Verdrahtungen **4a** und **4b** weist beispielsweise eine minimale Musterabmessung (minimale Sampling-Abmessung) von $0,25\mu\text{m}$ auf. Folglich ist ein Abstand zwischen einem peripheren Ende der Seitenwand **5b**, die mit der Verdrahtung **4a** verbunden ist, und dem der mit der benachbarten Verdrahtung **4b** verbundenen Seitenwand **5c** kleiner als die minimale Musterabmessung.

[0037] Weiterhin sind die unteren Abschnitte der Seitenwände **5b** und **5d** in dem Isolierfilm **2** vergaben und die Oberflächen der Seitenwände **5b** und **5d**, die auf den Kontakten **3a** und **3b** vorgesehen sind, sind auf einem Niveau mit einer Oberfläche des Isolierfilmes **2** oder höher als die Oberfläche des Isolierfilmes

[0038] **Fig. 2** bis **7** sind Querschnittsansichten, die nacheinander ein Herstellungsverfahren der Halbleitervorrichtung in **Fig. 1** zeigen. Wie in **Fig. 2** bis **4** gezeigt ist, wird zuerst ein Kontaktloch mit einem Öffnungsdurchmesser, der kleiner ist als eine minimale Musterabmessung in einem Isolierfilm **2** durch ein Polymaskenöffnungsverfahren gebildet. Zuerst werden der Isolierfilm **2** mit einer Dicke von ungefähr $600,0\text{nm}$ ($6000\text{\AA}$), der aus einem Siliziumoxidfilm gebildet ist, ein Polysiliziumfilm **6a** mit einer Dicke von ungefähr $300,0\text{nm}$ ($3000\text{\AA}$) und ein Siliziumoxidfilm mit einer Dicke von ungefähr $300,0\text{nm}$ ($3000\text{\AA}$) nacheinander auf einem Halbleitersubstrat **1** (p-Silizium-

substrat, spezifischer Widerstand: $10\ \Omega\cdot\text{cm}$) gebildet, wie in **Fig. 2** gezeigt ist. Dann wird ein Resistmuster **8** als Ätzmaske zum Bemustern des Siliziumoxidfilmes **7** gebildet. Ein Abstand zwischen zwei benachbarten Resistmustern **8** wird auf eine minimale Musterabmessung von beispielsweise $0,25\mu\text{m}$ eingestellt. Der Siliziumoxidfilm **7** wird einem anisotropen Ätzen unter Verwendung des Resistmusters **8** als eine Ätzmaske derart ausgesetzt, daß die Musterbildung durchgeführt wird.

[0039] Als nächstes wird das Resistmuster **8** entfernt und ein Siliziumoxidfilm wird durch ein CVD-Verfahren vorgesehen, wie in **Fig. 3** gezeigt ist. Dann wird eine Seitenwand **7a** wie ein Rahmen an einem Seitenabschnitt des Siliziumoxidfilmes **7** durch Durchführen des anisotropen Ätzens bemustert. Danach wird der Polysiliziumfilm **6a** unter Verwendung des Siliziumoxidfilmes **7** und der Seitenwand **7a** als Ätzmasken einem anisotropen Ätzen derart ausgesetzt, daß eine Bemusterung durchgeführt wird. Somit wird ein aus Polysilizium gebildetes Maskenmuster **6** erhalten.

[0040] Danach wird der Isolierfilm **2** unter Verwendung des Maskenmusters **6** derart einem anisotropen Ätzen ausgesetzt, daß ein Kontaktloch **9** gebildet wird, wie in **Fig. 4** gezeigt ist. Zu dieser Zeit können der Siliziumoxidfilm **7** und die Seitenwand **7a** ebenfalls durch Ätzen entfernt werden. Nachdem das Maskenmuster **6** der Bemusterung ausgesetzt ist, können der Siliziumoxidfilm **7** und die Seitenwand **7a** entfernt werden, bevor das Kontaktloch gebildet wird. Nachdem das Kontaktloch **9** gebildet ist, wird beispielsweise ein Resist in einer Öffnung des Kontaktloches **9** vergraben. Somit wird das Maskenmuster **6** ebenfalls durch Ätzen entfernt.

[0041] Das so erhaltene Kontaktloch **9** weist einen Öffnungsdurchmesser auf, der um eine Breite, die das Doppelte einer Breite der Seitenwand **7a** ist, kleiner ist als die minimale Musterabmessung. Das Kontaktloch **9** mit dem Öffnungsdurchmesser, der kleiner ist als die minimale Musterabmessung, kann durch ein anderes Herstellungsverfahren gebildet werden.

[0042] Wie in **Fig. 5** gezeigt ist, wird ein dotierter Polysiliziumfilm **3** mit einer Dicke von ungefähr $600,0\text{nm}$ ($6000\text{\AA}$) auf dem Isolierfilm **2** durch das CVD-Verfahren gebildet und wird in dem Kontaktloch **9** derart vergraben, daß die Kontakte **3a** und **3b** gebildet werden. Weiterhin wird ein Resistmuster **10** mit entsprechenden Formen der Verdrahtungen **4a** und **4b** als eine Ätzmaske auf der Oberfläche des dotierten Polysiliziumfilmes **3** gebildet.

[0043] Es wird angenommen, daß der Abstand zwischen zwei benachbarten Resistmustern **10** der minimalen Musterabmessung entspricht. Ideal ist es, wenn das Resistmuster **10** vollständig den Kontakten

3a und **3b** überlagert ist. In einigen Fällen ist jedoch das Resistmuster **10** aufgrund einer Verschiebung nicht vollständig den Kontakten **3a** und **3b** überlagert. In dem vorliegenden Ausführungsbeispiel wird der Fall, bei dem die Verschiebung der Überlagerung verursacht wird, beschrieben.

[0044] Dann wird der dotierte Polysiliziumfilm **3** unter Verwendung des Resistmusters **10** als Ätzmaske einem anisotropen Ätzen derart ausgesetzt, daß die Verdrahtungen **4a** und **4b** erhalten werden, wie in **Fig. 6** gezeigt ist. Zu dieser Zeit wird der dotierte Polysiliziumfilm **3** dem Ätzen mit der Ätzbedingung ausgesetzt, bei der ein Selektivitätsverhältnis des Ätzens vollständig für den Siliziumoxidfilm gehalten werden kann durch beispielsweise Verwenden eines gemischten Gases von Cl_2 und O_2 mit einer ECR-Vorrichtung bzw. Elektronenzyklotronresonanzvorrichtung. Das Resistmuster **10** wird durch ein Verfahren, wie z.B. Naßätzen, entfernt. Durch das Ätzen werden Bereiche oberen Abschnitten der Kontakte **3a** und **3b**, die nicht durch das Resistmuster **10** überlagert sind, einem Überätzen derart ausgesetzt, daß Ausnehmungen A und B gebildet werden.

[0045] Als nächstes wird ein dotierter Polysiliziumfilm **11** mit einer Dicke von ungefähr 150,0nm (1500Å) auf den Oberflächen der Verdrahtungen **4a** und **4b** und des Isolierfilmes **2** und des Inneren der Ausnehmungen A und B vorgesehen, wie in **Fig. 7** gezeigt ist. Der dotierte Polysiliziumfilm **11** wird beispielsweise durch ein CVD-Verfahren oder ein Sputterverfahren gebildet. Dann wird unter Verwendung des Isolierfilmes **2** als ein Ätzstoppper ein anisotropes Ätzen bzw. ein anisotropes RIE durchgeführt, wodurch der dotierte Polysiliziumfilm **11** in die mit den Seitenabschnitten der Verdrahtungen **4a** und **4b** verbundenen Seitenwände **5a**, **5b**, **5c** und **5d** gebildet wird, wie in **Fig. 1** gezeigt ist. Zu dieser Zeit werden ein Teil der Seitenwände **5b** und **5d** ebenfalls in den Ausnehmungen A und B derart vergraben, daß der gleiche Zustand wie in dem Fall, bei dem die Ausnehmungen A und B nicht auf den Kontakten **3a** und **3b** gebildet sind, effektiv erzielt werden kann.

[0046] Bei der so gebildeten Halbleitervorrichtung können die entsprechenden Übergänge der Kontakte **3a** und **3b** mit kleineren Durchmessern als die minimale Musterabmessung und der feinen Verdrahtungen **4a** und **4b** durch Vorsehen der aus einem leitenden Material auf den Seitenabschnitten der Verdrahtungen **4a** und **4b** gebildeten Seitenwände **5a**, **5b**, **5c** und **5d** (wie ein Rahmen) sicher vorgesehen werden. Somit können ausgezeichnete elektrische Eigenschaften erzielt werden. Durch das durchzuführende anisotrope Ätzen, wenn die Verdrahtungen **4a** und **4b** der Bemusterung ausgesetzt werden, können die in den oberen Abschnitten der Kontakte **3a** und **3b** gebildeten Ausnehmungen A und B mit den Seitenwänden **5a**, **5b**, **5c** und **5d** gefüllt werden. Somit kann ver-

hindert werden, daß ein effektiver Kontaktdurchmesser verringert wird.

[0047] Bei der so gebildeten Halbleitervorrichtung ist weiterhin ein Raum zwischen den Verdrahtungen **4a** und **4b** gleich zu der minimalen Musterabmessung und die Seitenwände **5a**, **5b**, **5c** und **5d** sind mit den Seitenabschnitten der Verdrahtungen **4a** und **4b** verbunden. Folglich kann eine effektive Verdrahtungsbreite größer gemacht werden, ohne einen Verdrahtungsabstand zu erhöhen, und eine hohe Integration der Elemente kann erzielt werden, ohne eine Elementbildungsfläche zu erhöhen. In anderen Worten kann die hohe Integration durch Verringern des Raumes zwischen den Verdrahtungen erzielt werden. Beispielsweise ist die effektive Verdrahtungsbreite das gesamte bzw. die Summe der horizontalen Abmessung der Verdrahtung **4a** und der Seitenwände **5a** und **5b**. Das gleiche trifft auf die Verdrahtung **4b** zu.

[0048] Es wurde oben nur ein Beispiel der Abmessung des Element beschrieben. Obwohl ein Beispiel beschrieben wurde, bei dem die Verdrahtungen **4a** und **4b** aus einem dotierten Polysiliziumfilm mit einer Dicke von ungefähr 600,0nm (6000Å) gebildet sind, kann beispielsweise ein dotierter Polysiliziumfilm mit einer Dicke von ungefähr 10,0 bis 2000,0nm (100-20000Å) in Abhängigkeit einer geeigneten Vorrichtung verwendet werden. Ähnlich kann das zum Erzielen der Seitenwände **5a**, **5b**, **5c** und **5d** vorgesehene dotierte Polysilizium **11** eine Dicke von ungefähr 5,0 bis 300,0nm (50-3000Å) aufweisen.

[0049] Weiterhin ist ein Material zum Bilden der Verdrahtung **4a** und **4b** nicht auf dotiertes Polysilizium beschränkt, sondern kann ein anderes leitendes Material sein, wie z.B. WSi, TiSi, MoSi, Al, AlCu, TiN, Ti, Pt, Ru oder RuO_2 . Der Fall, bei dem der Kontaktdurchmesser kleiner ist als der minimale Musterdurchmesser, wurde als ein Beispiel beschrieben, bei dem das Element eine feinere Struktur aufweist. Das oben genannte ist jedoch darauf nicht beschränkt. Es ist verständlich, daß eine ausgezeichnete elektrische Verbindung erhalten werden kann, wenn die Kontakte **3a** und **3b** die Verdrahtungen **4a** und **4b** ohne Verschiebung überlagern.

2. Ausführungsbeispiel

[0050] Bei dem ersten Ausführungsbeispiel wurde ein Beispiel beschrieben, bei dem die Verdrahtung **4a** und die Seitenwände **5a** und **5b** oder die Verdrahtung **4b** und die Seitenwände **5c** und **5d** effektiv als Verdrahtungen dienen. Bei dem zweiten Ausführungsbeispiel wird ein Fall beschrieben, bei dem eine der Verdrahtung **4a** entsprechende Elektrode **4aa** und Seitenwände **5a** und **5b**, die wie ein Rahmen an den Seitenabschnitten der Elektrode **4aa** vorgesehen sind und aus einem leitenden Material gebildet sind,

effektiv als ein Speicherknoten, der eine der Elektroden des Kondensators ist, verwendet werden.

[0051] Fig. 8 ist eine Querschnittsansicht, die eine Struktur einer Halbleitervorrichtung entsprechend dem zweiten Ausführungsbeispiel zeigt. In Fig. 8 bezeichnen die Bezugszeichen **4aa** und **4bb** Elektroden, die elektrisch mit in einem Isolierfilm **2** vergrabenen Kontakten **3a** und **3b** verbunden sind. Die Bezugszeichen **12a** und **12b** bezeichnen jeweils einen Speicherknoten, der durch die Elektrode **4aa** bzw. **4bb** und die Seitenwände **5a** und **5b** bzw. die Seitenwände **5c** und **5d**, die mit den Seitenabschnitten der Elektrode **4aa** bzw. **4bb** verbunden sind, gebildet ist. Das Bezugszeichen **13** bezeichnet einen auf den Oberflächen der Speicherknoten **12a** und **12b** vorgesehenen dielektrischen Film. Das Bezugszeichen **14** bezeichnet eine auf einer Oberfläche des dielektrischen Filmes **13** vorgesehene Zellplatte. Die Bezugszeichen **15a** und **15b** bezeichnen Kondensatoren, die den Speicherknoten **12a** bzw. **12b**, den dielektrischen Film **13** und die Zellplatte **14** enthalten. Die gleichen Bezugszeichen wie die in der obigen Beschreibung bezeichnen die gleichen oder entsprechende Abschnitte.

[0052] Als nächstes wird ein Herstellungsverfahren der in Fig. 8 gezeigten Halbleitervorrichtungen im folgenden beschrieben. Zuerst wird eine Herstellung entsprechend den in Fig. 2 bis 4 entsprechend dem ersten Ausführungsbeispiel gezeigten Schritten durchgeführt. Somit wird ein Kontaktloch **9** in einem auf einem Halbleitersubstrat **1** gebildeten Isolierfilm **2** gebildet. Dann wird ein dotierter Polysiliziumfilm **3** mit einer Dicke von ungefähr 600,0nm (6000Å) in der gleichen Art wie in Fig. 4 vorgesehen. Während das Resistmuster **10** mit einer Form entsprechend den Formen der Verdrahtungen **4a** und **4b** in dem ersten Ausführungsbeispiel gebildet wurde, weist ein Resistmuster eine Form entsprechend den Formen der Elektroden **4aa** und **4bb**, die die Speicherknoten bilden, in dem zweiten Ausführungsbeispiel auf.

[0053] Danach wird eine Bearbeitung entsprechend den in Fig. 6 und 7 gezeigten Schritten entsprechend dem ersten Ausführungsbeispiel durchgeführt. Weiterhin werden aus einem leitenden Material gebildete Seitenwände **5a**, **5b**, **5c** und **5d** auf Seitenabschnitten der Elektroden **4aa** und **4bb** vorgesehen. Als nächstes wird ein dielektrischer Film **13**, der einen Siliziumoxidfilm, einen Siliziumnitridfilm und einen zusammengesetzten Film (einen ON-Film) aus einem Oxidfilm und einen Nitridfilm enthält, mit einer Dicke von zumindest 5,0nm (50Å) auf den Oberflächen der Elektroden **4aa** und **4bb** und der Seitenwände **5a**, **5b**, **5c** und **5d** vorgesehen. Danach wird eine aus dotierten Polysilizium gebildete Zellplatte, die eine Dicke von ungefähr 150,0nm (1500Å) aufweist, auf der Oberfläche des dielektrischen Filmes **1a** gebildet. Somit werden die Kondensatoren **15a** und **15b**, die in

Fig. 3 gezeigt sind, erhalten.

[0054] Bei der in Fig. 8 gezeigten Halbleitervorrichtungen sind die Seitenwände **5a**, **5b**, **5c** und **5d** auf den Seitenabschnitten der Elektroden **4aa** und **4bb** gebildet und die Speicherknoten **12a** und **12b** sind durch die Elektroden **4aa** bzw. **4bb** und die Seitenwände **5a** und **5b** bzw. die Seitenwände **5c** und **5d** gebildet.

[0055] Folglich kann ein Oberflächenbereich des Speicherknotens verglichen mit dem Fall, bei dem der Speicherknoten nur durch die Elektroden **4aa** und **4bb** gebildet ist, erhöht werden. Folglich können die Kapazitäten der Kondensatoren **15a** und **15b** erhöht werden. Nachdem die Seitenwände **5a**, **5b**, **5c** und **5d** gebildet sind, können freigelegte Flächen der Speicherknoten **12a** und **12b** derart aufgerauht werden, daß der Oberflächenbereich weiter erhöht wird, wodurch die Kapazitäten der Kondensatoren **15a** und **15b** erhöht werden.

[0056] Die oberen Enden der Speicherknoten **12a** und **12b** werden abgerundet. Daher kann verhindert werden, daß eine Verschlechterung der Durchbruchsspannung und eine Erzeugung eines Leckstromes durch ein elektostatisches Fokussieren verursacht wird.

[0057] Es kann ebenfalls in dem Fall, bei dem die Speicherknoten **12a** und **12b** des Stapeltyps mit dickem Film und die Kontakte **3a** und **3b** keinen Überlagerungsspielraum aufweisen, ein exzellenter Verbindungszustand erreicht werden, da die aus einem leitenden Material gebildeten Seitenwände **5a**, **5b**, **5c** und **5d** vorgesehen sind, wie in dem ersten Ausführungsbeispiel beschrieben ist.

[0058] Obwohl die Seitenwände **5a**, **5b**, **5c** und **5d** in der obigen Beschreibung aus dotierten Polysilizium gebildet sind, können sie aus einem anderen Material, wie z.B. dotierten amorphen Silizium oder einem Metall, wie z.B. Ta, Ti, TiN, Pt, Ru oder RuO bzw. RuO₂, gebildet sein. Alternativ ist es möglich, ein Verfahren zu verwenden, bei dem die Seitenwände **5a**, **5b**, **5c** und **5d** aus einem Polysilizium ohne Dotierung gebildet werden und dann beispielsweise Arsen (in dem Fall des p-Typs) mit 50keV, $4 \times 10^{15}/\text{cm}^2$ und einem Implantationswinkel von 7° derart implantiert wird, daß ein leitendes Material gebildet wird.

[0059] Der dielektrische Film **13** kann ein Siliziumoxidfilm, ein Siliziumnitridfilm, ein ON-Film, ein hoher bzw. stark dielektrischer Film, wie z.B. Ta₂O₅ oder (Ba, Sr) TiO₃, oder ein ferroelektrischer Film, wie z.B. BaTiO₃, SrTiO₃, PbTiO₃, PbZrO₃, LiNbO₃, PZT oder PLZT, sein. Wie in Fig. 9 gezeigt ist, sind die Speicherknoten **12aa** und **12bb** mit aufgerauhten Oberflächen derart gebildet, daß die Kapazitäten der Kondensatoren **15a** und **15b** erhöht werden können. Es

ist selbstverständlich, daß eine Abmessung einer Komponente in Abhängigkeit einer geeigneten Vorrichtung variiert werden kann.

3. Ausführungsbeispiel

[0060] Eine Halbleitervorrichtung mit einem Kondensator, der eine größere Kapazität als die von jedem der Kondensatoren **15a** und **15b** entsprechend dem zweiten Ausführungsbeispiel aufweist, wird in einem dritten Ausführungsbeispiel beschrieben. **Fig. 10** ist eine Querschnittsansicht, die eine Struktur der Halbleitervorrichtung entsprechend dem dritten Ausführungsbeispiel zeigt. In **Fig. 10** bezeichnen die Bezugszeichen **16a** und **16b** aus einem leitenden Material gebildete Elektroden, die eine kleinere Dicke aufweisen als eine vertikale Abmessung von jeder der Seitenwände **5a**, **5b**, **5c** und **5d**, die mit Seitenabschnitten der Elektroden verbunden sind. Das Bezugszeichen **17a** bezeichnet einen durch die Elektrode **16a** und die mit den Seitenabschnitten der Elektrode **16a** verbundenen Seitenwände **5a** und **5b** gebildeten zylindrischen Speicherknoten. Das Bezugszeichen **17b** bezeichnet einen durch die Elektrode **16b** und die Seitenwände **5c** und **5d** gebildeten zylindrischen Speicherknoten.

[0061] Obwohl die Seitenwände **5a** und **5b** und die Seitenwände **5c** und **5d** durch separate Bezeichnungen in **Fig. 10** bezeichnet sind, sind die Seitenwände **5a** und **5b** beispielsweise fortlaufend, seriell bzw. gleichzeitig als ein Zylinder, der sich in einer vertikalen Richtung entlang der Peripherie einer Elektrode **16a** erstreckt, gebildet. Das gleiche trifft auf die Seitenwände **5c** und **5d** zu. Die Bezugszeichen **18a** und **18b** bezeichnen durch die Speicherknoten **17a** bzw. **17b**, einen dielektrischen Film **13** und eine Zellplatte **14** gebildete Kondensatoren.

[0062] Ein Herstellungsverfahren der in **Fig. 10** gezeigten Halbleitervorrichtung wird im folgenden beschrieben. Zuerst wird eine Bearbeitung entsprechend den Schritten, die in **Fig. 2** bis **4** gezeigt sind, des Herstellungsverfahrens entsprechend dem ersten Ausführungsbeispiel durchgeführt. Somit wird ein Kontaktloch **9** in einem auf einem Halbleitersubstrat **1** vorgesehen Isolierfilm **2** gebildet. Wie in **Fig. 11** gezeigt ist, wird dann ein dotierter Polysiliziumfilm **16** mit einer Dicke von ungefähr 150,0nm (1500Å) durch ein CVD-Verfahren derart gebildet, daß ein Kontaktloch **9** gefüllt wird. Folglich werden die Kontakte **3a** und **3b** erhalten. Weiterhin wird ein BPTEOS-Film **19** (Maskenschicht) mit einer Dicke von ungefähr 600,0nm (6000Å) vorgesehen. Ein Resistmuster **20** mit einer Form entsprechend den Formen der Elektroden **16a** und **16b** wird auf einer Oberfläche des BPTEOS-Filmes **19** gebildet. Es wird angenommen, daß ein Abstand zwischen zwei benachbarten Resistmustern **20** einer minimalen Musterabmessung (0,25µm) entspricht.

[0063] Als nächstes werden der BPTEOS-Film **19** und der dotierte Polysiliziumfilm **16** unter Verwendung des Resistmusters **20** als Ätzmaste einem Ätzen ausgesetzt, wie in **Fig. 12** gezeigt ist. Das Ätzen wird beispielsweise unter Verwendung eines gemischten Gases aus CHF_3 , Ar und O_2 mit einer ECR-Vorrichtung und der Bedingung, daß ein Selektivitätsverhältnis des Ätzens vollständig für einen Siliziumoxidfilm erhalten werden kann, durchgeführt. Folglich werden BPTEOS-Muster **19a** und **19b** (Masken) und Elektroden **16a** und **16b** erhalten. Durch das Ätzen werden nicht durch das Resistmuster **20** überdeckte Bereiche in oberen Abschnitten der Kontakte **3a** und **3b**, d.h. Bereiche, die eine Verschiebung der Überdeckung entsprechen, einem Überätzen ausgesetzt. Folglich werden Ausnehmungen A und B gebildet. Dann wird das Resistmuster **20** entfernt.

[0064] Danach wird dotiertes Polysilizium mit einer Dicke von ungefähr 150,0nm (1500Å) auf freigelegten Oberflächen des Isolierfilmes **2**, der BPTEOS-Muster **19a** und **19b**, der Elektroden **16a** und **16b** und der Kontakte **3a** und **3b** vorgesehen und wird einem Zurückätzen durch beispielsweise ein RIE-Verfahren derart ausgesetzt, daß die Seitenwände **5a**, **5b**, **5c** und **5d** gebildet werden, wie in **Fig. 13** gezeigt ist. Ebenfalls bei der Halbleitervorrichtung entsprechend dem dritten Ausführungsbeispiel werden die Seitenwände **5b** und **5d** derart gebildet, daß sie in die Ausnehmungen A und B auf der Oberseite der Kontakte **3a** und **3b** derart gefüllt werden, daß die effektiven Oberflächen der Kontakte **3a** und **3b** höher bzw. gleich wie eine Oberfläche des Isolierfilmes **2** eingestellt werden, in der gleichen Art wie in dem ersten Ausführungsbeispiel. Weiterhin können die Elektrode **16b** und der Kontakt **3b**, die aufgrund der Verschiebung nicht überlagert sind, ebenfalls durch die aus einem leitenden Material gebildete Seitenwand **5d** gut elektrisch verbunden werden. In dieser Stufe werden ein zylindrischer Speicherknoten **17a**, der die Seitenwände **5a** und **5b** und die Elektrode **16a** enthält, und ein zylindrischer Speicherknoten **17b**, der die Seitenwände **5c** und **5d** und die Elektrode **16b** enthält, erhalten.

[0065] Danach werden die auf den Elektroden **16a** und **16b** vorgesehenen BPTEOS-Muster **19a** und **19b** durch Ätzen selektiv entfernt. Zum Erhalten eines Selektivitätsverhältnisses zu anderen Komponenten in Abhängigkeit einer Vorrichtung ist es ebenfalls möglich, Muster entsprechend den BPTEOS-Mustern **19a** und **19b** unter Verwendung eines anderen Materials als BPTEOS zu bilden.

[0066] Die nachfolgenden Schritte sind die gleichen wie die Schritte des Bildens des dielektrischen Filmes **13** und der Zellplatte **14** in dem zweiten Ausführungsbeispiel. Die in **Fig. 10** gezeigte Halbleitervorrichtung mit den Kondensatoren **18a** und **18b** kann durch sequentielles Bilden des dielektrischen Filmes **13** und

der Zellplatte **14** auf zumindest den freigelegten Oberflächen der Seitenflächen **5a, 5b, 5c** und **5d** und der Elektroden **16a** und **16b** erhalten werden.

[0067] Bei einer solchen Halbleitervorrichtung sind die Flächen der Speicherknoten **17a** und **17b** auf den Seiten der Elektroden **16a** und **16b** freigelegt und zylindrisch gebildet, wodurch ein Oberflächenbereich erhöht ist. Folglich können die Kapazitäten der Kondensatoren **18a** und **18b** effektiv mit der Hochintegration durch Einstellen eines Abstandes zwischen den Speicherknoten **17a** und **17b** kleiner als eine minimale Musterabmessung erhöht werden. Es ist klar ersichtlich, daß Kondensatoren **18a** und **18b** mit höheren Kapazitäten durch Aufrauen der Oberflächen der Speicherknoten **17a** und **17b** in der gleichen Art wie in dem in **Fig. 9** gezeigten Fall entsprechend dem zweiten Ausführungsbeispiel erzielt werden können.

Patentansprüche

1. Halbleiterbauelement mit einem auf einem Halbleitersubstrat (**1**) gebildeten Isolierfilm (**2**), einem Kontakt (**3a, 3b**) aus einem elektrisch leitenden Material (**3**), das in einem von der Bodenfläche des Isolierfilmes (**2**) zu der Deckfläche des Isolierfilmes (**2**) gebildeten Kontaktloch (**9**) vergraben ist, einem auf dem Isolierfilm (**2**) gebildeten Leitermuster (**4a, 4b, 4aa, 4bb, 16a, 16b**) und einer separaten, aus einem elektrisch leitenden Material (**11**) gebildeten Seitenwand (**5a, 5b, 5c, 5d**), die wie ein Rahmen auf der Seitenfläche des Leitermusters (**4a, 4b, 4aa, 4bb, 16a, 16b**) gebildet ist, **dadurch gekennzeichnet**, dass das Leitermuster (**4a, 4b, 4aa, 4bb, 16a, 16b**) und der Kontakt (**3a, 3b**) elektrisch über die Seitenwand (**5a, 5b, 5c, 5d**) miteinander verbunden sind derart, dass ein Teil der Seitenwand (**5b, 5d**) auf dem Kontakt (**3a, 3b**) angeordnet und in dem Kontaktloch (**9**) vorgraben ist.

2. Halbleiterbauelement nach Anspruch 1, **dadurch gekennzeichnet**, dass das Leitermuster (**4a, 4b**) und die Seitenwand **5a, 5b, 5c, 5d** eine Verdrahtung bilden.

3. Halbleiterbauelement nach Anspruch 1 oder 2, gekennzeichnet durch einen auf der Oberfläche des Leitermusters (**4aa, 4bb, 16a, 16b**) der Seitenwand (**5a, 5b, 5c, 5d**) gebildeten dielektrischen Film (**13**) und einer auf der Oberfläche des dielektrischen Filmes (**13**) gebildeten Zellplatte (**14**), wobei das Leitermuster (**4aa, 4bb, 16a, 16b**) und die Seitenwand (**5a, 5b, 5c, 5d**) einen Speicherknoten (**12a, 12b, 12aa, 12bb, 17a, 17b**) bilden, und wobei ein Kondensator (**15a, 15b, 18a, 18b**) durch den Speicherknoten (**12a, 12b, 12aa, 12bb, 17a, 17b**), den dielektrischen Film (**13**) und die Zellplatte (**14**) gebildet ist.

4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Filmdicke des Leitermusters (**16a, 16b**) kleiner ist als die vertikale Abmessung der Seitenwand (**5a, 5b, 5c, 5d**) und dass das Leitermuster (**16a, 16b**) und die Seitenwand (**5a, 5b, 5c, 5d**) einen zylindrischen Speicherknoten (**17a, 17b**) bilden.

5. Halbleiterbauelement nach Anspruch 3 oder 4, dadurch gekennzeichnet, dass eine in Kontakt mit dem dielektrischen Film (**13**) stehende Oberfläche des Speicherknotens (**12aa, 12bb**) aufgeraut ist.

6. Halbleiterbauelement nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass der Abstand zwischen zwei benachbarten Leitermustern (**4a, 4b, 4aa, 4bb, 16a, 16b**) der minimalen Design-Abmessung entspricht und dass der Öffnungsdurchmesser des Kontaktloches (**9**) kleiner ist als die minimale Design-Abmessung.

7. Herstellungsverfahren eines Halbleiterbauelements nach einem der Ansprüche 1 bis 6, gekennzeichnet durch die Schritte:

Bilden eines Kontaktloches (**9**) in einem auf einem Halbleitersubstrat (**1**) gebildeten Isolierfilm (**2**) von der Deckfläche des Isolierfilmes (**2**) bis zu der Bodenfläche des Isolierfilmes (**2**)

Bilden eines elektrisch leitenden Materiales (**3**) auf dem Isolierfilm (**2**) und Füllen des Inneren des Kontaktloches (**9**) mit dem elektrisch leitenden Material (**3**) derart, dass ein vergrabener Kontakt (**3a, 3b**) erhalten wird,

Bilden eines Resistmusters (**10**) oberhalb des Kontaktes (**3a, 3b**) durch Durchführen eines photolithographischen Schrittes auf dem elektrisch leitenden Material (**3**), effektives Durchführen eines anisotropen Ätzens des elektrisch leitenden Materiales unter Verwendung des Resistmusters (**10**) als eine Ätzmaske derart, dass ein Leitermuster (**4a, 4b, 4aa, 4bb**) erhalten wird, wobei der Kontakt (**3a, 3b**) mit angeätzt wonach das Resistmuster (**10**) entfernt wird,

Bilden eines elektrisch leitenden Filmes (**11**) auf der Oberfläche des Leitermusters (**4a, 4b, 4aa, 4bb**) und der Oberfläche des Isolierfilmes (**2**) einschließlich des angeätzten Teiles (A, B) des Kontaktes (**3a, 3b**) und

Durchführen eines anisotropen Ätzens des elektrisch leitenden Filmes (**11**) unter Verwendung der Oberfläche des Isolierfilmes (**2**) als ein Ätzstopp derart, dass eine mit einer Seitenfläche des Leitermusters (**4a, 4b, 4aa, 4bb**) verbundene, elektrisch leitende Seitenwand (**5a, 5b, 5c, 5d**) und der elektrisch leitende Film (**11**) in dem angeätzten Teil (A, B) zurückgelassen wird.

8. Herstellungsverfahren nach Anspruch 7, gekennzeichnet durch die weiteren Schritte:
Bilden eines dielektrischen Filmes (**13**) auf der Ober-

fläche eines Speicherknotens **12a, 12b**), der das Leitmuster (**4aa, 4bb**) und die Seitenwand (**5a, 5b, 5c, 5d**) enthält, und
 Bilden einer Zellplatte (**14**) auf dem dielektrischen Film (**13**),
 wobei ein den Speicherknoten (**12a, 12b**), den dielektrischen Film (**13**) und die Zellplatte (**14**) enthaltender Kondensator (**15a, 15b**) gebildet wird.

9. Herstellungsverfahren eines Halbleiterbauelements nach einem der Ansprüche 3 bis 6, gekennzeichnet durch die Schritte:

Bilden eines Kontaktloches (**9**) in einem auf einem Halbleitersubstrat (**1**) gebildeten Isolierfilm (**2**) von der Deckfläche des Isolierfilmes (**2**) bis zu der Bodenfläche des Isolierfilmes (**2**),

Bilden eines elektrisch leitenden Materiales (**16**) auf dem Isolierfilm (**2**) und Füllen des Inneren des Kontaktloches (**9**) mit dem elektrisch leitenden Material (**16**) derart, dass ein vergrabener Kontakt (**3a, 3b**) erhalten wird,

Bilden einer Maskenschicht (**19**) auf dem elektrisch leitenden Material (**16**),

Bilden eines Resistmusters (**20**) oberhalb des Kontaktes (**3a, 3b**) durch Durchführen eines photolithographischen Schrittes auf der Maskenschicht (**19**), selektives Durchführen eines anisotropen Ätzens der Maskenschicht (**19**) und des leitenden Materiales (**16**) unter Verwendung des Resistmusters (**20**) als eine Ätzmaske derart, dass eine Maske (**19a, 19b**) und ein Leitmuster (**16a, 16b**) erhalten werden, wobei der Kontakt (**3a, 3b**) mit angeätzt wird, wonach das Resistmuster (**20**) entfernt wird,

Bilden eines elektrisch leitenden Filmes (**11**) auf den Oberflächen der Maske (**19a, 19b**), des Leitmusters (**16a, 16b**) und der Oberfläche des Isolierfilmes (**2**) einschließlich der Oberfläche und dem angeätzten Teil (A, B) des Kontaktes (**3a, 3b**), Durchführen eines anisotropen Ätzens des elektrisch leitenden Filmes (**11**) unter Verwendung der Oberfläche des Isolierfilmes (**2**) als ein Ätzstopp derart, dass eine mit den Seitenflächen der Maske (**19a, 19b**) und des Leitmusters (**16a, 16b**) Verbundene, elektrisch leitende Seitenwand (**5a, 5b, 5c, 5d**) und der elektrisch leitende Film (**11**) in dem angeätzten Teil (A, B) zurückgelassen wird, wodurch ein zylindrischer Speicherknoten (**17a, 17b**) erhalten wird, der das Leitmuster (**16a, 16b**) und die Seitenwand (**5a, 5b, 5c, 5d**) enthält,

Bilden eines dielektrischen Filmes (**13**) auf der Oberfläche des zylindrischen Speicherknotens (**17a, 17b**) und

Bilden einer Zellplatte (**14**) auf der Oberfläche des dielektrischen Filmes (**13**).

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

FIG.1

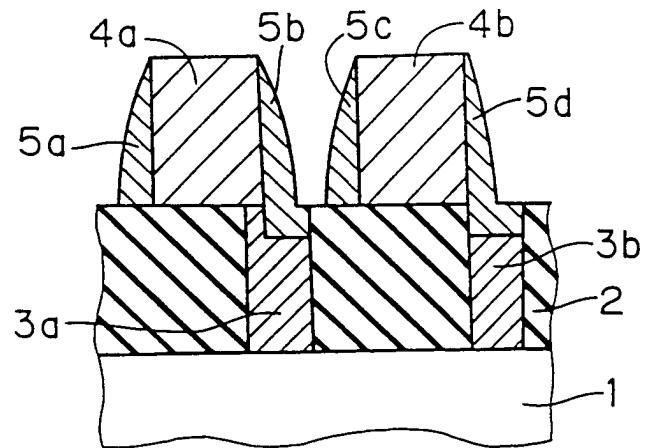


FIG.2

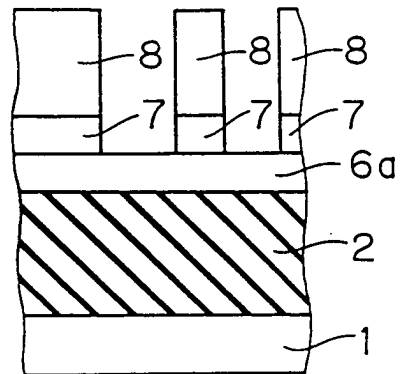


FIG.3

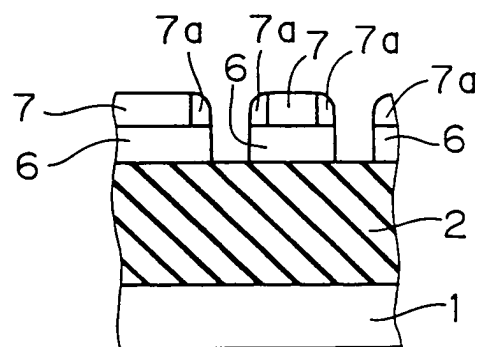


FIG.4

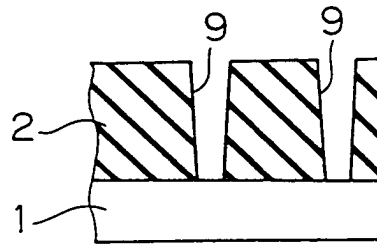


FIG.5

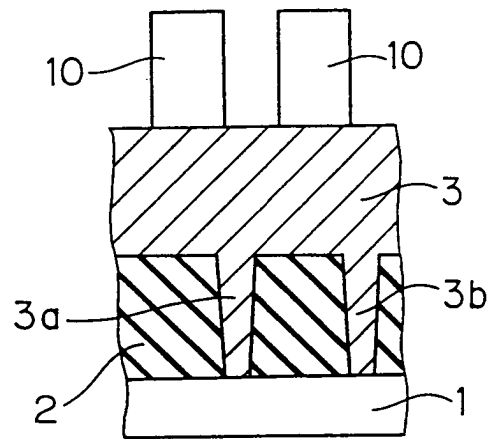


FIG.6

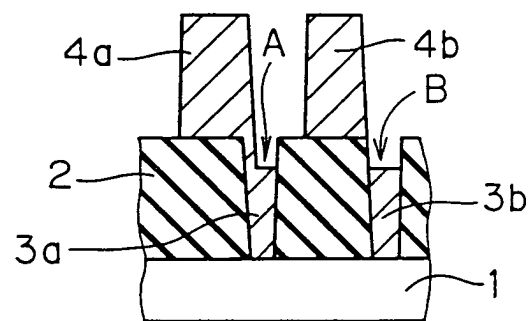


FIG. 7

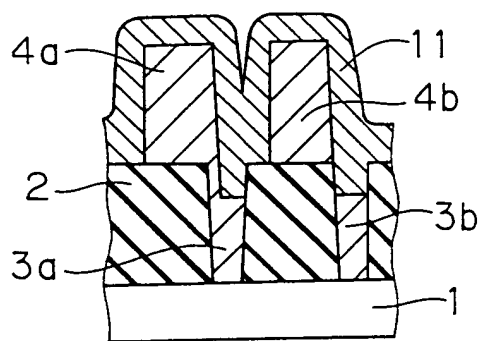


FIG. 8

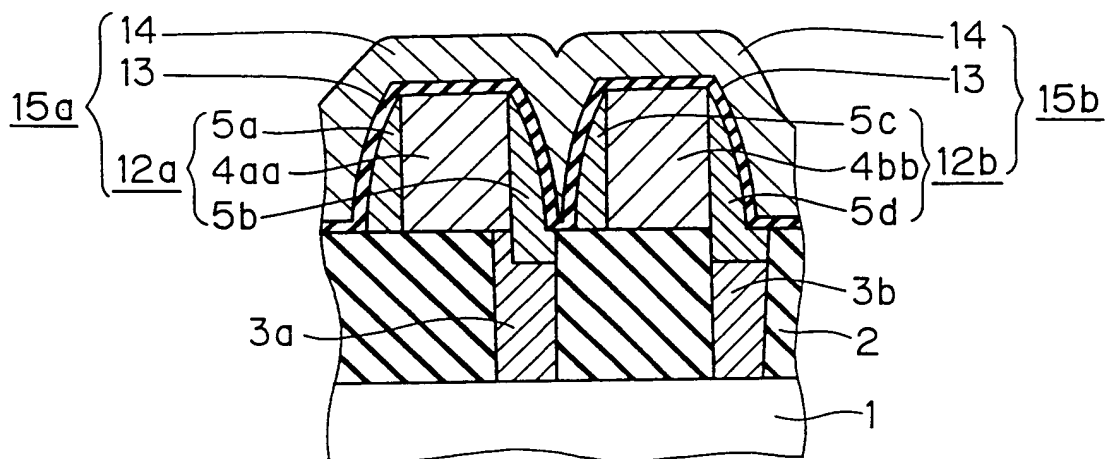


FIG. 9

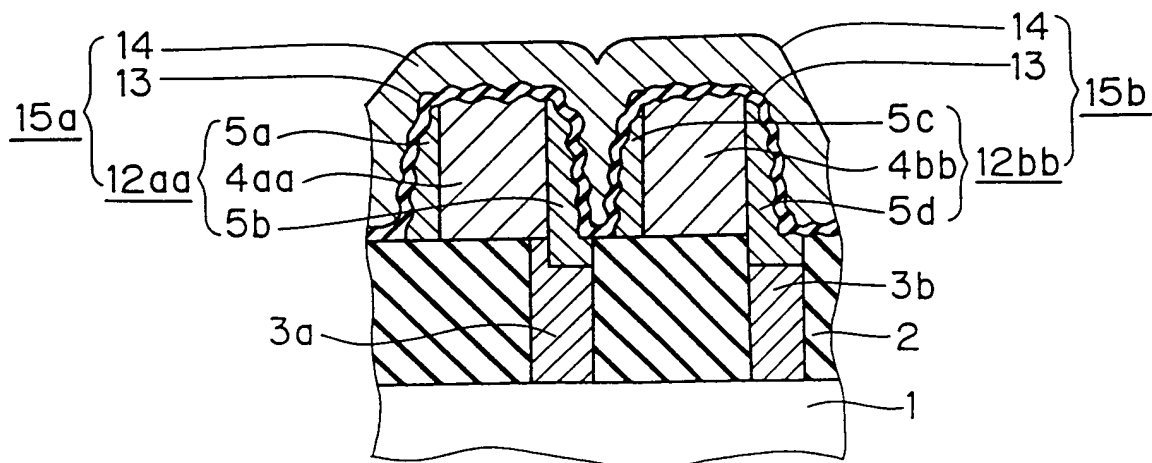


FIG.10

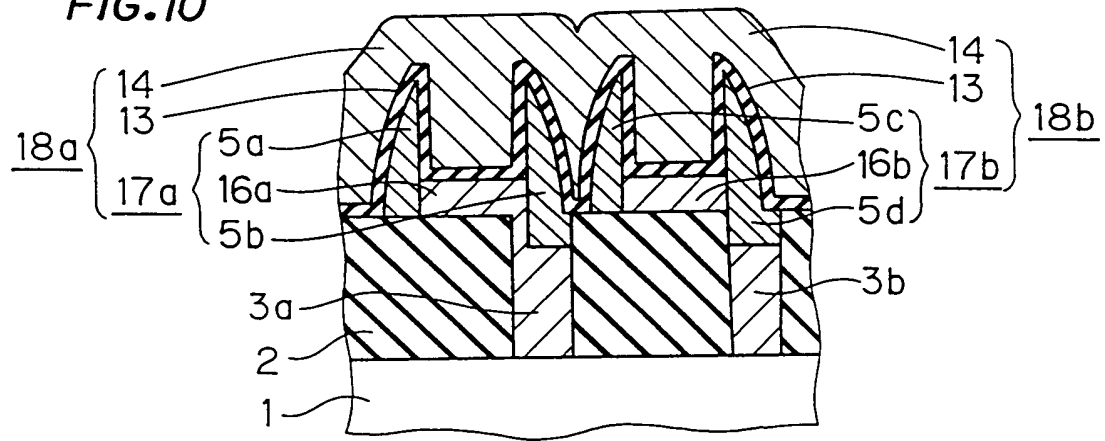


FIG.11

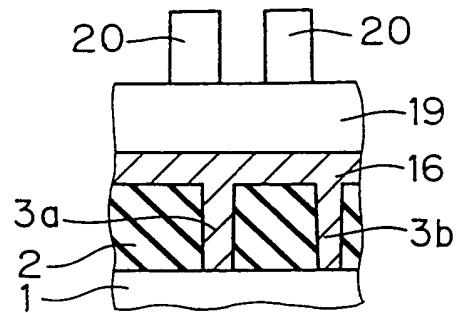


FIG.12

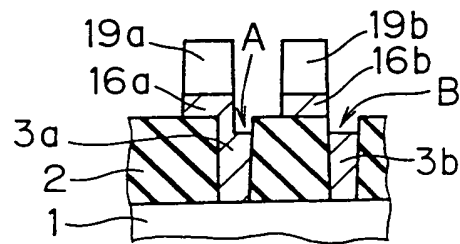


FIG.13

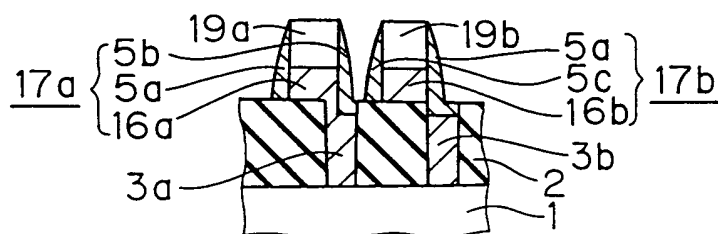


FIG.14

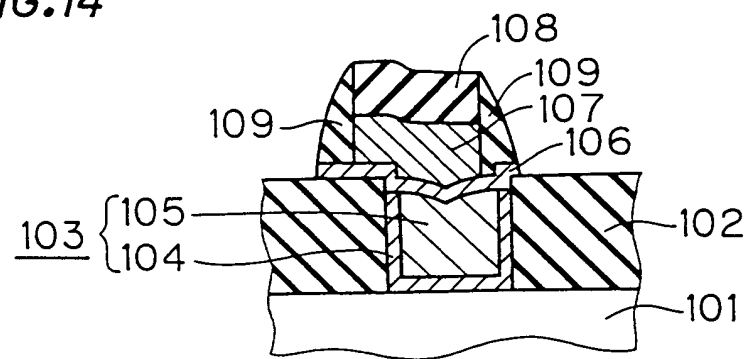


FIG.15

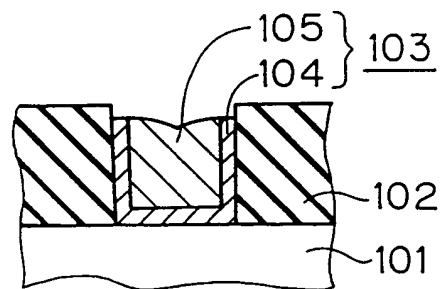


FIG.16

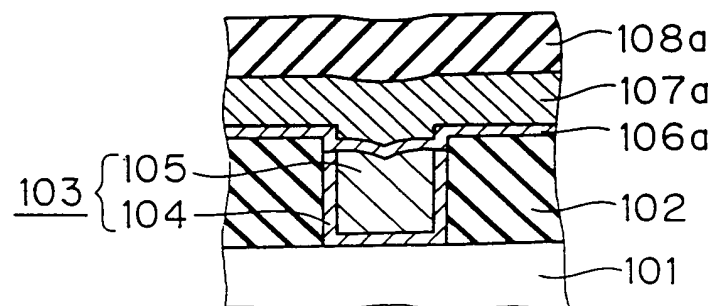


FIG.17

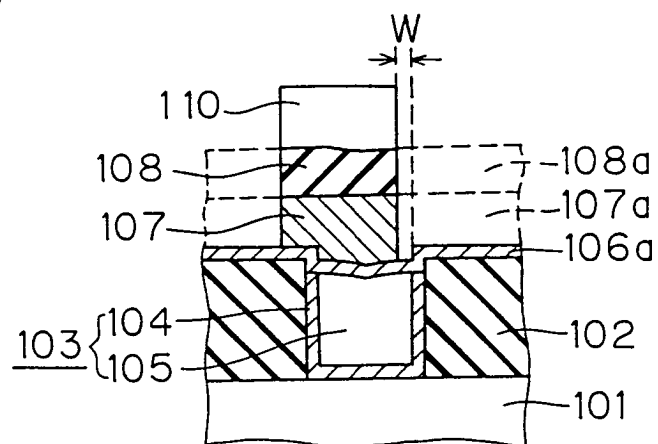


FIG.18

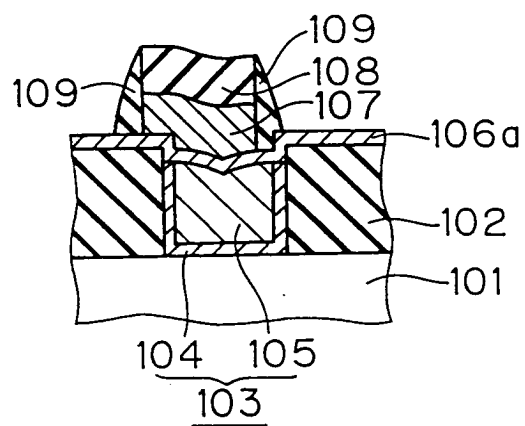


FIG.19

