

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

無遮罩混合式雷射劃線及電漿蝕刻晶圓切割製程

MASKLESS HYBRID LASER SCRIBING AND PLASMA
ETCHING WAFER DICING PROCESS

【技術領域】

【0001】 本發明的實施例關於半導體處理領域，且特別關於切割半導體晶圓的方法，各晶圓上具有複數個積體電路。

【先前技術】

【0002】 在半導體晶圓處理中，積體電路形成在由矽或其它半導體材料組成的晶圓(亦稱作基板)上。通常，各種半導體、導體或絕緣材料層用於形成積體電路。利用各種已知製程來摻雜、沉積及蝕刻該等材料，以形成積體電路。各晶圓經處理而形成大量個別區域，該等區域含有稱為晶粒的積體電路。

【0003】 在積體電路形成製程後，「切割(dice)」晶圓，以將個別晶粒彼此分開供封裝或以未封裝形式用於較大電路內。兩種主要晶圓切割技術為劃線及鋸切。採行劃線時，鑽石尖端劃片沿著預成形刻劃線移動越過晶圓表面。該等刻劃線沿著晶粒的間隔延伸。這些間隔一般稱作「切割道(street)」。鑽石劃片沿著切割道在晶圓表面形成淺劃痕。如利用輥施加壓力後，晶圓即沿著刻劃線分開。晶圓中的裂縫依循晶圓基板的晶格結構而行。劃線可用於厚度約 10 密耳(千分之一吋)

或以下的晶圓。對較厚晶圓而言，鋸切係目前較佳的切割方法。

【0004】 採行鋸切時，每分鐘高轉速旋轉的鑽石尖端鋸子接觸晶圓表面及沿著切割道鋸切晶圓。晶圓裝設在支撐構件上，例如延展整個膜框的黏著膜，鋸子反覆用於垂直與水平切割道。採行劃線或鋸切的一個問題在於碎片和鑿孔會沿著晶粒的斷裂邊緣形成。此外，裂痕會形成及從晶粒邊緣傳佈到基板內，導致積體電路無效。剝落和破裂在劃線方面尤其嚴重，因為在晶體結構的<110>方向上，方形或矩形晶粒只有一側可被劃線。因而，劈開晶粒另一側將產生鋸齒狀分離線。由於剝落和破裂，晶圓上的晶粒間需有額外間距，以免破壞積體電路，例如使碎片和裂痕與實際積體電路保持距離。因應間距要求，標準尺寸晶圓上無法形成許多晶粒，以致浪費了可用於電路的晶圓地產(real estate)。使用鋸子加劇了半導體晶圓上的地產浪費。鋸刀厚度為約 15 微米。故為確保鋸切周圍的破裂和其它破壞不會損害積體電路，各晶粒的電路往往需分開 300 至 500 微米。另外，切割後，需實質清洗各晶粒，以移除鋸切製程產生的微粒和其它污染物。

【0005】 亦已採用電漿切割，但電漿切割也有所限制。舉例而言，阻礙電漿切割實施的一限制為成本。用於圖案化光阻的標準微影操作將致使實施成本過高。可能阻礙電漿切割實施的另一限制為沿著切割道切割時，常用金屬(例如銅)的電漿處理會造成生產問題或產量限制。

【發明內容】

5

胺層，以薄化聚亞醯胺層，部份暴露 DRAM 電路的金屬柱/焊料凸塊對。

【圖式簡單說明】

【0010】 第 1A 圖繪示待切割之習用半導體晶圓的頂視圖。

【0011】 第 1B 圖繪示根據本發明之一實施例，具有厚鈍化層之半導體晶圓在雷射劃線製程之後但在電漿蝕刻製程之前的頂視圖。

【0012】 第 2A 圖繪示目前最先進之 DRAM 晶圓的一部分的剖面視圖。

【0013】 第 2B 圖繪示的剖面圖代表用於第 2A 圖之目前最先進之 DRAM 晶圓的一部分之切割製程中的操作。

【0014】 第 3A 至 3E 圖繪示根據本發明之一實施例，在進行切割半導體晶圓的方法期間，包括複數個積體電路之半導體晶圓的剖面視圖。

【0015】 第 4 圖繪示在進行切割半導體晶圓的比較性方法期間，包括複數個積體電路的半導體晶圓之剖面視圖。

【0016】 第 5 圖繪示根據本發明之一實施例，使用在飛秒範圍的雷射脈衝與更長脈衝時間比較的結果。

【0017】 第 6 圖繪示根據本發明之一實施例，可用在半導體晶圓或基板的切割道區域中之材料堆疊的剖面視圖。

【0018】 第 7 圖包括根據本發明之一實施例，就結晶矽(c-Si)、銅(Cu)、結晶二氧化矽(c-SiO₂)及非晶二氧化矽(a-SiO₂)而言之吸收係數作為光子能量之函數的作圖。

【0019】 第 8 圖為一方程式，其顯示以給定雷射之雷射強度 I

作為雷射脈衝能量、雷射脈衝寬度及雷射光束半徑之函數的關係。

【0020】 第 9 圖繪示根據本發明之一實施例，用於晶圓或基板的雷射和電漿切割之工具佈局的方塊圖。

【0021】 第 10 圖繪示根據本發明之一實施例的範例電腦系統之方塊圖。

【實施方式】

【0022】 茲描述無遮罩混合式雷射劃線及電漿蝕刻晶圓切割製程。為了提供對本發明的實施例之徹底瞭解，在以下說明中提出許多特定細節，如雷射劃線及電漿蝕刻條件與材料狀態(material regime)。熟諳此技術者將明白，可不依該等特定細節實踐本發明的實施例。在其它例子中，並不詳述諸如積體電路製造等已知態樣，以免不必要地使本發明的實施例變得晦澀難懂。另外，應理解圖式所示各種實施例為代表性說明，且未必按比例繪製。

【0023】 涉及初始雷射劃線與後續電漿蝕刻的混合式晶圓或基板切割製程可被執行來單分(singulate)晶粒。雷射劃線製程可用於乾淨地移除厚鈍化層、有機及/或無機介電層和元件層。接著可在下方晶圓或基板暴露或部分蝕刻後，終止雷射蝕刻製程。接著可利用切割製程的電漿蝕刻部分來蝕刻穿過晶圓或基板的塊體(bulk)，如穿過塊體單晶矽，以產生晶粒或晶片單分或切割。在本文的特定實施例中，描述了切割具有厚鈍化聚合物層之晶圓的方法。在一實施例中，就劃線及電漿蝕刻期間，以包括在積體電路上的方式使用厚鈍化層，而

不使用額外的上方遮罩的意義上來說，本案所進行的雷射劃線是無遮罩製程。

【0024】 更一般而言，本文所述的實施例導向飛秒系雷射劃線及後續的電漿蝕刻，以提供混合式晶圓切割方案。就廣泛的晶圓切割技術而言，大多數現存的切割技術涉及在切割製程的某些階段使用濕式製程。舉例而言，在混合式雷射劃線及電漿蝕刻方案中，通常會利用遮罩塗層形成製程，以在雷射及電漿製程期間保護晶圓。然而，存在有與獲得無瑕疵遮罩塗層及切割後遮罩移除及清潔等有關的挑戰。進一步，用於旋轉塗佈的現有半導體等級商用工具是昂貴的。在另一方面，雷射切割製程可對遮罩塗佈及後續的切割後遮罩移除有需求，且在又一方面，刀刃切割可對切割製程期間持續的冷卻水/潤滑劑有需求。就積體電路(IC)技術而言，用於三維(3D)封裝之新世代/下個世代的記憶體晶片可承受將近 40 微米厚的聚合物膜在元件層頂部作為鈍化層。相較之下，在現今已使用頂層聚合物鈍化的微處理器元件晶圓中，(a)乾式膜層疊技術已被用來施加聚合物膜層於晶圓上，及/或(b)聚合物鈍化層具有目標厚度，其中乾式膜層疊製程可控制層疊厚度。

【0025】 有鑑於此，更詳言之，一或多個實施例可導向涉及使用晶圓前側頂上之聚合物膜形成層之方案，所述層比所生產之 IC 的目標鈍化層更厚。舉例而言，在用於聚合物鈍化層成形之乾式膜層疊的相同製程中，可形成比所生產之經單分 IC 上的最終期望厚度更厚的鈍化層。在一個實施例中，聚合物或鈍化層的額外厚度足以在例如，雷射劃線期間，覆蓋所

有的下方 IC 凸塊，使噴出的碎屑落在聚合物或鈍化層頂部，且不會傷害焊料凸塊。進一步，額外的厚度足以保護包括焊料凸塊的 IC 元件不在電漿切割期間暴露。在進行電漿蝕刻以切割穿過晶圓之後，可藉由使用氧氣或含氧氣體之電漿灰化製程將目標鈍化層厚度以上之餘留聚合物層移除，直到達成目標鈍化層厚度為止。在一個此類實施例中，灰化製程也適於移除可能在電漿蝕刻製程期間於凸塊頂部和經單分晶粒之側壁上形成的化學殘留物。

【0026】 在實施例中，本文所描述的無遮罩切割計畫(maskless dicing scheme)的益處包括以下一或多者：(1)不需要額外的遮罩塗佈操作；(2)有機會得利於乾式鈍化膜層疊製程，即，在層疊期間，可形成較厚的初始鈍化層，此類鈍化層比目標最終厚度更厚；(3)排除與厚遮罩旋塗相關的問題；及(4)預期乾式遮罩製程流會包括整合於切割系統上之專用沉積腔室。

【0027】 為了提供概括的比較，習用晶圓切割方案包括基於潔淨的機械分離之鑽石鋸切割、起始雷射劃線及後續的鑽石鋸切割或奈秒或皮秒雷射切割。就薄的晶圓或基板單分(如 50 微米厚的塊體矽單分)而言，習用方案僅能產生不良的製程品質。當從薄的晶圓或基板單分晶粒時，可能面臨的某些挑戰包括：微裂痕形成或不同層間的脫層、無機介電層的剝落、嚴格切口寬度控制的保持、或精確的剝蝕深度控制。本發明的實施例包括，對克服一或多個以上挑戰來說可能有用的混合式雷射劃線及電漿蝕刻晶粒單分方案。

【0028】 根據本發明之一實施例，可使用雷射劃線及電漿蝕刻之組合來切割半導體晶圓成為個體化的積體電路或單分的積體電路。在一個實施例中，飛秒系雷射劃線可用作基本上(若非完全的)非熱製程(non-thermal process)。舉例而言，可定位飛秒系雷射劃線而無熱損傷區(heat damage zone)或僅有可忽略的熱損傷區。在一個實施例中，本文的方案可用於單分具超低 k 膜的積體電路。採行習知切割時，需配合此低 k 膜減慢鋸切。另外，現今的半導體晶圓在切割前常會被薄化。有鑒於此，在一個實施例中，現在可實踐遮罩圖案化及以飛秒系雷射進行部分晶圓劃線的組合，及隨後的電漿蝕刻製程。在一個實施例中，以雷射直接寫入可消除對光阻層之微影圖案化操作的需求，並可以很少的成本被執行。在一個實施例中，可使用穿過通孔類型的矽蝕刻以在電漿蝕刻環境中完成切割製程。

【0029】 因此，在本發明之一態樣中，可使用雷射劃線及電漿蝕刻的組合來切割半導體晶圓成為單分的積體電路。然而，某些實施例導向無遮罩製程，其中 IC 的鈍化層在切割製程期間被用來保護 IC 的凸塊。為了提供進一步的背景，第 1A 圖描繪待切割的習用半導體晶圓之頂視圖。第 1B 圖繪示根據本發明之一實施例，具有厚鈍化層之半導體晶圓在雷射劃線製程之後但在電漿蝕刻製程之前的頂視圖。

【0030】 參照第 1A 圖，半導體晶圓 100 具有複數個區域 102，複數個區域 102 包括積體電路。區域 102 被垂直切割道 104 及水平切割道 106 分隔。切割道 104 及 106 為不含有積體

電路之半導體晶圓的區塊，且經設計使得晶圓將沿著切割道的位置被切割。本發明的某些實施例涉及使用飛秒系雷射劃線及電漿蝕刻技術的組合，以沿著切割道切割通過半導體晶圓的溝槽，使得晶粒被分隔成單獨的晶片或晶粒。由於雷射劃線和電漿蝕刻製程皆與晶體結構定向無關，因此待切割之半導體晶圓的晶體結構對於完成通過晶圓的垂直溝槽可能是不重要的。

【0031】 參照第 1B 圖，根據導向無遮罩方案之一實施例，半導體晶圓 100 具有厚鈍化層 200。可用雷射劃線製程來圖案化厚鈍化層 200 及部分半導體晶圓 100，以沿著切割道 104 及 106 界定半導體晶圓 100 將被切割的位置(如，間隙 202 及 204)。半導體晶圓 100 的積體電路區域可被厚鈍化層 200 覆蓋並保護。可安置厚鈍化層 200 的區域 206 使得在後續蝕刻製程期間，積體電路不會被蝕刻製程劣化。水平間隙 204 及垂直間隙 202 形成於區域 206 之間來界定區塊，所述區塊將在蝕刻製程期間被蝕刻而最終切割半導體晶圓 100。水平間隙 204 及垂直間隙 202 形成於區域 206 之間來界定區塊，所述區塊將在蝕刻製程期間被蝕刻而最終切割半導體晶圓 100。如下文所描述，鈍化層 200 可接著被薄化，以暴露積體電路的部分金屬凸塊/柱。

【0032】 更特定的實施例導向新世代 DRAM 記憶體晶片的單分考量(singulation consideration)，所述 DRAM 記憶體晶片承載 50 微米或更高的用於互連線之凸塊，並具有厚聚亞醯胺層圍繞凸塊。包括厚聚亞醯胺層可提供機械性支撐、電性隔離

及鈍化，僅暴露出凸塊頂表面用於焊接。然而，在切割計畫(dicing scheme)中必須解決這樣的厚鈍化層。在一實施例中，首先對晶圓提供具有初始厚度的鈍化層，此鈍化層位於凸塊上方並覆蓋凸塊，且接著以雷射劃線晶圓以移除 Si 基板上方的所有層。雷射劃線後接著電漿切割，以移除 Si 基板的經暴露部分。接著可藉由灰化將厚聚亞醯胺鈍化層薄化至最終厚度，最終厚度在將近 35 微米至 50 微米的範圍內，以提供接近金屬凸塊的通路。

【0033】 爲了提供詳盡的背景，第 2A 圖繪示目前最先進之 DRAM 晶圓的一部分之剖面視圖。參照第 2A 圖，晶圓 250 上具有 DRAM 記憶體晶片，DRAM 記憶體晶片具有通常高度爲 10 至 35 μm 的金屬凸塊及焊料球。DRAM 記憶體晶片也包括元件層及鈍化層，所述層全設置於 Si 基板上。第 2B 圖繪示的剖面視圖代表用於第 2A 圖之目前最先進之 DRAM 晶圓的一部分之切割製程中的操作。參照第 2B 圖，遮罩層設置於第 2A 圖的結構上方。進行雷射劃線以在凸塊/焊料球之間提供溝槽，以提供打開的溝槽。可接著透過溝槽進行電漿蝕刻，以進行晶圓切割。

【0034】 相對於第 2A 及 2B 圖，第 3A 至 3E 圖繪示根據本發明之一實施例，在進行切割半導體晶圓的方法期間，包括複數個 DRAM 晶片(積體電路)之新式 DRAM 晶圓 350 的一部分之剖面視圖。

【0035】 參照第 3A 圖，晶圓 350 上具有 DRAM 記憶體晶片，DRAM 記憶體晶片具有將近 50 微米或更高的金屬凸塊/焊料

球對(pair) 390。可在金屬凸塊/焊料球對之間使用將近 35 至 50 微米的有機層(如聚亞醯胺層)作為鈍化層 301，僅暴露這些金屬凸塊/焊料球對的最上方部分。鈍化層 301 可為 DRAM 晶粒的必要結構部件。DRAM 記憶體晶片也可包括元件層及鈍化層 392，所述層全都設置於基板 394 上，如矽(Si)基板。

【0036】 參照第 3B 圖，第 3A 圖的鈍化層 301 顯示成覆蓋並保護暴露的凸塊/焊料球對 390 的較厚鈍化層 301'。儘管根據一個實施例，從第 3A 圖至 3B 圖顯示逐步將鈍化層 301 增厚為 301'，即，在已經形成的膜上加入額外的鈍化層(如額外的聚亞醯胺)。然而，在另一實施例中，鈍化層的初始厚度便如第 3B 圖所示，即，初始厚度為形成在暴露的凸塊/焊料球對 390 上方並覆蓋暴露的凸塊/焊料球對 390 之層 301'的厚度。在一實施例中，任一例子中的鈍化層可由乾式層積製程形成。請再次參照第 3B 圖， δ_T 代表總體膜厚度， δ_1 代表目標膜厚度作為期望的最終鈍化層厚度， δ_2 代表可在電漿切割及/或灰化期間消耗的額外膜厚度，且 δ_3 代表在切割期間保護凸塊不暴露所需之最小膜厚度。

【0037】 請參照第 3C 圖，可用雷射劃線製程將鈍化層 301' 圖案化，以提供間隙 310。雷射劃線製程也可用來劃線元件及鈍化層 392，暴露介於積體電路之間(即，介於個別的 DRAM 晶片之間)的基板 394 的區域。可沿著形成於元件及鈍化層 392 中的切割道(在此未顯示，但會聯合第 6 圖做描述)進行雷射劃線製程。根據本發明之一實施例，雷射劃線製程可進一步形成溝槽 312，溝槽 312 部份進入介於積體電路之間的基板 394

的區域，如第 3C 圖所描繪。

【0038】 現請參照第 3D 圖，可透過經圖案化之鈍化層 301 中的刻劃線來蝕刻 DRAM 晶圓 350，以單分積體電路。根據本發明之一實施例，蝕刻 DRAM 晶圓 350 包括最終完全蝕刻穿過 DRAM 晶圓 350，如第 3D 圖所描繪。在一個實施例中，可沿著溝槽 312 蝕刻，以延伸並形成穿過基板 394 的完整溝槽 312'。請再次參見第 3D 圖，電漿蝕刻也可使鈍化層 301' 內凹至減少的厚度 301''。在一個此類實施例中，儘管有點內凹，但殘餘的聚合物厚度 301'' 仍比目標鈍化層厚度 δ_1 更厚。

【0039】 請參照第 3E 圖，可進一步將鈍化層 301'' 薄化至具有目標值 δ_1 的最終鈍化層 301'''。在一個實施例中，可藉由使用電漿灰化製程進行額外的薄化。在特定的此類實施例中，電漿灰化製程涉及以 O_2 進行灰化，以修飾聚合物厚度。在電漿灰化製程之後，額外的處理可包括晶圓/晶粒清潔、晶粒封裝、晶粒附接、焊接等等。

【0040】 爲了能進一步將以上聯結第 3A 至 3E 圖所描述的製程識別爲無遮罩製程，第 4 圖繪示在進行切割半導體晶圓的遮罩利用(mask-utilizing)方法期間，包括複數個積體電路的半導體晶圓之剖面視圖。請參照第 4 圖，在第 3A 圖的結構上方形成遮罩 302。遮罩 302 由覆蓋並保護暴露的凸塊/焊料球對的層所組成。請再次參照第 4 圖，以雷射劃線製程圖案化遮罩 302，以提供具有間隙 310 的經圖案化遮罩 308。雷射劃線製程也被用來劃線鈍化層 301 也劃線元件及鈍化層，而暴露介於積體電路之間(即，介於個別的 DRAM 晶片之間)的 Si 基

板的區域。可沿著形成於元件及鈍化層(未顯示)中的切割道進行雷射劃線製程。雷射劃線製程可進一步形成溝槽 312，溝槽 312 部份進入介於積體電路之間的 Si 晶圓的區域，如第 4 圖所描繪。

【0041】 請再參照第 3A 至 3E 圖，在一實施例中，DRAM 晶圓 350 可由適用於承受製造製程之材料所構成，且半導體處理層可適當地配置在所述材料上。舉例而言，在一個實施例中，半導體晶圓或基板可由 IV 族系材料構成，所述 IV 族系材料例如，但不僅限於，結晶矽(如所示)、鍺或矽/鍺。在特定實施例中，提供半導體晶圓包括：提供單晶矽基板。在特定實施例中，可以雜質原子摻雜單晶矽基板。在另一個實施例中，半導體晶圓或基板可由 III-V 族材料所構成，所述 III-V 族材料可如，用於製造發光二極體(LED)之 III-V 族材料基板。

【0042】 在一實施例中，半導體晶圓的上方或內部已設置半導體元件的陣列，作為積體電路(圖示為 DRAM 積體電路)的一部分。這樣的半導體元件之實例可包括，但不限於，在矽基板中製造且包裝在介電層中的記憶元件或互補式金氧半導體(CMOS)電晶體。複數個金屬互連線可形成在元件或電晶體上，及周遭之介電層中，且可被用於電氣耦接元件或電晶體，以形成積體電路。組成切割道之材料可類似或相同於用來形成積體電路之材料。舉例而言，切割道可由介電材料層、半導體材料層、與金屬化層所構成。在一個實施例中，一或多個切割道包括測試元件，測試元件類似於積體電路的實際元

件。

【0043】 在一實施例中，以雷射劃線製程圖案化厚鈍化層 301'可包括：使用具有飛秒範圍內之脈衝寬度的雷射。詳言之，可使用波長在可見光譜加上紫外線(UV)和紅外線(IR)範圍(整體為寬頻光譜)之雷射來提供飛秒系雷射，脈衝寬度在飛秒(10^{-15} 秒)等級之雷射。在一個實施例中，剝蝕不是，或基本上不是靠波長決定，且因此適用於複合膜，如鈍化層、切割道還可能有部分 Si 晶圓之膜。

【0044】 第 5 圖繪示根據本發明之一實施例，使用飛秒範圍的雷射脈衝對照較長頻率的作用。參照第 5 圖，對照較長脈衝寬度（例如以皮秒處理通孔 500B 造成的破壞 502B 和以奈秒處理通孔 500A 造成的顯著破壞 502A），使用具有飛秒範圍內之脈衝寬度的雷射，可減輕或消除熱破壞問題（例如以飛秒處理通孔 500C 乃最小化成無破壞 502C）。如第 5 圖所描繪，消除或減輕形成通孔 500C 期間的破壞可能是因為缺少低能量再耦合（如可見於皮秒系雷射剝蝕）或熱平衡（如可見於奈秒系雷射剝蝕）所致。

【0045】 雷射參數選擇，如脈衝寬度，對於發展最小化剝落、微裂痕、脫層以達成乾淨雷射劃線切割之成功的雷射劃線和切割製程而言可能是關鍵。雷射劃線切割越乾淨，可對最終晶片切割進行的蝕刻處理就越平順。在半導體元件晶圓中，許多不同材料型(如，導體、絕緣體、半導體)和厚度的功能層通常被設置在半導體元件晶圓上。此類材料可包括，但不限於，有機材料(如聚合物)、金屬、或無機介電質(如二氧化矽

和氮化矽)。

【0046】 介於設置在晶圓或基板上之獨立積體電路之間的切割道可包括與積體電路本身相似或相同的層。舉例而言，第 6 圖繪示根據本發明之一實施例，可用於半導體晶圓或基板之切割道區域的材料堆疊之剖面視圖。

【0047】 請參照第 6 圖，切割道區域 600 可包括矽基板的頂部分 602、第一二氧化矽層 604、第一蝕刻終止層 606、第一低 K 介電層 608 (如，具有小於二氧化矽的介電常數 4.0 之介電常數)、第二蝕刻終止層 610、第二低 K 介電層 612、第三蝕刻終止層 614、無摻雜矽玻璃(undoped silica glass; USG)層 616、第二二氧化矽層 618，作為範例材料堆疊。請再次參照第 6 圖，如上文所述，可包括非常厚的鈍化層 620 (如大於 50 微米之厚聚亞醯胺層，如層 301')。根據本發明之一實施例，在切割製程期間不使用與鈍化層 620 截然不同的遮罩層。銅金屬化物 622 可安置在第一蝕刻終止層 606 與第三蝕刻終止層 614 之間，且穿過第二蝕刻終止層 610。在一特定實施例中，第一、第二及第三蝕刻終止層 606、610 及 614 可由氮化矽組成，而低 K 介電層 608 及 612 由摻碳氧化矽材料組成。

【0048】 在習用的雷射照射(如奈秒系或皮秒系雷射照射)下，切割道 600 之材料在光吸收和剝蝕機制方面表現得相當不同。舉例而言，如二氧化矽之介電層，在一般條件下，對於所有商業上可獲得的雷射波長而言基本上是透明的。相對的，金屬、有機物(如，低 K 材料)和矽可以很輕易地耦接光子，特別是在回應奈秒系或皮秒系雷射照射的情況下。舉例

而言，第 7 圖包括根據本發明之一實施例，就結晶矽(c-Si，702)、銅(Cu，704)、結晶二氧化矽(c-SiO₂，706)、與非晶二氧化矽(a-SiO₂，708)而言之吸收係數作為光子能量之函數的作圖 700。第 8 圖為方程式 800，其顯示以給定雷射之雷射強度作為雷射脈衝能量、雷射脈衝寬度及雷射光束半徑之函數的關係。

【0049】 在一實施例中，使用方程式 800 和吸收係數的作圖 700，用於飛秒系雷射製程之參數可經選擇以對無機和有機介電質、金屬與半導體具有基本上共通的剝蝕效果，儘管這些材料之通常能量吸收特徵在某些條件下可能有很大的差異。舉例而言，二氧化矽之吸收率是非線性的，且在合適的雷射剝蝕參數下，可能變得與有機介電質、半導體及金屬的吸收率更趨一致。在一個此類實施例中，高強度和短脈衝寬度之飛秒系雷射製程被用來剝蝕層之堆疊，所述層包括二氧化矽層，及有機介電質、半導體或金屬中之一或多者。在一特定實施例中，於飛秒系雷射照射製程中使用大約小於或等於 400 飛秒的脈衝，以移除厚聚亞醯胺層、切割道及部分矽基板。

【0050】 相對的，若選擇非最佳雷射參數，則在涉及無機介電質、有機介電質、半導體或金屬中之兩者或兩者以上之堆疊結構中，雷射剝蝕製程可能造成脫層問題。舉例而言，雷射穿透高帶隙能量介電質（諸如具有約 9 eV 帶隙之二氧化矽），而無可量測的吸收。然而，雷射能量可在下方的金屬層或矽層中被吸收，從而引起該金屬層或矽層之顯著汽化。汽化可產生高壓，使上覆的二氧化矽介電層升起，且可能造

成嚴重的層間脫層及微裂。在一實施例中，儘管皮秒系雷射照射製程在複合堆疊中導致微裂及脫層，但已證明飛秒系雷射照射製程不會導致相同材料堆疊之微裂或脫層。

【0051】 爲了能夠直接剝蝕介電層，介電材料可能需要發生離子化，以使得該等介電材料藉由強吸收光子而與導電材料表現相似。所述吸收可在最終剝蝕介電層之前阻礙大部分雷射能量穿透至下方的矽層或金屬層。在一實施例中，當雷射強度足夠高以致在無機介電材料中引發光子離子化及撞擊離子化時，無機介電質之離子化是可行的。

【0052】 根據本發明之一實施例，合適的飛秒系雷射製程的特徵爲高峰值強度(照射度)，其通常在各種材料中造成非線性之交互作用。在一個此類實施例中，飛秒雷射源具有約在 10 飛秒至 500 飛秒之範圍的脈衝寬度，雖然較佳是在 100 飛秒至 400 飛秒的範圍。在一個實施例中，飛秒雷射源具有約在 1570 奈米至 200 奈米之範圍的波長，雖然較佳是在 540 奈米至 250 奈米的範圍。在一個實施例中，雷射和相應的光學系統可在工作表面處提供約在 3 微米至 15 微米的範圍內之焦點，雖然較佳是約在 5 微米至 10 微米的範圍或介於 10 微米與 15 微米之間。

【0053】 在工作表面的空間光束輪廓(spatial beam profile)可能是單模態(高斯)或具有高帽(top-hat)形輪廓。在一實施例中，雷射源具有約在 200 kHz 至 10 MHz 之範圍的脈衝重覆率，雖然較佳是約在 500 kHz 至 5 MHz 之範圍。在一實施例中，雷射源在工作表面遞送約在 0.5 uJ 至 100 uJ 之範圍的脈

衝能量，雖然較佳是約在 1 uJ 至 5 uJ 之範圍。在一實施例中，雷射劃線製程沿著工件表面以約在 500 mm/sec 至 5 m/sec 之範圍的速度運作，雖然較佳是約在 600 mm/sec 至 2 m/sec 之範圍。

【0054】 劃線製程可只以單程運作，或多程運作，但在一實施例中，較佳為 1 至 2 程。可以給定之脈衝重覆率下的一連串單一脈衝或一連串脈衝爆發等方式來應用雷射。在一實施例中，在元件/矽介面處量測之雷射光束產生的切口寬度約在 2 微米至 15 微米的範圍，雖然在矽晶圓劃線/切割中，較佳是約在 6 微米至 10 微米的範圍。

【0055】 可選擇具有效益和優點之雷射參數，如提供足夠高之雷射強度，以達成無機介電質(如，二氧化矽)的離子化，和最小化在無機介電質的直接剝蝕前之下層損害所造成之脫層和剝落。並且，可選擇參數以提供用於具有精確受控剝蝕寬度(如，切口寬度)和深度之工業應用之重要製程產量。如上所述，相較於皮秒系和奈秒系雷射剝蝕製程，飛秒系雷射更加適於提供這些優點。然而，即使在飛秒系雷射剝蝕的光譜中，某些波長可提供相較於其他波長更好的效能。舉例而言，在一個實施例中，相較於具有接近或在 IR 範圍之波長的飛秒系雷射，具有接近或在 UV 範圍之波長的飛秒系雷射提供更乾淨的剝蝕製程。在這樣特定的實施例中，適用於半導體晶圓或基板劃線之飛秒系雷射製程，是基於具有約小於或等於 540 奈米波長之雷射。在這樣特定的實施例中，可使用具有約小於或等於 540 奈米波長之雷射的約小於或等於 400 飛秒之脈

衝。然而，在替代的實施例中，可使用雙重雷射波長(如，IR 雷射和 UV 雷射之結合)。

【0056】 在一實施例中，蝕刻半導體晶圓包括使用電漿蝕刻製程。在一個實施例中，可使用穿矽通孔(through-silicon via)類型之蝕刻製程。舉例而言，在一特定實施例中，半導體晶圓的材料(如，矽)之蝕刻速率可大於每分鐘 25 微米。超高密度電漿源可被用於晶粒單分製程之電漿蝕刻部分。適用於進行如此電漿蝕刻製程之範例製程腔室是可從美國加州森尼韋爾市之應用材料公司取得之 Applied Centura® Silvia™ 蝕刻系統。相較於即使藉由磁場增強提供改善之可能僅具有電容性耦合之系統，Applied Centura® Silvia™ 蝕刻系統結合電容性和感應 RF 耦合，而可更獨立控制離子密度和離子能量。此結合使得離子密度能有效從離子能量去耦合，以便在即使非常低壓力、在沒有高潛在損害性、高 DC 偏壓等級下，達成相對高密度電漿。此造成極寬之製程視窗。然而，可使用任何能蝕刻矽之電漿蝕刻腔室。在範例實施例中，使用深矽蝕刻，以在大於約 40%之習用矽蝕刻速率之蝕刻速率下蝕刻單晶矽基板或晶圓 404，而維持基本上精確輪廓控制和實際上無起伏側壁。在一特定實施例中，可使用穿矽通孔類型之蝕刻製程。蝕刻製程是基於從反應氣體產生之電漿，反應氣體通常是氟系氣體，如 SF_6 、 C_4F_8 、 CHF_3 、 XeF_2 或可在相對快的蝕刻速率下蝕刻矽之任何其它反應氣體。在一實施例中，可在適於進行 O_2 電漿灰化製程之電漿灰化腔室中進行後續電漿灰化操作，以進一步薄化厚鈍化層。在一個此類實施例中，此腔室

類似於就電漿蝕刻製程所描述之腔室。

【0057】 因此，請再參照第 3A 至 3E 圖，可藉由穿過遮罩層、穿過晶圓切割道(包括金屬化物)且部分進入矽基板之起始雷射剝蝕來進行晶圓切割。可選擇飛秒範圍中的雷射脈衝寬度。可接著藉由後續的穿矽深電漿蝕刻(through-silicon deep plasma etching)來完成晶粒單分。可接著薄化積體電路的厚鈍化層，以暴露部分凸塊/柱。單分製程可進一步包括圖案化晶粒附接膜(die attach film)、暴露支撐膠帶(backing tape)的頂部分以及單分晶粒附接膜。在一實施例中，可藉由雷射製程或藉由蝕刻製程來單分晶粒附接膜。進一步的實施例可包括後續從支撐膠帶移除基板的經單分部分(如，作為獨立積體電路)。在一個實施例中，經單分的晶粒附接膜仍保存在基板的經單分部分之背側上。在一實施例中，可從支撐膠帶移去經單分的積體電路，以進行封裝。在一個此類實施例中，可將經圖案化的晶粒附接膜保留在各積體電路的背側上，並包括於最終封裝中。然而，在另一實施例中，可在單分製程期間或之後移除經圖案化的晶粒附接膜。在替代的實施例中，在基板比大約 50 微米更薄的例子中，可使用雷射剝蝕製程來完全單分基板，而不需使用額外的電漿製程。

【0058】 單一製程工具可經配置以進行混合式雷射剝蝕和電漿蝕刻單分製程中的許多或所有操作。舉例而言，第 9 圖繪示根據本發明之一實施例，用於晶圓或基板的雷射和電漿切割之工具佈局的方塊圖。

【0059】 參照第 9 圖，製程工具 900 包括具有連接著複數個

速率。在一實施例中，製程工具 900 之群集工具 906 部分包括超過一個蝕刻腔室，以使得單分或切割製程能有高製造產量。舉例而言，在一個此類實施例中，可包括專用的電漿灰化腔室 912，如圖所描繪。

【0062】 生產介面 902 可以是合適的大氣埠 (atmospheric port)，以作為外部製造設施與雷射劃線設備 910 及群集工具 906 之間的介面。生產介面 902 可包括具有手臂或葉片的機器人，以將晶圓（或晶圓載具）從儲存單元（例如前開式晶圓盒）傳送到群集工具 906 或雷射劃線設備 910 或二者。

【0063】 群集工具 906 可包括適用於進行單分方法中之功能的其它腔室。舉例而言，在一個實施例中，可包括濕式/乾式站 914 來代替額外蝕刻腔室。濕式/乾式站可適用於在基板或晶圓的雷射劃線及電漿蝕刻/灰化單分製程之後，清潔殘留物和碎片。在一實施例中，也可包括測量站作為製程工具 900 的部件。

【0064】 本發明的實施例可提供做為電腦程式產品或軟體，電腦程式產品或軟體可包括內含儲存指令的機器可讀取媒體，用以程式化電腦系統(或其他電子裝置)而進行根據本發明的實施例的製程。在一個實施例中，電腦系統耦接第 9 圖所述之製程工具 900。機器可讀取媒體包括任何用來儲存或傳遞機器(例如電腦)可讀取形式資訊的機構。舉例而言，機器可讀取(例如電腦可讀取)媒體包括機器(例如電腦)可讀取儲存媒體(例如唯讀記憶體(「ROM」)、隨機存取記憶體(「RAM」)、磁碟儲存媒體、光學儲存媒體、快閃記憶體裝置等)、機器(例

如電腦)可讀取傳輸媒體(電子、光學、聲音或其他形式的傳播訊號(例如紅外線訊號、數位訊號等))等等。

【0065】 第 10 圖繪示了電腦系統 1000 及其之中可被執行之指令集的示範型機器之圖示，其中指令集是用來使機器進行本文中所描述的方法之任意一或多者。在替代具體例中，機器可被連接(如，網路連接)至在區域網路(LAN)、內部網路、外部網路、或網際網路中之其它機器。機器可操作為主從網路環境之伺服器或客戶端機器，或為在點對點(或分散式)網路環境之對等機器。機器可以是個人電腦(PC)、平板個人電腦、機上盒(STB)、個人數位助理(PDA)、行動電話、網路電器、伺服器、網路路由器、交換器或橋接器、或能執行被機器所採取之具體行動之指令集(循序或其它方式)的任何機器。另外，雖然只有單一機器被顯示，但術語「機器(machine)」應該也被當成包括單獨或共同地執行一組(或多組)指令，以進行本文所述之方法的任一或多者之機器(如，電腦)的任何集合。

【0066】 範例電腦系統 1000 包括處理器 1002、主記憶體 1004 (如，唯讀記憶體(ROM)、快閃記憶體、動態隨機存取記憶體(DRAM)，如同步動態隨機存取記憶體(SDRAM)或 Rambus 動態隨機存取記憶體(RDRAM)等)、靜態記憶體 1006 (如，快閃記憶體、靜態隨機存取記憶體(SRAM)等)、和次要記憶體 1018 (如，資料儲存裝置)，彼此間藉由匯流排 1030 互相通訊。

【0067】 處理器 1002 代表一或多個通用處理裝置，如微處理器、中央處理單元、或類似之物。更明確地，處理器 1002 可以是複雜指令集計算(CISC)微處理器、精簡指令集計算(RISC)

微處理器、極長指令(VLIW)微處理器、實施其他指令集之處理器、或實施指令集之組合的處理器。處理器 1002 也可以是一或多個特用處理裝置，如特定應用積體電路(ASIC)、場式可程式閘陣列(FPGA)、數位訊號處理器(DSP)、網路處理器、或類似之物。處理器 1002 可經配置以執行用來進行本文所述操作之處理邏輯 1026。

【0068】 電腦系統 1000 可進一步包括網路介面裝置 1008。電腦系統 1000 也可包括視頻顯示器 1010 (如，液晶顯示器(LCD)、發光二極體顯示器(LED)、陰極射線管(CRT))、文數輸入裝置 1012 (如，鍵盤)、游標控制裝置 1014 (如，滑鼠)、和訊號產生裝置 1016 (如，喇叭)。

【0069】 次要記憶體 1018 可包括機器可存取儲存媒體(或更特定地，電腦可讀儲存媒體) 1031，在其中儲存收錄本文所述的方法或功能之任一或多者的一或更多組指令(如，軟體 1022)。在電腦系統 1000 執行軟體 1022 期間，軟體 1022 也可完全或至少部分地駐留在主記憶體 1004 及/或處理器 1002，主記憶體 1004 和處理器 1002 也構成機器可讀儲存媒體。軟體 1022 可進一步經由網路介面裝置 1008 在網路 1020 上被傳遞或接收。

【0070】 雖然機器可存取儲存媒體 1031 在一示範具體例中是被顯示為單一媒體，但術語「機器可讀儲存媒體(machine-readable storage medium)」應被當成包括儲存一或更多套指令集之單一媒體或複數媒體(如集中式或分散式資料庫、及/或結合快取與伺服器)。術語「機器可讀儲存媒體」也

應被當成包括能儲存或編碼用於被機器執行的指令集與使機器進行本發明的方法之任一或多者的任何媒體。術語「機器可讀儲存媒體」因此應被當成包括(但不僅限於)固態記憶體、及光學與磁學媒體。

【0071】 根據本發明之一實施例，機器可存取儲存媒體具有儲存於其上的指令，所述指令可導致資料處理系統進行切割半導體晶圓的方法，半導體晶圓具有前表面，前表面上具有複數個積體電路，且半導體晶圓具有鈍化層設置於積體電路的金屬柱/焊料凸塊對之間並覆蓋金屬柱/焊料凸塊對。所述方法涉及在不使用遮罩層的情況下雷射劃線鈍化層，以提供刻劃線暴露半導體晶圓。所述方法也涉及透過刻劃線電漿蝕刻半導體晶圓，以單分積體電路，其中鈍化層在電漿蝕刻的至少一部分期間保護積體電路。所述方法還涉及薄化鈍化層，以部份暴露積體電路之金屬柱/焊料凸塊對。

【0072】 因此，已揭示無遮罩混合式雷射劃線及電漿蝕刻晶圓切割製程。

【符號說明】

【0073】

100、250 晶圓

102 區域

104 垂直切割道

106 水平切割道

200 遮罩

202、204 間隙

206 區域

301' 鈍化層

301'' (減少的)厚度

301''' 最終鈍化層

308 經圖案化遮罩

310 間隙

312 溝槽

312' (完整)溝槽

350 晶圓

390 金屬凸塊/焊料球對

392 元件層及鈍化層

394 基板

500A、500B、500C 通孔

502A 顯著破壞

502B 破壞

502C 無破壞

600 切割道

602 矽基板的頂部分

604 第一二氧化矽層

606 第一蝕刻終止層

608 第一低 K 介電層

610 第二蝕刻終止層

612 第二低 K 介電層

614 第三蝕刻終止層

- 616 無摻雜矽玻璃層
- 618 第二二氧化矽層
- 620 鈍化層
- 622 銅金屬化物
- 700 作圖
- 702 結晶矽
- 704 銅
- 706 結晶二氧化矽
- 708 非晶二氧化矽
- 800 方程式
- 900 製程工具
- 902 生產介面
- 904 負載鎖定室
- 906 群集工具
- 908 電漿蝕刻腔室
- 910 雷射刻劃設備
- 912 沉積腔室
- 914 濕式/乾式站
- 1000 電腦系統
- 1002 處理器
- 1004 主記憶體
- 1006 靜態記憶體
- 1008 網路介面裝置
- 1010 視頻顯示器

1012 文數輸入裝置

1014 游標控制裝置

1016 訊號產生裝置

1018 次要記憶體

1020 網路

1022 軟體

1026 處理邏輯

1030 匯流排

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

發明摘要

※ 申請案號：103136332

※ 申請日：2014 年 10 月 21 日

※IPC 分類：**H01L 21/3065** (2006.01)

【發明名稱】（中文/英文）

無遮罩混合式雷射劃線及電漿蝕刻晶圓切割製程

**MASKLESS HYBRID LASER SCRIBING AND PLASMA
ETCHING WAFER DICING PROCESS**

【中文】

茲描述無遮罩混合式雷射劃線及電漿蝕刻晶圓切割製程。在一實例中，一種切割具有前表面之半導體晶圓的方法，所述前表面上具有複數個積體電路，並具有鈍化層設置於積體電路的金屬柱/焊料凸塊對之間並覆蓋金屬柱/焊料凸塊對，該方法涉及在不使用遮罩層的情況下雷射劃線鈍化層，以提供刻劃線暴露半導體晶圓。所述方法也涉及透過刻劃線電漿蝕刻半導體晶圓，以單分積體電路，其中鈍化層可在電漿蝕刻的至少一部分期間保護積體電路。所述方法也涉及薄化鈍化層，以部份暴露積體電路的金屬柱/焊料凸塊對。

【英文】

Maskless hybrid laser scribing and plasma etching wafer dicing processes are described. In an example, a method of dicing a semiconductor wafer having a front surface with a plurality of integrated circuits thereon and having a

passivation layer disposed between and covering metal pillar/solder bump pairs of the integrated circuits involves laser scribing, without the use of a mask layer, the passivation layer to provide scribe lines exposing the semiconductor wafer. The method also involves plasma etching the semiconductor wafer through the scribe lines to singulate the integrated circuits, wherein the passivation layer protects the integrated circuits during at least a portion of the plasma etching. The method also involves thinning the passivation layer to partially expose the metal pillar/solder bump pairs of the integrated circuits.

【代表圖】

【本案指定代表圖】：第（ 3D ）圖。

【本代表圖之符號簡單說明】：

301'' (減少的)厚度

310 間隙

312' (完整)溝槽

390 金屬凸塊/焊料球對

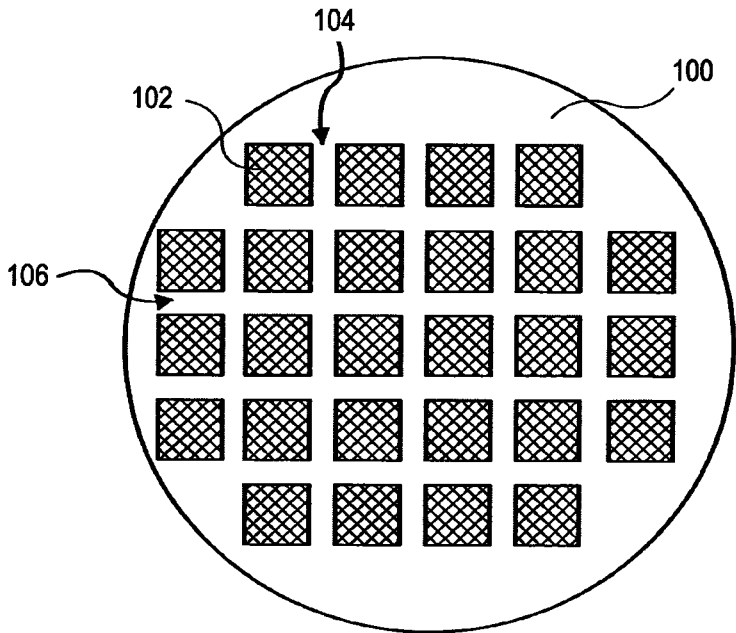
392 元件層及鈍化層

394 基板

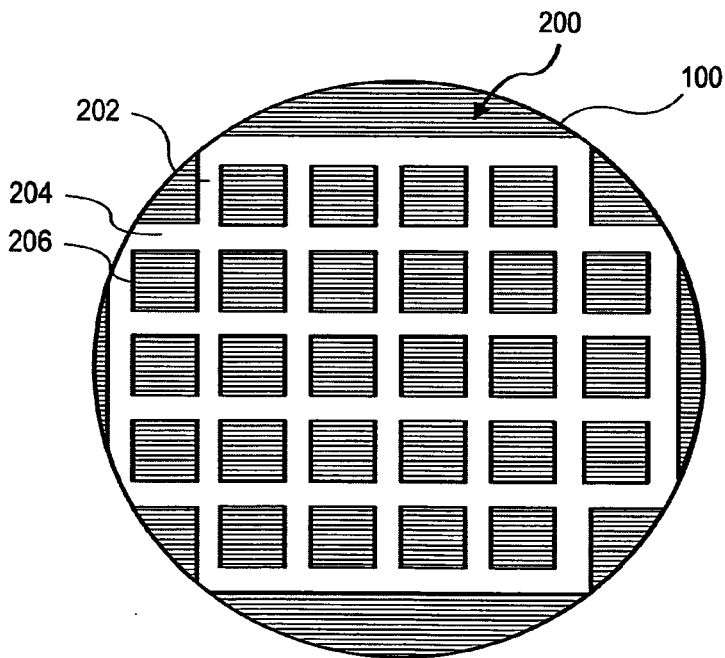
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

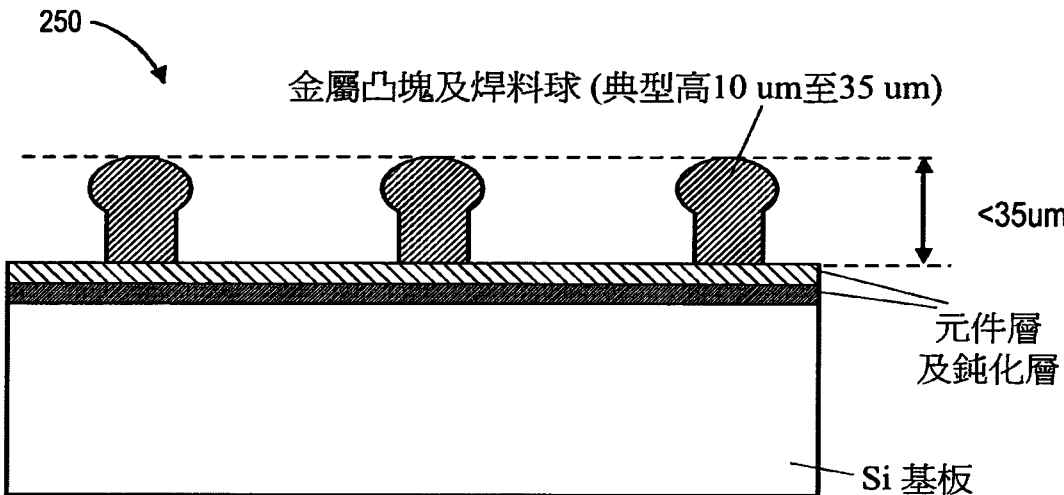
圖式



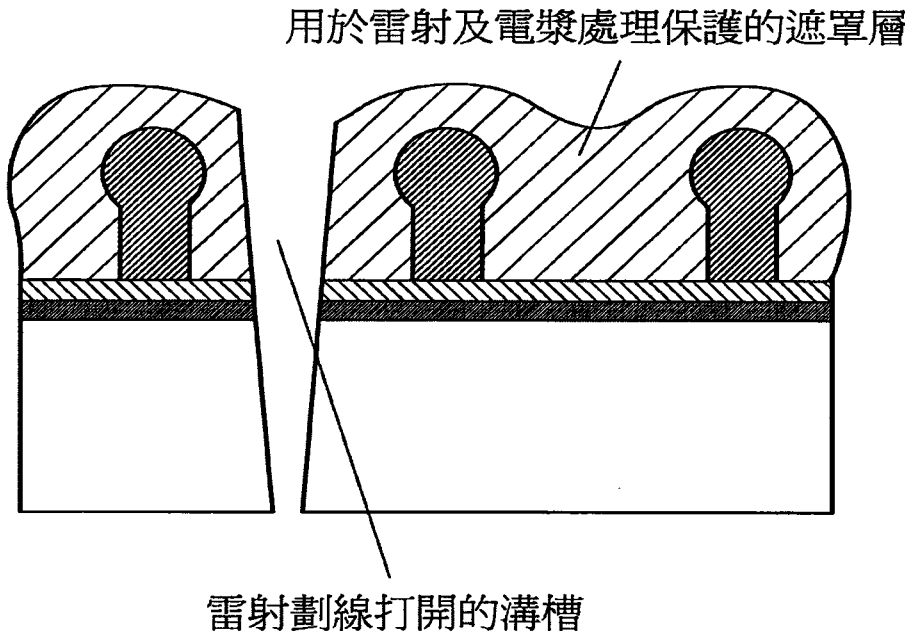
第 1A 圖



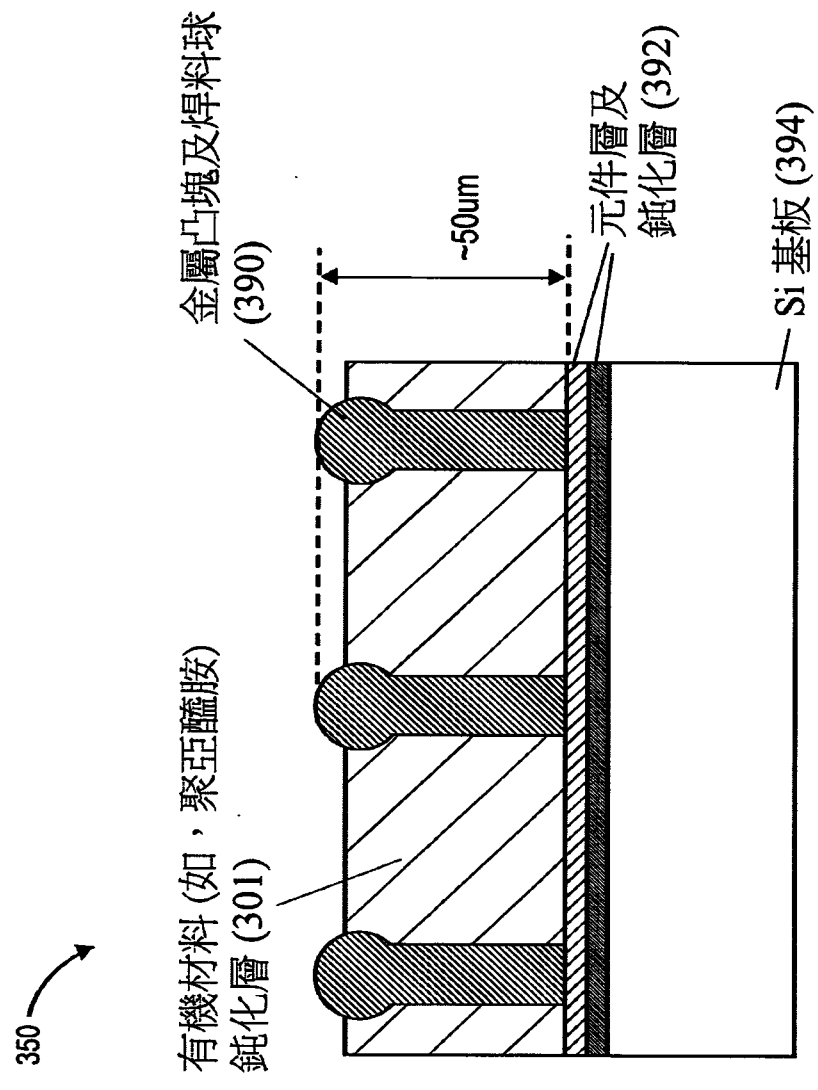
第 1B 圖



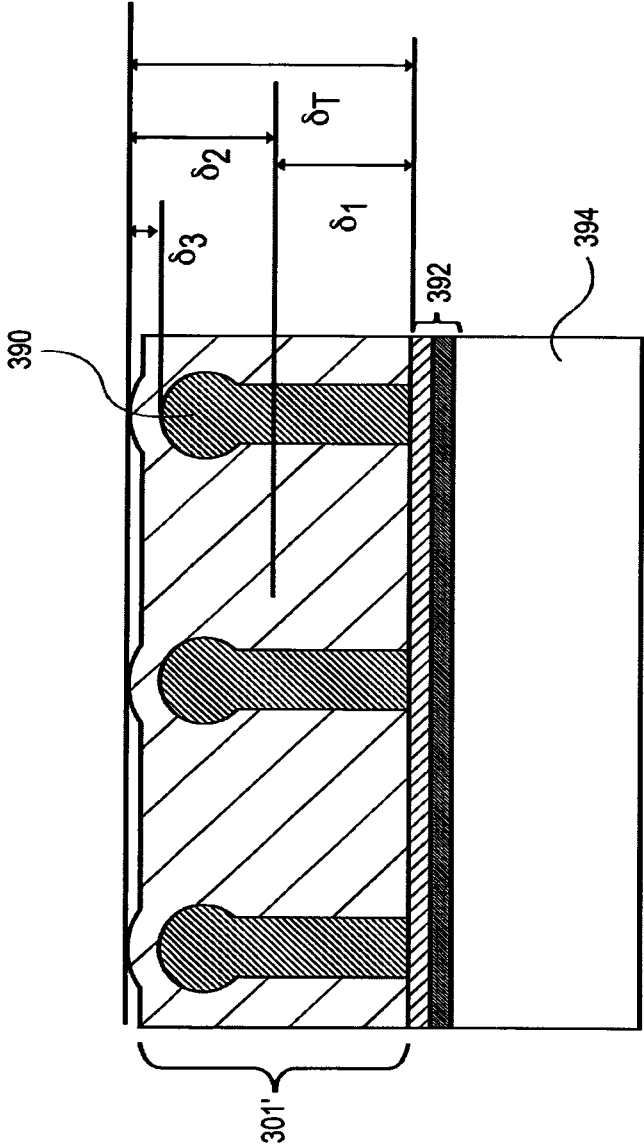
第 2A 圖



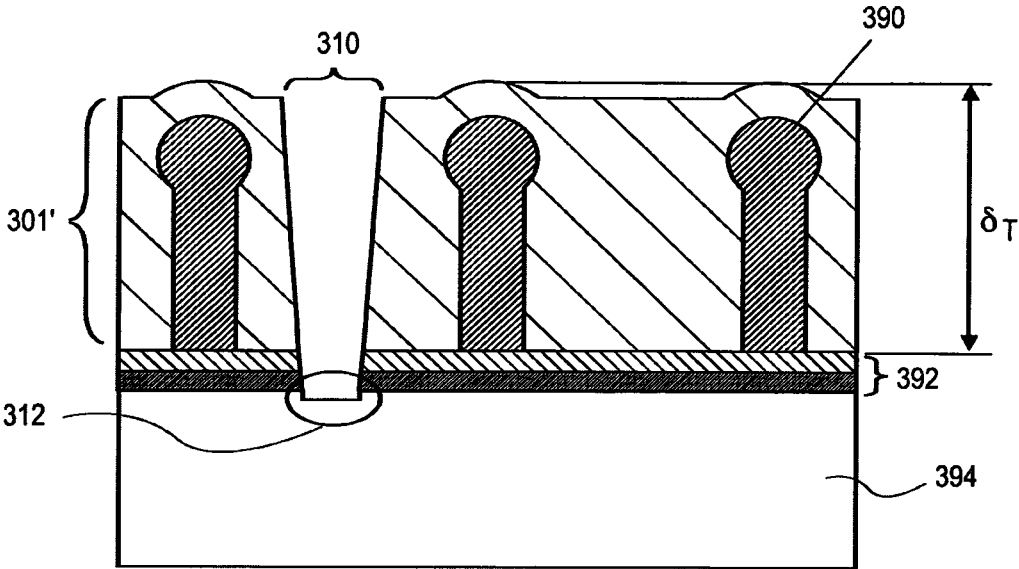
第 2B 圖



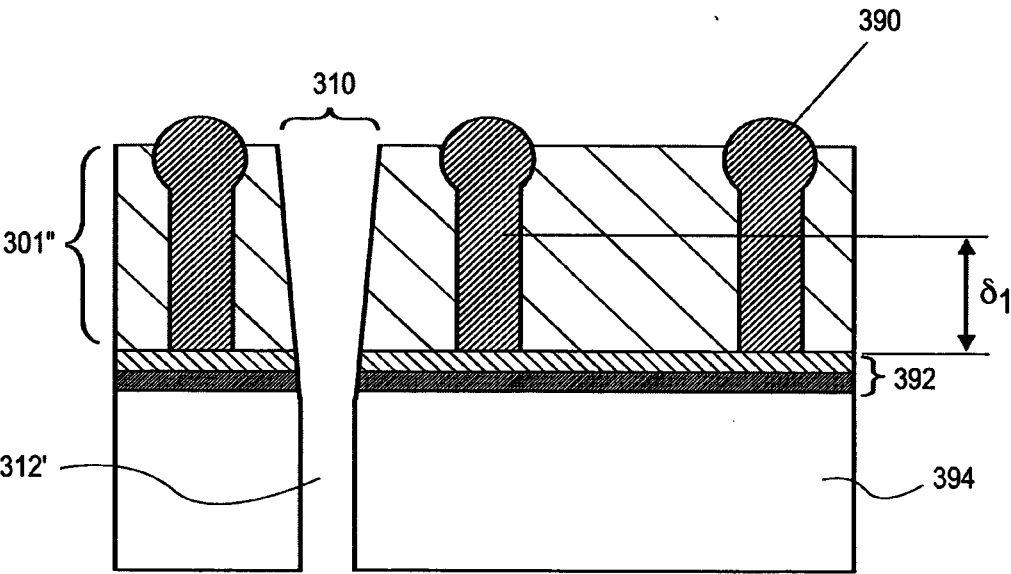
第 3A 圖



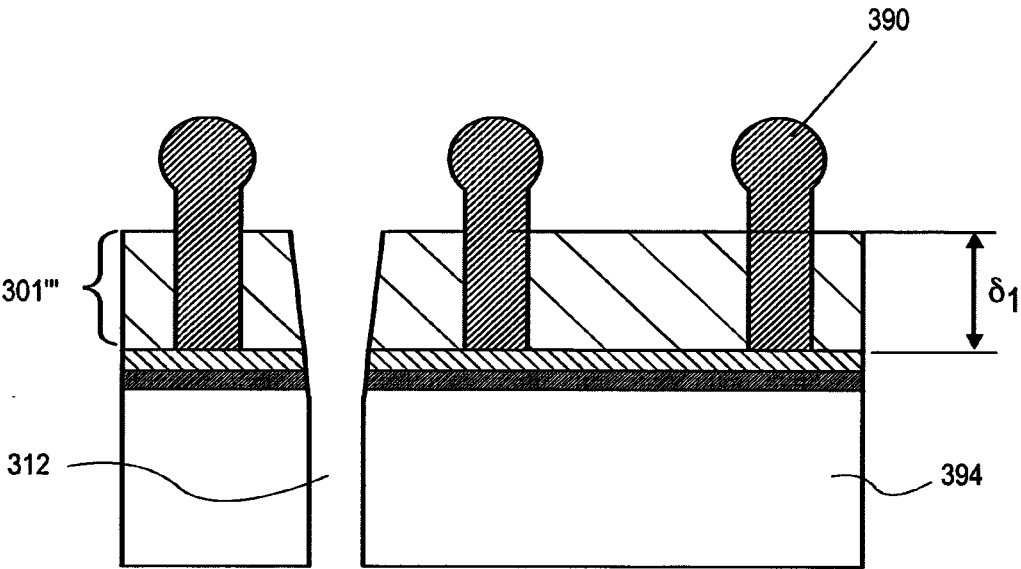
第3B圖



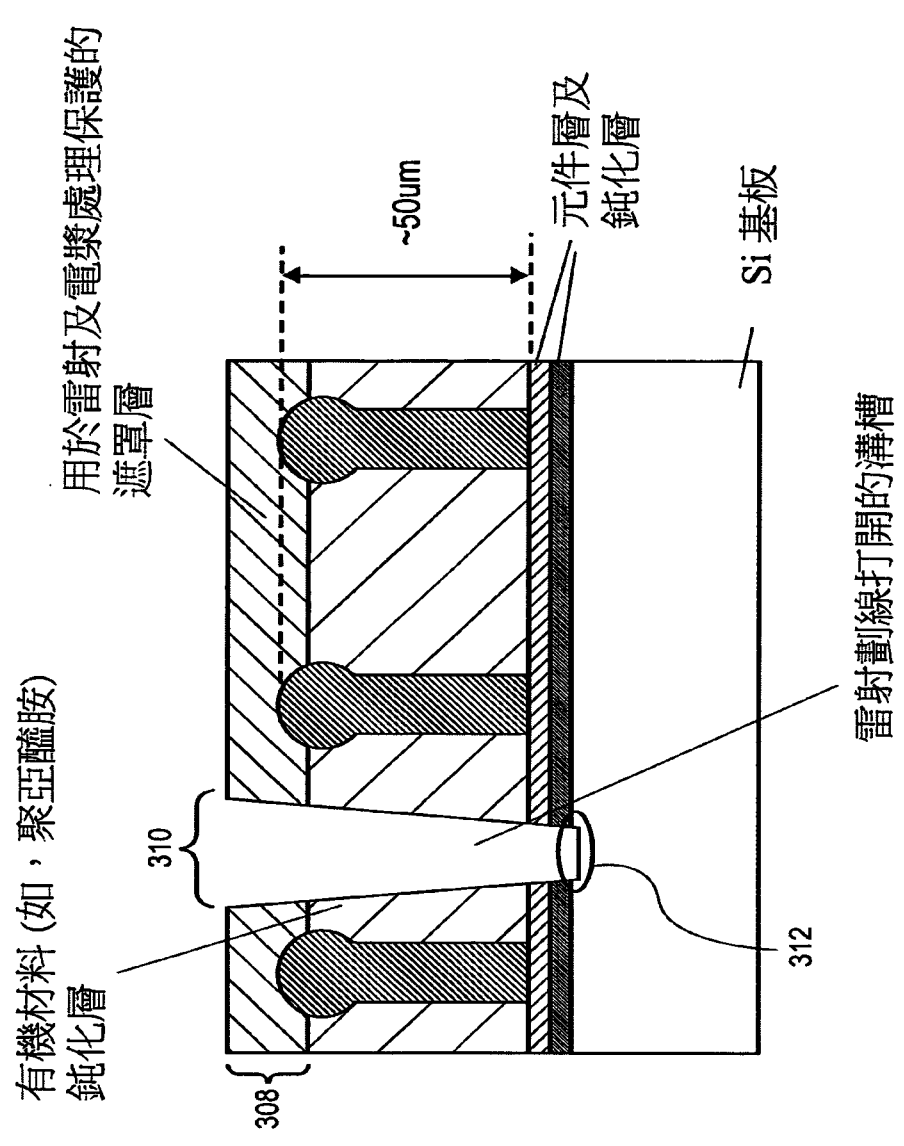
第 3C 圖



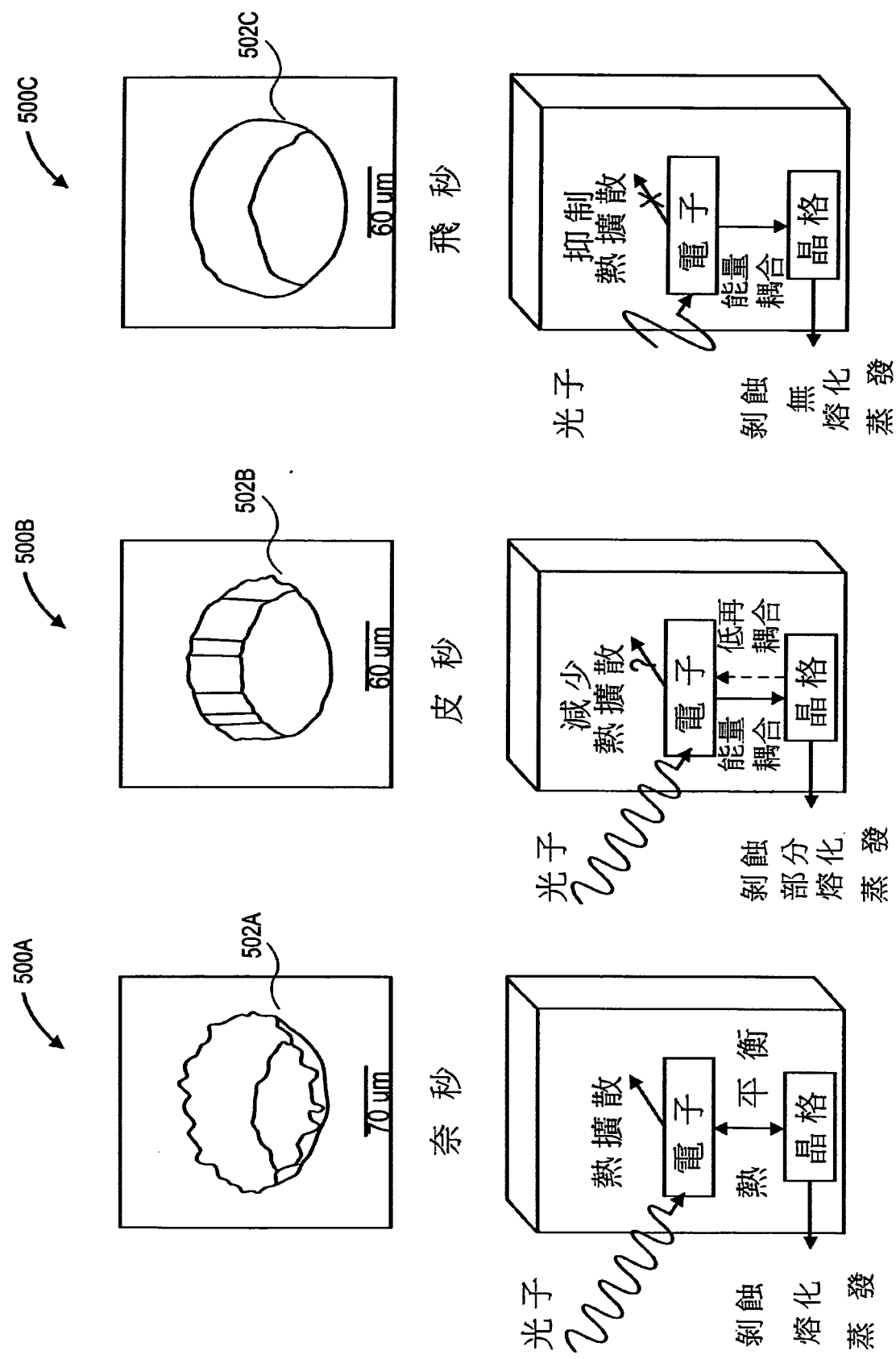
第 3D 圖



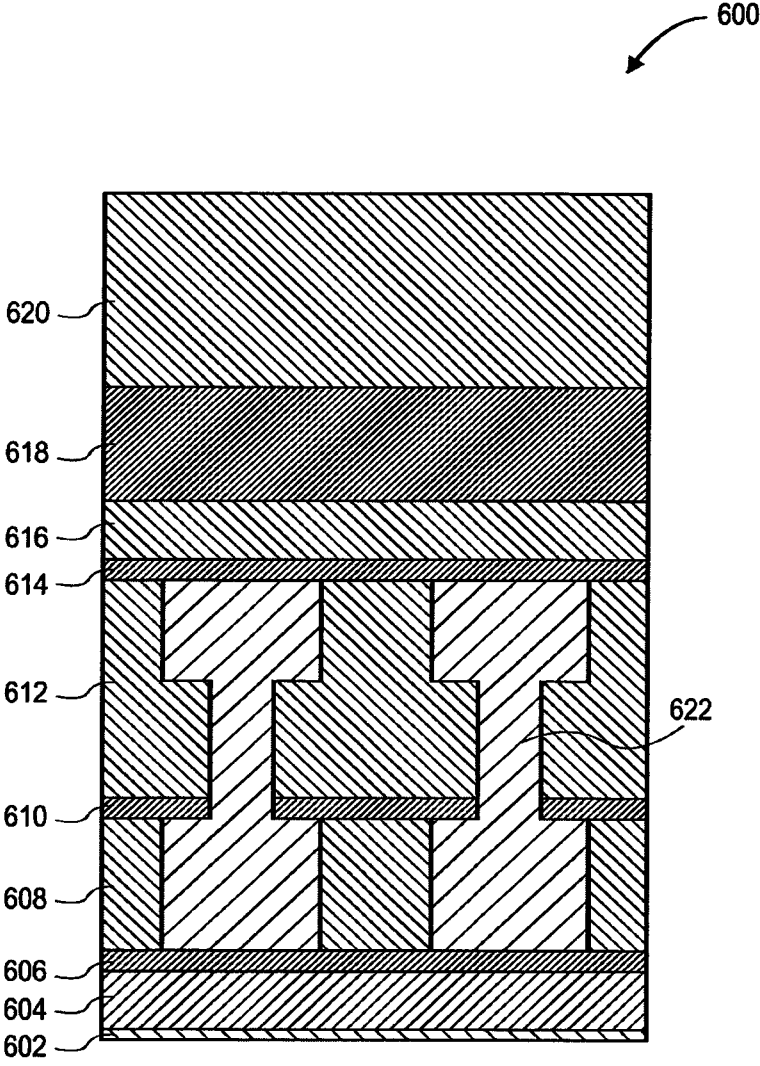
第 3E 圖



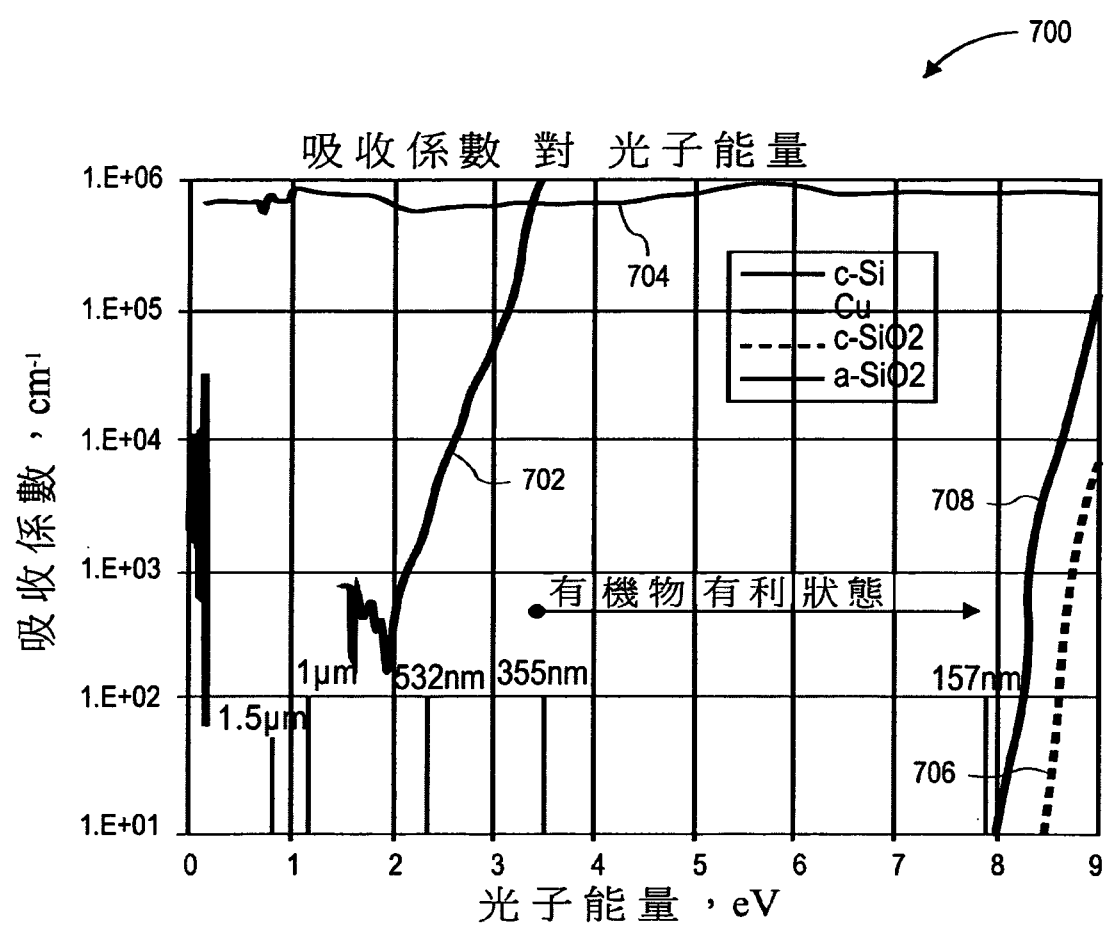
第 4 圖



第5圖



第 6 圖



第 7 圖

脈衝能量

|
 E_p

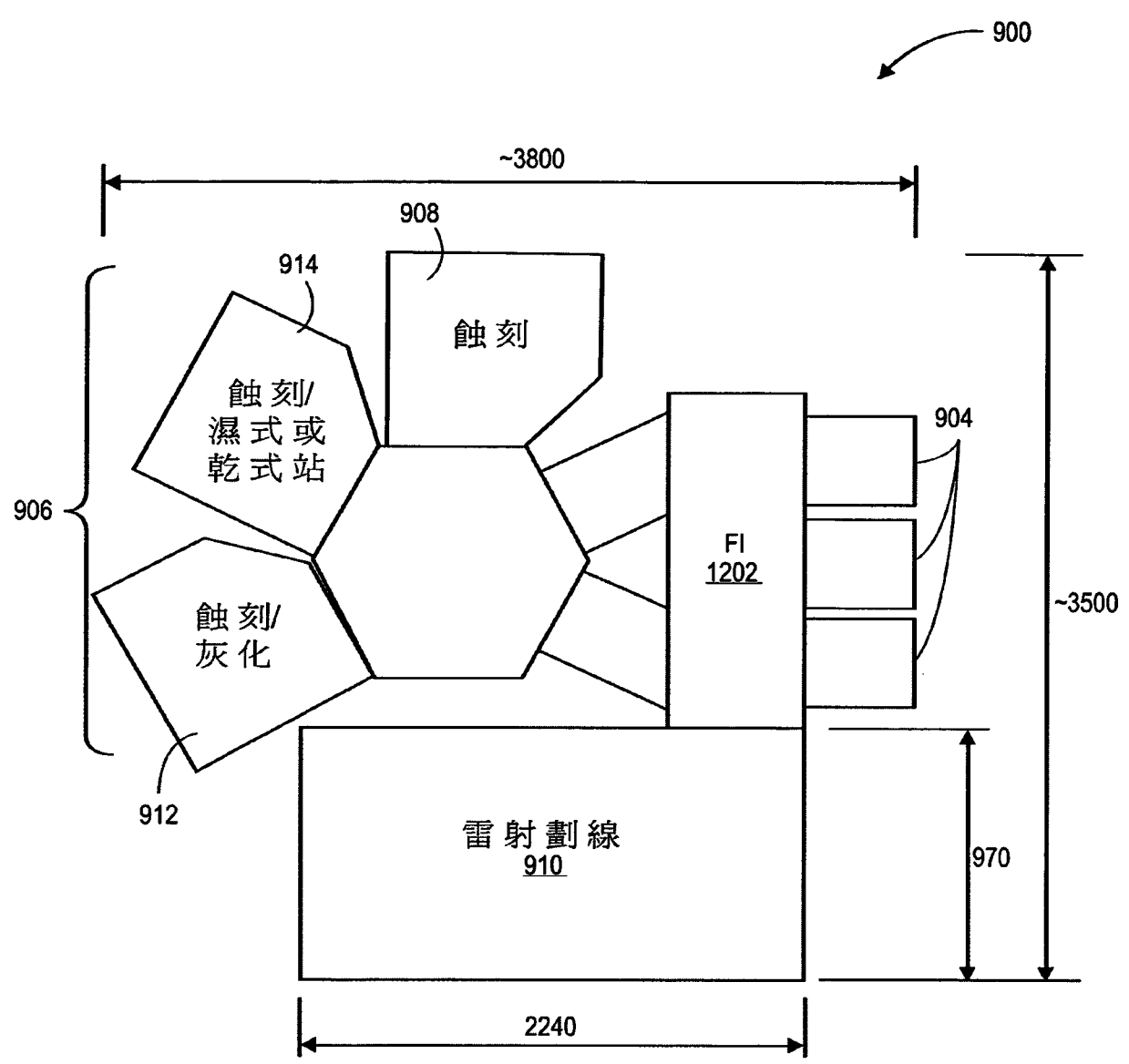
強度
|
 I

$$I = \frac{E_p}{\pi \cdot w_0^2 \cdot \tau}$$

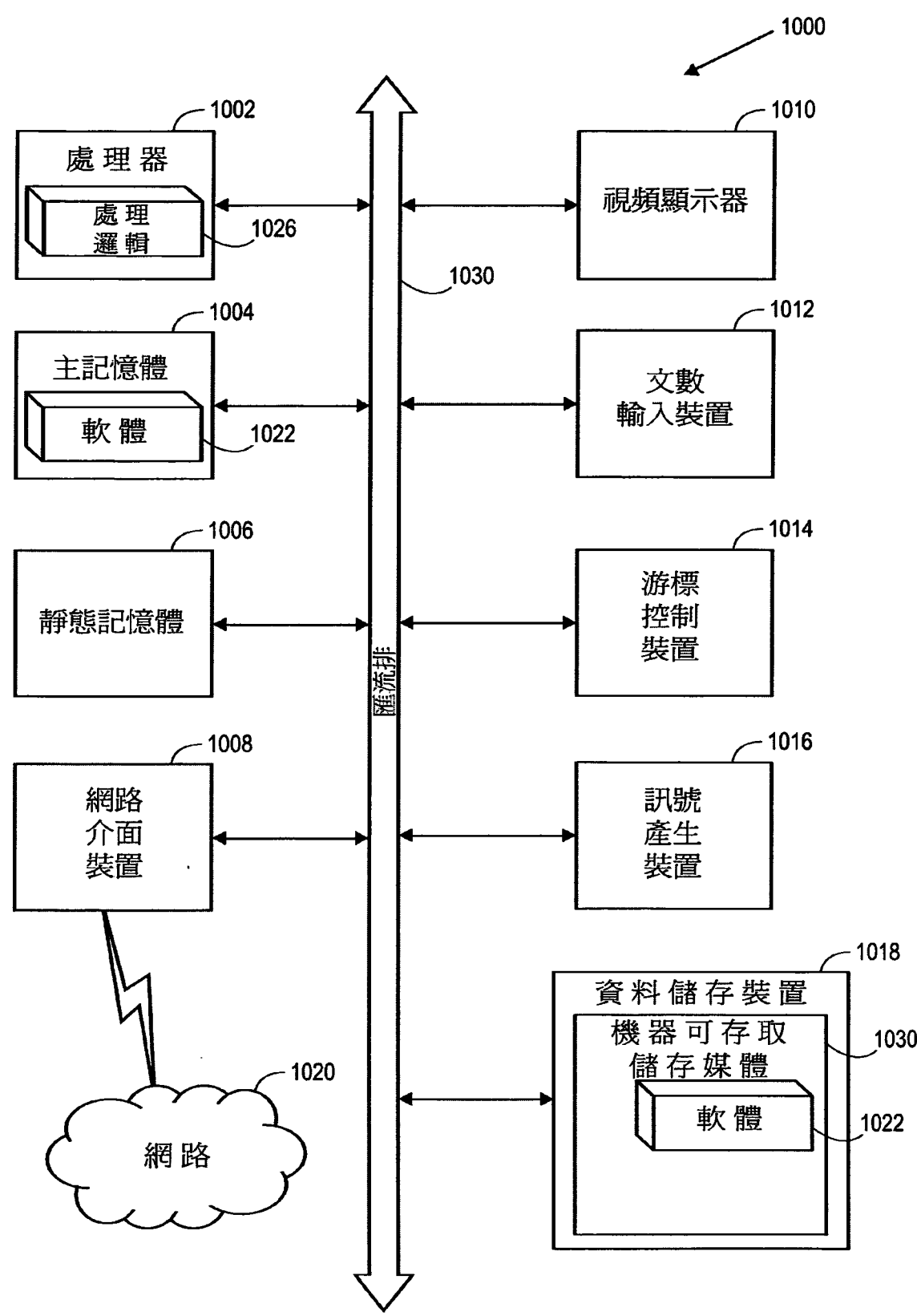
|
光束半徑

脈衝寬度

第 8 圖



第 9 圖



第 10 圖

【0006】 本文所描述的一或多個實施例導向無遮罩混合式雷射劃線及電漿蝕刻晶圓切割製程。

【0007】 在一實施例中，一種切割具有前表面之半導體晶圓的方法，所述前表面上具有複數個積體電路，半導體晶圓並具有鈍化層設置於積體電路的金屬柱/焊料凸塊對(pair)之間並覆蓋金屬柱/焊料凸塊對，該方法涉及在不使用遮罩層的情況下雷射劃線鈍化層，以提供刻劃線暴露半導體晶圓。所述方法也涉及透過刻劃線電漿蝕刻半導體晶圓，以單分積體電路，其中鈍化層可在電漿蝕刻的至少一部分期間保護積體電路。所述方法還涉及薄化鈍化層，以部份暴露積體電路之金屬柱/焊料凸塊對。

【0008】 在另一實施例中，用於切割半導體晶圓的系統包括生產介面(factory interface)。雷射劃線設備耦接生產介面。電漿蝕刻腔室耦接生產介面。電漿灰化腔室耦接生產介面。

【0009】 在另一實施例中，一種切割包括前表面之矽晶圓的方法，所述前表面上具有複數個 DRAM 電路，且所述矽晶圓具有聚亞醯胺層設置於 DRAM 電路的金屬柱/焊料凸塊對之間並覆蓋金屬柱/焊料凸塊對，該方法涉及在不使用遮罩層的情況下雷射劃線聚亞醯胺層，以提供刻劃線暴露矽晶圓。雷射劃線透過低 K 材料層及銅層進行，低 K 材料層及銅層二者皆設置於聚亞醯胺層與矽晶圓之間。雷射劃線涉及飛秒系雷射劃線製程。所述方法也涉及透過刻劃線電漿蝕刻矽晶圓，以單分 DRAM 電路，其中聚亞醯胺層可在電漿蝕刻的至少一部分期間保護 DRAM 電路。所述方法還涉及電漿灰化聚亞醯

負載鎖定室 904 之生產介面(factory interface, FI) 902。群集工具 906 被連接至生產介面 902。群集工具 906 包括一或多個電漿蝕刻腔室，如電漿蝕刻腔室 908。雷射劃線設備 910 也被連接至生產介面 902。在一具體例中，製程工具 900 總體的佔地面積可以是約 3500 毫米(3.5 公尺)乘上約 3800 毫米(3.8 公尺)，如第 9 圖所描繪。

【0060】 在一實施例中，雷射劃線設備 910 安放了飛秒系雷射。飛秒系雷射適用於進行混合雷射和蝕刻單分製程之雷射剝蝕部分，如上述之雷射剝蝕製程。在一個實施例中，雷射劃線設備 910 內也包括可移動平台，可移動平台被設置用以相對飛秒系雷射移動晶圓或基板(或其之載具)。在一特定實施例中，飛秒系雷射也是可移動的。在一個實施例中，雷射劃線設備 910 總體的佔地面積可以是約 2240 毫米乘上約 1270 毫米，如第 9 圖所示。然而，應瞭解到，在其它實施例中，也可使用奈秒或皮秒系雷射。

【0061】 在一實施例中，一或多個電漿蝕刻腔室 908 經配置以透過經圖案化遮罩中之間隙來蝕刻晶圓或基板，以單分複數個積體電路。在一個此類實施例中，一或多個電漿蝕刻腔室 908 經配置以進行深矽蝕刻製程。在一特定實施例中，一或多個電漿蝕刻腔室 908 是可從美國加州森尼韋爾市的應用材料公司取得之 Applied Centura® Silvia™ 蝕刻系統。可就用於產生單分的積體電路之深矽蝕刻來特別設計蝕刻腔室，積體電路被安放在單晶矽基板或晶圓之上或之內。在一實施例中，電漿蝕刻腔室 908 包括高密度電漿源，以促進高矽蝕刻

申請專利範圍

1. 一種切割一半導體晶圓的方法，該半導體晶圓包含一前表面，該前表面上具有複數個積體電路，並具有一鈍化層設置於該等積體電路的金屬柱/焊料凸塊對(pair)之間並覆蓋該等金屬柱/焊料凸塊對，該方法包含下列步驟：

在不使用一遮罩層的情況下雷射劃線該鈍化層，以提供刻劃線而暴露該半導體晶圓；

透過該等刻劃線電漿蝕刻該半導體晶圓，以單分(singulate)該等積體電路，其中該鈍化層在該電漿蝕刻的至少一部分期間保護該等積體電路；以及

薄化該鈍化層，以部份暴露該等積體電路之該等金屬柱/焊料凸塊對。

2. 如請求項 1 所述之方法，其中薄化該鈍化層之步驟包含下列步驟：使用基於 O_2 之一電漿灰化製程。

3. 如請求項 1 所述之方法，其中薄化該鈍化層之步驟包含下列步驟：薄化至該鈍化層之一最終厚度，該最終厚度將近在 35 微米至 50 微米的範圍內。

4. 如請求項 1 所述之方法，其中該鈍化層包含聚亞醯胺之一層。

5. 如請求項 1 所述之方法，其中雷射劃線該鈍化層，以提

供刻劃線而暴露該半導體晶圓包含下列步驟：於該半導體晶圓中形成溝槽，且其中透過該等刻劃線電漿蝕刻該半導體晶圓包含下列步驟：透過該等溝槽進行電漿蝕刻。

6. 如請求項 1 所述之方法，其中雷射劃線該鈍化層包含下列步驟：使用一飛秒系(femto-second-based)雷射劃線製程。

7. 如請求項 6 所述之方法，其中使用該飛秒系雷射劃線製程包含下列步驟：使用一雷射，該雷射具有約略小於或等於 540 奈米之一波長，及約略小於或等於 400 飛秒之一雷射脈衝寬度。

8. 如請求項 1 所述之方法，其中電漿蝕刻該半導體晶圓包含下列步驟：使用一高密度電漿蝕刻製程。

9. 一種用於切割一半導體晶圓的系統，該半導體晶圓包含複數個積體電路，該系統包含：

- 一生產介面(factory interface)；

- 一雷射劃線設備，耦接該生產介面，其中該雷射劃線設備經配置以對介於一半導體晶圓之多個積體電路之間的切割道進行雷射剝蝕；

- 一電漿蝕刻腔室，耦接該生產介面，其中該電漿蝕刻腔室經配置以蝕刻該半導體晶圓，以於該雷射剝蝕之後單分該等積體電路；以及

一電漿灰化腔室，耦接該生產介面，其中該電漿灰化腔室經配置以使用基於 O_2 之一電漿灰化製程，來可控制地薄化該等積體電路之一鈍化層，而不移除該鈍化層。

10. 如請求項 9 所述之系統，其中該雷射劃線設備包含一飛秒系雷射。

11. 如請求項 9 所述之系統，其中該電漿蝕刻腔室經配置以產生一高密度電漿。

12. 如請求項 9 所述之系統，其中該電漿蝕刻腔室及該電漿灰化腔室係容置於一群集工具上，該群集工具耦接該生產介面，該群集工具進一步包含：

一濕式/乾式站，經配置以在該雷射剝蝕、該蝕刻或該灰化後清潔該半導體晶圓。

13. 一種切割一矽晶圓的方法，該矽晶圓包含一前表面，該前表面上具有複數個 DRAM 電路，並具有一聚亞醯胺層設置於該等 DRAM 電路的金屬柱/焊料凸塊對之間並覆蓋該等金屬柱/焊料凸塊對，該方法包含下列步驟：

在不使用一遮罩層的情況下雷射劃線該聚亞醯胺層，以提供刻劃線而暴露該矽晶圓，該雷射劃線透過一低 K 材料層及一銅層進行，該低 K 材料層及該銅層二者皆設置於該聚亞醯胺層與該矽晶圓之間，該雷射劃線包含一飛秒系

(femto-second-based)雷射劃線製程；

透過該等刻劃線電漿蝕刻該矽晶圓，以單分(singulate)該等 DRAM 電路，其中該聚亞醯胺層在該電漿蝕刻的至少一部分期間保護該等 DRAM 電路；以及

電漿灰化該聚亞醯胺層，以薄化該聚亞醯胺層，部份暴露該等 DRAM 電路之該等金屬柱/焊料凸塊對。

14. 如請求項 13 所述之方法，其中電漿灰化該聚亞醯胺層包含下列步驟：使用基於 O_2 之一電漿灰化製程。

15. 如請求項 13 所述之方法，其中電漿灰化該聚亞醯胺層包含下列步驟：薄化該聚亞醯胺層至一最終厚度，該最終厚度將近在 35 微米至 50 微米的範圍內。

16. 如請求項 13 所述之方法，其中雷射劃線該聚亞醯胺層以提供刻劃線而暴露該矽晶圓包含下列步驟：於該矽晶圓中形成溝槽，且其中透過該等刻劃線電漿蝕刻該矽晶圓包含下列步驟：透過該等溝槽進行電漿蝕刻。

17. 如請求項 13 所述之方法，其中電漿蝕刻該矽晶圓包含下列步驟：使用一高密度電漿蝕刻製程。

18. 如請求項 13 所述之方法，其中該飛秒系雷射劃線製程包含：使用一雷射，該雷射具有約略小於或等於 540 奈米之一

波長，及約略小於或等於 400 飛秒之一雷射脈衝寬度。