(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0003088
(43) 공개일자 2014년01월09일

(51) 국제특허분류(Int. Cl.)
H01L 21/82 (2006.01) *H01L 23/62* (2006.01)
(21) 출원번호 10-2012-0070676
(22) 출원일자 2012년06월29일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
최우영
서울특별시 마포구 신수로 15 (현석동, 강변힐스테이트) 102동 403호
윤규한
경기도 성남시 분당구 미금로 215 (금곡동, 청솔마을대원아파트) 814-1501
(74) 대리인
특허법인 대아

전체 청구항 수 : 총 10 항

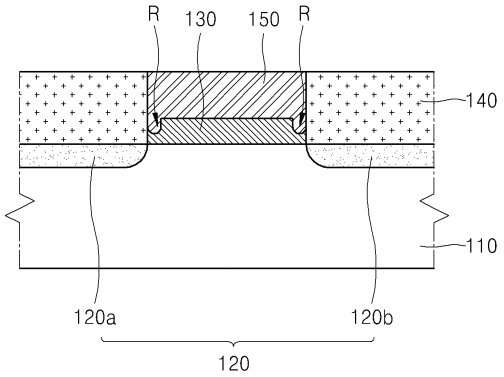
(54) 발명의 명칭 **반도체 소자의 안티퓨즈 및 그 제조 방법**

(57) 요 약

절연막의 파괴 위치의 제어가 가능하고, 절연막 파괴 후의 저항산포를 개선할 수 있는 반도체 소자의 안티퓨즈 및 그 제조 방법을 개시한다.

본 발명에 따른 반도체 소자의 안티퓨즈는 기판에, 서로 이격 형성된 소오스 및 드레인; 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 형성된 게이트 절연막; 및 상기 게이트 절연막 상에 형성된 게이트 전극;을 포함하며, 상기 게이트 절연막의 양단 중 적어도 한 쪽에의 두께가 중앙부의 두께보다 얇은 것을 특징으로 한다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	NIPA-2012-C1090-1201-0003
부처명	지식경제부
연구사업명	대학 IT연구센터 육성.지원사업
연구과제명	차세대 융복합 시스템용 아날로그 IP 핵심설계기술 개발
기 여 율	1/1
주관기관	서강대학교 산학협력단
연구기간	2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

기판에, 서로 이격 형성된 소오스 및 드레인;

일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 형성된 게이트 절연막; 및

상기 게이트 절연막 상에 형성된 게이트 전극;을 포함하며,

상기 게이트 절연막의 양단 중 적어도 한 쪽에의 두께가 중앙부의 두께보다 얇은 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 2

제1항에 있어서,

상기 게이트 절연막은

상기 양단 중 적어도 한 쪽에 상기 게이트 절연막의 표면으로부터 일정 깊이를 갖는 리세스를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 3

제1항에 있어서,

상기 게이트 절연막은

실리콘 산화물, 실리콘 질화물, 알루미늄 산화물, 지르코늄 산화물 및 하프늄 산화물 중 하나 이상을 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 4

제1항에 있어서,

상기 게이트 절연막은

상기 게이트 전극과 상기 기판 사이에 인가된 전압에 의해 절연성이 파괴되는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 5

기판에 서로 이격 형성된 소오스 및 드레인을 형성하는 단계;

일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 더미 게이트를 형성하는 단계;

상기 더미 게이트를 포함한 결과물 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 상기 더미 게이트와 평탄화하는 단계;

상기 더미 게이트를 제거하면서 상기 게이트 절연막의 양단 중 적어도 한 쪽에 일정 깊이를 갖는 리세스를 형성하는 단계; 및

상기 리세스를 채우는 돌출부를 포함하는 게이트 전극을 상기 게이트 절연막 상에 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 6

제5항에 있어서,

상기 게이트 절연막은

상기 게이트 절연막의 양단 중 적어도 한 쪽에의 두께를 중앙부의 두께보다 얇게 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 7

제5항에 있어서,

상기 더미 게이트는

플라즈마 식각 공정을 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 8

제7항에 있어서,

상기 플라즈마 식각 공정은

상기 층간 절연막의 양측에서의 전계의 세기를 달리하여, 상대적으로 전계의 세기가 큰 층간 절연막에 인접한 게이트 절연막의 끝단을 식각하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 9

제5항에 있어서,

상기 게이트 절연막, 소오스 및 드레인은

상기 반도체 소자의 셀 영역을 형성하는 과정에서 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 10

기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 양측의 하부 영역에 소오스 및 드레인을 형성하는 단계;

상기 게이트 절연막 상에 더미 게이트를 형성하는 단계;

상기 더미 게이트를 포함한 결과물 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 상기 더미 게이트와 평탄화하는 단계;

상기 더미 게이트를 제거하면서 상기 게이트 절연막의 양단 중 적어도 한 쪽에 일정 깊이를 갖는 리세스를 형성하는 단계; 및

상기 리세스를 채우는 돌출부를 포함하는 게이트 전극을 상기 게이트 절연막 상에 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 소자에 관한 것으로, 보다 자세하게는 반도체 소자의 안티퓨즈 및 그 제조 방법에 관한 것이다.

[0002]

배 경 기 술

[0003] 반도체 장치, 특히 메모리 장치는 제조 시에 수많은 메모리 셀 중에서 한 개라도 결함이 있으면 메모리로서의 기능을 수행하지 못하므로 불량품으로 처리된다. 그러나 메모리 내의 일부 메모리 셀에만 결함이 발생하였는데도 불구하고 메모리 장치 전체를 불량품으로 폐기하는 것은 생산성 측면에서 비효율적이다. 따라서 현재는 메모리 소자 내에 미리 제조해 둔 여분의 셀(redundancy cell)을 이용하여 불량 메모리 셀을 대체함으로써, 전체소자를 되살려 주는 방식으로 수율을 향상시키고 비용을 절감하고 있다.

[0004] 상기 여분의 셀을 이용한 리페어(repair) 공정은 검사 공정을 통해 불량으로 판명된 셀을 퓨즈(fuse)를 사용하여 칩 내에 내장된 여분의 셀과 연결시켜 재생시키는 공정이다. 즉, 특정 퓨즈들만을 절단함으로써 리페어할 셀들의 위치 정보를 생성하는 것이다.

[0005] 그러나, 퓨즈를 이용하여 반도체 소자를 리페어하는 방식은 웨이퍼 상태에서 리페어 하는 것으로, 패키징 이후에는 레이저 리페어 장비를 사용할 수 없기 때문에 패키지까지 완료된 상태에서 불량 셀이 존재하는 것으로 판명된 경우에는 적용할 수 없는 한계가 존재한다. 이러한 퓨즈 방식의 한계를 극복하기 위한 것으로 개발된 것이 안티퓨즈(antifuse) 방식이다.

[0006] 안티퓨즈는 패키지 단계에서도 간단하게 결함 구제를 위한 프로그램을 할 수 있다. 안티퓨즈는 패키지 이전의 퓨즈에 대한 상대적인 의미로, 정상 상태에서는 전기적으로 개방(open)되어 있다가, 필요에 따라 고전압을 인가하여 도전체 사이의 절연체를 파괴하면 전기적으로 단락(short) 상태가 되는 퓨즈를 말한다. 이러한 안티퓨즈는 주변회로영역(periphery)에 형성하며, 안티퓨즈를 위한 여분의 셀들 또한 주변회로영역에 형성하되 통상 리프레쉬(refresh)가 필요 없는 SRAM(static random access memory) 셀로 형성한다.

[0007] 종래의 안티퓨즈는 두 개의 도전층과 그들 사이에 유전층을 포함한 구조를 가진다. 이러한 안티퓨즈는 두 개의 도전층 사이에 전압을 인가하여 유전층을 절연 파괴(breakdown) 시킴으로서 프로그래밍된다. 프로그래밍 여부에 따라, 상기 두 도전층 사이의 전류의 크기가 달라진다. 그러나, 종래의 안티퓨즈로는 파열(rupture) 위치의 제어가 쉽지 않다.

[0008] 본 발명에 관련된 선행문헌으로는 대한민국 공개특허공보 제2011-0014581호(2011.02.11 공개)가 있으며, 상기 문헌에는 이중 두께의 게이트 산화물을 갖는 안티퓨즈 메모리 셀을 포함한 메모리 장치에 대하여 개시하고 있다.

[0009]

발명의 내용

해결하려는 과제

[0010] 본 발명의 하나의 목적은 안티퓨즈용 절연막의 파괴(rupture) 위치를 제어하고, 안티퓨즈용 절연막 파괴 후의 저항산포를 개선할 수 있는 반도체 소자의 안티퓨즈를 제공하는 것이다.

[0011] 또한, 본 발명의 다른 목적은 상기 반도체 소자의 안티퓨즈의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0012] 상기 하나의 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 소자의 안티퓨즈는, 기판에, 서로 이격 형성된 소오스 및 드레인; 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 형성된 게이트 절연막; 및 상기 게이트 절연막 상에 형성된 게이트 전극;을 포함하며, 상기 게이트 절연막의 양단

중 적어도 한 쪽에의 두께가 중앙부의 두께보다 얇은 것을 특징으로 한다.

[0013] 또한, 상기 다른 목적을 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈 제조 방법은 기판에 서로 이격 형성된 소오스 및 드레인을 형성하는 단계; 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록, 상기 기판 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 더미 게이트를 형성하는 단계; 상기 더미 게이트를 포함한 결과물 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 상기 더미 게이트와 평탄화하는 단계; 상기 더미 게이트를 제거하면서 상기 게이트 절연막의 양단 중 적어도 한 쪽에 일정 깊이를 갖는 리세스를 형성하는 단계; 및 상기 리세스를 채우는 돌출부를 포함하는 게이트 전극을 상기 게이트 절연막 상에 형성하는 단계;를 포함하는 것을 특징으로 한다.

[0014] 또한, 상기 다른 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 소자의 안티퓨즈 제조 방법은 기판 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 양측의 하부 영역에 소오스 및 드레인을 형성하는 단계; 상기 게이트 절연막 상에 더미 게이트를 형성하는 단계; 상기 더미 게이트를 포함한 결과물 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 상기 더미 게이트와 평탄화하는 단계; 상기 더미 게이트를 제거하면서 상기 게이트 절연막의 양단 중 적어도 한 쪽에 일정 깊이를 갖는 리세스를 형성하는 단계; 및 상기 리세스를 채우는 돌출부를 포함하는 게이트 전극을 상기 게이트 절연막 상에 형성하는 단계;를 포함하는 것을 특징으로 한다.

발명의 효과

[0015] 본 발명의 실시예에 따른 반도체 소자의 안티퓨즈는 게이트 절연막의 양단 중 적어도 한 쪽에의 두께를 중앙부의 두께보다 얇게 형성하여 인가된 전압에서 선택적으로 게이트 절연막의 양단 중 적어도 한 쪽을 절연 파괴시킬 수 있다. 이에 따라, 안티퓨즈용 절연막의 파괴 위치의 제어가 가능하고, 안티퓨즈용 절연막 파괴 후의 저항 산포를 개선할 수 있다.

[0016] 또한, 본 발명의 실시예에 따른 안티퓨즈는 통상의 반도체 소자의 제조 공정을 활용하여 제조할 수 있으므로, 메모리 어레이와 같은 셀 영역(cell region)의 소자를 형성하는 과정에서 그와 더불어 용이하게 제조할 수 있다.

[0017]

도면의 간단한 설명

[0018] 도 1은 본 발명의 제1 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 단면도이다.

도 2는 본 발명의 제2 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 단면도이다.

도 3 내지 도 6은 본 발명의 제1 실시예에 따른 반도체 소자의 안티퓨즈 제조 방법을 설명하기 위한 공정단면도들이다.

도 7은 본 발명의 제2 실시예에 따른 식각 원리를 설명하기 위한 도면이다.

도 8 및 도 9는 본 발명의 제2 실시예에 따른 반도체 소자의 안티퓨즈의 제조 방법을 설명하기 위한 공정단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[0020] 이하 첨부된 도면을 참조하여 본 발명의 실시예에 따른 안티퓨즈(antifuse) 및 그 제조 방법에 관하여 설명하기로 한다.

[0021] 도 1은 본 발명의 제1 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 단면도이고, 도 2는 본 발명의 제2 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 단면도로서, 주변회로영역에 한정된다.

[0022] 도 1을 참조하면, 본 발명의 제1 실시예에 따른 반도체 소자의 안티퓨즈는, 기판(110)에 서로 이격 형성된 소오스(120a) 및 드레인(120b)을 포함하는 접합 영역(120), 일단이 소오스(120a)에 접촉하고, 타단이 드레인(120b)에 접촉하도록 기판(110) 상에 형성된 게이트 절연막(130) 및 게이트 절연막(130) 상에 형성된 게이트 전극(150)을 포함하며, 게이트 절연막(130)의 양단 쪽에의 두께가 중앙부의 두께보다 얇은 것을 특징으로 한다.

[0023] 기판(110)은 통상의 반도체 기판일 수 있다. 일례로, 기판(110)은 p형 불순물이 저농도로 도핑된 p- 기판이거나, n형 불순물이 저농도로 도핑핀 n- 기판일 수 있다. 이와 다르게, 기판(110)은 벌크 실리콘(bulk Si) 기판, SOI(silicon-on-insulator) 기판 및 그 밖의 다른 기판일 수 있다.

[0024] 게이트 절연막(130) 및 게이트 전극(150)은 일 방향으로 뻗어 있는 라인(line) 형태의 게이트 스택(gate stack)을 형성한다. 게이트 절연막(130)은 비가역적(irreversible) 저항 변화 특성, 즉, 절연 파괴(breakdown) 특성을 갖는 물질, 예컨대, 실리콘 산화물, 실리콘 질화물, 알루미늄 산화물, 지르코늄 산화물, 하프늄 산화물 등으로 형성될 수 있으며, 이들을 하나 이상 포함하여 형성될 수 있다. 이러한 게이트 절연막(130)은 고저항 상태에서 저저항 상태로 비가역적 변화되는 안티퓨즈 수단의 일례일 수 있다.

[0025] 게이트 절연막(130)은 소오스(120a)와 접촉하는 일단 및 드레인(120b)과 접촉하는 타단에 표면으로부터 일정 깊이를 갖는 리세스(R)를 가진다. 이때, 게이트 절연막(130)은 양단쪽의 리세스(R) 영역에서 리세스(R)가 형성되지 않은 영역(이하, 중앙부라 칭하기로 함)에서보다 두께가 얇게 형성된다.

[0026] 이러한 게이트 절연막(130)은 리세스(R) 영역에서 리페어 공정 중 인가되는 전압에 의한 게이트 절연막의 파괴가 집중되도록 유도할 수 있다. 이는, 리페어 공정 시 인가된 전압에서 선택적으로 게이트 절연막(130)의 양단을 절연 파괴시킬 수 있기 때문에 안티퓨즈용 게이트 절연막(130)의 파괴 위치의 제어를 가능하게 한다. 또한, 낮은 브레이크다운 전압에서도 쉽게 게이트 절연막(130)의 양단이 단락되어 게이트 전극(150)과 접합 영역(120) 간의 도통을 쉽게 할 수 있다.

[0027] 게이트 전극(150)은 게이트 절연막(130) 상에 형성된다. 게이트 전극(150)은 양단에 게이트 절연막(130)의 리세스(R)를 채우는 돌출부(미도시)를 포함하여 형성된다.

[0028] 게이트 전극(150)은 안티퓨즈용 제2 전극으로서, 도전성 재질을 포함하여 형성될 수 있다. 일례로, 게이트 전극(150)은 폴리실리콘(polysilicon) 또는 금속이나 실리사이드(silicide) 등의 금속 재질을 하나 이상 포함하여 단층 또는 다층 구조로 형성될 수 있다.

[0029] 이러한 게이트 전극(150)은 층간 절연막(140)에 의해 둘러싸여질 수 있다. 층간 절연막(140)은 게이트 절연막(130)에 대해 식각 선택비를 갖는 물질로 형성될 수 있다. 일례로, 층간 절연막(140)은 BPSG(borophosphosilicate glass)막, PSG(phosphosilicate glass)막, SOG(spin-on-glass)막, PSZ(polysilazane)막, O_3-TEOS(tetrahydroxysilane)막, HDP(high-density plasma) 산화막, ALD(atomic layer deposition) 산화막 등으로 형성될 수 있으며, 이들 막 중 하나 이상을 포함하여 형성될 수 있다.

[0030] 접합 영역(120)은 소오스(120a) 및 드레인(120b)을 포함하며, 게이트 전극(150) 양측의 기판(110) 내에 형성될 수 있다. 이때, 소오스(120a)는 게이트 전극(150) 일단의 가장자리를 따라 형성될 수 있고, 드레인(120b)은 게이트 전극(150) 타단의 가장자리를 따라 형성될 수 있다.

[0031] 소오스(120a) 및 드레인(120b)은 안티퓨즈용 제1 전극으로서 사용된다. 이러한 소오스(120a) 및 드레인(120b)은

n형 불순물이 고농도로 도핑된 n+ 영역이거나, p형 불순물이 고농도로 도핑된 p+ 영역일 수 있다.

[0032] 한편, 도면으로 도시하지는 않았으나, 소오스(120a) 및 드레인(120b) 각각의 일부는 게이트 절연막(130) 밑면의 일단 및 타단과 오버랩(overlap)되어 있을 수 있고, 소오스(120a) 및 드레인(120b)은 LDD(lightly doped drain) 구조를 포함할 수 있다. 소오스(120a) 및 드레인(120b) 사이의 기판(110)은 채널(channel, 미도시)이다.

[0033] 소오스(120a), 드레인(120b), 게이트 절연막(130) 및 게이트 전극(150)은 일종의 트랜지스터를 구성할 수 있는데, 이 트랜지스터는 NMOS(n-channel metal-oxide-semiconductor) 트랜지스터 또는 PMOS(p-channel metal-oxide-semiconductor) 트랜지스터일 수 있다. 본 발명의 실시예에서는 소오스(120a), 드레인(120b), 게이트 절연막(130) 및 게이트 전극(150)은 안티퓨즈를 구성한다.

[0034] 이러한 구조를 갖는 본 발명의 제1 실시예에 따른 안티퓨즈는 게이트 절연막(130)의 절연 파괴(breakdown) 현상을 이용한다.

[0035] 상기 안티퓨즈는 게이트 전극(150)과 기판(110) 사이에 프로그래밍 전압을 인가하면 게이트 전극(150)과 채널 영역 사이에 임계 전압 이상의 전압이 인가되어 게이트 절연막(130)의 절연 파괴가 발생할 수 있다. 이와 같이 게이트 절연막(130)을 절연 파괴시키는 동작을 프로그래밍 동작이라고 한다. 안티퓨즈의 프로그램 동작은 충분한 시간 동안 안티퓨즈 단자들을 통해 고전압을 인가하여 접합 영역(120)과 게이트 전극(150) 사이의 게이트 절연막(130)을 파괴하는 방식으로 프로그래밍한다.

[0036] 게이트 절연막(130)을 절연 파괴시키기 위한 프로그래밍 전압의 크기는 게이트 절연막(130)의 물질과 두께 등에 따라 달라질 수 있다.

[0037] 특히, 본 발명의 제1 실시예에 따른 게이트 절연막(130)은 양단 쪽에의 두께가 중앙부의 두께보다 얇게 형성됨에 따라, 프로그래밍 동작시 충분한 시간 동안 안티퓨즈 단자들을 통해 고전압을 인가하면, 선택적으로 게이트 절연막(130) 양단의 리세스(R) 하부에서 게이트 절연막(130)의 절연 파괴가 발생하고, 그 결과 게이트 절연막(130)의 양단이 단락되어 게이트 전극(150) 및 접합 영역(120)이 도통된다. 그러나, 게이트 절연막(130) 양단 쪽에 비해 상대적으로 두껍게 형성된 중앙부는 절연 파괴가 방지될 수 있다.

[0038] 이처럼, 본 발명의 제1 실시예에 따른 안티퓨즈는 인가된 전압에서 선택적으로 게이트 절연막(130)의 양단을 절연 파괴시킬 수 있기 때문에 안티퓨즈용 게이트 절연막(130)의 파괴 위치의 제어가 가능하다.

[0039] 또한, 게이트 절연막(130)의 양단 쪽 두께를 상대적으로 얇게 가져가기 때문에 낮은 브레이크다운 전압에서도 쉽게 게이트 절연막(130)의 양단을 단락시켜 게이트 전극(150)과 접합 영역(120) 간의 도통이 용이하다.

[0040] 또한, 안티퓨즈가 프로그램되면 안티퓨즈의 양 단의 게이트 전극(150)과 소오스(120a) 및 드레인(120b)이 단락되어 저항은 작은 값이 되는데, 상기 안티퓨즈를 이용하면 게이트 절연막(130) 절연 파괴 후의 저항산포를 개선할 수 있다.

[0041] 한편, 도 2에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 반도체 소자의 안티퓨즈는 게이트 절연막(130)의 양단 중 어느 한 쪽에의 두께가 중앙부의 두께보다 얇게 형성될 수 있다. 여기서는, 드레인(120b)과 접촉하는 게이트 절연막(130)의 끝단의 두께가 중앙부의 두께보다 얇게 형성된 것을 도시하였으나, 이에 한정되는 것은 아니다. 이를 제외하고, 나머지 구성요소인 기판(110), 소오스(120a), 드레인(120b), 층간 절연막(140) 및 게이트 전극(150)에 대해서는 상술한 본 발명의 제1 실시예와 동일할 수 있으므로, 이에 대한 중복된 설명은 생략하기로 한다.

[0042] 본 발명의 제2 실시예에 따르면, 안티퓨즈의 프로그램 동작시, 게이트 절연막(130)의 양단 중 어느 한 쪽에 형성된 리세스(R) 하부에서 선택적으로 게이트 절연막(130)의 절연 파괴가 발생하고, 그 결과 게이트 절연막(13

0)의 리세스(R) 형성 영역의 일단이 단락되어 게이트 전극(150) 및 접합 영역(120)이 도통된다. 이때에도, 본 발명의 제1 실시와 동일한 효과를 얻을 수 있다.

[0043] 이러한 본 발명의 제1 및 제2 실시예에 따른 안티퓨즈는 복수개로 배열되어 이차원 어레이(array) 구조를 가질 수 있고, 반도체 메모리 장치, 로직 장치, 마이크로프로세서(microprocessor), FPGA(field programmable gate array) 및 그 밖의 VLSI(very large scale integration) 회로 등에 다양한 목적으로 적용될 수 있다.

[0044] 이하, 도 3 내지 도 6을 참조하여, 본 발명의 제1 실시예에 따른 반도체 소자의 안티퓨즈의 제조 방법을 설명하기로 한다.

[0045] 도 3 내지 도 6은 본 발명의 제1 실시예에 따른 반도체 소자의 안티퓨즈 제조 방법을 설명하기 위한 공정단면도들이다.

[0046] 도 3을 참조하면, 게이트 절연막(130) 및 게이트 절연막(130)의 일측 및 타측 하부 각각에 소오스(120a) 및 드레인(120b)을 포함한 기판(110)의 게이트 절연막(130) 상에 더미 게이트(135)를 형성한다.

[0047] 게이트 절연막(130), 소오스(120a) 및 드레인(120b)은 통상의 공지된 방법을 사용하여 형성될 수 있다.

[0048] 일례로, 게이트 절연막(130)은 절연 파괴(breakdown) 특성을 갖는 물질, 예컨대, 실리콘 산화물, 실리콘 질화물 또는 알루미늄 산화물 등으로 형성할 수 있으며, 산화(oxidation) 공정 또는 화학기상증착(chemical vapor deposition; CVD) 방법 등을 사용하여 절연막(미도시)을 증착한 후 이 절연막을 통상의 포토리소그래피(photolithography) 공정으로 패터닝하여 일 방향으로 뻗어있는 라인 타입으로 형성할 수 있다.

[0049] 소오스(120a) 및 드레인(120b)을 포함하는 접합 영역(120)은 마스크(미도시) 를 이용한 불순물 이온 주입 공정을 통해 고농도의 n형 또는 p형 불순물을 기판(110)에 도핑하여 형성할 수 있다. 소오스(120a)는 게이트 절연막(130)의 일단과 접촉하고, 드레인(120b)은 게이트 절연막(130)의 타단과 접촉한다. 소오스(120a) 및 드레인(120b) 사이의 기판(110)은 채널(미도시)이다.

[0050] 한편, 도면으로 도시하지는 않았으나, 소오스(120a) 및 드레인(120b) 각각의 일부는 게이트 절연막(130) 밑면의 일단 및 타단과 오버랩되도록 형성할 수 있고, 소오스(120a) 및 드레인(120b)은 LDD 구조를 포함하여 형성할 수 있다.

[0051] 접합 영역(120)을 형성한 후 게이트 절연막(130)을 형성하거나 게이트 절연막(130)을 형성한 후 접합 영역(120)을 형성하는 것 모두 고려될 수 있다. 이때, 게이트 절연막(130)이나 접합 영역(120)은 주변회로영역에 형성되며, 셀 영역의 게이트 절연막이나 접합 영역을 형성하는 과정에서 형성될 수 있다.

[0052] 게이트 절연막(130) 상에는 일 방향으로 뻗어있는 라인 타입의 더미 게이트(135)를 형성한다. 더미 게이트(135)는 후속한 과정에서 게이트 전극을 형성하기 위한 희생 패턴이다. 일례로, 더미 게이트(135)는 폴리실리콘 재질을 물리기상증착(physical vapor deposition; PVD) 방법 또는 CVD 방법 등을 이용하여 폴리실리콘막(미도시)을 증착한 후 이 폴리실리콘막을 포토리소그래피 공정으로 패터닝하여 형성할 수 있다.

[0053] 한편, 기판(110) 전면에 차례로 게이트 절연막(130)과 폴리실리콘막의 적층막을 형성한 후 이 적층막을 포토리소그래피 공정으로 패터닝하여 라인 타입으로 패터닝된 더미 게이트(135)와 게이트 절연막(130)을 형성할 수도 있음은 물론이다.

[0054] 더미 게이트(135)를 포함한 결과물 상에 층간 절연막(140)을 형성한다. 층간 절연막(140)은 후속한 더미 게이트(135) 제거를 위한 식각 공정에서 더미 게이트(135)를 선택적으로 제거할 수 있도록 더미 게이트(135)에 대해 식각 선택비를 갖는 물질로 형성할 수 있다.

[0055] 층간 절연막(140)은 더미 게이트(135)를 덮도록 CVD 방법, 스핀코팅(spin coating), 원자층 증착(atomic layer deposition) 등을 사용하여 BPSG막, PSG막, SOG막, PSZ막, O_3-TEOS막, HDP 산화막, ALD 산화막 등으로 형성할 수 있으며, 이들 막 중 하나 이상을 포함하여 형성할 수 있다.

[0056] 도 4를 참조하면, 층간 절연막(140)의 표면을 평탄화한다. 층간 절연막(140)의 평탄화 공정은, 일례로, 화학적 기계적연마(chemical mechanical polishing; CMP) 공정을 사용하여 더미 게이트(135)의 상면이 노출되는 시점까지 층간 절연막(도 3의 140 참조)을 연마하여 실시할 수 있다. 또한 에치백(etch-back) 공정을 이용하거나 에치백과 CMP를 혼용하여 평탄화를 진행할 수도 있다. 이로써, 더미 게이트(135)의 상면이 노출되고, 더미 게이트(135)의 상면과 층간 절연막(140)의 상면이 평탄화된다.

[0057] 도 5를 참조하면, 노출된 더미 게이트(도 4의 135 참조)를 선택적으로 식각하여 제거한다. 이때, 더미 게이트(도 4의 135 참조)를 제거하기 위한 선택적 식각 공정은 건식 식각 공정, 일례로 플라즈마 식각 공정, 바람직하게 유도 결합 플라즈마(inductively coupled plasma) 식각 공정으로 실시할 수 있다.

[0058] 일례로, 플라즈마 식각 공정의 식각 가스로는 더미 게이트(도 4의 135 참조)를 식각할 수 있는 SF_6 가스, Cl_2 가스, HBr 가스 등을 사용할 수 있다. 이들 가스는 단독으로 사용하거나 또는 2종 이상 혼용하여 사용할 수 있다.

[0059] 이러한 플라즈마 식각 공정 시, 플라즈마 내부의 이온/라디컬(ion/radical) 입자들의 식각단면 입사밀도가 이온 산란(scattering) 등에 의해 노출되는 측벽의 가장자리에 집중되게 되어 식각면의 수직방향 식각 속도의 차이가 발생하는 마이크로트렌칭(microtrenching)이 발생할 수 있다.

[0060] 구체적으로, 더미 게이트(도 4의 135 참조)를 식각할 때 더미 게이트(도 4의 135 참조)의 가장자리가 빠르게 식각되므로 더미 게이트(도 4의 135 참조)가 다 제거되기 전에 그 하부의 게이트 절연막(130)의 양단 쪽이 중앙부보다 먼저 식각 가스에 노출된다. 즉, 게이트 절연막(130)의 중앙부가 식각 가스에 노출될 시점에는 게이트 절연막(130)의 양단 쪽은 이미 상당 시간 식각 가스에 노출되어서 마이크로트렌칭이 발생하게 된다.

[0061] 그 결과, 게이트 절연막(130) 양단에서의 마이크로트렌칭으로 인해 층간 절연막(140)과 접촉하는 게이트 절연막(130)의 양단에 게이트 절연막(130)의 표면으로부터 일정 깊이를 갖는 리세스(R)가 형성된다. 즉, 게이트 절연막(130)은 소오스(120a)와 접촉하는 일단 및 드레인(120b)과 접촉하는 타단에 리세스(R)를 가진다.

[0062] 이로 인해, 게이트 절연막(130)은 이중 두께를 갖게 되며, 특히 리세스(R)가 형성된 양단 쪽에의 두께가 리세스(R)가 형성되지 않은 영역(이하, 중앙부라 칭 함)에서보다 두께보다 얇게 형성된다.

[0063] 도 6을 참조하면, 양단에 리세스(R)를 갖는 게이트 절연막(130)을 포함한 결과물 상에 폴리실리콘, 금속 또는 실리사이드 등을 포함하는 도전성 재질을 PVD, CVD 또는 유기금속화학기상증착(metal organic chemical vapor deposition; MOCVD) 등의 방법을 사용하여 증착하여 도전성막(미도시)을 형성한다. 도전성막은 폴리실리콘, 금속 또는 실리사이드 등을 단독으로 사용하거나 하나 이상 혼용하여 단층 또는 다층으로 형성할 수 있다.

[0064] 그런 다음, 이 도전성막을 평탄화하여 게이트 절연막(130) 상에 게이트 전극(150)을 형성한다. 게이트 전극(150)을 형성하기 위한 평탄화 공정은 CMP 공정을 사용하여 실시할 수 있다.

[0065] 이로써, 게이트 전극(150)은 양단에 게이트 절연막(130) 양단의 리세스(R)를 채우는 돌출부(미도시)를 갖는 구조로 형성된다.

[0066] 이러한 게이트 전극(150)은 게이트 절연막(130) 상에 형성되고, 양측벽이 층간 절연막(140)에 의해 둘러싸여져 매립된다.

[0067] 이를 통해, 소오스(120a), 드레인(120b), 게이트 절연막(130) 및 게이트 전극(150)을 포함하는 안티퓨즈가 완성된다.

[0068] 도 7은 본 발명의 제2 실시예에 따른 식각 원리를 설명하기 위한 도면이고, 도 8 및 도 9는 본 발명의 제2 실시예에 따른 반도체 소자의 안티퓨즈의 제조 방법을 설명하기 위한 공정단면도들이다.

[0069] 도 7에 도시된 바와 같이, 0.5T 이하 정도의 약한 자기장(weak magnetic field)을 인가하여 피식각막(210)의 일측과 타측에서의 마스크막(220)의 전계의 세기를 서로 다르게 한다. 그러면, 상대적으로 전계의 세기가 강한 쪽의 전자(230)의 분포가 전계의 세기가 약한 쪽보다 많아지게 되어 각 분포(angular distribution)의 불균형이

발생되고, 이에 따라 전자(230)의 분포가 많은 쪽 하부에서의 피식각막(210)의 끝단이 선택적으로 식각되게 된다.

[0070] 도 4까지 완성한 후, 전술한 도 7의 식각 원리를 이용하여, 상기 플라즈마 식각 공정 시, 0.5T 이하 정도의 약한 자기장을 인가하여 더미 게이트(도 4의 135 참조)의 일측과 타측에서의 층간 절연막(140) 내 전계의 세기를 달리하여, 상대적으로 층간 절연막(140) 내 전계의 세기가 큰 쪽에 인접한 게이트 절연막(130)의 끝단을 선택적으로 식각하여 하나의 리세스(R)를 형성한다. 여기서는, 드레인(120b)과 접촉하는 게이트 절연막(130)의 끝단에 리세스(R)를 형성한 것을 도시하였으나 이에 한정되는 것은 아니다. 더미 게이트(도 4의 135 참조)의 일측과 타측에서의 층간 절연막(140) 내 전계의 세기를 달리한 것을 제외하고, 나머지 식각 가스 물질, 마이크로트렌칭의 원리 등은 도 5에서 전술한 바와 동일할 수 있으므로 이에 대한 중복된 설명은 생략하기로 한다.

[0071] 도 9를 참조하면, 양단 중 어느 한쪽(여기서는, 드레인(120b)과 접촉하는 쪽으로 도시됨)에 리세스(R)를 갖는 게이트 절연막(130)을 포함한 결과물 상에 도전성막(미도시)을 형성한 후 이를 평탄화하여 게이트 전극(150)을 형성할 수 있다. 이때, 게이트 전극(150)이 양단 중 어느 한쪽(여기서는, 드레인(120b)과 접촉하는 쪽으로 도시됨)에 형성된 하나의 리세스(R)를 채우는 하나의 돌출부를 갖는 구조로 형성되는 것을 제외하고는 나머지는 형성 물질 및 형성 방법 등은 도 6에서와 동일할 수 있으므로, 이에 대한 중복된 설명은 생략하기로 한다.

[0072] 이렇듯, 본 발명의 실시예에 따른 안티퓨즈는 통상의 반도체 소자의 제조 공정을 활용하여 제조할 수 있으므로, 메모리 어레이와 같은 셀 영역(cell region)의 소자를 형성하는 과정에서 그와 더불어 용이하게 제조할 수 있다.

[0073] 이상에서는 본 발명의 실시예를 중심으로 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 기술자의 수준에서 다양한 변경이나 변형을 가할 수 있다. 이러한 변경과 변형은 본 발명이 제공하는 기술 사상의 범위를 벗어나지 않는 한 본 발명에 속한다고 할 수 있다. 따라서 본 발명의 권리범위는 이하에 기재되는 청구범위에 의해 판단되어야 할 것이다.

부호의 설명

[0074] 100 : 반도체 소자의 안티퓨즈 110 : 기판

120 : 접합 영역 120a : 소오스

120b : 드레인 130 : 게이트 절연막

135 : 더미 게이트 140 : 층간 절연막

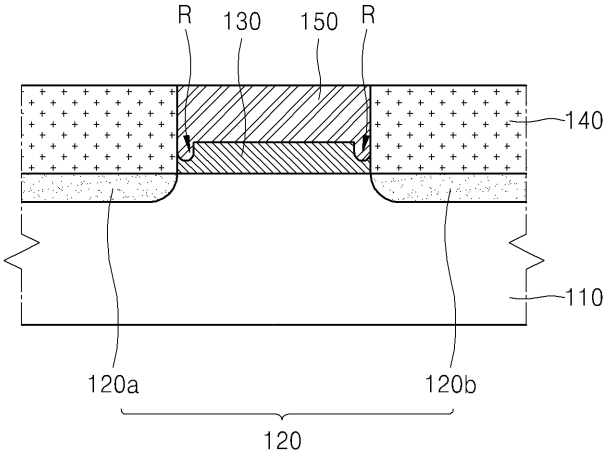
150 : 게이트 전극 210 : 피식각막

220 : 마스크막 230 : 전자

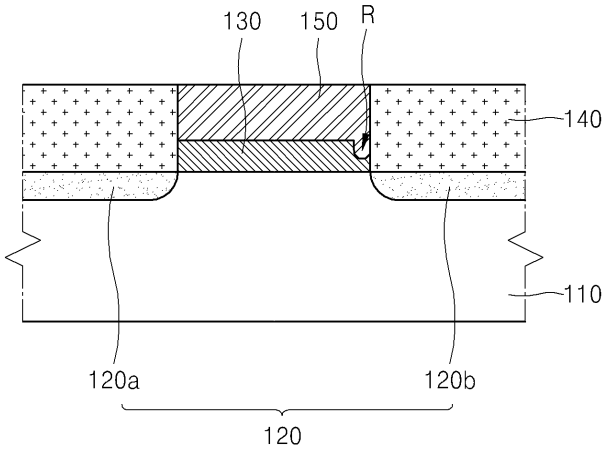
R : 리세스

도면

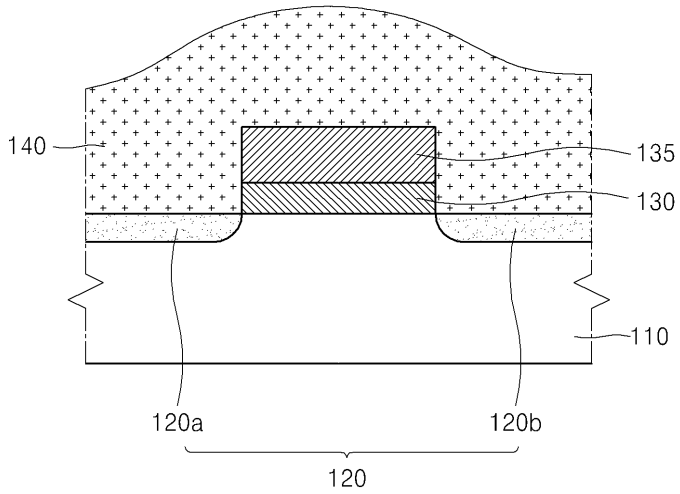
도면1



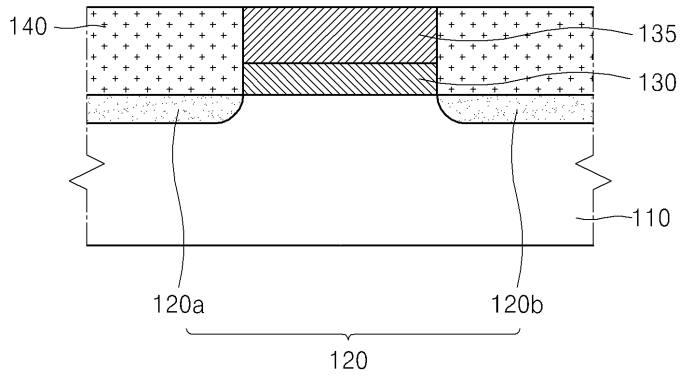
도면2



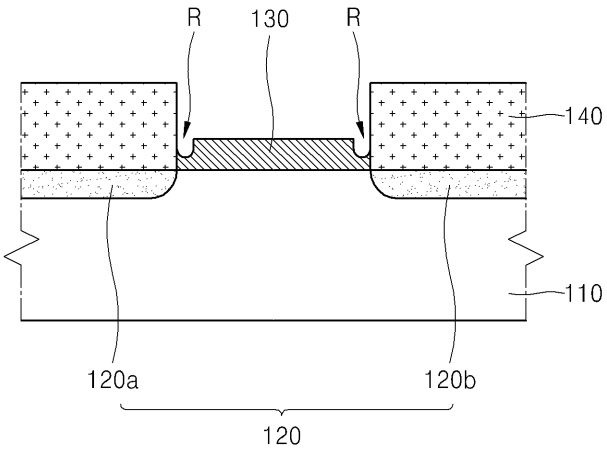
도면3


140
135
130
110
120a
120b
120

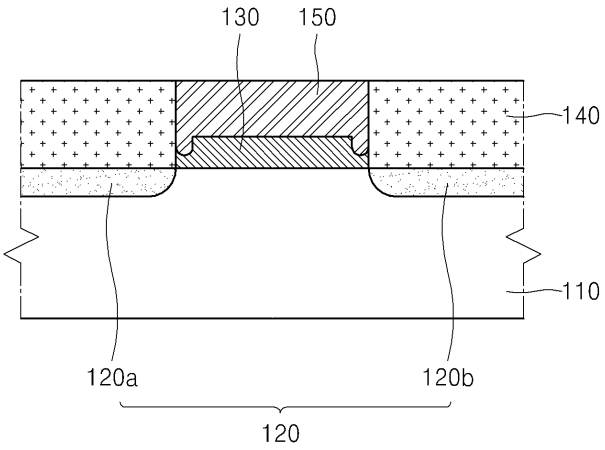
도면4


140
135
130
110
120a
120b
120

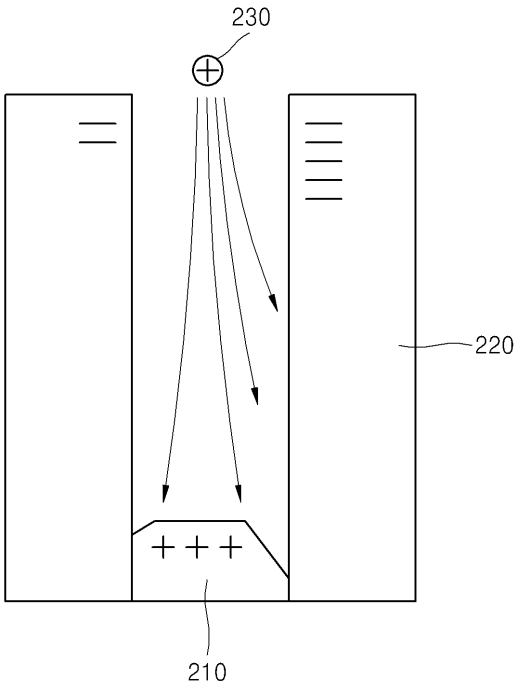
도면5


R
130
R
140
110
120a
120b
120

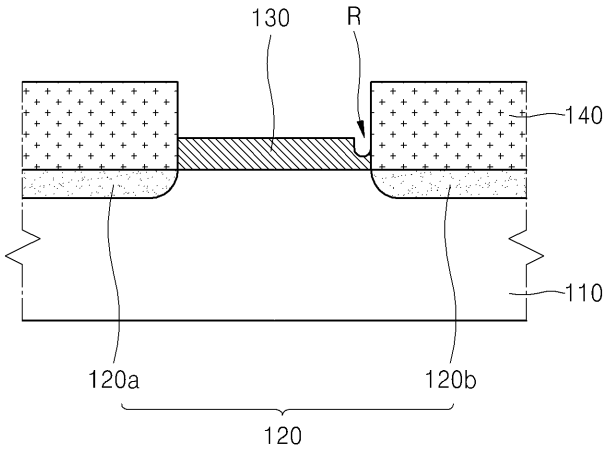
도면6



도면7



도면8



도면9

