(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0141269
(43) 공개일자 2024년09월26일

(51) 국제특허분류(Int. Cl.)
H10K 59/121 (2023.01) *H01L 29/786* (2006.01)
H10K 59/122 (2023.01) *H10K 59/123* (2023.01)
H10K 59/80 (2023.01)
(52) CPC특허분류
H10K 59/1213 (2023.02)
H01L 29/78606 (2013.01)
(21) 출원번호 10-2024-7027523
(22) 출원일자(국제) 2023년01월17일
심사청구일자 없음
(85) 번역문제출일자 2024년08월16일
(86) 국제출원번호 PCT/IB2023/050379
(87) 국제공개번호 WO 2023/144656
국제공개일자 2023년08월03일
(30) 우선권주장
JP-P-2022-013380 2022년01월31일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
호사카 야스하루
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
시마 유키노리
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장훈

전체 청구항 수 : 총 12 항

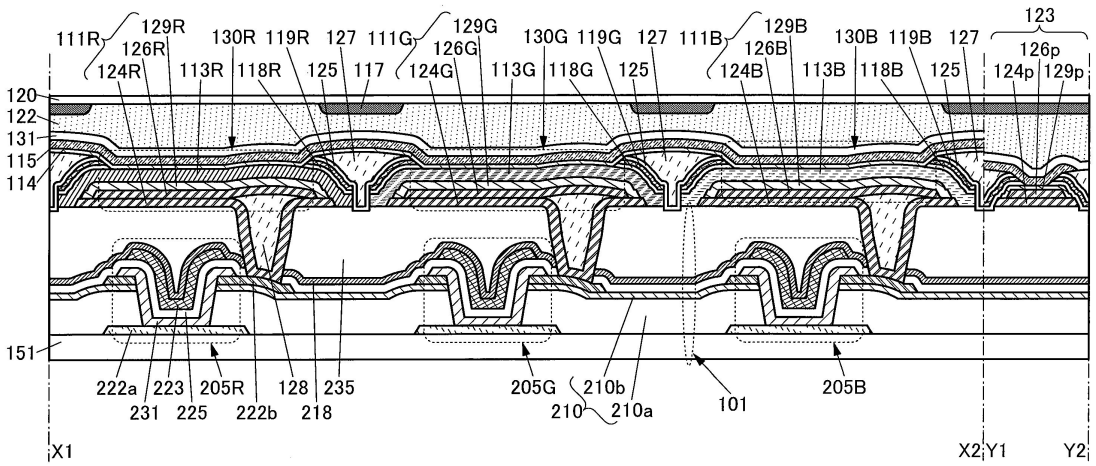
(54) 발명의 명칭 **표시 장치**

(57) 요 약

정세도(精細度)가 높은 표시 장치를 제공한다. 트랜지스터와, 발광 디바이스와, 제 1 절연층을 가지는 표시 장치로 한다. 트랜지스터는 반도체층과, 제 1 도전층 내지 제 3 도전층과, 제 2 절연층 및 제 3 절연층을 가진다. 제 2 절연층은 제 1 도전층 위에 제공되고, 제 1 도전층에 도달하는 제 1 개구를 가진다. 제 2 도전층은 제 2

(뒷면에 계속)

대 표 도



절연층 위에 제공되고, 제 1 개구와 중첩되는 영역에 제 2 개구를 가진다. 반도체층은 제 1 도전층의 상면, 제 2 절연층의 측면, 그리고 제 2 도전층의 상면 및 측면과 접한다. 제 3 절연층은 반도체층 위에 제공된다. 제 3 도전층은 제 3 절연층 위에 제공된다. 제 1 절연층은 트랜지스터 위에 제공된다. 제 1 절연층 및 제 3 절연층은 제 2 도전층에 도달하는 제 3 개구를 가진다. 발광 디바이스는 제 1 절연층 위에 제공되고, 화소 전극과, 공통 전극과, EL층을 가진다. 화소 전극은 제 3 개구를 통하여 제 2 도전층과 전기적으로 접속된다. EL층은 화소 전극의 상면 및 측면에 접하는 영역을 가진다.

(52) CPC특허분류

H10K 59/122 (2023.02)

H10K 59/123 (2023.02)

H10K 59/805 (2023.02)

H10K 59/873 (2023.02)

(72) 발명자

진쵸우 마사미

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

나카다 마사타카

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

코에즈카 준이치

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

오카자키 켄이치

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명 세 서

청구범위

청구항 1

표시 장치로서,

트랜지스터와, 발광 디바이스와, 제 1 절연층을 가지고,

상기 트랜지스터는 반도체층과, 제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 2 절연층과, 제 3 절연층을 가지고,

상기 제 2 절연층은 상기 제 1 도전층 위에 제공되고,

상기 제 2 절연층은 상기 제 1 도전층에 도달하는 제 1 개구를 가지고,

상기 제 2 도전층은 상기 제 2 절연층 위에 제공되고,

상기 제 2 도전층은 상기 제 1 개구와 중첩되는 영역에 제 2 개구를 가지고,

상기 반도체층은 상기 제 1 도전층의 상면, 상기 제 2 절연층의 측면, 그리고 상기 제 2 도전층의 상면 및 측면과 접하고,

상기 제 3 절연층은 상기 반도체층 위에 제공되고,

상기 제 3 도전층은 상기 제 3 절연층 위에 제공되고,

상기 제 1 절연층은 상기 트랜지스터 위에 제공되고,

상기 제 1 절연층 및 상기 제 3 절연층은 상기 제 2 도전층에 도달하는 제 3 개구를 가지고,

상기 발광 디바이스는 상기 제 1 절연층 위에 제공되고,

상기 발광 디바이스는 화소 전극과, 공통 전극과, 상기 화소 전극과 상기 공통 전극 사이에 끼워지는 EL층을 가지고,

상기 화소 전극은 상기 제 3 개구를 통하여 상기 제 2 도전층과 전기적으로 접속되고,

상기 EL층은 상기 화소 전극의 상면 및 측면에 접하는 영역을 가지는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 2 절연층은 제 4 절연층과, 상기 제 4 절연층 위의 제 5 절연층의 적층 구조를 가지고,

상기 제 5 절연층은 상기 제 4 절연층보다 막 밀도가 높은 영역을 가지는, 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제 2 절연층은 제 4 절연층과, 상기 제 4 절연층 위의 제 5 절연층의 적층 구조를 가지고,

상기 제 5 절연층은 상기 제 4 절연층보다 질소의 함유량이 높은 영역을 가지는, 표시 장치.

청구항 4

제 2 항에 있어서,

상기 제 2 절연층은 제 6 절연층을 가지고,

상기 제 6 절연층은 상기 제 4 절연층과 상기 제 1 도전층 사이에 위치하고,

상기 제 6 절연층은 상기 제 5 절연층보다 막 밀도가 높은 영역을 가지는, 표시 장치.

청구항 5

제 2 항에 있어서,

상기 제 2 절연층은 제 6 절연층을 가지고,

상기 제 6 절연층은 상기 제 4 절연층과 상기 제 1 도전층 사이에 위치하고,

상기 제 6 절연층은 상기 제 5 절연층보다 질소의 함유량이 높은 영역을 가지는, 표시 장치.

청구항 6

제 3 항에 있어서,

상기 제 2 절연층은 제 6 절연층을 가지고,

상기 제 6 절연층은 상기 제 4 절연층과 상기 제 1 도전층 사이에 위치하고,

상기 제 6 절연층은 상기 제 5 절연층보다 막 밀도가 높은 영역을 가지는, 표시 장치.

청구항 7

제 3 항에 있어서,

상기 제 2 절연층은 제 6 절연층을 가지고,

상기 제 6 절연층은 상기 제 4 절연층과 상기 제 1 도전층 사이에 위치하고,

상기 제 6 절연층은 상기 제 5 절연층보다 질소의 함유량이 높은 영역을 가지는, 표시 장치.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

층을 가지고,

상기 화소 전극은 제 4 도전층과, 상기 제 4 도전층 위의 제 5 도전층을 가지고,

상기 제 4 도전층은 상기 제 1 절연층의 상면 및 상기 제 3 개구를 덮고,

상기 제 4 도전층은 상기 제 1 절연층의 측면 및 상기 제 2 도전층의 상면의 형상을 따르는 오목부를 가지고,

상기 층은 상기 오목부를 메우도록 제공되고,

상기 제 5 도전층은 상기 제 4 도전층의 상면 및 상기 층의 상면을 덮는, 표시 장치.

청구항 9

제 8 항에 있어서,

상기 층은 절연층인, 표시 장치.

청구항 10

제 8 항에 있어서,

상기 층은 도전층인, 표시 장치.

청구항 11

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

제 7 절연층과 제 8 절연층을 가지고,

상기 제 7 절연층은 상기 EL층의 상면의 일부 및 측면을 덮고,

상기 제 8 절연층은 상기 제 7 절연층을 개재(介在)하여 상기 EL층의 상면의 일부 및 측면을 덮고,

상기 공통 전극은 상기 제 8 절연층을 덮는, 표시 장치.

청구항 12

제 11 항에 있어서,

상기 제 7 절연층은 무기 재료를 포함하고,

상기 제 8 절연층은 유기 재료를 포함하는, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 표시 장치, 표시 모듈, 및 전자 기기에 관한 것이다. 본 발명의 일 형태는 표시 장치의 제작 방법에 관한 것이다

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치(예를 들어 터치 센서), 입출력 장치(예를 들어 터치 패널), 이들의 구동 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다.

배 경 기 술

[0003] 표시 장치는 다양한 용도로 응용되는 것이 기대되고 있다. 예를 들어 대형 표시 장치의 용도로서 가정용 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 디지털 사이니지(Digital Signage: 전자 간판), 및 PID(Public Information Display) 등이 있다. 또한 휴대 정보 단말기로서 터치 패널을 포함한 스마트폰 및 태블릿 단말기 등이 개발되고 있다.

[0004] 근년, 가상 현실(VR: Virtual Reality), 증강 현실(AR: Augmented Reality), 대체 현실(SR: Substitutional Reality), 및 혼합 현실(MR: Mixed Reality)용 표시 장치가 요구되고 있다. VR, AR, SR, 및 MR를 총칭하여 XR(Extended Reality)라고도 한다. XR용 표시 장치는 현실감 및 몰입감을 높이기 위하여 높은 정세도 및 높은 색 재현성이 요구되고 있다.

[0005] 표시 장치로서는 예를 들어 발광 디바이스(발광 소자라고도 함)를 가지는 발광 장치가 개발되고 있다. 일렉트로루미네선스(Electroluminescence, 이하 EL이라고 표기함) 현상을 이용한 발광 디바이스(EL 디바이스, EL 소자라고도 함)는 박형 경량화가 용이하고, 입력 신호에 대한 고속 응답이 가능하고, 직류 정전압 전원을 사용한 구동이 가능하다는 등의 특징을 가지고, 표시 장치에 응용되고 있다.

[0006] 특허문헌 1에는 유기 EL 디바이스(유기 EL 소자라고도 함)를 사용한 VR용 표시 장치가 개시(開示)되어 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 국제공개공보 WO2018/087625호

발명의 내용

해결하려는 과제

[0008] 본 발명의 일 형태는 정세도가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 해상도가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 표시 품질이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신뢰성이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다.

[0009] 본 발명의 일 형태는 정세도가 높은 표시 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 해상도가 높은 표시 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는

표시 품질이 높은 표시 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신뢰성이 높은 표시 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 수율이 높은 표시 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신규 표시 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다.

[0010] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는 반드시 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 명세서, 도면, 청구항의 기재에서 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

[0011] 본 발명의 일 형태는 트랜지스터와, 발광 디바이스와, 제 1 절연층을 가지는 표시 장치이다. 트랜지스터는 반도체층과, 제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 2 절연층과, 제 3 절연층을 가진다. 제 2 절연층은 제 1 도전층 위에 제공되고, 제 1 도전층에 도달하는 제 1 개구를 가진다. 제 2 도전층은 제 2 절연층 위에 제공되고, 제 1 개구와 중첩되는 영역에 제 2 개구를 가진다. 반도체층은 제 1 도전층의 상면, 제 2 절연층의 측면, 그리고 제 2 도전층의 상면 및 측면과 접한다. 제 3 절연층은 반도체층 위에 제공된다. 제 3 도전층은 제 3 절연층 위에 제공된다. 제 1 절연층은 트랜지스터 위에 제공된다. 제 1 절연층 및 제 3 절연층은 제 2 도전층에 도달하는 제 3 개구를 가진다. 발광 디바이스는 제 1 절연층 위에 제공된다. 발광 디바이스는 화소 전극과, 공통 전극과, 화소 전극과 공통 전극 사이에 끼워지는 EL층을 가진다. 화소 전극은 제 3 개구를 통하여 제 2 도전층과 전기적으로 접속된다. EL층은 화소 전극의 상면 및 측면에 접하는 영역을 가진다.

[0012] 상술한 표시 장치에 있어서, 제 2 절연층은 제 4 절연층과, 제 4 절연층 위의 제 5 절연층의 적층 구조를 가지는 것이 바람직하다. 제 5 절연층은 제 4 절연층보다 막 밀도가 높은 영역을 가지는 것이 바람직하다.

[0013] 상술한 표시 장치에 있어서, 제 2 절연층은 제 4 절연층과, 제 4 절연층 위의 제 5 절연층의 적층 구조를 가지는 것이 바람직하다. 제 5 절연층은 제 4 절연층보다 질소의 함유량이 높은 영역을 가지는 것이 바람직하다.

[0014] 상술한 표시 장치에서, 제 2 절연층은 제 6 절연층을 가지는 것이 바람직하다. 제 6 절연층은 제 4 절연층과 제 1 도전층 사이에 위치하는 것이 바람직하다. 제 6 절연층은 제 5 절연층보다 막 밀도가 높은 영역을 가지는 것이 바람직하다.

[0015] 상술한 표시 장치에서, 제 2 절연층은 제 6 절연층을 가지는 것이 바람직하다. 제 6 절연층은 제 4 절연층과 제 1 도전층 사이에 위치하는 것이 바람직하다. 제 6 절연층은 제 5 절연층보다 질소의 함유량이 높은 영역을 가지는 것이 바람직하다.

[0016] 상술한 표시 장치에서, 층을 가지는 것이 바람직하다. 화소 전극은 제 4 도전층과, 제 4 도전층 위의 제 5 도전층을 가지는 것이 바람직하다. 제 4 도전층은 제 1 절연층의 상면 및 제 3 개구를 덮는 것이 바람직하다. 제 4 도전층은 제 1 절연층의 측면 및 제 2 도전층의 상면의 형상을 따르는 오목부를 가지는 것이 바람직하다. 층은 오목부를 메우도록 제공되는 것이 바람직하다. 제 5 도전층은 제 4 도전층의 상면 및 층의 상면을 덮는 것이 바람직하다.

[0017] 상술한 표시 장치에서, 층은 절연층인 것이 바람직하다.

[0018] 상술한 표시 장치에서, 층은 도전층인 것이 바람직하다.

[0019] 상술한 표시 장치에서, 제 7 절연층과 제 8 절연층을 가지는 것이 바람직하다. 제 7 절연층은 EL층의 상면의 일부 및 측면을 덮는 것이 바람직하다. 제 8 절연층은 제 7 절연층을 개재(介在)하여 EL층의 상면의 일부 및 측면을 덮는 것이 바람직하다. 공통 전극은 제 8 절연층을 덮는 것이 바람직하다.

[0020] 상술한 표시 장치에서, 제 7 절연층은 무기 재료를 포함하는 것이 바람직하다. 제 8 절연층은 유기 재료를 포함하는 것이 바람직하다.

발명의 효과

[0021] 본 발명의 일 형태에 의하여 정세도가 높은 표시 장치를 제공할 수 있다. 또한 해상도가 높은 표시 장치를 제공할 수 있다. 또한 표시 품질이 높은 표시 장치를 제공할 수 있다. 또한 신뢰성이 높은 표시 장치를 제공할 수 있다. 또한 신규 표시 장치를 제공할 수 있다.

[0022] 본 발명의 일 형태에 의하여 정세도가 높은 표시 장치의 제작 방법을 제공할 수 있다. 또한 해상도가 높은 표

시 장치의 제작 방법을 제공할 수 있다. 또한 표시 품질이 높은 표시 장치의 제작 방법을 제공할 수 있다. 또한 신뢰성이 높은 표시 장치의 제작 방법을 제공할 수 있다. 또한 수율이 높은 표시 장치의 제작 방법을 제공할 수 있다. 또한 신규 표시 장치의 제작 방법을 제공할 수 있다.

[0023] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는 반드시 이들 효과 모두를 가질 필요는 없다. 명세서, 도면, 청구항의 기재에서 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0024] 도 1은 표시 장치의 일례를 나타낸 상면도이다.

도 2는 표시 장치의 일례를 나타낸 단면도이다.

도 3의 (A)는 트랜지스터의 일례를 나타낸 상면도이다. 도 3의 (B) 및 (C)는 트랜지스터의 일례를 나타낸 단면도이다.

도 4는 트랜지스터의 일례를 나타낸 사시도이다.

도 5의 (A) 내지 (C)는 트랜지스터의 구성을 나타낸 사시도이다.

도 6의 (A)는 트랜지스터의 일례를 나타낸 상면도이다. 도 6의 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 7의 (A)는 트랜지스터의 일례를 나타낸 상면도이다. 도 7의 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 8의 (A) 및 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 9의 (A) 및 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 10의 (A)는 트랜지스터의 일례를 나타낸 상면도이다. 도 10의 (B) 및 (C)는 트랜지스터의 일례를 나타낸 단면도이다.

도 11의 (A)는 트랜지스터의 일례를 나타낸 상면도이다. 도 11의 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 12는 트랜지스터의 일례를 나타낸 단면도이다.

도 13의 (A)는 트랜지스터의 일례를 나타낸 상면도이다. 도 13의 (B) 및 (C)는 트랜지스터의 일례를 나타낸 단면도이다.

도 14의 (A)는 표시 장치의 일례를 나타낸 단면도이다. 도 14의 (B)는 발광 디바이스의 일례를 나타낸 상면도이다.

도 15는 표시 장치의 일례를 나타낸 단면도이다.

도 16의 (A) 및 (B)는 표시 장치의 일례를 나타낸 단면도이다.

도 17의 (A) 및 (B)는 표시 장치의 일례를 나타낸 단면도이다.

도 18의 (A) 및 (B)는 표시 장치의 일례를 나타낸 단면도이다.

도 19는 표시 장치의 일례를 나타낸 단면도이다.

도 20은 표시 장치의 일례를 나타낸 단면도이다.

도 21은 표시 장치의 일례를 나타낸 상면도이다.

도 22의 (A) 및 (B)는 표시 장치의 일례를 나타낸 단면도이다.

도 23의 (A) 내지 (E)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 24의 (A) 내지 (D)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 25의 (A) 내지 (C)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 26의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 27의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 28의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 29의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 30의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 31의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 32의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 33의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 34의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 35의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 36의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 37의 (A) 및 (B)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 38의 (A) 내지 (G)는 화소의 일례를 나타낸 도면이다.

도 39의 (A) 내지 (K)는 화소의 일례를 나타낸 도면이다.

도 40은 표시 장치의 일례를 나타낸 사시도이다.

도 41은 표시 장치의 일례를 나타낸 단면도이다.

도 42는 표시 장치의 일례를 나타낸 단면도이다.

도 43은 표시 장치의 일례를 나타낸 단면도이다.

도 44의 (A) 내지 (F)는 발광 디바이스의 구성예를 나타낸 도면이다.

도 45의 (A) 내지 (C)는 발광 디바이스의 구성예를 나타낸 도면이다.

도 46의 (A) 및 (B)는 수광 디바이스의 구성예를 나타낸 도면이다. 도 46의 (C) 내지 (E)는 표시 장치의 구성예를 나타낸 도면이다.

도 47의 (A) 내지 (D)는 전자 기기의 일례를 나타낸 도면이다.

도 48의 (A) 내지 (F)는 전자 기기의 일례를 나타낸 도면이다.

도 49의 (A) 내지 (G)는 전자 기기의 일례를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 쉽게 이해할 수 있다. 따라서 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0026] 또한 이하에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이에 대한 반복적인 설명은 생략한다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0027] 도면에 나타낸 각 구성의 위치, 크기, 및 범위 등은 이해를 쉽게 하기 위하여 실제의 위치, 크기, 및 범위 등을 나타내지 않는 경우가 있다. 그러므로 개시된 발명은 반드시 도면에 개시된 위치, 크기, 및 범위 등에 한정되지 않는다.

[0028] 또한 "막"이라는 용어와 "층"이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있다.

[0029] 본 명세서 등에서 메탈 마스크 또는 FMM(파인 메탈 마스크, 정세도가 높은 메탈 마스크)를 사용하여 제작된 디바이스를 MM(메탈 마스크) 구조의 디바이스라고 부르는 경우가 있다. 또한 본 명세서 등에서 메탈 마스크 또는

FMM을 사용하지 않고 제작된 디바이스를 MML(메탈 마스크리스(metal maskless)) 구조의 디바이스라고 부르는 경우가 있다.

[0030] 본 명세서 등에 있어서, 발광 파장이 상이한 발광 디바이스에서 적어도 발광층을 구분 형성하는 구조를 SBS(Side By Side) 구조라고 부르는 경우가 있다. SBS 구조는 발광 디바이스마다 재료 및 구성을 최적화할 수 있기 때문에 재료 및 구성의 선택 자유도가 높아 휘도 및 신뢰성을 용이하게 향상시킬 수 있다.

[0031] 본 명세서 등에 있어서, 정공 또는 전자를 "캐리어"라고 기재하는 경우가 있다. 구체적으로는 정공 주입층 또는 전자 주입층을 "캐리어 주입층"이라고 기재하고, 정공 수송층 또는 전자 수송층을 "캐리어 수송층"이라고 기재하고, 정공 차단층 또는 전자 차단층을 "캐리어 차단층"이라고 기재하는 경우가 있다. 또한 상술한 캐리어 주입층, 캐리어 수송층, 및 캐리어 차단층은 각각 단면 형상 또는 특성 등에 따라 명확히 구별할 수 없는 경우가 있다. 또한 하나의 층이 캐리어 주입층, 캐리어 수송층, 및 캐리어 차단층 중 2개 또는 3개의 기능을 겸하는 경우가 있다.

[0032] 본 명세서 등에서, 발광 디바이스는 한 쌍의 전극 사이에 EL층을 가진다. EL층은 적어도 발광층을 가진다. 여기서, EL층에 포함되는 층(기능층이라고도 함)으로서는 발광층, 캐리어 주입층(정공 주입층 및 전자 주입층), 캐리어 수송층(정공 수송층 및 전자 수송층), 및 캐리어 차단층(정공 차단층 및 전자 차단층) 등을 들 수 있다.

[0033] 본 명세서 등에서, 수광 디바이스(수광 소자라고도 함)는 한 쌍의 전극 사이에 적어도 광전 변환층으로서 기능하는 활성층을 가진다.

[0034] 본 명세서 등에서 섬 형상이란, 동일한 공정에서 동일한 재료를 사용하여 형성된 2개 이상의 층이 물리적으로 분리된 상태를 의미한다. 예를 들어 섬 형상의 발광층이란, 상기 발광층과 이에 인접한 발광층이 물리적으로 분리되어 있는 상태인 것을 말한다.

[0035] 본 명세서 등에서 테이퍼 형상이란, 구조의 측면의 적어도 일부가 기판면 또는 피형성면에 대하여 경사져 제공된 형상을 가리킨다. 예를 들어 경사진 측면과 기판면 또는 피형성면이 이루는 각(테이퍼 각이라고도 함)이 90° 미만인 영역을 가지는 것이 바람직하다. 또한 구조의 측면, 기판면, 및 피형성면은 반드시 완전히 평탄할 필요는 없고, 미소한 곡률을 가지는 대략 평면 형상 또는 미세한 요철을 가지는 대략 평면 형상을 가져도 좋다.

[0036] 본 명세서 등에서 마스크층(희생층이라고도 함)이란, 적어도 발광층(더 구체적으로는 EL층을 구성하는 층 중 섬 형상으로 가공되는 층)의 위쪽에 위치하고, 제조 공정에서 상기 발광층을 보호하는 기능을 가진다.

[0037] 본 명세서 등에서 단절이란, 층, 막, 또는 전극이 피형성면의 형상(예를 들어 단차 등)에 기인하여 분단되는 현상을 가리킨다.

[0038] 본 명세서 등에서 "상면 형상이 대략 일치"란, 적층한 층과 층 사이에서 적어도 윤곽의 일부가 중첩되는 것을 말한다. 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 그 범주에 포함한다. 다만 엄밀하게 말하면 윤곽이 중첩되지 않고 위층이 아래층의 내측에 위치하거나 위층이 아래층의 외측에 위치하는 경우도 있고, 이 경우도 "상면 형상이 실질적으로 일치"라고 한다.

[0039] (실시형태 1)

[0040] 본 실시형태에서는 본 발명의 일 형태의 표시 장치에 대하여 도 1 내지 도 22를 사용하여 설명한다.

[0041] 도 1은 본 발명의 일 형태인 표시 장치(100)의 상면도(평면도라고도 함)이다. 표시 장치(100)는 복수의 화소(110)가 매트릭스로 배치된 표시부와, 표시부의 외측의 접속부(140)를 가진다. 화소(110)는 각각 복수의 부화소를 가진다. 도 1에는 2행 2열의 화소(110)를 나타내었다. 또한 각 화소(110)가 3개의 부화소(부화소(110a), 부화소(110b), 및 부화소(110c))를 가지는 구성으로서 2행 6열의 부화소를 나타내었다. 접속부(140)는 캐소드 콘택트부라고 부를 수도 있다.

[0042] 부화소는 각각 표시 디바이스(표시 소자라고도 함)를 가진다. 표시 디바이스로서는 예를 들어 액정 디바이스(액정 소자라고도 함) 및 발광 디바이스가 있다. 발광 디바이스로서는 예를 들어 OLED(Organic Light Emitting Diode) 또는 QLED(Quantum-dot Light Emitting Diode)를 사용하는 것이 바람직하다. 발광 디바이스가 포함하는 발광 물질로서는, 예를 들어 형광을 방출하는 물질(형광 재료), 인광을 방출하는 물질(인광 재료), 열 활성화 지연 형광을 나타내는 물질(열 활성화 지연 형광(TADF: Thermally Activated Delayed Fluorescence) 재료), 및 무기 화합물(퀀텀닷(quantum dot) 재료 등)이 있다. 또한 발광 디바이스로서 마이크로 LED(Light Emitting Diode) 등의 LED를 사용할 수도 있다.

[0043] 발광 디바이스의 발광색은 적외선, 적색, 녹색, 청색, 시안, 마젠타, 황색, 또는 백색 등으로 할 수 있다. 또한 발광 디바이스에 마이크로캐비티 구조를 부여함으로써 색 순도를 높일 수 있다.

[0044] 이하에서는 표시 디바이스로서 발광 디바이스를 사용하는 구성을 예로 들어 설명한다.

[0045] 본 발명의 일 형태의 표시 장치는 발광색마다 구분 형성된 발광 디바이스를 가지고, 풀 컬러 표시가 가능하다.

[0046] 도 1에 나타낸 부화소의 상면 형상은 발광 디바이스의 발광 영역의 상면 형상에 상당한다. 부화소의 상면 형상은 예를 들어 삼각형, 사각형(직사각형, 정사각형을 포함함), 오각형 등의 다각형, 이들 다각형의 모서리가 둥근 형상, 타원형, 또는 원형으로 할 수 있다.

[0047] 부화소는 각각 발광 디바이스를 제어하는 화소 회로를 가진다. 화소 회로는 도 1에 나타낸 부화소의 범위에 한정되지 않고, 그 외측에 배치되어도 좋다. 예를 들어, 부화소(110a)의 화소 회로가 가지는 트랜지스터는 도 1에 나타낸 부화소(110b)의 범위 내에 위치하여도 좋고, 일부 또는 모두가 부화소(110a)의 범위 외에 위치하여도 좋다.

[0048] 여기서, 표시 장치의 정세도를 높이기 위해서는 화소(부화소)의 크기를 작게 할 필요가 있다. 화소(부화소)의 크기를 작게 하기 위해서는 발광 디바이스와 화소 회로의 양쪽의 크기를 작게 할 필요가 있다. 특히, 복수의 트랜지스터를 가지는 화소 회로에 있어서는 상기 트랜지스터의 점유 면적을 작게 할 필요가 있다. 본 발명의 일 형태의 표시 장치가 가지는 트랜지스터는 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 제 1 도전층과, 다른 쪽으로서 기능하는 제 2 도전층과, 제 1 도전층과 제 2 도전층 사이에 끼워지는 절연층을 가진다. 상기 절연층 및 제 2 도전층은 제 1 도전층에 도달하는 개구를 가진다. 제 2 도전층은 상기 절연층을 개재하여 제 1 도전층과 중첩되는 영역을 가진다. 반도체층은 상기 개구를 덮도록 제공된다. 반도체층 위에 게이트 절연층이 제공되고, 게이트 절연층 위에 게이트 전극이 제공된다. 트랜지스터의 채널 길이는 상기 개구에서의 상기 절연층의 측면의 길이에 상당하고, 노광 장치의 성능의 영향을 받지 않는다. 따라서 채널 길이를 노광 장치의 한계 해상도보다 작은 값으로 할 수 있어, 미세한 크기의 트랜지스터로 할 수 있다. 또한 트랜지스터의 점유 면적을 작게 할 수 있다.

[0049] 본 발명의 일 형태의 표시 장치가 가지는 발광 디바이스는 화소 전극과, 공통 전극과, 화소 전극과 공통 전극 사이에 끼워지는 섬 형상의 EL층을 가진다. 섬 형상의 EL층은 예를 들어 포토리소그래피법을 사용하여 형성할 수 있다. 구체적으로는 부화소마다 화소 전극을 형성한 후, 복수의 화소 전극에 걸쳐 EL층이 되는 막을 성막한다. 그 후, 포토리소그래피법을 사용하여 상기 막을 가공함으로써, 하나의 화소 전극에 하나의 섬 형상의 EL층을 형성한다. 이에 의하여, EL층이 부화소마다 분할되므로, 섬 형상의 EL층을 형성할 수 있다. 포토리소그래피법을 사용함으로써, 미세한 크기의 EL층을 형성할 수 있어, 미세한 크기의 발광 디바이스로 할 수 있다. 이와 같이, 미세한 크기의 트랜지스터 및 발광 디바이스를 사용함으로써, 고정세(高精細)의 표시 장치를 실현할 수 있다.

[0050] 또한 도 1에서는 부화소(110a), 부화소(110b), 및 부화소(110c)의 개구율을 동일하게 또는 실질적으로 동일하게("발광 영역의 크기를 동일하게 또는 실질적으로 동일하게"라고도 할 수 있음) 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 부화소(110a), 부화소(110b), 및 부화소(110c)의 개구율은 각각 적절히 결정할 수 있다. 부화소(110a), 부화소(110b), 및 부화소(110c)의 개구율은 각각 달라도 좋고, 이들 중 2개 이상이 동일하거나 실질적으로 동일하여도 좋다.

[0051] 도 1에 나타낸 화소(110)에는 스트라이프 배열이 적용되어 있다. 도 1에 나타낸 화소(110)는 부화소(110a), 부화소(110b), 및 부화소(110c)의 3개의 부화소로 구성된다. 부화소(110a), 부화소(110b), 및 부화소(110c)는 각각 서로 다른 색의 광을 나타낸다. 부화소(110a), 부화소(110b), 및 부화소(110c)로서는, 적색(R), 녹색(G), 및 청색(B)의 3색의 부화소, 황색(Y), 시안(C), 및 마젠타(M)의 3색의 부화소 등을 들 수 있다. 또한 부화소의 색의 종류는 3개에 한정되지 않고 4개 이상으로 하여도 좋다. 4색의 부화소로서는 예를 들어, R, G, B, 백색(W)의 4색의 부화소, R, G, B, Y의 4색의 부화소, 및 R, G, B, 적외광(IR)의 4색의 부화소를 들 수 있다.

[0052] 본 명세서 등에서는 행 방향을 X방향이라고 하고, 열 방향을 Y방향이라고 하는 경우가 있다. X방향과 Y방향은 교차하고, 예를 들어 수직으로 교차한다(도 1 참조). 도 1에는 상이한 색의 부화소가 X방향으로 나란히 배치되어 있고, 같은 색의 부화소가 Y방향으로 나란히 배치되어 있는 예를 나타내었다.

[0053] 도 1에는 상면에서 보았을 때("평면에서 보았을 때"라고도 함) 접속부(140)가 표시부 한쪽에 위치하는 예를 나타내었지만, 접속부(140)의 위치는 특별히 한정되지 않는다. 접속부(140)는 상면에서 보았을 때 표시부의

위쪽, 오른쪽, 왼쪽, 아래쪽 중 적어도 하나에 제공되면 좋고, 표시부의 4변을 둘러싸도록 제공되어도 좋다. 접속부(140)의 상면 형상은 특별히 한정되지 않고, 띠 형상, L자 형상, U자 형상, 또는 테두리 형상 등으로 할 수 있다. 또한 접속부(140)는 하나이어도 좋고 복수이어도 좋다.

[0054] <표시 장치의 구성예 1>

[0055] 도 2는 도 1에서의 일점쇄선 X1-X2 간 및 일점쇄선 Y1-Y2 간의 단면도이다.

[0056] 도 2에 나타낸 바와 같이, 표시 장치(100)에서는 층(101) 위에 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)가 제공되고, 이들 발광 디바이스를 덮도록 보호층(131)이 제공되어 있다. 보호층(131) 위에는 수지층(122)에 의하여 기판(120)이 접합되어 있다.

[0057] 층(101)은 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)를 가진다. 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)를 덮도록 절연층(218)과, 절연층(218) 위의 절연층(235)이 제공된다. 절연층(218) 및 절연층(235)은 개구를 가지고, 상기 개구를 덮도록 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)의 전극이 제공된다.

[0058] 또한 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에 공통되는 사항에 대하여 설명하는 경우에는, 이들을 구별하는 알파벳을 생략하여 발광 디바이스(130)라고 표기하는 경우가 있다. 이와 마찬가지로, 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B) 등, 알파벳으로 구별하는 구성 요소에 대해서도, 이들에 공통되는 사항에 대하여 설명하는 경우에는, 알파벳을 생략한 부호를 사용하는 경우가 있다.

[0059] 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)는 각각 한 쌍의 전극과, 한 쌍의 전극 사이에 끼워지는 층을 가진다. 층은 적어도 발광층을 가진다. 발광 디바이스가 가지는 한 쌍의 전극 중 한쪽 전극은 양극으로서 기능하고, 다른 쪽 전극은 음극으로서 기능한다. 이하에서는 화소 전극이 양극으로서 기능하고 공통 전극이 음극으로서 기능하는 경우를 예로 들어 설명하는 경우가 있다.

[0060] 발광 디바이스(130R)는 절연층(235) 위의 화소 전극(111R)과, 화소 전극(111R) 위의 섬 형상의 층(113R)과, 섬 형상의 층(113R) 위의 공통층(114)과, 공통층(114) 위의 공통 전극(115)을 가진다. 발광 디바이스(130R)에서 층(113R) 및 공통층(114)을 통틀어 EL층이라고 부를 수 있다.

[0061] 발광 디바이스(130G)는 절연층(235) 위의 화소 전극(111G)과, 화소 전극(111G) 위의 섬 형상의 층(113G)과, 섬 형상의 층(113G) 위의 공통층(114)과, 공통층(114) 위의 공통 전극(115)을 가진다. 발광 디바이스(130G)에서 층(113G) 및 공통층(114)을 통틀어 EL층이라고 부를 수 있다.

[0062] 발광 디바이스(130B)는 절연층(235) 위의 화소 전극(111B)과, 화소 전극(111B) 위의 섬 형상의 층(113B)과, 섬 형상의 층(113B) 위의 공통층(114)과, 공통층(114) 위의 공통 전극(115)을 가진다. 발광 디바이스(130B)에서 층(113B) 및 공통층(114)을 통틀어 EL층이라고 부를 수 있다.

[0063] 본 명세서 등에서는 발광 디바이스가 가지는 EL층 중 발광 디바이스마다 섬 형상으로 제공된 층을 층(113R), 층(113G), 또는 층(113B)이라고 기재하고, 복수의 발광 디바이스가 공유하는 층을 공통층(114)이라고 기재한다. 또한 본 명세서 등에서 공통층(114)을 포함하지 않고 층(113R), 층(113G), 및 층(113B)을 가리켜 섬 형상의 EL층, 섬 형상으로 형성된 EL층 등이라고 부르는 경우도 있다.

[0064] 층(113R), 층(113G), 및 층(113B)은 각각 섬 형상을 가지고, 서로 분리되어 있다. EL층을 발광 디바이스마다 섬 형상으로 제공함으로써, 인접한 발광 디바이스 사이의 누설 전류를 억제할 수 있다. 이에 의하여, 크로스토크에 기인한 의도치 않은 발광을 방지할 수 있어, 콘트라스트가 매우 높은 표시 장치를 실현할 수 있다. 특히 저휘도에서의 전류 효율이 높은 표시 장치를 실현할 수 있다.

[0065] 본 발명의 일 형태의 표시 장치는 발광 디바이스가 형성된 기판과는 반대 방향으로 광이 방출되는 전면 발광형 구조(톱 이미션형(top-emission) 구조), 발광 디바이스가 형성된 기판 측에 광이 방출되는 배면 발광형 구조(보텀 이미션형(bottom-emission) 구조), 및 양면에 광이 방출되는 양면 발광형 구조(듀얼 이미션형(dual-emission) 구조) 중 어느 것을 가져도 좋다.

[0066] 층(101)은 발광 디바이스(130)를 제어하는 기능을 가지는 화소 회로를 포함하는 것이 바람직하다. 화소 회로는 예를 들어 트랜지스터, 용량 소자, 및 배선을 가지는 구성으로 할 수 있다. 또한 층(101)은 화소 회로에 더하여 게이트선 구동 회로(게이트 드라이버) 및 소스선 구동 회로(소스 드라이버) 중 한쪽 또는 양쪽을 가져도 좋다. 층(101)은 연산 회로 및 기억 회로 중 한쪽 또는 양쪽을 더 가져도 좋다.

[0067] 층(101)은 반도체 기판 또는 절연성 기판 위에 화소 회로가 제공된 구성으로 할 수 있다. 층(101)에는, 예를 들어 기판(151) 위에 복수의 트랜지스터가 제공되고 이들 트랜지스터를 덮도록 절연층이 제공된 적층 구조를 적용할 수 있다. 도 2에는, 층(101)에 포함되는 트랜지스터로서 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)를 나타내었다.

[0068] 기판(151)의 재질에 큰 제한은 없지만 적어도 나중의 열처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어 실리콘 또는 탄소화 실리콘을 재료로서 사용한 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 저마늄 등으로 이루어지는 화합물 반도체 기판, SOI 기판, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판, 세라믹 기판, 또는 유기 수지 기판을 기판(151)으로서 사용하여도 좋다. 또한 이들 기판 위에 반도체 소자가 제공된 것을 기판(151)으로서 사용하여도 좋다. 또한 반도체 기판 및 절연성 기판의 형상은 원형이어도 좋고, 각형이어도 좋다.

[0069] 기판(151)으로서 가요성 기판을 사용하고, 가요성 기판 위에 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)를 직접 형성하여도 좋다. 또는 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)와, 기판(151) 사이에 박리층을 제공하여도 좋다. 박리층은 그 위에 표시 장치를 형성한 후 또는 표시 장치의 일부를 형성한 후에 기판(151)으로부터 분리하여, 다른 기판에 전재하기 위하여 사용할 수 있다. 그때, 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)를 내열성이 낮은 기판 또는 가요성 기판에도 전재할 수 있다.

[0070] [트랜지스터의 구성예 1]

[0071] 본 발명의 일 형태인 표시 장치에 적용할 수 있는 트랜지스터에 대하여 설명한다. 트랜지스터(200)의 상면도를 도 3의 (A)에 나타내었다. 도 3의 (A)에 나타낸 일점쇄선 A1-A2에서의 절단면의 단면도를 도 3의 (B)에 나타내고, 일점쇄선 B1-B2에서의 절단면의 단면도를 도 3의 (C)에 나타내었다. 트랜지스터(200)의 사시도를 도 4에 나타내었다. 또한 도 3의 (A)에서, 트랜지스터(200)의 구성 요소의 일부(게이트 절연층 등)를 생략하였다. 트랜지스터의 상면도에 대해서는 이후의 도면에서도 도 3의 (A)와 마찬가지로 구성 요소의 일부를 생략하였다. 또한 도 4에서는 이해를 쉽게 하기 위하여, 절연층을 투명화하고 윤곽을 파선으로 나타내었다.

[0072] 트랜지스터(200)는 도전층(223)과, 절연층(225)과, 반도체층(231)과, 도전층(222a)과, 도전층(222b)과, 절연층(210)을 가진다. 도전층(223)은 게이트 전극으로서 기능한다. 절연층(225)의 일부는 게이트 절연층으로서 기능한다. 도전층(222a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전층(222b)은 다른 쪽으로서 기능한다. 반도체층(231)에서 소스 전극과 드레인 전극 사이의 게이트 절연층을 개재하여 게이트 전극과 중첩된 영역 전체가 채널 형성 영역으로서 기능한다. 또한 반도체층(231)에서 소스 전극과 접하는 영역은 소스 영역으로서 기능하고, 드레인 전극과 접하는 영역은 드레인 영역으로서 기능한다.

[0073] 기판(151) 위에는 도전층(222a)이 제공되고, 도전층(222a) 위에는 절연층(210)이 제공되고, 절연층(210) 위에는 도전층(222b)이 제공된다. 절연층(210)은 도전층(222a)과 도전층(222b) 사이에 끼워지는 영역을 가진다. 도전층(222a)은 절연층(210)을 개재하여 도전층(222b)과 중첩되는 영역을 가진다. 절연층(210)은 도전층(222a)과 중첩되는 영역에 개구(141)를 가진다. 개구(141)에 있어서, 도전층(222a)이 노출된다. 도전층(222b)은 도전층(222a)과 중첩된 영역에 개구(143)를 가진다. 개구(143)는 개구(141)와 중첩된 영역에 제공된다.

[0074] 도 5의 (A)는 도전층(222a), 도전층(222b), 개구(141), 및 개구(143)를 발췌하여 나타낸 사시도이다. 또한 절연층(210)에 제공되는 개구(141)는 파선으로 나타내었다. 도 5의 (A)에 나타낸 바와 같이, 도전층(222b)은 도전층(222a)과 중첩되는 영역에 개구(143)를 가진다. 또한 도전층(222b)은 개구(141)의 내부에 제공하지 않는 것이 바람직하다. 즉 도전층(222b)은 절연층(210)의 개구(141) 측의 측면과 접촉하는 영역을 가지지 않는 것이 바람직하다.

[0075] 개구(141) 및 개구(143)의 상면 형상은 각각 예를 들어 원형 또는 타원형으로 할 수 있다. 또한 개구(141) 및 개구(143)의 상면 형상은 각각 삼각형, 사각형(직사각형, 마름모형, 정사각형을 포함함), 오각형 등의 다각형, 또는 이들 다각형의 모서리가 둥근 형상으로 하여도 좋다. 도 3의 (A) 등에 나타낸 바와 같이, 개구(141) 및 개구(143)의 상면 형상은 각각 원형인 것이 바람직하다. 개구(141) 및 개구(143)의 상면 형상을 원형으로 함으로써, 개구(141) 및 개구(143)를 형성할 때의 가공 정밀도를 높일 수 있고, 미세한 크기의 개구(141) 및 개구(143)를 형성할 수 있다. 또한 본 명세서 등에서, 원형은 정원(正圓)에 한정되지 않는다.

[0076] 도전층(222b)의 개구(143) 측의 단부는 절연층(210)의 개구(141) 측의 단부와 일치하거나 실질적으로 일치하는 것이 바람직하다. 또한 개구(143)의 상면 형상은 개구(141)의 상면 형상과 일치하거나 실질적으로 일치한다고도 할 수 있다. 또한 본 명세서 등에 있어서, 도전층(222b)의 개구(143) 측의 단부란 도전층(222b)의 개구

(143) 측의 하면 단부를 가리킨다. 도전층(222b)의 하면이란 절연층(210) 측의 면을 가리킨다. 절연층(210)의 개구(141) 측의 단부란 절연층(210)의 개구(141) 측의 상면 단부를 가리킨다. 절연층(210)의 상면이란 도전층(222b) 측의 면을 가리킨다. 또한 개구(143)의 상면 형상이란 도전층(222b)의 개구(143) 측의 하면 단부의 형상을 가리킨다. 개구(141)의 상면 형상이란 절연층(210)의 개구(141) 측의 상면 단부의 형상을 가리킨다.

[0077] 또한 "단부가 일치하거나 실질적으로 일치한다"는 "단부가 정렬되어 있거나 실질적으로 정렬되어 있다"라고도 할 수 있다. 단부가 정렬되어 있거나 실질적으로 정렬되어 있는 경우 그리고 상면 형상이 일치하거나 실질적으로 일치하는 경우에는, 상면에서 보았을 때 적층된 층과 층 사이에서 적어도 윤곽의 일부가 중첩된다고 할 수 있다. 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 그 범주에 포함한다. 다만 엄밀하게 말하면 윤곽이 중첩되지 않고 위층이 아래층의 내측에 위치하거나 위층이 아래층의 외측에 위치하는 경우도 있고, 이 경우도 "단부가 실질적으로 정렬되어 있다" 또는 "상면 형상이 실질적으로 일치한다"라고 한다.

[0078] 개구(141)는 예를 들어 개구(143)의 형성에 사용한 레지스트 마스크를 사용하여 형성할 수 있다. 구체적으로는, 절연층(210)이 되는 절연막, 상기 절연막 위의 도전층(222b)이 되는 도전막, 및 상기 도전막 위의 레지스트 마스크를 형성한다. 그리고 상기 레지스트 마스크를 사용하여 상기 도전막에 개구(143)를 형성한 후에 상기 레지스트 마스크를 사용하여 상기 절연막에 개구(141)를 형성함으로써, 개구(141)의 단부와 개구(143)의 단부는 일치하거나 실질적으로 일치할 수 있다. 이와 같은 구성으로 함으로써, 공정을 간략하게 할 수 있다.

[0079] 개구(143)를 형성한 후에 개구(143)와 상이한 공정으로 개구(141)를 형성하여도 좋다. 또한 개구(141)와 개구(143)의 형성 순서는 특별히 한정되지 않는다. 예를 들어, 절연층(210)이 되는 절연막에 개구(141)를 형성한 후에, 도전층(222b)이 되는 도전막을 형성하고, 상기 도전막에 개구(143)를 형성하여도 좋다. 도전층(222b)의 개구(143) 측의 단부는 절연층(210)의 개구(141) 측의 단부와 일치하지 않아도 된다.

[0080] 반도체층(231)은 개구(141) 및 개구(143)를 덮도록 제공된다. 반도체층(231)은 도전층(222b)의 상면 및 측면, 절연층(210)의 측면, 그리고 도전층(222a)의 상면과 접한 영역을 가진다. 반도체층(231)은 개구(141) 및 개구(143)를 통하여 도전층(222a)과 전기적으로 접속된다. 반도체층(231)은 도전층(222b)의 상면 및 측면, 절연층(210)의 측면, 그리고 도전층(222a)의 상면의 형상을 따르는 형상을 가진다.

[0081] 반도체층(231)은 도전층(222b)의 개구(143) 측의 단부를 덮는 것이 바람직하다. 도 3의 (B) 등에서는 반도체층(231)의 단부가 도전층(222b) 위에 위치하는 구성을 나타내었다. 반도체층(231)의 단부는 도전층(222b)의 상면과 접한다고도 할 수 있다. 또한 반도체층(231)이, 도전층(222b)의 개구(143)와 면하지 않는 측의 단부까지 연장되어 덮어도 좋다. 반도체층(231)의 단부가 절연층(210)의 상면에 접하여도 좋다.

[0082] 도 5의 (B)는 도전층(222a) 및 반도체층(231)을 발췌하여 나타낸 사시도이다. 도 5의 (B)에 나타낸 바와 같이, 반도체층(231)은 개구(141) 및 개구(143)를 덮도록 제공된다. 개구(141)에 있어서, 반도체층(231)은 도전층(222a)의 상면과 접하는 영역을 가진다.

[0083] 도 3의 (B) 등에서 반도체층(231)은 단층 구조를 가지지만, 본 발명의 일 형태는 이에 한정되지 않는다. 반도체층(231)을 2층 이상의 적층 구조로 하여도 좋다.

[0084] 게이트 절연층으로서 기능하는 절연층(225)은 개구(141) 및 개구(143)를 덮도록 제공된다. 절연층(225)은 반도체층(231), 도전층(222b), 및 절연층(210) 위에 제공된다. 절연층(225)은 반도체층(231)의 상면 및 측면, 도전층(222b)의 상면 및 측면, 그리고 절연층(210)의 상면과 접한 영역을 가진다. 절연층(225)은 절연층(210)의 상면, 도전층(222b)의 상면 및 측면, 반도체층(231)의 상면 및 측면, 그리고 도전층(222a)의 상면의 형상을 따르는 형상을 가진다.

[0085] 게이트 전극으로서 기능하는 도전층(223)은 절연층(225) 위에 제공되고, 절연층(225)의 상면과 접하는 영역을 가진다. 도전층(223)은 절연층(225)을 개재하여 반도체층(231)과 중첩되는 영역을 가진다. 도전층(223)은 절연층(225)의 상면의 형상을 따르는 형상을 가진다.

[0086] 도 5의 (C)는 도전층(222a) 및 도전층(223)을 발췌하여 나타낸 사시도이다. 도 5의 (C)에 나타낸 바와 같이, 도전층(223)은 개구(141) 및 개구(143)를 덮도록 제공된다.

[0087] 도 3의 (B) 등에 나타낸 바와 같이, 개구(141) 및 개구(143)에 있어서, 도전층(223)은 절연층(225)을 개재하여 반도체층(231)과 중첩되는 영역을 가진다. 또한 도전층(223)은 절연층(225) 및 반도체층(231)을 개재하여 도전

층(222a)과 중첩되는 영역, 및 도전층(222b)과 중첩되는 영역을 가진다. 도전층(223)은 도전층(222b)의 개구(143) 측의 단부를 덮는 것이 바람직하다. 이러한 구성으로 함으로써, 반도체층(231)에서 소스 전극과 드레인 전극 사이에서 게이트 절연층을 개재하여 게이트 전극과 중첩되는 영역 전체가 채널 형성 영역으로서 기능할 수 있다.

[0088] 트랜지스터(200)는 반도체층(231)보다 위쪽에 게이트 전극을 가지는, 소위 톱 게이트형 트랜지스터이다. 또한 반도체층(231)의 하면이 소스 전극 및 드레인 전극과 접하기 때문에, TGBC(Top Gate Bottom Contact)형 트랜지스터라고 할 수 있다.

[0089] 도전층(222a), 도전층(222b), 및 도전층(223)은 각각 배선으로서 기능할 수 있다. 트랜지스터(200)는 이들 배선이 중첩되는 영역에 제공할 수 있다. 즉 트랜지스터(200) 및 상기 배선을 포함한 회로에서 트랜지스터(200) 및 배선이 차지하는 면적을 축소할 수 있다. 나아가서는 회로의 점유 면적을 축소할 수 있다. 예를 들어 트랜지스터(200)를 표시 장치의 화소 회로에 적용하는 경우, 화소 회로의 점유 면적을 축소할 수 있어, 고정세의 표시 장치로 할 수 있다. 또한 트랜지스터(200)를 표시 장치의 구동 회로(예를 들어 게이트선 구동 회로 및 소스선 구동 회로)에 적용하는 경우, 구동 회로의 점유 면적을 축소할 수 있어, 슬림 베젤의 표시 장치로 할 수 있다. 또는 소형의 표시 장치로 할 수 있다.

[0090] 여기서, 트랜지스터(200)의 채널 길이 및 채널 폭에 대하여, 도 6의 (A) 및 (B)를 참조하여 설명한다. 도 6의 (A)는 트랜지스터(200)의 상면도이다. 도 6의 (B)는 도 3의 (B)의 확대도이다.

[0091] 반도체층(231)에서 도전층(222a)과 접하는 영역은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 도전층(222b)과 접하는 영역은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하고, 소스 영역과 드레인 영역 사이의 영역은 채널 형성 영역으로서 기능한다.

[0092] 트랜지스터(200)의 채널 길이는 소스 영역과 드레인 영역 사이의 거리이다. 도 6의 (B)에서는 트랜지스터(200)의 채널 길이 L200을 파선의 양쪽 화살표로 나타내었다. 단면에서 보았을 때, 채널 길이 L200은 반도체층(231)과 도전층(222a)이 접하는 영역의 단부와, 반도체층(231)과 도전층(222b)이 접하는 영역의 단부 사이의 거리이다.

[0093] 트랜지스터(200)의 채널 길이 L200은 단면에서 볼 때의 절연층(210)의 개구(141) 측의 측면의 길이에 상당한다. 즉, 채널 길이 L200은 절연층(210)의 막 두께 T210 및 절연층(210)의 개구(141) 측의 측면과 절연층(210)의 피형성면(여기서는 도전층(222a)의 상면)이 이루는 각 Θ210에 따라 결정되고, 트랜지스터의 제작에 사용하는 노광 장치의 성능에 영향을 받지 않는다. 따라서 채널 길이 L200을 노광 장치의 한계 해상도보다 작은 값으로 할 수 있어, 미세한 크기의 트랜지스터를 실현할 수 있다. 예를 들어, 채널 길이 L200은 0.01㎛ 이상 3㎛ 미만이 바람직하고, 0.05㎛ 이상 3㎛ 미만이 더 바람직하고, 0.1㎛ 이상 3㎛ 미만이 더 바람직하고, 0.15㎛ 이상 3㎛ 미만이 더 바람직하고, 0.2㎛ 이상 3㎛ 미만이 더 바람직하고, 0.2㎛ 이상 2.5㎛ 미만이 더 바람직하고, 0.2㎛ 이상 2㎛ 미만이 더 바람직하고, 0.2㎛ 이상 1.5㎛ 미만이 더 바람직하고, 0.3㎛ 이상 1.5㎛ 이하가 더 바람직하고, 0.3㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.4㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.4㎛ 이상 1㎛ 이하가 더 바람직하고, 0.5㎛ 이상 1㎛ 이하가 더 바람직하다. 도 6의 (B)는 절연층(210)의 막 두께 T210을 일점쇄선의 양쪽 화살표로 나타내었다.

[0094] 채널 길이 L200을 짧게 함으로써 트랜지스터(200)의 온 전류를 크게 할 수 있다. 트랜지스터(200)를 사용함으로써 고속 동작이 가능한 회로를 제작할 수 있다. 또한 회로의 점유 면적을 축소할 수 있다. 예를 들어 트랜지스터(200)를 대형 표시 장치 또는 고정세 표시 장치에 적용할 때 배선수가 증가한 경우에도 각 배선에서의 신호 지연을 저감할 수 있어, 표시 불균일을 억제할 수 있다. 또한 회로의 점유 면적을 축소할 수 있기 때문에, 표시 장치의 슬림 베젤화가 가능하다.

[0095] 절연층(210)의 막 두께 T210 및 각 Θ210을 조정함으로써 채널 길이 L200을 제어할 수 있다.

[0096] 절연층(210)의 막 두께 T210은 0.01㎛ 이상 3㎛ 미만이 바람직하고, 0.05㎛ 이상 3㎛ 미만이 더 바람직하고, 0.1㎛ 이상 3㎛ 미만이 더 바람직하고, 0.15㎛ 이상 3㎛ 미만이 더 바람직하고, 0.2㎛ 이상 3㎛ 미만이 더 바람직하고, 0.2㎛ 이상 2.5㎛ 미만이 더 바람직하고, 0.2㎛ 이상 2㎛ 미만이 더 바람직하고, 0.2㎛ 이상 1.5㎛ 미만이 더 바람직하고, 0.3㎛ 이상 1.5㎛ 이하가 더 바람직하고, 0.3㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.4㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.4㎛ 이상 1㎛ 이하가 더 바람직하고, 0.5㎛ 이상 1㎛ 이하가 더 바람직하다.

[0097] 절연층(210)의 개구(141) 측의 측면은 테이퍼 형상인 것이 바람직하다. 절연층(210)의 개구(141) 측의 측면과

절연층(210)의 피형성면(여기서는 도전층(222a)의 상면)이 이루는 각 θ210은 90° 미만인 것이 바람직하다. 각 θ210을 작게 함으로써 절연층(210) 위에 제공되는 층(예를 들어 반도체층(231))의 피복성을 높일 수 있다. 그러나 각 θ210을 작게 하면, 반도체층(231)과 도전층(222a)의 접촉 면적이 작게 되어, 반도체층(231)과 도전층(222a)의 접촉 저항이 높아지는 경우가 있다. 각 θ210은 45° 이상 90° 미만이 바람직하고, 50° 이상 90° 미만이 더 바람직하고, 55° 이상 90° 미만이 더 바람직하고, 60° 이상 90° 미만이 더 바람직하고, 60° 이상 85° 이하가 더 바람직하고, 65° 이상 85° 이하가 더 바람직하고, 65° 이상 80° 이하가 더 바람직하고, 70° 이상 80° 이하가 더 바람직하다. 각 θ210을 상술한 범위로 함으로써, 도전층(222a) 및 절연층(210) 위에 형성되는 층(예를 들어, 반도체층(231))의 피복성을 높일 수 있어, 상기 층에 단절 또는 공동 등의 문제가 발생하는 것을 억제할 수 있다. 또한 반도체층(231)과 도전층(222a)의 접촉 저항을 낮게 할 수 있다.

[0098] 또한 도 6의 (B) 등에서는 단면에서 볼 때 절연층(210)의 개구(141) 측의 측면의 형상이 직선인 구성을 나타내었지만 본 발명의 일 형태는 이에 한정되지 않는다. 단면에서 보았을 때 절연층(210)의 개구(141) 측의 측면은 곡선이어도 좋고, 또한 직선인 영역과 곡선인 영역의 양쪽을 가져도 좋다.

[0099] 트랜지스터(200)의 채널 폭은 채널 길이 방향과 직교되는 방향에서의 소스 영역의 폭 또는 드레인 영역의 폭이다. 즉 채널 폭은 채널 길이 방향과 직교되는 방향에서 반도체층(231)과 도전층(222a)이 접하는 영역의 폭, 또는 반도체층(231)과 도전층(222b)이 접하는 영역의 폭이다. 여기서는, 트랜지스터(200)의 채널 폭은 채널 길이 방향과 직교되는 방향에서 반도체층(231)과 도전층(222b)이 접하는 영역의 폭으로서 설명한다. 도 6의 (A) 및 (B)에서는 트랜지스터(200)의 채널 폭 W200을 실선의 양쪽 화살표로 나타내었다. 상면에서 보았을 때, 채널 폭 W200은 도전층(222b)의 개구(143) 측의 하면 단부의 길이이다.

[0100] 채널 폭 W200은 개구(143)의 상면 형상에 따라 결정된다. 도 6의 (A) 및 (B)에서는 개구(143)의 폭 D143을 이점쇄선의 양쪽 화살표로 나타내었다. 폭 D143은 상면에서 보았을 때 개구(143)에 외접하는 가장 작은 직사각형의 짧은 변을 가리킨다. 포토리소그래피법을 사용하여 개구(143)를 형성하는 경우, 개구(143)의 폭 D143은 노광 장치의 한계 해상도 이상이 된다. 폭 D143은 예를 들어 0.2μm 이상 5μm 미만이 바람직하고, 0.2μm 이상 4.5μm 미만이 더 바람직하고, 0.2μm 이상 4μm 미만이 더 바람직하고, 0.2μm 이상 3.5μm 미만이 더 바람직하고, 0.2μm 이상 3μm 미만이 더 바람직하고, 0.2μm 이상 2.5μm 미만이 더 바람직하고, 0.2μm 이상 2μm 미만이 더 바람직하고, 0.2μm 이상 1.5μm 미만이 더 바람직하고, 0.3μm 이상 1.5μm 이하가 더 바람직하고, 0.3μm 이상 1.2μm 이하가 더 바람직하고, 0.4μm 이상 1.2μm 이하가 더 바람직하고, 0.4μm 이상 1μm 이하가 더 바람직하고, 0.5μm 이상 1μm 이하가 더 바람직하다. 또한 개구(143)의 상면 형상이 원형인 경우, 폭 D143은 개구(143)의 직경에 상당하고, 채널 폭 W200은 "D143×π"로 산출할 수 있다.

[0101] 이하에서는, 본 발명의 일 형태의 표시 장치에 적용할 수 있는 트랜지스터에 포함되는 구성 요소에 대하여 설명한다.

[0102] [반도체층(231)]

[0103] 반도체층(231)에 사용할 수 있는 반도체 재료는 특별히 한정되지 않는다. 예를 들어 단체 반도체 또는 화합물 반도체를 사용할 수 있다. 단체 반도체로서는 예를 들어 실리콘 또는 저마늄을 사용할 수 있다. 화합물 반도체로서는 예를 들어 비소화 갈륨, 실리콘 저마늄이 있다. 화합물 반도체로서는 반도체 특성을 가지는 유기물 또는 반도체 특성을 가지는 금속 산화물(산화물 반도체라고도 함)을 사용할 수 있다. 또한 이들 반도체 재료에는 도펀트로서 불순물이 포함되어도 좋다.

[0104] 반도체층(231)에 사용하는 반도체 재료의 결정성은 특별히 한정되지 않고, 비정질 반도체 및 결정성을 가지는 반도체(단결정성 반도체, 다결정 반도체, 미결정 반도체, 또는 일부에 결정 영역을 가지는 반도체) 중 어느 것을 사용하여도 좋다. 결정성을 가지는 반도체를 사용하면, 트랜지스터 특성의 열화를 억제할 수 있으므로 바람직하다.

[0105] 반도체층(231)에는 실리콘을 사용할 수 있다. 실리콘으로서는 단결정 실리콘, 다결정 실리콘, 미결정 실리콘, 비정질 실리콘 등을 들 수 있다. 다결정 실리콘으로서는 예를 들어 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)이 있다.

[0106] 반도체층(231)에 비정질 실리콘을 사용한 트랜지스터는 대형 유리 기판 위에 형성할 수 있고 저비용으로 제작할 수 있다. 반도체층(231)에 다결정 실리콘을 사용한 트랜지스터는 전계 효과 이동도가 높아 고속 동작이 가능하다. 또한 반도체층(231)에 미결정 실리콘을 사용한 트랜지스터는 비정질 실리콘을 사용한 트랜지스터보다 전계

효과 이동도가 높아 고속 동작이 가능하다.

[0107] 반도체층(231)은 반도체 특성을 가지는 금속 산화물(산화물 반도체)을 포함하는 것이 바람직하다. 반도체층(231)에 사용할 수 있는 금속 산화물로서는 예를 들어 인듐 산화물, 갈륨 산화물, 및 아연 산화물이 있다. 금속 산화물은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한 금속 산화물은 인듐, 원소 M, 및 아연 중에서 선택되는 2종류 또는 3종류를 포함하는 것이 바람직하다. 또한 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 코발트, 및 마그네슘 중에서 선택된 1종류 또는 복수 종류이다. 특히 원소 M은 알루미늄, 갈륨, 이트륨, 및 주석 중에서 선택된 1종류 또는 복수 종류인 것이 바람직하다.

[0108] 반도체층(231)은 예를 들어 산화 인듐, 인듐 아연 산화물(In-Zn 산화물), 인듐 주석 산화물(In-Sn 산화물), 인듐 타이타늄 산화물(In-Ti 산화물), 인듐 알루미늄 아연 산화물(In-Al-Zn 산화물, IAZO라고도 기재함), 인듐 주석 아연 산화물(In-Sn-Zn 산화물), 인듐 타이타늄 아연 산화물(In-Ti-Zn 산화물), 인듐 갈륨 아연 산화물(In-Ga-Zn 산화물, IGZO라고도 기재함), 인듐 갈륨 주석 아연 산화물(In-Ga-Sn-Zn 산화물), 인듐 갈륨 알루미늄 아연 산화물(In-Ga-Al-Zn 산화물, IGAZO 또는 IAGZO라고도 기재함) 등을 사용할 수 있다. 또는 실리콘을 포함하는 인듐 주석 산화물 등을 사용할 수 있다.

[0109] 원소 M은 특히 갈륨, 알루미늄, 이트륨, 및 주석 중에서 선택된 1종류 또는 복수 종류인 것이 바람직하다. 특히, 원소 M으로서는 갈륨이 바람직하다.

[0110] 여기서, 반도체층(231)이 가지는 금속 산화물의 조성은 트랜지스터(200)의 전기 특성 및 신뢰성에 크게 영향을 미친다.

[0111] 예를 들어 금속 산화물의 인듐의 함유율을 높게 함으로써 온 전류가 큰 트랜지스터를 실현할 수 있다.

[0112] 반도체층(231)에 In-Zn 산화물을 사용하는 경우, 인듐의 원자수비가 아연의 원자수비 이상인 금속 산화물을 적용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Zn=1:1, In:Zn=2:1, In:Zn=3:1, In:Zn=4:1, In:Zn=5:1, In:Zn=7:1, 또는 In:Zn=10:1, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0113] 반도체층(231)에 In-Sn 산화물을 사용하는 경우, 인듐의 원자수비가 주석의 원자수비 이상인 금속 산화물을 적용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Sn=1:1, In:Sn=2:1, In:Sn=3:1, In:Sn=4:1, In:Sn=5:1, In:Sn=7:1, 또는 In:Sn=10:1, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0114] 반도체층(231)에 In-Sn-Zn 산화물을 사용하는 경우, 인듐의 원자수비가 주석의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 주석의 원자수비보다 높은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Sn:Zn=2:1:3, In:Sn:Zn=3:1:2, In:Sn:Zn=4:2:3, In:Sn:Zn=4:2:4.1, In:Sn:Zn=5:1:3, In:Sn:Zn=5:1:6, In:Sn:Zn=5:1:7, In:Sn:Zn=5:1:8, In:Sn:Zn=6:1:6, In:Sn:Zn=10:1:3, In:Sn:Zn=10:1:6, In:Sn:Zn=10:1:7, In:Sn:Zn=10:1:8, In:Sn:Zn=5:2:5, In:Sn:Zn=10:1:10, In:Sn:Zn=20:1:10, In:Sn:Zn=40:1:10, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0115] 반도체층(231)에 In-Al-Zn 산화물을 사용하는 경우, 인듐의 원자수비가 알루미늄의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 알루미늄의 원자수비보다 높은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Al:Zn=2:1:3, In:Al:Zn=3:1:2, In:Al:Zn=4:2:3, In:Al:Zn=4:2:4.1, In:Al:Zn=5:1:3, In:Al:Zn=5:1:6, In:Al:Zn=5:1:7, In: Al:Zn=5:1:8, In:Al:Zn=6:1:6, In:Al:Zn=10:1:3, In:Al:Zn=10:1:6, In:Al:Zn=10:1:7, In:Al:Zn=10:1:8, In:Al:Zn=5:2:5, In:Al:Zn=10:1:10, In:Al:Zn=20:1:10, In:Al:Zn=40:1:10, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0116] 반도체층(231)에 In-Ga-Zn 산화물을 사용하는 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 사용하는 것이 더 바람직하다. 예를 들어 반도체층(231)에는 금속 원소의 원자수비가 In:Ga:Zn=2:1:3, In:Ga:Zn=3:1:2, In:Ga:Zn=4:2:3, In:Ga:Zn=4:2:4.1, In:Ga:Zn=5:1:3, In:Ga:Zn=5:1:6, In:Ga:Zn=5:1:7, In:Ga:Zn=5:1:8, In:Ga:Zn=6:1:6, In:Ga:Zn=10:1:3, In:Ga:Zn=10:1:6, In:Ga:Zn=10:1:7, In:Ga:Zn=10:1:8, In:Ga:Zn=5:2:5, In:Ga:Zn=10:1:10, In:Ga:Zn=20:1:10, In:Ga:Zn=40:1:10, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0117] 반도체층(231)에 In-M-Zn 산화물을 사용하는 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 원소 M의 원자수비보다 높은 금속 산

화물을 사용하는 것이 더 바람직하다. 예를 들어 반도체층(231)에는 금속 원소의 원자수비가 In:M:Zn=2:1:3, In:M:Zn=3:1:2, In:M:Zn=4:2:3, In:M:Zn=4:2:4.1, In:M:Zn=5:1:3, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8, In:M:Zn=6:1:6, In:M:Zn=10:1:3, In:M:Zn=10:1:6, In:M:Zn=10:1:7, In:M:Zn=10:1:8, In:M:Zn=5:2:5, In:M:Zn=10:1:10, In:M:Zn=20:1:10, In:M:Zn=40:1:10, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0118] 또한 원소 M으로서 복수의 금속 원소를 포함하는 경우에는 상기 금속 원소의 원자수비의 합계를 원소 M의 원자수비로 할 수 있다. 예를 들어 원소 M으로서 갈륨과 알루미늄을 포함하는 In-Ga-Al-Zn 산화물인 경우, 갈륨의 원자수비와 알루미늄의 원자수비의 합계를 원소 M의 원자수비로 할 수 있다. 또한 인듐, 원소 M, 및 아연의 원자수비가 상술한 범위 내에 있는 것이 바람직하다.

[0119] 금속 산화물에 함유되는 금속 원소의 원자수에 대한 인듐의 원자수의 비율이 30atomic% 이상 100atomic% 이하, 바람직하게는 30atomic% 이상 95atomic% 이하, 더 바람직하게는 35atomic% 이상 95atomic% 이하, 더 바람직하게는 35atomic% 이상 90atomic% 이하, 더 바람직하게는 40atomic% 이상 90atomic% 이하, 더 바람직하게는 45atomic% 이상 90atomic% 이하, 더 바람직하게는 50atomic% 이상 80atomic% 이하, 더 바람직하게는 60atomic% 이상 80atomic% 이하, 더 바람직하게는 70atomic% 이상 80atomic% 이하인 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 반도체층(231)에 In-Ga-Zn 산화물을 사용하는 경우, 인듐, 원소 M, 및 아연의 원자수의 합계에 대한 인듐의 원자수의 비율이 상술한 범위 내에 있는 것이 바람직하다.

[0120] 본 명세서 등에서 함유되는 금속 원소의 원자수에 대한 인듐의 원자수의 비율을 인듐의 함유율이라고 기재하는 경우가 있다. 다른 금속 원소에서도 마찬가지이다.

[0121] 금속 산화물의 인듐의 함유율을 높게 함으로써 온 전류가 큰 트랜지스터로 할 수 있다. 상기 트랜지스터를 사용함으로써 고속 동작이 가능한 회로를 제작할 수 있다. 또한 회로의 점유 면적을 축소할 수 있다. 예를 들어 상기 트랜지스터를 대형 표시 장치 또는 고정세 표시 장치에 적용할 때 배선수가 증가한 경우에도 각 배선에서의 신호 지연을 저감할 수 있어, 표시 불균일을 억제할 수 있다. 또한 회로의 점유 면적을 축소할 수 있기 때문에, 표시 장치의 슬림 베젤화가 가능하다.

[0122] 금속 산화물의 조성을 분석하는 방법으로서는, 예를 들어 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray Spectroscopy), X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy), 유도 결합 플라스마 질량 분석법(ICP-MS: Inductively Coupled Plasma-Mass Spectrometry), 또는 유도 결합 고주파 플라스마 발광 분광법(ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry)을 사용할 수 있다. 또는 이들 방법을 복수 조합하여 분석을 수행하여도 좋다. 또한 함유율이 낮은 원소는 분석 정밀도의 영향 때문에, 실제의 함유율과 분석에 의하여 얻어진 함유율이 다른 경우가 있다. 예를 들어 원소 M의 함유율이 낮은 경우, 분석에 의하여 얻어진 원소 M의 함유율이 실제의 함유율보다 낮아지는 경우가 있다.

[0123] 본 명세서 등에서 근방의 조성이란, 원하는 원자수비의 ±30%의 범위를 포함한 것이다. 예를 들어 원자수비가 In:M:Zn=4:2:3 또는 그 근방의 조성이라고 기재된 경우, 인듐의 원자수비를 4로 하였을 때, M의 원자수비가 1 이상 3 이하이고, 아연의 원자수비가 2 이상 4 이하인 경우를 포함한다. 또한 원자수비가 In:M:Zn=5:1:6 또는 그 근방의 조성이라고 기재된 경우, 인듐의 원자수비를 5로 하였을 때, M의 원자수비가 0.1보다 크고 2 이하이고, 아연의 원자수비가 5 이상 7 이하인 경우를 포함한다. 또한 원자수비가 In:M:Zn=1:1:1 또는 그 근방의 조성이라고 기재된 경우, 인듐의 원자수비를 1로 하였을 때, M의 원자수비가 0.1보다 크고 2 이하이고, 아연의 원자수비가 0.1보다 크고 2 이하인 경우를 포함한다.

[0124] 금속 산화물의 형성에는 스퍼터링법 또는 원자층 퇴적(ALD: Atomic Layer Deposition)법을 적합하게 사용할 수 있다. 또한 금속 산화물을 스퍼터링법에 의하여 형성하는 경우, 타깃의 원자수비와 상기 금속 산화물의 원자수비가 다른 경우가 있다. 특히, 아연은 타깃에서의 원자수비보다 금속 산화물에서의 원자수비가 낮은 경우가 있다. 구체적으로는, 타깃에 포함되는 아연의 원자수비의 40% 이상 90% 이하 정도가 되는 경우가 있다.

[0125] 여기서 트랜지스터의 신뢰성에 대하여 설명한다. 트랜지스터의 신뢰성을 평가하는 지표의 하나로서, 게이트에 전계를 인가한 상태를 유지하는 GBT(Gate Bias Temperature) 스트레스 시험이 있다. 그 중에서도, 소스 전위 및 드레인 전위에 대하여 양의 전위(포지티브 바이어스)를 게이트에 공급한 상태를 고온하에서 유지하는 시험을 PBTS(Positive Bias Temperature Stress) 시험이라고 부르고, 음의 전위(네거티브 바이어스)를 게이트에 공급한 상태를 고온하에서 유지하는 시험을 NBTS(Negative Bias Temperature Stress) 시험이라고 부른다. 또한 광을 조사한 상태에서 수행하는 PBTS 시험을 PBTIS(Positive Bias Temperature Illumination Stress) 시험이라고

부르고, 광을 조사한 상태에서 수행하는 NBTS 시험을 NBTIS(Negative Bias Temperature Illumination Stress) 시험이라고 부른다.

[0126] n형 트랜지스터에서는, 트랜지스터를 온 상태(전류를 흘리는 상태)로 할 때 게이트에 양의 전위가 공급되기 때문에, PBTS 시험에서의 문턱 전압의 변동량이 트랜지스터의 신뢰성의 지표로서 주목해야 할 중요한 항목 중 하나가 된다.

[0127] 반도체층(231)에 갈륨을 포함하지 않거나 갈륨의 함유율이 낮은 금속 산화물을 사용함으로써 포지티브 바이어스 인가에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 즉 PBTS 시험에서의 문턱 전압의 변동량이 작은 트랜지스터로 할 수 있다. 또한 갈륨을 포함하는 금속 산화물을 사용하는 경우에는 인듐의 함유율보다 갈륨의 함유율을 낮게 하는 것이 바람직하다. 이 경우, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0128] PBTS 시험에서의 문턱 전압의 변동의 요인 중 하나로서, 반도체층과 게이트 절연층의 계면 또는 계면 근방에서의 결함 준위를 들 수 있다. 결함 준위 밀도가 높아질수록 PBTS 시험에서의 열화가 현저해진다. 반도체층에서 게이트 절연층과 접하는 영역에서의 갈륨의 함유율을 낮게 함으로써, 상기 결함 준위의 생성을 억제할 수 있다.

[0129] 갈륨을 포함하지 않거나 갈륨의 함유율이 낮은 금속 산화물을 반도체층에 사용함으로써 PBTS 시험에서의 문턱 전압의 변동을 억제할 수 있는 이유로서 예를 들어 다음과 같은 것이 생각된다. 금속 산화물에 포함되는 갈륨은 다른 금속 원소(예를 들어 인듐 또는 아연)에 비하여 산소를 유인하기 쉬운 성질을 가진다. 그러므로 갈륨을 많이 포함하는 금속 산화물막과 게이트 절연층의 계면에서, 갈륨이 게이트 절연층 내의 과잉 산소와 결합됨으로써, 캐리어(여기서는 전자)의 트랩 사이트가 발생되기 쉬워지는 것으로 추정된다. 그러므로 게이트에 양의 전위를 공급한 경우에, 반도체층과 게이트 절연층의 계면에 캐리어가 트랩됨으로써, 문턱 전압이 변동되는 것으로 생각된다.

[0130] 더 구체적으로는 반도체층(231)에 In-Ga-Zn 산화물을 사용한 경우, 인듐의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 반도체층(231)에 적용할 수 있다. 또한 아연의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 사용하는 것이 더 바람직하다. 바꿔 말하면, 금속 원소의 원자수비가 In>Ga 및 Zn>Ga의 양쪽을 만족시키는 금속 산화물을 반도체층(231)에 적용하는 것이 바람직하다.

[0131] 반도체층(231)에는, 함유되는 금속 원소의 원자수에 대한 갈륨의 원자수의 비율이 0atomic%보다 높고 50atomic% 이하, 바람직하게는 0.1atomic% 이상 40atomic% 이하, 더 바람직하게는 0.1atomic% 이상 35atomic% 이하, 더 바람직하게는 0.1atomic% 이상 30atomic% 이하, 더 바람직하게는 0.1atomic% 이상 25atomic% 이하, 더 바람직하게는 0.1atomic% 이상 20atomic% 이하, 더 바람직하게는 0.1atomic% 이상 15atomic% 이하, 더 바람직하게는 0.1atomic% 이상 10atomic% 이하인 금속 산화물을 사용하는 것이 바람직하다. 반도체층 내의 갈륨의 함유율을 낮게 함으로써 PBTS 시험에 대한 내성이 높은 트랜지스터로 할 수 있다. 또한 금속 산화물에 갈륨을 함유시킴으로써 금속 산화물에 산소 결손(V_O: Oxygen Vacancy)이 발생하기 어려워지는 등의 효과가 나타난다.

[0132] 반도체층(231)에 갈륨을 포함하지 않는 금속 산화물을 적용하여도 좋다. 예를 들어 반도체층(231)에는 In-Zn 산화물을 적용할 수 있다. 이때, 금속 산화물에 포함되는 금속 원소의 원자수에 대한 인듐의 원자수비를 높게 함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다. 한편, 금속 산화물에 포함되는 금속 원소의 원자수에 대한 아연의 원자수비를 높게 함으로써, 결정성이 높은 금속 산화물이 되기 때문에, 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다. 또한 반도체층(231)에는 산화 인듐 등의 갈륨 및 아연을 포함하지 않는 금속 산화물을 적용하여도 좋다. 갈륨을 포함하지 않는 금속 산화물을 사용함으로써, 특히 PBTS 시험에서의 문턱 전압의 변동을 매우 작게 할 수 있다.

[0133] 예를 들어 반도체층(231)에는 인듐과 아연을 포함하는 산화물을 사용할 수 있다. 이때, 금속 원소의 원자수비가 예를 들어 In:Zn=2:3, In:Zn=4:1, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.

[0134] 또한 대표적으로 갈륨을 예로 들어 설명하였지만 갈륨 대신에 원소 M을 사용한 경우에도 적용할 수 있다. 반도체층(231)에는 인듐의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용하는 것이 바람직하다. 또한 아연의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용하는 것이 바람직하다.

[0135] 반도체층(231)에 원소 M의 함유율이 낮은 금속 산화물을 적용함으로써 포지티브 바이어스 인가에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 상기 트랜지스터를 포지티브 바이어스 인가에 대한 높은 신뢰성이 요구되는 트랜지스터에 적용함으로써 높은 신뢰성을 가지는 표시 장치로 할 수 있다.

[0136] 이어서 광에 대한 트랜지스터의 신뢰성에 대하여 설명한다.

[0137] 트랜지스터에 광이 입사함으로써 트랜지스터의 전기 특성이 변동하는 경우가 있다. 특히 광이 입사할 수 있는 영역에 적용되는 트랜지스터는 광 조사하에서의 전기 특성의 변동이 작고 광에 대한 신뢰성이 높은 것이 바람직하다. 광에 대한 신뢰성은 예를 들어 NBTIS 시험에서의 문턱 전압의 변동량에 의하여 평가할 수 있다.

[0138] 금속 산화물의 원소 M의 함유율을 높게 함으로써 광에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 즉 NBTIS 시험에서의 문턱 전압의 변동량이 작은 트랜지스터로 할 수 있다. 구체적으로는 원소 M의 원자수비가 인듐의 원자수비 이상인 금속 산화물은 밴드 갭이 더 커지고 트랜지스터의 NBTIS 시험에서의 문턱 전압의 변동량을 작게 할 수 있다. 반도체층(231)이 가지는 금속 산화물의 밴드 갭은 2.0eV 이상이 바람직하고, 2.5eV 이상이 더 바람직하고, 3.0eV 이상이 더 바람직하고, 3.2eV 이상이 더 바람직하고, 3.3eV 이상이 더 바람직하고, 3.4eV 이상이 더 바람직하고, 3.5eV 이상이 더 바람직하다.

[0139] 예를 들어 반도체층(231)에는 금속 원소의 원자수비가 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=1:3:2, In:M:Zn=1:3:3, In:M:Zn=1:3:4, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0140] 특히 반도체층(231)에는 함유되는 금속 원소의 원자수에 대한 원소 M의 원자수의 비율이 20atomic% 이상 70atomic% 이하, 바람직하게는 30atomic% 이상 70atomic% 이하, 더 바람직하게는 30atomic% 이상 60atomic% 이하, 더 바람직하게는 40atomic% 이상 60atomic% 이하, 더 바람직하게는 50atomic% 이상 60atomic% 이하인 금속 산화물을 적합하게 사용할 수 있다.

[0141] 반도체층(231)에 In-Ga-Zn 산화물을 사용한 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 갈륨의 원자수비 이하인 금속 산화물을 적용할 수 있다. 예를 들어 금속 원소의 원자수비가 In:Ga:Zn=1:1:1, In:Ga:Zn=1:1:1.2, In:Ga:Zn=1:3:2, In:Ga:Zn=1:3:3, In:Ga:Zn=1:3:4, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.

[0142] 특히 반도체층(231)에는 함유되는 금속 원소의 원자수에 대한 갈륨의 원자수의 비율이 20atomic% 이상 60atomic% 이하, 바람직하게는 20atomic% 이상 50atomic% 이하, 더 바람직하게는 30atomic% 이상 50atomic% 이하, 더 바람직하게는 40atomic% 이상 60atomic% 이하, 더 바람직하게는 50atomic% 이상 60atomic% 이하인 금속 산화물을 적합하게 사용할 수 있다.

[0143] 반도체층(231)에 원소 M의 함유율이 높은 금속 산화물을 적용함으로써 광에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 상기 트랜지스터를 광에 대한 높은 신뢰성이 요구되는 트랜지스터에 적용함으로써 신뢰성이 높은 표시 장치로 할 수 있다.

[0144] 상술한 바와 같이 반도체층(231)에 적용하는 금속 산화물의 조성에 따라 트랜지스터의 전기 특성 및 신뢰성이 다르다. 따라서 트랜지스터에 요구되는 전기 특성 및 신뢰성에 따라 금속 산화물의 조성을 다르게 함으로써 우수한 전기 특성과 높은 신뢰성을 양립한 표시 장치로 할 수 있다.

[0145] 반도체층(231)은 2개 이상의 금속 산화물층을 가지는 적층 구조로 하여도 좋다. 반도체층(231)이 가지는 2개 이상의 금속 산화물층은 조성이 서로 같거나 실질적으로 같아도 좋다. 조성이 같은 금속 산화물층의 적층 구조로 함으로써, 예를 들어 같은 스퍼터링 타깃을 사용하여 형성할 수 있기 때문에, 제조 비용을 절감할 수 있다.

[0146] 반도체층(231)이 가지는 2개 이상의 금속 산화물층은 조성이 서로 달라도 좋다. 예를 들어, In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성의 제 1 금속 산화물층과, 상기 제 1 금속 산화물층 위에 제공되는 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성의 제 2 금속 산화물층의 적층 구조를 적합하게 사용할 수 있다. 또한 원소 M으로서 갈륨 또는 알루미늄을 사용하는 것이 특히 바람직하다. 예를 들어 인듐 산화물, 인듐 갈륨 산화물, 및 IGZO에서 선택되는 어느 하나와, IAZO, IAGZO, 및 ITZO(등록 상표)에서 선택되는 어느 하나의 적층 구조 등을 사용하여도 좋다.

[0147] 반도체층(231)으로서는 결정성을 가지는 금속 산화물층을 사용하는 것이 바람직하다. 예를 들어 CAAC(c-axis aligned crystal) 구조, 다결정 구조, 미결정(nc: nano-crystal) 구조 등을 가지는 금속 산화물층을 사용할 수 있다. 결정성을 가지는 금속 산화물층을 반도체층(231)으로서 사용함으로써, 반도체층(231) 내의 결함 준위 밀도를 저감할 수 있어, 신뢰성이 높은 표시 장치를 실현할 수 있다.

[0148] 반도체층(231)으로서 사용하는 금속 산화물층의 결정성이 높을수록 반도체층(231) 내의 결함 준위 밀도를 저감할 수 있다. 한편, 결정성이 낮은 금속 산화물층을 사용함으로써, 큰 전류를 흘릴 수 있는 트랜지스터를 실현할 수 있다.

[0149] 금속 산화물층을 스퍼터링법으로 형성하는 경우, 형성 시의 기판 온도가 높을수록 결정성이 높은 금속 산화물층

을 형성할 수 있다. 형성 시의 기판 온도는 예를 들어 기판을 올리는 스테이지의 온도에 의하여 조정할 수 있다. 또한 형성 시에 사용하는 성막 가스 전체에 대한 산소 가스의 유량의 비율(이하, 산소 유량비라고도 함) 또는 성막 장치의 처리실 내의 산소 분압이 높을수록 결정성이 높은 금속 산화물층을 형성할 수 있다.

[0150] 반도체층(231)은 결정성이 서로 다른 2개 이상의 금속 산화물층의 적층 구조를 가져도 좋다. 예를 들어 제 1 금속 산화물층과, 상기 제 1 금속 산화물층 위에 제공되는 제 2 금속 산화물층의 적층 구조로 하고, 제 2 금속 산화물층이 제 1 금속 산화물층보다 결정성이 높은 영역을 가지는 구성으로 할 수 있다. 또는 제 2 금속 산화물층이 제 1 금속 산화물층보다 결정성이 낮은 영역을 가지는 구성으로 할 수 있다. 반도체층(231)이 가지는 2개 이상의 금속 산화물층은 조성이 서로 같거나 실질적으로 같아도 좋다. 조성이 같은 금속 산화물층의 적층 구조로 함으로써, 예를 들어 같은 스퍼터링 타깃을 사용하여 형성할 수 있기 때문에, 제조 비용을 절감할 수 있다. 예를 들어 같은 스퍼터링 타깃을 사용하고 산소 유량비 또는 산소 분압을 서로 다르게 함으로써, 결정성이 서로 다른 2개 이상의 금속 산화물층의 적층 구조를 형성할 수 있다. 또한 반도체층(231)에 포함되는 2개 이상의 금속 산화물층은 조성이 서로 달라도 좋다.

[0151] 반도체층(231)의 두께는 3nm 이상 100nm 이하가 바람직하고, 5nm 이상 100nm 이하가 더 바람직하고, 10nm 이상 100nm 이하가 더 바람직하고, 10nm 이상 70nm 이하가 더 바람직하고, 15nm 이상 70nm 이하가 더 바람직하고, 15nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 40nm 이하가 더 바람직하고, 25nm 이상 40nm 이하가 더 바람직하다.

[0152] 반도체층(231) 형성 시의 기판 온도는 실온(25℃) 이상 200℃ 이하인 것이 바람직하고, 실온 이상 130℃ 이하인 것이 더 바람직하다. 기판 온도를 상술한 범위로 함으로써, 대면적의 유리 기판을 사용하는 경우에, 기판의 휨 또는 변형을 억제할 수 있다.

[0153] 여기서 반도체층(231) 내에 형성될 수 있는 산소 결손에 대하여 설명한다.

[0154] 반도체층(231)에 산화물 반도체를 사용하는 경우, 산화물 반도체에 포함되는 수소가 금속 원자와 결합되는 산소와 반응하여 물이 되기 때문에, 산화물 반도체 내에 산소 결손(V_O)이 형성되는 경우가 있다. 또한 산소 결손에 수소가 들어간 결함(이하, V_OH라고 기재함)은 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합되는 산소와 결합되어, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 많이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또한 산화물 반도체 내의 수소는 열, 전계 등의 스트레스에 의하여 이동하기 쉽기 때문에, 산화물 반도체에 수소가 많이 포함되면, 트랜지스터의 신뢰성이 악화될 우려도 있다.

[0155] V_OH는 산화물 반도체의 도너로서 기능할 수 있다. 그러나, 상기 결함을 정량적으로 평가하는 것은 어렵다. 그러므로 산화물 반도체에서는 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서 본 명세서 등에서는 산화물 반도체의 파라미터로서 도너 농도가 아니라 전계가 인가되지 않는 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉, 본 명세서 등에 기재된 "캐리어 농도"는 "도너 농도"라고 바꿔 말할 수 있는 경우가 있다.

[0156] 따라서 반도체층(231)에 산화물 반도체를 사용하는 경우, 반도체층(231) 내의 V_OH를 가능한 한 저감하여, 고순도 진성 또는 실질적으로 고순도 진성으로 하는 것이 바람직하다. 이와 같이, V_OH가 충분히 저감된 산화물 반도체를 얻기 위해서는, 산화물 반도체 내의 물, 수소 등의 불순물을 제거하는 것(탈수, 탈수소화 처리라고 기재하는 경우가 있음)과, 산화물 반도체에 산소를 공급하여 산소 결손(V_O)을 수복(修復)하는 것이 중요하다. V_OH 등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다. 또한 산화물 반도체에 산소를 공급하여 산소 결손(V_O)을 수복하는 것을 가산소화 처리라고 기재하는 경우가 있다.

[0157] 반도체층(231)에 산화물 반도체를 사용하는 경우, 채널 형성 영역으로서 기능하는 영역의 산화물 반도체의 캐리어 농도는 $1\times10^{18}cm^{-3}$ 이하인 것이 바람직하고, $1\times10^{17}cm^{-3}$ 미만인 것이 더 바람직하고, $1\times10^{16}cm^{-3}$ 미만인 것이 더 바람직하고, $1\times10^{13}cm^{-3}$ 미만인 것이 더 바람직하고, $1\times10^{12}cm^{-3}$ 미만인 것이 더 바람직하다. 또한 채널 형성 영역으로서 기능하는 영역의 산화물 반도체의 캐리어 농도의 하한값에 대해서는 특별히 한정되지 않지만, 예를 들어 $1\times10^{-9}cm^{-3}$로 할 수 있다.

[0158] 산화물 반도체를 사용한 트랜지스터(이하, OS 트랜지스터라고 기재함)는 비정질 실리콘을 사용한 트랜지스터에 비하여 전계 효과 이동도가 매우 높다. 또한 OS 트랜지스터는 오프 상태에서의 소스와 드레인 사이의 누설 전류(이하, 오프 전류라고도 함)가 매우 낮기 때문에, 상기 트랜지스터와 직렬로 접속된 용량 소자에 축적된 전하는 장기간에 걸쳐 유지될 수 있다. 또한 OS 트랜지스터를 적용함으로써 표시 장치의 소비 전력을 저감할 수 있다.

[0159] 표시 장치의 화소 회로에 포함되는 발광 디바이스의 발광 휘도를 높이는 경우, 발광 디바이스에 흘리는 전류의 양을 크게 할 필요가 있다. 이를 위해서는, 화소 회로에 포함되어 있는 구동 트랜지스터의 소스와 드레인 사이의 전압을 높일 필요가 있다. OS 트랜지스터는 실리콘을 사용한 트랜지스터(이하, Si 트랜지스터라고 기재함)와 비교하여 소스와 드레인 사이에서의 내압이 높기 때문에, OS 트랜지스터의 소스와 드레인 사이에는 높은 전압을 인가할 수 있다. 따라서 화소 회로에 포함되는 구동 트랜지스터를 OS 트랜지스터로 함으로써, 발광 디바이스에 흐르는 전류의 양을 크게 하여 발광 디바이스의 발광 휘도를 높일 수 있다.

[0160] 트랜지스터가 포화 영역에서 동작하는 경우, OS 트랜지스터에서는 Si 트랜지스터에서보다 게이트와 소스 사이의 전압의 변화에 대한 소스와 드레인 사이의 전류의 변화를 작게 할 수 있다. 그러므로 화소 회로에 포함되는 구동 트랜지스터로서 OS 트랜지스터를 적용함으로써, 게이트와 소스 사이의 전압의 변화에 의하여 소스와 드레인 사이에 흐르는 전류를 자세하게 설정할 수 있기 때문에, 발광 디바이스에 흐르는 전류의 양을 제어할 수 있다. 그러므로 화소 회로에서의 계조를 크게 할 수 있다.

[0161] 트랜지스터가 포화 영역에서 동작하는 경우에 흐르는 전류의 포화 특성에 관하여, OS 트랜지스터는 소스와 드레인 사이의 전압이 서서히 높아진 경우에도 Si 트랜지스터보다 안정적인 전류(포화 전류)를 흘릴 수 있다. 그러므로 OS 트랜지스터를 구동 트랜지스터로서 사용함으로써, 예를 들어 발광 디바이스의 전류-전압 특성에 편차가 생긴 경우에도 발광 디바이스에 안정적인 전류를 흘릴 수 있다. 즉 OS 트랜지스터가 포화 영역에서 동작하는 경우, 소스와 드레인 사이의 전압을 높여도 소스와 드레인 사이의 전류는 거의 변화되지 않기 때문에, 발광 디바이스의 발광 휘도를 안정화시킬 수 있다.

[0162] 상술한 바와 같이, 화소 회로에 포함되는 구동 트랜지스터로서 OS 트랜지스터를 사용함으로써, 예를 들어 흑색 표시 부분이 밝게 표시되는 것을 억제하거나, 발광 휘도를 상승시키거나, 계조 수를 늘리거나, 발광 디바이스의 편차를 억제할 수 있다.

[0163] OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작고, 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서도 적합하게 사용할 수 있다. OS 트랜지스터는 방사선에 대한 신뢰성이 높다고도 할 수 있다. 예를 들어 X선 플랫 패널 디텍터의 화소 회로에 OS 트랜지스터를 적합하게 사용할 수 있다. 또한 OS 트랜지스터는 우주 공간에서 사용되는 표시 장치에 적합하게 사용할 수 있다. 방사선으로서는 전자기 방사선(예를 들어 X선 및 감마선) 및 입자 방사선(예를 들어 알파선, 베타선, 양자선, 및 중성자선)을 들 수 있다.

[0164] [절연층(210)]

[0165] 절연층(210)에는 무기 절연 재료 또는 유기 절연 재료를 사용할 수 있다. 절연층(210)은 무기 절연 재료와 유기 절연 재료의 적층 구조를 가져도 좋다.

[0166] 절연층(210)에는 무기 절연 재료를 적합하게 사용할 수 있다. 무기 절연 재료로서 산화물, 산화질화물, 질화산화물, 및 질화물 중 하나 또는 복수를 사용할 수 있다. 절연층(210)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 이트륨, 산화 지르코늄, 산화 갈륨, 산화 탄탈럼, 산화 마그네슘, 산화 란타넘, 산화 세륨, 산화 네오디뮴, 질화 실리콘, 질화산화 실리콘, 및 질화 알루미늄 중 하나 또는 복수를 사용할 수 있다.

[0167] 또한 본 명세서 등에 있어서, 산화질화물이란, 그 조성에서 질소보다 산소의 함유량이 높은 재료를 가리킨다. 질화산화물이란, 그 조성에서 산소보다 질소의 함유량이 높은 재료를 가리킨다. 예를 들어 산화질화 실리콘이란, 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이란, 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0168] 산소 및 질소의 함유량의 분석은 예를 들어 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry) 또는 X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy)을 사용하여 수행할 수 있다. 목적 원소의 함유율이 높은(예를 들어 0.5atomic% 이상 또는 1atomic% 이상) 경우에는 XPS가 적합하다. 한편, 목적 원소의 함유율이 낮은(예를 들어 0.5atomic% 미만 또는 1atomic% 미만) 경우에는 SIMS가 적합하다. 원소의 함유량을

비교할 때, SIMS와 XPS의 양쪽의 분석 방법을 사용한 복합 해석을 수행하는 것이 더 바람직하다.

[0169] 절연층(210)을 2층 이상의 적층 구조로 하여도 좋다. 도 3의 (B) 등에는 절연층(210)이 절연층(210a)과, 절연층(210a) 위의 절연층(210b)의 적층 구조를 가지는 구성을 나타내었다. 절연층(210a) 및 절연층(210b)에는 각각 상술한 절연층(210)에 사용할 수 있는 재료를 사용할 수 있다. 또한 절연층(210a)과 절연층(210b)에는 같은 유기 재료를 사용하여도 좋고, 상이한 유기 재료를 사용하여도 좋다. 또한 절연층(210a)을 2층 이상의 적층 구조로 하여도 좋다. 절연층(210b)을 2층 이상의 적층 구조로 하여도 좋다.

[0170] 절연층(210a)의 막 두께는 절연층(210b)의 막 두께보다 두꺼운 구성으로 할 수 있다. 절연층(210a)의 성막 속도는 빠른 것이 바람직하다. 특히, 절연층(210a)의 막 두께가 두꺼운 경우에는 절연층(210a)의 성막 속도가 빠른 것이 바람직하다. 절연층(210a)의 성막 속도를 빠르게 함으로써, 생산성을 높일 수 있다. 예를 들어, 절연층(210a)의 형성 시의 파워를 높게 하면, 성막 속도를 빠르게 할 수 있다.

[0171] 절연층(210a)은 응력이 작은 것이 바람직하다. 절연층(210a)의 막 두께를 두껍게 하면, 절연층(210a)의 응력이 커져, 기판에 휨이 발생하는 경우가 있다. 절연층(210a)의 응력을 작게 함으로써, 기판의 휨 등의 응력에 기인하는 공정 중의 문제 발생을 억제할 수 있다.

[0172] 절연층(210b)은 절연층(210a)으로부터 가스가 이탈되는 것을 억제하는 차단막으로서 기능한다. 절연층(210b)은 가스를 확산시키기 어려운 재료를 사용하는 것이 바람직하다. 절연층(210b)은 절연층(210a)보다 막 밀도가 높은 영역을 가지는 것이 바람직하다. 절연층(210b)의 막 밀도를 높게 함으로써, 차단성을 높일 수 있다. 절연층(210b)은 예를 들어 절연층(210a)보다 질소의 함유량이 높은 재료를 사용할 수 있다. 절연층(210b)의 질소의 함유량을 높임으로써 차단성을 높일 수 있다.

[0173] 절연층(210b)은 절연층(210a)으로부터 가스가 이탈되는 것을 억제하는 차단막으로서 기능하는 막 두께를 가지면 되고, 절연층(210a)의 막 두께보다 얇은 구성을 가질 수 있다. 절연층(210b)의 성막 속도는 절연층(210a)의 성막 속도보다 느린 것이 바람직하다. 또한 절연층(210b)의 성막 속도를 느리게 함으로써 절연층(210b)의 막 밀도가 높아지므로 차단성을 높일 수 있다. 마찬가지로, 절연층(210b)의 성막 시의 기판 온도를 높임으로써 절연층(210b)의 막 밀도가 높아지므로 차단성을 높일 수 있다.

[0174] 또한 절연층(210a)과 절연층(210b)에 같은 재료를 적용하는 경우에도 막 밀도가 상이하므로, 단면의 투과형 전자 현미경(TEM: Transmission Electron Microscopy) 이미지 등에서 이들 경계를 콘트라스트의 차이로서 관찰할 수 있는 경우가 있다. TEM 관찰에서, 막 밀도가 높으면 투과 전자(TE) 이미지가 짙게(어둡게) 되고, 막 밀도가 낮으면 투과 전자(TE) 이미지가 옅게(밝게) 된다. 따라서, 투과 전자(TE) 이미지에서 절연층(210a)과 비교하여, 절연층(210b)은 짙은(어두운) 이미지가 되는 경우가 있다.

[0175] 절연층(210b)은 막 내의 수소 농도가 절연층(210a)보다 낮은 영역을 가지는 경우가 있다. 절연층(210a) 및 절연층(210b)의 수소 농도의 차이는 예를 들어 이차 이온 질량 분석법(SIMS)으로 평가할 수 있다.

[0176] 여기서, 반도체층(231)에 금속 산화물을 사용하는 구성을 예로 들어 절연층(210)에 대하여 구체적으로 설명한다.

[0177] 반도체층(231)에 산화물 반도체를 사용하는 경우, 절연층(210a) 및 절연층(210b)은 각각 무기 절연 재료를 적합하게 사용할 수 있다.

[0178] 특히 절연층(210a)에는 산화물 또는 산화질화물을 사용하는 것이 바람직하다. 절연층(210a)에는 가열에 의하여 산소를 방출하는 막을 사용하는 것이 바람직하다. 절연층(210a)에는 예를 들어 산화 실리콘 또는 산화질화 실리콘을 적합하게 사용할 수 있다.

[0179] 절연층(210a)이 산소를 방출함으로써, 절연층(210a)으로부터 반도체층(231)에 산소를 공급할 수 있다. 절연층(210a)으로부터 반도체층(231), 특히 반도체층(231)의 채널 형성 영역에 산소를 공급함으로써, 반도체층(231) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다. 절연층(210a)은 산소의 확산 계수가 높은 것이 바람직하다. 절연층(210a)의 산소의 확산 계수를 높게 함으로써, 절연층(210a) 내로 산소가 확산되기 쉬워지기 때문에, 절연층(210a)으로부터 반도체층(231)에 산소를 효율적으로 공급할 수 있다. 또한 반도체층(231)에 산소를 공급하는 처리로서, 이 이외에는 산소를 포함하는 분위기하에서의 가열 처리 또는 산소를 포함하는 분위기하에서의 플라스마 처리 등이 있다.

[0180] 절연층(210a)은 그 자체로부터의 불순물(예를 들어 물 및 수소)의 방출이 적은 것이 바람직하다. 절연층(210

a)으로부터의 불순물의 방출이 적어지면, 불순물이 반도체층(231)으로 확산되는 것이 억제되므로, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0181] 절연층(210a)에는 예를 들어 PECVD법을 사용한 산화 실리콘 또는 산화질화 실리콘을 적합하게 사용할 수 있다. 이 경우, 원료 가스로서, 실리콘을 포함하는 가스와 산소를 포함하는 가스의 혼합 가스를 사용하는 것이 바람직하다. 실리콘을 포함하는 가스로서, 예를 들어 실레인, 다이실레인, 트라이실레인, 및 플루오린화 실레인 중 어느 하나 또는 복수를 사용할 수 있다. 산소를 포함하는 가스로서 예를 들어 산소(O_2), 오존(O_3), 일산화 이질소(N_2O), 일산화 질소(NO), 및 이산화 질소(NO_2) 중 어느 하나 또는 복수를 사용할 수 있다. 또한 절연층(210a)의 형성 시의 파워를 높임으로써, 절연층(210a)으로부터 방출되는 불순물(예를 들어, 물 및 수소)의 양을 줄일 수 있다.

[0182] 절연층(210b)은 산소를 투과시키기 어려운 것이 바람직하다. 절연층(210b)은 절연층(210a)으로부터 산소가 이탈되는 것을 억제하는 차단막으로서 기능한다. 또한 절연층(210b)은 수소를 투과시키기 어려운 것이 바람직하다. 절연층(210b)은 트랜지스터의 외부로부터 절연층(210)을 통하여 반도체층(231)으로 수소가 확산되는 것을 억제하는 차단막으로서 기능한다. 절연층(210b)의 막 밀도는 높은 것이 바람직하다. 절연층(210b)의 막 밀도를 높게 함으로써, 산소 및 수소의 차단성을 높일 수 있다. 절연층(210b)의 막 밀도는 절연층(210a)의 막 밀도보다 높은 것이 바람직하다. 절연층(210b)은 예를 들어 절연층(210a)보다 질소의 함유량이 높은 영역을 가지는 것이 바람직하다. 절연층(210b)은 예를 들어 절연층(210a)보다 질소의 함유량이 높은 재료를 사용할 수 있다. 절연층(210b)에는 질화물 또는 질화산화물을 사용하는 것이 바람직하다. 절연층(210b)에는 예를 들어 질화 실리콘 또는 질화산화 실리콘을 적합하게 사용할 수 있다.

[0183] 절연층(210a)에 포함되는 산소가 절연층(210a)에서 반도체층(231)과 접하지 않는 영역(예를 들어 절연층(210a)의 상면)으로부터 위쪽으로 확산되면, 절연층(210a)으로부터 반도체층(231)에 공급되는 산소의 양이 적어지는 경우가 있다. 절연층(210a) 위에 절연층(210b)을 제공함으로써, 절연층(210a)에 포함되는 산소가 절연층(210a)에서 반도체층(231)과 접하지 않는 영역으로부터 확산되는 것을 억제할 수 있다. 따라서 절연층(210a)으로부터 반도체층(231)에 공급되는 산소의 양이 많아지므로, 반도체층(231) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0184] 절연층(210a)에 포함되는 산소에 의하여 도전층(222b)이 산화되어 저항이 높아지는 경우가 있다. 또한 절연층(210a)에 포함되는 산소에 의하여 도전층(222b)이 산화되면, 절연층(210a)으로부터 반도체층(231)에 공급되는 산소의 양이 적어지는 경우가 있다. 절연층(210a) 위에 절연층(210b)을 제공함으로써, 도전층(222b)이 산화되어 저항이 높아지는 것을 억제할 수 있다. 또한 절연층(210a)으로부터 반도체층(231)에 공급되는 산소의 양이 많아지므로, 반도체층(231) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0185] 반도체층(231)으로 확산된 수소는 산화물 반도체에 포함되는 산소 원자와 반응하여 물이 되므로, 산소 결손(V_O)을 형성하는 경우가 있다. 또한 V_OH가 형성되어 캐리어 농도가 높아지는 경우가 있다. 절연층(210a) 위에 절연층(210b)을 제공함으로써, 반도체층(231) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0186] 절연층(210b)은 산소 및 수소의 차단막으로서 기능할 수 있는 막 두께를 가지는 것이 바람직하다. 절연층(210b)의 막 두께가 얇으면, 차단막으로서의 기능이 저하되는 경우가 있다. 한편, 절연층(210b)의 막 두께가 두꺼우면, 절연층(210a)과 접하는 반도체층(231)의 영역이 좁아져 절연층(210a)으로부터 반도체층(231)에 공급되는 산소의 양이 적어지는 경우가 있다. 절연층(210b)의 막 두께는 절연층(210a)의 막 두께보다 얇아도 좋다. 절연층(210b)의 막 두께는 5nm 이상 100nm 이하가 바람직하고, 5nm 이상 70nm 이하가 더 바람직하고, 10nm 이상 70nm 이하가 더 바람직하고, 10nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 40nm 이하가 더 바람직하다. 절연층(210b)의 막 두께를 상술한 범위로 함으로써, 반도체층(231)에서, 특히 채널 형성 영역에서의 산소 결손(V_O) 및 V_OH를 저감할 수 있어, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0187] 절연층(210b)은 그 자체로부터의 불순물(예를 들어 물 및 수소)의 방출이 적은 것이 바람직하다. 절연층(210b)으로부터의 불순물의 방출이 적어지면, 불순물이 반도체층(231)으로 확산되는 것이 억제되므로, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0188] 트랜지스터(200)에 있어서, 반도체층(231)에서 절연층(210)과 접하는 영역은 채널 형성 영역으로서 기능할 수 있다. 즉, 채널 형성 영역에 선택적으로 산소가 공급되므로, 산소 결손(V_O) 및 V_OH를 저감할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0189] [도전층(222a), 도전층(222b), 도전층(223)]

[0190] 소스 전극 또는 드레인 전극으로서 기능하는 도전층(222a) 및 도전층(222b), 그리고 게이트 전극으로서 기능하는 도전층(223)은 크로뮴, 구리, 알루미늄, 금, 은, 아연, 몰리브데넘, 탄탈럼, 타이타늄, 텅스텐, 망가니즈, 니켈, 철, 코발트, 및 나이오븀 중 하나 또는 복수, 또는 상술한 금속 중 하나 또는 복수를 성분으로 하는 합금을 사용하여 각각 형성할 수 있다. 도전층(223), 도전층(222a), 도전층(222b)에는 각각 구리, 은, 금, 및 알루미늄 중 하나 또는 복수를 포함하는, 저항이 낮은 도전성 재료를 적합하게 사용할 수 있다. 특히 구리 또는 알루미늄은 양산성이 우수하기 때문에 바람직하다.

[0191] 도전층(223), 도전층(222a), 및 도전층(222b)에는 도전성을 가지는 금속 산화물(산화물 도전체라고도 함)을 사용할 수 있다. 산화물 도전체(OC: Oxide Conductor)로서는 예를 들어 In-Sn 산화물(ITO), In-W 산화물, In-W-Zn 산화물, In-Ti 산화물, In-Ti-Sn 산화물, In-Zn 산화물, In-Sn-Si 산화물(ITSO), 및 In-Ga-Zn 산화물이 있다.

[0192] 여기서, 산화물 도전체(OC)에 대하여 설명한다. 예를 들어 반도체 특성을 가지는 금속 산화물에 산소 결손을 형성하고 상기 산소 결손에 수소를 첨가하면, 전도대 근방에 도너 준위가 형성된다. 이 결과 금속 산화물은 도전성이 높아져 도전체화된다. 도전체화된 금속 산화물을 산화물 도전체라고 할 수 있다.

[0193] 도전층(223), 도전층(222a), 및 도전층(222b)은 상술한 산화물 도전체(금속 산화물)를 포함한 도전막과, 금속 또는 합금을 포함한 도전막의 적층 구조로 하여도 좋다. 금속 또는 합금을 포함한 도전막을 사용함으로써, 배선 저항을 감소시킬 수 있다.

[0194] 도전층(223), 도전층(222a), 및 도전층(222b)에는 Cu-X 합금막(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti)을 적용하여도 좋다. Cu-X 합금막을 사용함으로써 웨트 에칭법으로 가공할 수 있기 때문에 제조 비용을 절감할 수 있다.

[0195] 또한 도전층(223), 도전층(222a)과 도전층(222b)에서 동일한 재료를 사용하여도 좋고, 서로 다른 재료를 사용하여도 좋다.

[0196] 여기서, 반도체층(231)에 금속 산화물을 사용하는 구성을 예로 들어 도전층(222a) 및 도전층(222b)에 대하여 구체적으로 설명한다.

[0197] 반도체층(231)에 산화물 반도체를 사용하는 경우, 반도체층(231)에 포함되는 산소에 의하여 도전층(222a) 및 도전층(222b)이 산화되어 저항이 높아지는 경우가 있다. 절연층(210a)에 포함되는 산소에 의하여 도전층(222a) 및 도전층(222b)이 산화되어 저항이 높아지는 경우가 있다. 또한 반도체층(231)에 포함되는 산소에 의하여 도전층(222a) 및 도전층(222b)이 산화되면, 반도체층(231) 내의 산소 결손(V_O)이 증가하는 경우가 있다. 절연층(210a)에 포함되는 산소에 의하여 도전층(222a) 및 도전층(222b)이 산화되면, 절연층(210a)으로부터 반도체층(231)에 공급되는 산소의 양이 적어지는 경우가 있다.

[0198] 도전층(222a) 및 도전층(222b)에는 각각 산화되기 어려운 재료를 사용하는 것이 바람직하다. 도전층(222a) 및 도전층(222b)에는 각각 산화물 도전체를 사용하는 것이 바람직하다. 도전층(222a) 및 도전층(222b)에는 각각 예를 들어 In-Sn 산화물(ITO) 또는 In-Sn-Si 산화물(ITSO)을 적합하게 사용할 수 있다. 도전층(222a) 및 도전층(222b)에는 각각 질화물 도전체를 사용하여도 좋다. 질화물 도전체로서는 질화 탄탈럼 및 질화 타이타늄을 들 수 있다. 도전층(222a) 및 도전층(222b)은 상술한 재료의 적층 구조를 가져도 좋다.

[0199] 도전층(222a) 및 도전층(222b)에 산화되기 어려운 재료를 사용함으로써, 반도체층(231)에 포함되는 산소 또는 절연층(210a)에 포함되는 산소에 의하여 산화되어 저항이 높아지는 것을 억제할 수 있다. 또한 반도체층(231) 내의 산소 결손(V_O)의 증가를 억제하면서, 절연층(210a)으로부터 반도체층(231)에 공급되는 산소의 양을 늘릴 수 있다. 따라서 반도체층(231) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다. 또한 도전층(222a)과 도전층(222b)에서 동일한 재료를 사용하여도 좋고, 서로 다른 재료를 사용하여도 좋다.

[0200] [절연층(225)]

[0201] 게이트 절연층으로서 기능하는 절연층(225)은 결함 밀도가 낮은 것이 바람직하다. 절연층(225)의 결함 밀도가 낮으면, 전기 특성이 양호한 트랜지스터로 할 수 있다. 또한 절연층(225)은 절연 내압이 높은 것이 바람직하다. 절연층(225)의 절연 내압이 높으면, 신뢰성이 높은 트랜지스터로 할 수 있다.

[0202] 절연층(225)에는 예를 들어 절연성을 가지는 산화물, 산화질화물, 질화산화물, 및 질화물 중 하나 또는 복수를 사용할 수 있다. 절연층(225)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화질화 하프늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 및 Ga-Zn 산화물 중 하나 또는 복수를 사용할 수 있다. 절연층(225)은 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다. 절연층(225)은 예를 들어 산화물과 질화물의 적층 구조를 가져도 좋다.

[0203] 또한 미세한 트랜지스터에서 게이트 절연층의 막 두께가 얇아지면 누설 전류가 커지는 경우가 있다. 게이트 절연층에 비유전율이 높은 재료(high-k 재료라고도 함)를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있다. high-k 재료로서는, 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함하는 산화물, 알루미늄 및 하프늄을 포함하는 산화질화물, 실리콘 및 하프늄을 포함하는 산화물, 실리콘 및 하프늄을 포함하는 산화질화물, 또는 실리콘 및 하프늄을 포함하는 질화물 등을 들 수 있다.

[0204] 절연층(225)은 그 자체로부터의 불순물(예를 들어 물 및 수소)의 방출이 적은 것이 바람직하다. 절연층(225)으로부터의 불순물의 방출이 적으면, 불순물이 반도체층(231)으로 확산되는 것이 억제되므로, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0205] 절연층(225)은 반도체층(231) 위에 형성되기 때문에, 반도체층(231)에 대한 대미지가 적은 조건으로 형성된 막인 것이 바람직하다. 예를 들어 성막 속도(성막 레이트라고도 함)가 충분히 느린 조건으로 형성될 수 있다. 예를 들어 플라스마 CVD법으로 절연층(225)을 형성하는 경우, 전력이 낮은 조건으로 형성함으로써, 반도체층(231)에 주는 대미지를 매우 작게 할 수 있다.

[0206] 여기서, 반도체층(231)에 금속 산화물을 사용하는 구성을 예로 들어 절연층(225)에 대하여 구체적으로 설명한다.

[0207] 반도체층(231)과의 계면 특성을 향상시키기 위하여, 절연층(225)에서 적어도 반도체층(231)과 접하는 측에는 산화물 또는 산화 질화물을 사용하는 것이 바람직하다. 절연층(225)에는 예를 들어 산화 실리콘 및 산화질화 실리콘 중 하나 이상을 적합하게 사용할 수 있다. 또한 절연층(225)에는 가열에 의하여 산소를 방출하는 막을 사용하는 것이 더 바람직하다.

[0208] 또한 절연층(225)은 적층 구조를 가져도 좋다. 절연층(225)은 반도체층(231)과 접하는 측에 산화물 또는 산화질화물을 사용하고, 도전층(223)과 접하는 측에 질화물 또는 질화산화물을 사용할 수 있다. 상기 산화물 또는 산화질화물로서는 예를 들어 산화 실리콘 및 산화질화 실리콘 중 하나 이상을 적합하게 사용할 수 있다. 상기 질화물 또는 질화산화물로서는 예를 들어 질화 실리콘을 적합하게 사용할 수 있다.

[0209] 여기까지가 구성 요소에 대한 설명이다.

[0210] 또한 반도체층(231)에 금속 산화물을 사용하고, 절연층(210b)이 수소를 포함하는 경우, 절연층(210b)과 접하는 영역의 반도체층(231)으로 수소가 확산되고, 반도체층(231) 내에서 산소 결손(V_O) 및 V_OH가 증가될 수 있다. 이에 의하여, 반도체층(231)에서 절연층(210b)과 접하는 영역이 소스 영역 또는 드레인 영역으로서 기능하고, 절연층(210a)과 접하는 영역이 채널 형성 영역으로서 기능하는 경우가 있다. 즉, 반도체층(231)은 도전층(222b)과 접하는 영역 및 절연층(210b)과 접하는 영역이 소스 영역 또는 드레인 영역으로서 기능하는 경우가 있다.

[0211] 반도체층(231)에서 절연층(210b)과 접하는 영역이 소스 영역 또는 드레인 영역으로서 기능하는 경우의 채널 길이 및 채널 폭에 대하여 도 7의 (A) 및 (B)를 참조하여 설명한다. 도 7의 (A)는 트랜지스터(200)의 상면도이다. 도 7의 (B)는 도 3의 (B)의 확대도이다.

[0212] 트랜지스터(200)의 채널 길이 L200은 단면에서 볼 때의 절연층(210a)의 개구(141) 측의 측면의 길이에 상당한다. 즉, 채널 길이 L200은 절연층(210a)의 막 두께 T210a 및 절연층(210a)의 개구(141) 측의 측면과 절연층(210a)의 피형성면(여기서는 도전층(222a)의 상면)이 이루는 각 Θ210a에 따라 결정되고, 트랜지스터의 제작에 사용하는 노광 장치의 성능에 영향을 받지 않는다. 따라서 채널 길이 L200을 노광 장치의 한계 해상도보

다 작은 값으로 할 수 있어, 미세한 크기의 트랜지스터를 실현할 수 있다. 예를 들어, 채널 길이 L200은 상술한 범위 내로 할 수 있다. 도 7의 (B)는 절연층(210a)의 막 두께 T210a를 일점쇄선의 양쪽 화살표로 나타내었다.

[0213] 절연층(210a)의 막 두께 T210a 및 각 Θ210a를 조정함으로써 채널 길이 L200을 제어할 수 있다.

[0214] 절연층(210a)의 막 두께 T210a는 0.01㎛ 이상 3㎛ 미만이 바람직하고, 0.05㎛ 이상 3㎛ 미만이 더 바람직하고, 0.1㎛ 이상 3㎛ 미만이 더 바람직하고, 0.15㎛ 이상 3㎛ 미만이 더 바람직하고, 0.2㎛ 이상 3㎛ 미만이 더 바람직하고, 0.2㎛ 이상 2.5㎛ 미만이 더 바람직하고, 0.2㎛ 이상 2㎛ 미만이 더 바람직하고, 0.2㎛ 이상 1.5㎛ 미만이 더 바람직하고, 0.3㎛ 이상 1.5㎛ 이하가 더 바람직하고, 0.3㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.4㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.4㎛ 이상 1㎛ 이하가 더 바람직하고, 0.5㎛ 이상 1㎛ 이하가 더 바람직하다.

[0215] 절연층(210a)의 개구(141) 측의 측면과 절연층(210a)의 피형성면(여기서는 도전층(222a)의 상면)이 이루는 각 Θ210a는 45° 이상 90° 미만이 바람직하고, 50° 이상 90° 미만이 더 바람직하고, 55° 이상 90° 미만이 더 바람직하고, 60° 이상 90° 미만이 더 바람직하고, 60° 이상 85° 이하가 더 바람직하고, 65° 이상 85° 이하가 더 바람직하고, 65° 이상 80° 이하가 더 바람직하고, 70° 이상 80° 이하가 더 바람직하다.

[0216] 상면에서 보았을 때, 채널 폭 W200은 개구(141) 측의 절연층(210b)의 하면 단부의 길이이다. 도 7의 (A) 및 (B)에서는 트랜지스터(200)의 채널 폭 W200을 실선의 양쪽 화살표로 나타내었다.

[0217] 채널 폭 W200은 절연층(210b)의 하면 단부의 형상에 따라 결정된다. 도 7의 (A) 및 (B)에서는 개구(141)에 있어서 대향하는 절연층(210b)의 하면 단부 사이의 폭 D141a를 이점쇄선의 양쪽 화살표로 나타내었다. 폭 D141a는 상면에서 보았을 때, 절연층(210b)의 하면 단부의 윤곽에 외접하는 가장 작은 직사각형의 짧은 변을 가리킨다. 폭 D141a는 예를 들어 0.2㎛ 이상 5㎛ 미만이 바람직하고, 0.2㎛ 이상 4.5㎛ 미만이 더 바람직하고, 0.2㎛ 이상 4㎛ 미만이 더 바람직하고, 0.2㎛ 이상 3.5㎛ 미만이 더 바람직하고, 0.2㎛ 이상 3㎛ 미만이 더 바람직하고, 0.2㎛ 이상 2.5㎛ 미만이 더 바람직하고, 0.2㎛ 이상 2㎛ 미만이 더 바람직하고, 0.2㎛ 이상 1.5㎛ 미만이 더 바람직하고, 0.3㎛ 이상 1.5㎛ 이하가 더 바람직하고, 0.3㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.4㎛ 이상 1.2㎛ 이하가 더 바람직하고, 0.4㎛ 이상 1㎛ 이하가 더 바람직하고, 0.5㎛ 이상 1㎛ 이하가 더 바람직하다.

[0218] 또한 절연층(210b)으로부터 반도체층(231)에서 절연층(210a)과 접하는 영역으로도 수소가 확산되는 경우가 있다. 그러나, 절연층(210a)으로부터 반도체층(231)으로 산소가 공급되면, 반도체층(231)에서 절연층(210a)과 접하는 영역에서 산소 결손(V_O) 및 V_OH가 증가되는 것이 억제된다. 따라서, 적어도 반도체층(231)에서 절연층(210a)과 접하는 영역은 채널 형성 영역으로서 기능할 수 있기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0219] 이하에서는 상술한 트랜지스터의 구성예 1과 일부의 구성이 상이한 트랜지스터의 구성예에 대하여 설명한다. 또한 이하에서는 상술한 트랜지스터의 구성예 1과 중복되는 부분은 설명을 생략하는 경우가 있다. 또한 이하에 나타낸 도면에서, 상술한 트랜지스터의 구성예 1과 같은 기능을 가지는 부분에 대해서는 해치 패턴을 같게 하고, 부호를 붙이지 않는 경우도 있다.

[0220] [트랜지스터의 구성예 2]

[0221] 본 발명의 일 형태인 표시 장치에 적용할 수 있는 트랜지스터(200A)의 상면도에 대해서는 도 3의 (A)를 참조할 수 있다. 도 3의 (A)에 나타낸 일점쇄선 A1-A2에서의 절단면의 단면도를 도 8의 (A)에 나타내고, 일점쇄선 B1-B2에서의 절단면의 단면도를 도 8의 (B)에 나타내었다. 트랜지스터(200A)의 사시도에 대해서는 도 4를 참조할 수 있다.

[0222] 트랜지스터(200A)는 절연층(210)이 절연층(210c)을 가지는 점에서 상술한 트랜지스터(200)와 주로 다르다.

[0223] 절연층(210)은 절연층(210c)과, 절연층(210c) 위의 절연층(210a)과, 절연층(210a) 위의 절연층(210b)의 적층 구조를 가진다. 절연층(210c)은 기판(151)의 상면, 도전층(222a)의 상면 및 측면과 접하는 영역을 가진다.

[0224] 절연층(210c)은 절연층(210a)으로부터 가스가 이탈되는 것을 억제하는 차단막으로서 기능한다. 절연층(210c)은 가스를 확산시키기 어려운 재료를 사용하는 것이 바람직하다. 절연층(210c)은 절연층(210a)보다 막 밀도가 높은 영역을 가지는 것이 바람직하다. 절연층(210c)의 막 밀도를 높게 함으로써, 차단성을 높일 수 있다. 절연

층(210c)은 예를 들어 절연층(210a)보다 질소의 함유량이 높은 영역을 가지는 것이 바람직하다. 절연층(210c)은 예를 들어 절연층(210a)보다 질소의 함유량이 높은 재료를 사용할 수 있다. 절연층(210c)의 질소의 함유량을 높임으로써 차단성을 높일 수 있다.

[0225] 절연층(210c)은 절연층(210a)으로부터 가스가 이탈되는 것을 억제하는 차단막으로서 기능하는 막 두께를 가지면 되고, 절연층(210c)의 막 두께보다 얇은 구성을 가질 수 있다. 절연층(210c)의 성막 속도는 절연층(210a)의 성막 속도보다 느린 것이 바람직하다. 또한 절연층(210c)의 성막 속도를 느리게 함으로써 절연층(210c)의 막 밀도가 높아지므로 차단성을 높일 수 있다. 마찬가지로, 절연층(210c)의 성막 시의 기판 온도를 높임으로써 절연층(210c)의 막 밀도가 높아지므로 차단성을 높일 수 있다.

[0226] 또한 절연층(210a)과 절연층(210c)에 같은 재료를 적용하는 경우에도 막 밀도가 상이하므로, 단면의 투과형 전자 현미경(TEM) 이미지 등에서 이들 경계를 콘트라스트의 차이로서 관찰할 수 있는 경우가 있다. TEM 관찰에서, 막 밀도가 높으면 투과 전자(TE) 이미지가 짙게(어둡게) 되고, 막 밀도가 낮으면 투과 전자(TE) 이미지가 옅게(밝게) 된다. 따라서, 투과 전자(TE) 이미지에서 절연층(210a)과 비교하여, 절연층(210c)은 짙은(어두운) 이미지가 되는 경우가 있다.

[0227] 절연층(210a)은 막 내의 수소 농도가 절연층(210c)보다 높은 영역을 가지는 경우가 있다. 절연층(210a) 및 절연층(210c)의 수소 농도의 차이는 예를 들어 이차 이온 질량 분석법(SIMS)으로 평가할 수 있다.

[0228] 절연층(210c)에는 절연층(210b)에 사용할 수 있는 재료를 사용할 수 있다. 절연층(210c)에는 절연층(210b)과 같은 유기 재료를 사용하여도 좋고, 상이한 유기 재료를 사용하여도 좋다.

[0229] 반도체층(231)에 금속 산화물을 사용하는 경우를 예로 들어 절연층(210c)에 대하여 구체적으로 설명한다.

[0230] 절연층(210c)은 산소를 투과시키기 어려운 것이 바람직하다. 절연층(210c)은 절연층(210a)으로부터 산소가 이탈되는 것을 억제하는 차단막으로서 기능한다.

[0231] 절연층(210a)에 포함되는 산소에 의하여 도전층(222a)이 산화되어 저항이 높아지는 경우가 있다. 또한 절연층(210a)에 포함되는 산소에 의하여 도전층(222a)이 산화되면, 절연층(210a)으로부터 반도체층(231)에 공급되는 산소의 양이 적어지는 경우가 있다. 절연층(210a)과 도전층(222a) 사이에 절연층(210c)을 제공함으로써, 도전층(222a)이 산화되어 저항이 높아지는 것을 억제할 수 있다. 또한 절연층(210a)으로부터 반도체층(231)에 공급되는 산소의 양이 많아지므로, 반도체층(231) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0232] 절연층(210c)은 불순물을 투과시키기 어려운 것이 바람직하다. 절연층(210c)은 기판(151) 측으로부터 절연층(210)을 통하여 반도체층(231)으로 수소가 확산되는 것을 억제하는 차단막으로서 기능한다. 상기 불순물로서, 물, 수소, 및 소듐을 들 수 있다.

[0233] 절연층(210c)은 산소 및 수소의 차단막으로서 기능할 수 있는 막 두께를 가지는 것이 바람직하다. 절연층(210c)의 막 두께가 얇으면, 차단막으로서의 기능이 저하되는 경우가 있다. 한편, 절연층(210c)의 막 두께가 두꺼우면, 절연층(210a)과 접하는 반도체층(231)의 영역이 좁아져 절연층(210a)으로부터 반도체층(231)에 공급되는 산소의 양이 적어지는 경우가 있다. 절연층(210c)의 막 두께는 절연층(210a)의 막 두께보다 얇아도 좋다. 절연층(210c)의 막 두께는 5nm 이상 100nm 이하가 바람직하고, 5nm 이상 70nm 이하가 더 바람직하고, 10nm 이상 70nm 이하가 더 바람직하고, 10nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 40nm 이하가 더 바람직하다. 절연층(210c)의 막 두께를 상술한 범위로 함으로써, 반도체층(231)에서, 특히 채널 형성 영역에서의 산소 결손(V_O) 및 V_OH를 저감할 수 있어, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0234] 절연층(210c)은 그 자체로부터의 불순물(예를 들어 물 및 수소)의 방출이 적은 것이 바람직하다. 절연층(210c)으로부터의 불순물의 방출이 적어지면, 불순물이 반도체층(231)으로 확산되는 것이 억제되므로, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0235] 또한 반도체층(231)에 금속 산화물을 사용하고, 절연층(210c)이 수소를 포함하는 경우, 절연층(210c)과 접하는 영역의 반도체층(231)으로 수소가 확산되고, 반도체층(231) 내에서 산소 결손(V_O) 및 V_OH가 증가될 수 있다. 이에 의하여, 반도체층(231)에서 절연층(210c)과 접하는 영역이 소스 영역 또는 드레인 영역으로서 기능하는 경우가 있다. 마찬가지로, 반도체층(231)에서 절연층(210b)과 접하는 영역이 소스 영역 또는 드레인 영역으로서 기

능하는 경우가 있다. 절연층(210a)과 접하는 영역이 채널 형성 영역으로서 기능하는 경우가 있다.

[0236] 반도체층(231)에서 절연층(210b)과 접하는 영역 및 절연층(210c)과 접하는 영역이 소스 영역 및 드레인 영역으로서 기능하는 경우, 트랜지스터(200)의 채널 길이 L200은 단면에서 보았을 때 절연층(210a)의 개구(141) 측의 측면의 길이에 상당한다(도 7의 (B) 참조).

[0237] 또한 절연층(210c)으로부터 반도체층(231)에서 절연층(210a)과 접하는 영역으로도 수소가 확산되는 경우가 있다. 그러나, 절연층(210a)으로부터 반도체층(231)으로 산소가 공급되면, 반도체층(231)에서 절연층(210a)과 접하는 영역에서 산소 결손(V_O) 및 V_OH가 증가되는 것이 억제된다. 따라서, 적어도 반도체층(231)에서 절연층(210a)과 접하는 영역은 채널 형성 영역으로서 기능할 수 있기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0238] 또한 여기서 나타낸 절연층(210)의 구성은 다른 구성예에도 적용할 수 있다.

[0239] [트랜지스터의 구성예 3]

[0240] 본 발명의 일 형태인 표시 장치에 적용할 수 있는 트랜지스터(200B)의 상면도에 대해서는 도 3의 (A)를 참조할 수 있다. 도 3의 (A)에 나타낸 일점쇄선 A1-A2에서의 절단면의 단면도를 도 9의 (A)에 나타내고, 일점쇄선 B1-B2에서의 절단면의 단면도를 도 9의 (B)에 나타내었다. 트랜지스터(200B)의 사시도에 대해서는 도 4를 참조할 수 있다.

[0241] 트랜지스터(200B)는 절연층(210a)이 적층 구조를 가지는 점에서 상술한 트랜지스터(200)와 주로 다르다.

[0242] 절연층(210a)은 절연층(210a_1)과, 절연층(210a_1) 위의 절연층(210a_2)의 적층 구조를 가진다. 절연층(210a_1) 및 절연층(210a_2)에는 각각 절연층(210a)에 사용할 수 있는 재료를 사용할 수 있다. 절연층(210a_1)과 절연층(210a_2)에는 같은 유기 재료를 사용하여도 좋고, 상이한 유기 재료를 사용하여도 좋다. 또한 절연층(210a_1)과 절연층(210a_2)은 막 두께가 상이하여도 좋다.

[0243] 절연층(210a)의 막 두께를 두껍게 하면, 절연층(210a)의 응력이 커져, 기판에 휨이 발생하는 경우가 있다. 절연층(210a)을 복수회로 나누어 형성함으로써, 응력에 기인하는 공정 중에 문제가 발생하는 것을 억제할 수 있는 경우가 있다.

[0244] 도 9의 (A) 및 (B)에 절연층(210a)이 2층의 적층 구조를 가지는 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 절연층(210a)은 3층 이상의 적층 구조를 가져도 좋다.

[0245] 또한 단면의 투과형 전자 현미경(TEM) 이미지 등에 있어서, 절연층(210a)을 구성하는 각 층(예를 들어, 절연층(210a_1) 및 절연층(210a_2))의 경계가 명료하지 않을 경우가 있다.

[0246] 또한 여기서 나타낸 절연층(210)의 구성은 다른 구성예에도 적용할 수 있다.

[0247] [트랜지스터의 구성예 4]

[0248] 도 10의 (A)는 본 발명의 일 형태인 표시 장치에 적용할 수 있는 트랜지스터(200C)의 상면도이다. 도 10의 (A)에 나타낸 일점쇄선 A1-A2에서의 절단면의 단면도를 도 10의 (B)에 나타내고, 일점쇄선 B1-B2에서의 절단면의 단면도를 도 10의 (C)에 나타내었다. 트랜지스터(200C)의 사시도에 대해서는 도 4를 참조할 수 있다.

[0249] 트랜지스터(200C)는 도전층(222b)의 개구(143) 측의 단부가 절연층(210)의 개구(141) 측의 단부보다 외측에 위치하는 점에서 상술한 트랜지스터(200)와 주로 다르다.

[0250] 도전층(222b)의 개구(143) 측의 단부는 절연층(210) 위에 위치한다. 상면에서 보았을 때, 개구(143)는 개구(141)를 포함한다고도 할 수 있다.

[0251] 반도체층(231)은 도전층(222b)의 상면 및 측면, 절연층(210)의 상면 및 측면, 그리고 도전층(222a)의 상면과 접한 영역을 가진다. 반도체층(231)은 도전층(222b)의 상면 및 측면, 절연층(210)의 상면 및 측면, 그리고 도전층(222a)의 상면의 형상을 따르는 형상을 가진다.

[0252] 도전층(222b)의 개구(143) 측의 단부가 절연층(210)의 개구(141) 측의 단부보다 외측에 위치하는 구성으로 함으로써, 도전층(222a), 도전층(222b), 및 절연층(210) 위에 형성되는 층(예를 들어, 반도체층(231))의 피형성면의 단차가 작아진다. 따라서, 도전층(222a), 도전층(222b), 및 절연층(210) 위에 형성되는 층의 피복성을 높일 수 있어, 상기 층에 단절 또는 공동 등의 문제가 발생하는 것을 억제할 수 있다.

[0253] 여기서, 트랜지스터(200C)의 채널 길이 및 채널 폭에 대하여, 도 11의 (A), (B), 및 도 12를 참조하여 설명한다. 도 11의 (A)는 트랜지스터(200C)의 상면도이다. 도 11의 (B) 및 도 12는 도 10의 (B)의 확대도이다.

[0254] 도 11의 (B)에서는 트랜지스터(200C)의 채널 길이 L200을 파선의 양쪽 화살표로 나타내었다. 도 11의 (A) 및 (B)에서는 개구(141)의 폭 D141을 점선의 양쪽 화살표로 나타내고, 개구(143)의 폭 D143을 이점쇄선의 양쪽 화살표로 나타내었다. 폭 D141은 상면에서 보았을 때 개구(141)에 외접하는 가장 작은 직사각형의 짧은 변을 가리킨다.

[0255] 여기서, 트랜지스터(200C)의 채널 길이 L200은 개구(143) 측의 도전층(222b)의 단부와 개구(141) 측의 절연층(210)의 단부 사이의 거리와, 절연층(210)의 개구(141) 측의 측면의 길이의 합에 상당한다. 즉, 채널 길이 L200은 개구(141)의 폭 D141, 개구(143)의 폭 D143, 절연층(210)의 막 두께 T210 및 각 θ210으로 조정할 수 있다.

[0256] 채널 길이 L200은 상술한 범위로 하는 것이 바람직하다. 폭 D143은 상술한 범위 내로 하는 것이 바람직하다. 폭 D141은 폭 D143보다 작은 것이 바람직하다. 또한 폭 D141은 예를 들어 0.2μm 이상 5μm 미만이 바람직하고, 0.2μm 이상 4.5μm 미만이 더 바람직하고, 0.2μm 이상 4μm 미만이 더 바람직하고, 0.2μm 이상 3.5μm 미만이 더 바람직하고, 0.2μm 이상 3μm 미만이 더 바람직하고, 0.2μm 이상 2.5μm 미만이 더 바람직하고, 0.2μm 이상 2μm 미만이 더 바람직하고, 0.2μm 이상 1.5μm 미만이 더 바람직하고, 0.3μm 이상 1.5μm 이하가 더 바람직하고, 0.3μm 이상 1.2μm 이하가 더 바람직하고, 0.4μm 이상 1.2μm 이하가 더 바람직하고, 0.4μm 이상 1μm 이하가 더 바람직하고, 0.5μm 이상 1μm 이하가 더 바람직하다.

[0257] 도 11의 (A) 및 도 12에서는 트랜지스터(200C)의 채널 폭 W200을 실선의 양쪽 화살표로 나타내었다. 상면에서 보았을 때, 채널 폭 W200은 도전층(222b)의 개구(143) 측의 하면 단부의 길이이다. 예를 들어 개구(143)의 상면 형상이 원형인 경우, 폭 D143은 개구(143)의 직경에 상당하고, 채널 폭 W200은 "D143×π"로 산출할 수 있다.

[0258] 또한 반도체층(231)에 금속 산화물을 사용하고, 절연층(210b)이 수소를 포함하는 경우, 반도체층(231)에서 절연층(210b)과 접하는 영역이 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 절연층(210a)과 접하는 영역이 채널 형성 영역으로서 기능하는 경우가 있다. 즉, 반도체층(231)은 도전층(222b)과 접하는 영역 및 절연층(210b)과 접하는 영역이 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 경우가 있다.

[0259] 반도체층(231)에서 절연층(210b)과 접하는 영역이 소스 영역 또는 드레인 영역으로서 기능하는 경우의 채널 길이 및 채널 폭에 대해서는 도 7의 (A) 및 (B)에 관한 기재를 참조할 수 있기 때문에, 자세한 설명은 생략한다.

[0260] 또한 여기서 나타낸 개구(141) 및 개구(143)의 구성은 다른 구성예에도 적용할 수 있다.

[0261] [트랜지스터의 구성예 5]

[0262] 도 13의 (A)는 본 발명의 일 형태인 표시 장치에 적용할 수 있는 트랜지스터(200D)의 상면도이다. 도 13의 (A)에 나타낸 일점쇄선 A1-A2에서의 절단면의 단면도를 도 13의 (B)에 나타내고, 일점쇄선 B1-B2에서의 절단면의 단면도를 도 13의 (C)에 나타내었다. 트랜지스터(200D)의 사시도에 대해서는 도 4를 참조할 수 있다.

[0263] 트랜지스터(200D)는 반도체층(231)이 도전층(222b)의 개구(143)와 면하지 않는 측의 측면과 접하는 영역을 가지는 점에서 상술한 트랜지스터(200)와 주로 다르다.

[0264] 반도체층(231)의 단부의 일부는 절연층(210) 위에 위치한다. 반도체층(231)의 단부의 일부는 절연층(210)의 상면과 접한다고도 할 수 있다.

[0265] 또한 여기서 나타낸 반도체층(231)의 구성은 다른 구성예에도 적용할 수 있다.

[0266] 여기까지가 본 발명의 일 형태인 표시 장치에 적용할 수 있는 트랜지스터에 대한 설명이다.

[0267] 도 2에 나타낸 바와 같이, 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B) 위에 제공되는 절연층(218)은 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)의 보호층으로서 기능한다. 절연층(218)에는, 불순물이 확산되기 어려운 재료를 사용하는 것이 바람직하다. 절연층(218)은 불순물이 외부로부터 트랜지스터로 확산되는 것을 억제하는 차단막으로서 기능한다. 불순물로서는 예를 들어 물 및 수소가 있다. 절연층(218)을 제공함으로써 표시 장치의 신뢰성을 높일 수 있다.

[0268] 절연층(218)은 무기 재료를 포함한 절연층 또는 유기 재료를 포함한 절연층으로 할 수 있다. 절연층(218)에는 예를 들어 산화물, 산화질화물, 질화산화물, 또는 질화물 등의 무기 재료를 적합하게 사용할 수 있다. 더 구체적으로는, 질화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화 알루미늄, 산화 하프늄, 및 하프늄 알루미네이트 중 하나 또는 복수를 사용할 수 있다. 예를 들어 질화산화 실리콘은 그 자체로부터의 불순물(예를 들어 물 및 수소)의 방출이 적고, 또한 트랜지스터보다 위쪽으로부터 트랜지스터로 불순물이 확산되는 것을 억제하는 차단막으로서 기능할 수 있기 때문에, 절연층(218)으로서 적합하게 사용할 수 있다. 유기 재료로서 예를 들어 아크릴 수지 및 폴리이미드 수지 중 하나 또는 복수를 사용할 수 있다. 유기 재료에는 감광성 재료를 사용하여도 좋다. 또한 상술한 절연막을 2개 이상 적층하여 사용하여도 좋다. 절연층(218)은 무기 재료를 포함한 절연층과 유기 재료를 포함한 절연층의 적층 구조로 하여도 좋다.

[0269] 절연층(235)은 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)에 기인하는 요철을 저감하여, 층(101)의 상면을 더 평탄하게 하는 기능을 가진다. 또한 본 명세서 등에서 절연층(235)을 평탄화층이라고 표기하는 경우가 있다.

[0270] 절연층(235)으로서는 유기 재료를 포함하는 절연층을 적합하게 사용할 수 있다. 유기 재료로서는 감광성 유기 수지를 사용하는 것이 바람직하고, 예를 들어 아크릴 수지를 포함한 감광성 수지 조성물을 사용하는 것이 바람직하다. 또한 본 명세서 등에서 아크릴 수지란, 폴리메타크릴산 에스터 또는 메타크릴 수지만을 가리키는 것이 아니고, 넓은 의미의 아크릴계 폴리머 전체를 가리키는 경우가 있다.

[0271] 절연층(235)에는 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 이미드 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실리콘(silicone) 수지, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들 수지의 전구체 등을 사용하여도 좋다. 또한 절연층(235)에는 폴리바이닐알코올(PVA), 폴리바이닐뷰티랄, 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 또는 알코올 가용성 폴리아마이드 수지 등의 유기 재료를 사용하여도 좋다. 또한 감광성 수지로서는 포토레지스트를 사용하여도 좋다. 감광성 유기 수지로서는 포지티브형 재료 및 네거티브형 재료 중 어느 쪽을 사용하여도 좋다.

[0272] 절연층(235)은 유기 절연층과 무기 절연층의 적층 구조를 가져도 좋다. 예를 들어 절연층(235)은 유기 절연층과, 상기 유기 절연층 위의 무기 절연층의 적층 구조를 가질 수 있다. 절연층(235)의 가장 바깥쪽 면에 무기 절연층을 제공함으로써 에칭 보호층으로서 기능시킬 수 있다. 이에 의하여, 화소 전극(111)을 형성할 때 그리고 층(113)을 형성할 때, 절연층(235)의 일부가 에칭되어 절연층(235)의 평탄성이 낮아지는 것을 억제할 수 있다.

[0273] 발광 디바이스(130)의 피형성면인 절연층(235)의 상면의 평탄성이 낮은 경우, 예를 들어 공통 전극(115)의 단절로 인한 접속 불량, 또는 공통 전극(115)의 막 두께가 국소적으로 얇아짐으로 인한 전기 저항 상승 등이 일어나는 경우가 있다. 또한 절연층(235)의 상면의 평탄성이 낮은 경우, 절연층(235) 위에 형성되는 층의 가공 정밀도가 낮아질 수 있다. 절연층(235)의 상면을 평탄하게 함으로써, 절연층(235) 위에 제공되는 발광 디바이스(130) 등의 가공 정밀도가 높아져 정세도가 높은 표시 장치로 할 수 있다. 또한 공통 전극(115)의 단절로 인한 접속 불량, 및 공통 전극(115)의 막 두께가 국소적으로 얇아짐으로 인한 전기 저항 상승을 방지할 수 있어 표시 품질이 높은 표시 장치로 할 수 있다.

[0274] 또한 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)을 형성할 때, 절연층(235)의 일부가 제거되는 경우가 있다. 도 2는 절연층(235)이 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B) 모두와 중첩되지 않은 영역에 오목부를 가지는 예를 나타낸 것이다.

[0275] 도 2에 나타낸 발광 디바이스(130R), 트랜지스터(205R), 및 그 근방의 확대도를 도 14의 (A)에 나타내었다. 절연층(225) 및 절연층(218)은 트랜지스터(205R)가 가지는 도전층(222b)과 중첩되는 영역에 개구(191)를 가진다. 개구(191)에 있어서, 도전층(222b)이 노출된다. 절연층(235)은 개구(191)와 중첩되는 영역에 개구(193)를 가진다. 개구(191) 및 개구(193)를 덮도록 발광 디바이스(130R)가 가지는 화소 전극(111R)이 제공된다. 화소 전극(111R)은 절연층(235)의 상면 및 측면, 절연층(218)의 측면, 절연층(225)의 측면, 및 도전층(222b)의 상면과 접하는 영역을 가진다. 즉 발광 디바이스(130R)는 개구(191) 및 개구(193)를 통하여 트랜지스터(205R)와 전기적으로 접속된다. 마찬가지로, 발광 디바이스(130G)는 절연층(225), 절연층(218), 및 절연층(235)에 제공되는 개구를 통하여 트랜지스터(205G)와 전기적으로 접속된다. 발광 디바이스(130B)는 절연층(225), 절연층(218), 및 절연층(235)에 제공되는 개구를 통하여 트랜지스터(205B)와 전기적으로 접속된다.

[0276] 도 14의 (A)에는 개구(191) 측의 절연층(225)의 단부의 위치와 절연층(218)의 단부의 위치가 일치하거나 실질적

으로 일치하고, 개구(193) 측의 절연층(235)의 단부의 위치와 개구(191) 측의 절연층(218)의 단부의 위치가 일치하거나 실질적으로 일치하는 예를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 개구(191) 측의 절연층(225)의 단부의 위치와 절연층(218)의 단부의 위치가 일치하지 않아도 된다. 또한 개구(193) 측의 절연층(235)의 단부의 위치와 개구(191) 측의 절연층(218)의 단부의 위치가 일치하지 않아도 된다. 예를 들어, 도 15에 나타낸 바와 같이, 개구(193) 측의 절연층(235)의 단부가 개구(191) 측의 절연층(218)의 단부보다 내측에 위치하는 것이 바람직하다. 즉, 개구(193) 측의 절연층(235)의 단부가 절연층(218)의 상면과 접하는 것이 바람직하다. 개구(193)가 개구(191)를 포함한다고도 할 수 있다. 이와 같은 구성으로 함으로써, 화소 전극(111)의 피복성을 높일 수 있다. 또한 개구(191) 측의 절연층(225)의 단부가 절연층(218)의 단부보다 외측에 위치하여도 좋다.

[0277] 또한 여기서는 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)이 각각 도전층(222b)과 전기적으로 접속되는 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)이 각각 도전층(222a)과 전기적으로 접속되는 구성으로 하여도 좋다. 그 경우, 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)은 절연층(210), 절연층(225), 절연층(218), 및 절연층(235)에 제공된 개구를 통하여 도전층(222a)과 전기적으로 접속되는 구성으로 할 수 있다.

[0278] 화소 전극(111R)은 도전층(124R)과, 도전층(124R) 위의 도전층(126R)과, 도전층(126R) 위의 도전층(129R)의 적층 구조를 가진다. 이와 마찬가지로 발광 디바이스(130G)에 포함되는 화소 전극(111G)은 도전층(124G)과, 도전층(124G) 위의 도전층(126G)과, 도전층(126G) 위의 도전층(129G)의 적층 구조를 가진다. 발광 디바이스(130B)에 포함되는 화소 전극(111B)은 도전층(124B)과, 도전층(124B) 위의 도전층(126B)과, 도전층(126B) 위의 도전층(129B)의 적층 구조를 가진다.

[0279] 도전층(124R)은 개구(191) 및 개구(193)를 통하여 트랜지스터(205R)에 포함되는 도전층(222b)과 전기적으로 접속된다. 도전층(124R)의 단부는 도전층(126R)의 단부보다 외측에 위치한다. 도전층(126R)의 단부는 도전층(129R)의 단부보다 내측에 위치한다. 도전층(124R)의 단부는 도전층(129R)의 단부보다 외측에 위치한다. 즉 도전층(126R)의 단부는 도전층(124R) 위에 위치한다. 또한 도전층(129R)의 단부는 도전층(124R) 위에 위치한다. 도전층(126R)의 상면 및 측면은 도전층(129R)으로 덮인다.

[0280] 도전층(124R)의 가시광에 대한 투과성 및 반사성은 특별히 한정되지 않는다. 도전층(124R)으로서는 가시광에 대하여 투과성을 가지는 도전층 또는 가시광에 대하여 반사성을 가지는 도전층을 사용할 수 있다. 가시광에 대하여 투과성을 가지는 도전층으로서 예를 들어 산화물 도전층을 사용할 수 있다. 구체적으로는 도전층(124R)에 In-Si-Sn 산화물(ITSO라고도 함)을 적합하게 사용할 수 있다. 가시광 반사성을 가지는 도전층에는 예를 들어 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 은, 주석, 아연, 백금, 금, 몰리브데넘, 탄탈럼, 또는 텅스텐 등의 금속, 혹은 이들을 주성분으로 포함하는 합금(예를 들어 은과 팔라듐과 구리의 합금(APC: Ag-Pd-Cu))을 사용할 수 있다. 도전층(124R)은 가시광 투과성을 가지는 도전층과, 상기 도전층 위의 반사성을 가지는 도전층의 적층 구조로 하여도 좋다. 도전층(124R)에는 도전층(124R)의 피형성면(여기서는 절연층(235))과의 밀착성이 높은 재료를 적용하는 것이 바람직하다. 이로써, 도전층(124R)의 박리를 억제할 수 있다.

[0281] 도전층(126R)으로서는 가시광 반사성을 가지는 도전층을 사용할 수 있다. 도전층(126R)은 가시광 투과성을 가지는 도전층과, 상기 도전층 위의 반사성을 가지는 도전층의 적층 구조로 하여도 좋다. 도전층(126R)에는 도전층(124R)에 사용할 수 있는 재료를 사용할 수 있다. 구체적으로는 도전층(126R)에는 In-Si-Sn 산화물(ITSO)과, In-Si-Sn 산화물(ITSO) 위의 은과 팔라듐과 구리의 합금(APC)의 적층 구조를 적합하게 사용할 수 있다.

[0282] 도전층(129R)에는 도전층(124R)에 사용할 수 있는 재료를 사용할 수 있다. 도전층(129R)으로서는 예를 들어 가시광 투과성을 가지는 도전층을 사용할 수 있다. 구체적으로는 도전층(129R)에는 In-Si-Sn 산화물(ITSO)을 사용할 수 있다.

[0283] 도전층(126R)에 산화되기 쉬운 재료를 사용하는 경우, 도전층(129R)에 산화되기 어려운 재료를 적용하고 도전층(129R)으로 도전층(126R)을 덮음으로써 도전층(126R)의 산화를 억제할 수 있다. 또한 도전층(126R)에 포함되는 금속 성분이 석출되는 것을 억제할 수 있다. 예를 들어 도전층(126R)에 은을 포함한 재료를 적용하는 경우, 도전층(129R)에는 In-Si-Sn 산화물(ITSO)을 적합하게 사용할 수 있다. 이에 의하여 도전층(126R)의 산화 및 은의 석출을 억제할 수 있다.

[0284] 화소 전극(111G)에서의 도전층(124G), 도전층(126G), 및 도전층(129G), 그리고 화소 전극(111B)에서의 도전층(124B), 도전층(126B), 및 도전층(129B)은 화소 전극(111R)에서의 도전층(124R), 도전층(126R), 및 도전층

(129R)과 같기 때문에 자세한 설명은 생략한다.

[0285] 본 발명의 일 형태인 표시 장치에 적용할 수 있는 화소 전극(111)의 구성은 도 2 등에 나타낸 화소 전극(111)의 구성에 한정되지 않는다.

[0286] 도전층(124R), 도전층(124G), 및 도전층(124B)은 절연층(235)에 제공된 개구(193)를 덮도록 오목부가 형성된다. 상기 오목부에는 층(128)이 매립된다.

[0287] 층(128)은 도전층(124R), 도전층(124G), 및 도전층(124B)의 오목부를 평탄화시키는 기능을 가진다. 도전층(124R), 도전층(124G), 도전층(124B), 및 층(128) 위에는 도전층(124R), 도전층(124G), 및 도전층(124B)과 전기적으로 접속되는 도전층(126R), 도전층(126G), 및 도전층(126B)이 제공되어 있다. 따라서 도전층(124R), 도전층(124G), 및 도전층(124B)의 오목부와 중첩되는 영역도 발광 영역으로서 기능하기 때문에 화소의 개구율을 높일 수 있다.

[0288] 층(128)은 도전층(124R), 도전층(124G), 및 도전층(124B)에 형성되는 오목부를 평탄화시키는 기능을 가진다. 층(128)을 제공함으로써, 층(113R), 층(113G), 및 층(113B)의 피형성면인 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)의 상면의 평탄성을 향상시킬 수 있다.

[0289] 층(128)은 절연층이어도 좋고 도전층이어도 좋다. 층(128)에는 각종 무기 절연 재료, 유기 절연 재료, 및 도전 재료를 적절히 사용할 수 있다.

[0290] 층(128)으로서는 유기 재료를 가지는 절연층을 적합하게 사용할 수 있다. 층(128)에는 절연층(235)에 사용할 수 있는 재료를 사용할 수 있다. 유기 재료로서는 감광성 유기 수지를 사용하는 것이 바람직하고, 예를 들어 아크릴 수지를 포함한 감광성 수지 조성물을 사용하는 것이 바람직하다.

[0291] 또한 층(128)을 도전층으로 하는 경우, 층(128)은 화소 전극의 일부로서 기능할 수 있다. 층(128)에는 예를 들어 금속 입자를 분산시킨 수지를 사용할 수 있다.

[0292] 도전층(124R)의 측면 그리고 도전층(129R)의 상면 및 측면은 층(113R)으로 덮여 있다. 이와 마찬가지로, 도전층(124G)의 측면 그리고 도전층(129G)의 상면 및 측면은 층(113G)으로 덮여 있고, 도전층(124B)의 측면 그리고 도전층(129B)의 상면 및 측면은 층(113B)으로 덮여 있다. 따라서 도전층(126R), 도전층(126G), 및 도전층(126B)이 제공된 영역 전체를 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)의 발광 영역으로서 사용할 수 있기 때문에, 화소의 개구율을 높일 수 있다.

[0293] 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B) 각각의 단부는 테이퍼 형상을 가지는 것이 바람직하다. 구체적으로는, 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B) 각각의 단부는 테이퍼 각이 90° 미만인 테이퍼 형상을 가지는 것이 바람직하다. 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)의 측면을 테이퍼 형상으로 함으로써 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)의 상면 및 측면을 따라 제공되는 EL층의 피복성을 높일 수 있다.

[0294] 또한 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)을 형성할 때, 절연층(235)의 일부가 제거되는 경우가 있다. 절연층(235)은 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B) 모두와 중첩되지 않은 영역에 오목부를 가져도 좋다.

[0295] 층(113R), 층(113G), 및 층(113B)을 형성할 때 절연층(235)의 일부가 제거되는 경우가 있다. 도 2 및 도 14의 (A)에는 절연층(235)이 층(113R), 층(113G), 및 층(113B) 모두와 중첩되지 않은 영역에 오목부를 가지는 예를 나타내었다.

[0296] 화소 전극(111R)과 층(113R) 사이에는 화소 전극(111R)의 상면 단부를 덮는 절연층(제방, 뱅크, 스페이서라고도 함)이 제공되어 있지 않다. 마찬가지로, 화소 전극(111G)과 층(113G) 사이에는 화소 전극(111G)의 상면 단부를 덮는 절연층이 제공되어 있지 않다. 화소 전극(111B)과 층(113B) 사이에는 화소 전극(111B)의 상면 단부를 덮는 절연층이 제공되어 있지 않다. 그러므로 인접한 발광 디바이스의 간격을 좁게 할 수 있다. 따라서 고정세 또는 고해상도의 표시 장치로 할 수 있다. 또한 상기 절연층을 형성하기 위한 마스크도 불필요하므로, 표시 장치의 제조 비용을 절감할 수 있다.

[0297] 화소 전극과 EL층 사이에 화소 전극의 단부를 덮는 절연층을 제공하지 않는 구성, 즉 화소 전극과 EL층 사이에 절연층을 제공하지 않는 구성을 적용함으로써, EL층으로부터 방출되는 광을 효율적으로 추출할 수 있다. 따라서 본 발명의 일 형태의 표시 장치는 시야각 의존성을 작게 할 수 있다. 시야각 의존성을 작게 함으로써, 표시

장치에서의 화상의 시인성을 높일 수 있다.

[0298] 본 실시형태의 발광 디바이스에는 싱글 구조(발광 유닛을 하나만 가지는 구조)를 적용하여도 좋고, 탠덤 구조(발광 유닛을 복수로 가지는 구조)를 적용하여도 좋다. 발광 유닛은 적어도 하나의 발광층을 가진다.

[0299] 발광 디바이스(130R)는 적색(R)의 광을 방출하고, 발광 디바이스(130G)는 녹색(G)의 광을 방출하고, 발광 디바이스(130B)는 청색(B)의 광을 방출한다. 층(113R), 층(113G), 및 층(113B)은 적어도 발광층을 가진다. 층(113R)은 적색의 광을 방출하는 발광층을 가지고, 층(113G)은 녹색의 광을 방출하는 발광층을 가지고, 층(113B)은 청색의 광을 방출하는 발광층을 가진다. 바꿔 말하면, 층(113R)은 적색의 광을 방출하는 발광 재료를 가지고, 층(113G)은 녹색의 광을 방출하는 발광 재료를 가지고, 층(113B)은 청색의 광을 방출하는 발광 재료를 가진다.

[0300] 탠덤 구조의 발광 디바이스를 사용하는 경우, 층(113R)은 적색의 광을 방출하는 발광 유닛을 복수로 가지고, 층(113G)은 녹색의 광을 방출하는 발광 유닛을 복수로 가지고, 층(113B)은 청색의 광을 방출하는 발광 유닛을 복수로 가지는 것이 바람직하다. 각 발광 유닛 사이에는 전하 발생층을 제공하는 것이 바람직하다.

[0301] 층(113R), 층(113G), 및 층(113B)은 각각 정공 주입층, 정공 수송층, 정공 차단층, 전하 발생층, 전자 차단층, 전자 수송층, 및 전자 주입층 중 하나 이상을 가져도 좋다.

[0302] 예를 들어 층(113R), 층(113G), 및 층(113B)은 각각 정공 주입층, 정공 수송층, 발광층, 및 전자 수송층을 이 순서대로 가져도 좋다. 또한 정공 수송층과 발광층 사이에 전자 차단층을 가져도 좋다. 또한 전자 수송층과 발광층 사이에 정공 차단층을 가져도 좋다. 또한 전자 수송층 위에 전자 주입층을 가져도 좋다.

[0303] 예를 들어 층(113R), 층(113G), 및 층(113B)은 각각 전자 주입층, 전자 수송층, 발광층, 및 정공 수송층을 이 순서대로 가져도 좋다. 또한 전자 수송층과 발광층 사이에 정공 차단층을 가져도 좋다. 또한 정공 수송층과 발광층 사이에 전자 차단층을 가져도 좋다. 또한 정공 수송층 위에 정공 주입층을 가져도 좋다.

[0304] 이와 같이, 층(113R), 층(113G), 및 층(113B)은 각각 발광층과, 발광층 위의 캐리어 수송층(전자 수송층 또는 정공 수송층)을 가지는 것이 바람직하다. 또는 층(113R), 층(113G), 및 층(113B)은 각각 발광층과, 발광층 위의 캐리어 차단층(정공 차단층 또는 전자 차단층)을 가지는 것이 바람직하다. 또는 층(113R), 층(113G), 및 층(113B)은 각각 발광층과, 발광층 위의 캐리어 차단층과, 캐리어 차단층 위의 캐리어 수송층을 포함하는 것이 바람직하다. 층(113R), 층(113G), 및 층(113B)의 표면은 표시 장치의 제작 공정 중에 노출되기 때문에, 캐리어 수송층 및 캐리어 차단층 중 한쪽 또는 양쪽을 발광층 위에 제공함으로써, 발광층이 가장 바깥쪽으로 노출되는 것이 억제되어, 발광층이 받는 대미지를 줄일 수 있다. 이에 의하여, 발광 디바이스의 신뢰성을 높일 수 있다.

[0305] 층(113R), 층(113G), 및 층(113B)에 포함되는 화합물의 내열 온도는 각각 100℃ 이상 180℃ 이하가 바람직하고, 120℃ 이상 180℃ 이하가 더 바람직하고, 140℃ 이상 180℃ 이하가 더 바람직하다. 예를 들어 이들 화합물의 유리 전이 온도(Tg)는 각각 100℃ 이상 180℃ 이하가 바람직하고, 120℃ 이상 180℃ 이하가 더 바람직하고, 140℃ 이상 180℃ 이하가 더 바람직하다.

[0306] 특히 발광층 위에 제공되는 기능층의 내열 온도는 높은 것이 바람직하다. 또한 발광층 위에 접하여 제공되는 기능층의 내열 온도는 높은 것이 더 바람직하다. 상기 기능층의 내열성이 높으면, 발광층을 효과적으로 보호할 수 있어, 발광층이 받는 대미지를 저감할 수 있다.

[0307] 발광층의 내열 온도는 높은 것이 바람직하다. 이 경우, 가열에 의하여 발광층이 대미지를 받아 발광 효율이 저하되는 것, 그리고 수명이 짧아지는 것을 억제할 수 있다.

[0308] 발광층은 발광 물질(발광 재료, 발광성 유기 화합물, 게스트 재료라고도 함)과 호스트 재료를 포함한다. 발광층에는 발광 물질에 비하여 호스트 재료가 많이 포함되기 때문에, 상기 호스트 재료의 Tg를 발광층의 내열 온도의 지표로서 사용할 수 있다.

[0309] 층(113R), 층(113G), 및 층(113B)은 예를 들어 제 1 발광 유닛과, 제 1 발광 유닛 위의 전하 발생층과, 전하 발생층 위의 제 2 발광 유닛을 가져도 좋다.

[0310] 제 2 발광 유닛은 발광층과, 발광층 위의 캐리어 수송층(전자 수송층 또는 정공 수송층)을 가지는 것이 바람직하다. 또는 제 2 발광 유닛은 발광층과, 발광층 위의 캐리어 차단층(정공 차단층 또는 전자 차단층)을 가지는 것이 바람직하다. 또는 제 2 발광 유닛은 발광층과, 발광층 위의 캐리어 차단층과, 캐리어 차단층 위의 캐리어 수송층을 가지는 것이 바람직하다. 제 2 발광 유닛의 표면은 표시 장치의 제작 공정 중에 노출되기 때문에, 캐

리어 수송층 및 캐리어 차단층 중 한쪽 또는 양쪽을 발광층 위에 제공함으로써, 발광층이 가장 바깥쪽으로 노출되는 것이 억제되어, 발광층이 받는 대미지를 줄일 수 있다. 이에 의하여, 발광 디바이스의 신뢰성을 높일 수 있다. 또한 3개 이상의 발광 유닛을 가지는 경우에는, 가장 위층에 제공되는 발광 유닛이 발광층과, 발광층 위의 캐리어 수송층 및 캐리어 차단층 중 한쪽 또는 양쪽을 가지는 것이 바람직하다.

[0311] 공통층(114)은 예를 들어 전자 주입층 또는 정공 주입층을 가진다. 또는 공통층(114)은 전자 수송층과 전자 주입층의 적층이어도 좋고, 정공 수송층과 정공 주입층의 적층이어도 좋다. 공통층(114)은 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에서 공유되어 있다.

[0312] 인접한 발광 디바이스(130) 사이의 영역에는 절연층(125)과, 절연층(125) 위의 절연층(127)이 제공되어 있다. 도 2에서는 절연층(125) 및 절연층(127)의 단면이 여러 개 도시되어 있지만, 표시 장치(100)를 상면에서 보았을 때 절연층(125) 및 절연층(127)은 각각 하나로 연결되어 있다. 즉 표시 장치(100)는 예를 들어 절연층(125) 및 절연층(127)을 하나씩 가질 수 있다. 또한 표시 장치(100)는 서로 분리된 복수의 절연층(125)을 가져도 좋고, 서로 분리된 복수의 절연층(127)을 가져도 좋다.

[0313] 도 2 등에는 화소 전극(111R)의 단부보다 층(113R)의 단부가 외측에 위치하는 예를 나타내었다. 층(113R)은 화소 전극(111R)의 단부를 덮도록 형성되어 있다. 이러한 구성으로 함으로써, 화소 전극의 상면 전체를 발광 영역으로 할 수도 있기 때문에, 섬 형상의 EL층의 단부가 화소 전극의 단부보다 내측에 위치하는 구성에 비하여 개구율을 높일 수 있다. 또한 화소 전극(111R)과 층(113R)을 예로 들어 설명하지만, 화소 전극(111G)과 층(113G), 및 화소 전극(111B)과 층(113B)에 대해서도 마찬가지이다.

[0314] 화소 전극(111)의 측면을 EL층으로 덮음으로써, 화소 전극(111)과 공통 전극(115)의 접촉을 억제할 수 있으므로 발광 디바이스(130)의 단락을 억제할 수 있다. 또한 EL층의 발광 영역(즉, 화소 전극(111)과 중첩되는 영역)과 EL층의 단부의 거리를 크게 할 수 있다. EL층의 단부는 가공에 의하여 대미지를 받았을 가능성이 있기 때문에, EL층의 단부로부터 떨어진 영역을 발광 영역으로서 사용함으로써, 발광 디바이스(130)의 신뢰성을 높일 수 있는 경우가 있다.

[0315] 층(113R), 층(113G), 및 층(113B)은 각각 발광 영역인 제 1 영역과, 제 1 영역의 외측의 제 2 영역을 가지는 것이 바람직하다. 제 1 영역은 화소 전극과 공통 전극 사이에 위치한다. 제 1 영역은 층(113R)에서 화소 전극(111R)과 접하고 또한 공통층(114)을 개재하여 공통 전극(115)과 중첩되는 부분이다. 제 1 영역은 표시 장치의 제작 공정 중에는 마스크층으로 덮여 있기 때문에 받을 대미지가 경감된다. 따라서, 발광 효율이 높고, 장수명의 발광 디바이스를 실현할 수 있다. 한편으로, 제 2 영역은 EL층의 단부와 그 근방을 포함하고, 표시 장치의 제작 공정 중에 플라스마에 노출되는 등으로 인하여 대미지를 받았을 가능성이 있는 부분을 포함한다. 제 2 영역을 발광 영역으로서 사용하지 않음으로써 발광 디바이스의 특성의 편차를 억제할 수 있다. 제 2 영역을 더미 영역이라고 할 수 있다.

[0316] 도 14의 (B)는 층(113R)의 상면도이다. 도 14의 (A) 및 (B)에서는 층(113R)의 발광 영역인 제 1 영역(113_1)의 폭 L1을 양쪽 화살표로 나타내었다. 층(113R)의 더미 영역인 제 2 영역(113_2)의 폭 L2 및 폭 L3을 각각 화살표로 나타내었다. 도 14의 (B)에 나타낸 바와 같이, 제 1 영역(113_1)을 둘러싸도록 제 2 영역(113_2)이 제공되기 때문에, 표시 장치의 단면도에서는 제 2 영역(113_2)은 제 1 영역(113_1)을 사이에 두고 두 군데에서 확인할 수 있다. 폭 L1 내지 폭 L3은 예를 들어 단면의 투과형 전자 현미경(TEM) 이미지에서 확인할 수 있다.

[0317] 제 2 영역(113_2)은 층(113R)이 마스크층(118R), 마스크층(119R), 절연층(125), 및 절연층(127) 중 적어도 하나와 중첩되는 부분이다.

[0318] 제 2 영역(113_2)의 폭 L2 및 폭 L3은 각각 1nm 이상이 바람직하고, 5nm 이상이 더 바람직하고, 50nm 이상이 더 바람직하고, 100nm 이상이 더 바람직하다. 더미 영역인 제 2 영역(113_2)의 폭이 넓을수록 발광 영역의 품질을 균일하게 할 수 있고 발광 디바이스의 특성의 편차를 억제할 수 있기 때문에 바람직하다.

[0319] 한편, 제 2 영역(113_2)의 폭이 좁을수록 발광 영역이 넓어지고, 화소의 개구율을 높일 수 있다. 따라서 제 2 영역(113_2)의 폭 L2 및 폭 L3은 각각 제 1 영역(113_1)의 폭 L1의 50% 이하가 바람직하고, 40% 이하가 더 바람직하고, 30% 이하가 더 바람직하고, 20% 이하가 더 바람직하고, 10% 이하가 더 바람직하다. 예를 들어 웨어러블 기기용 표시 장치와 같이 소형이며 정세도가 높은 표시 장치에서는, 제 2 영역(113_2)의 폭 L2 및 폭 L3은 각각 500nm 이하가 바람직하고, 300nm 이하가 더 바람직하고, 200nm 이하가 더 바람직하고, 150nm 이하가 더 바람직하다.

[0320] 또한 섬 형상의 EL층에서, 제 1 영역(발광 영역)은 EL(Electroluminescence) 발광이 얻어지는 영역이다. 또한

섬 형상의 EL층에서, 제 1 영역(발광 영역) 및 제 2 영역(더미 영역) 모두 PL(Photoluminescence) 발광이 얻어지는 영역이다. 따라서, EL 발광 및 PL 발광을 확인함으로써 제 1 영역과 제 2 영역을 구별할 수 있다고 할 수 있다.

[0321] 도 2에 나타낸 바와 같이, 발광 디바이스(130R)가 가지는 층(113R) 위에는 마스크층(118R) 및 마스크층(119R)이 위치하고, 발광 디바이스(130G)가 가지는 층(113G) 위에는 마스크층(118G) 및 마스크층(119G)이 위치하고, 발광 디바이스(130B)가 가지는 층(113B) 위에는 마스크층(118B) 및 마스크층(119B)이 위치한다. 마스크층(118) 및 마스크층(119)은 제 1 영역(113_1)(발광 영역)을 둘러싸도록 제공된다. 바꿔 말하면 마스크층은 발광 영역과 중첩되는 부분에 개구를 가진다. 마스크층의 상면 형상은 도 14의 (B)에 나타낸 제 2 영역(113_2)과 일치하거나, 실질적으로 일치하거나, 유사하다. 마스크층(118R) 및 마스크층(119R)은 층(113R)을 형성할 때 층(113R) 위에 제공된 마스크층의 일부가 잔존한 것이다. 이와 마찬가지로, 마스크층(118G) 및 마스크층(119G)은 층(113G) 형성 시에 제공한 마스크층의 일부가 잔존한 것이고, 마스크층(118B) 및 마스크층(119B)은 층(113B) 형성 시에 제공한 마스크층의 일부가 잔존한 것이다. 이와 같이, 본 발명의 일 형태의 표시 장치에서는 제작 시에 EL층을 보호하기 위하여 사용되는 마스크층이 일부 잔존하여도 좋다.

[0322] 마스크층(118R), 마스크층(118G), 및 마스크층(118B) 중 어느 2개 또는 모두에 같은 재료를 사용하여도 좋고, 각각 다른 재료를 사용하여도 좋다. 이와 마찬가지로 마스크층(119R), 마스크층(119G), 및 마스크층(119B) 중 어느 2개 또는 모두에 같은 재료를 사용하여도 좋고, 서로 다른 재료를 사용하여도 좋다. 또한 마스크층(118R), 마스크층(118G), 및 마스크층(118B)을 통틀어 마스크층(118)이라고 부르는 경우가 있다. 마스크층(119R), 마스크층(119G), 및 마스크층(119B)을 통틀어 마스크층(119)이라고 부르는 경우가 있다.

[0323] 도 2에 나타낸 바와 같이, 마스크층(118R)의 한쪽 단부 및 마스크층(119R)의 한쪽 단부(발광 영역 측과는 반대 측의 단부, 외측의 단부)는 층(113R)의 단부와 정렬되어 있거나 실질적으로 정렬되어 있고, 마스크층(118R)의 다른 쪽 단부 및 마스크층(119R)의 다른 쪽 단부(발광 영역 측의 단부, 내측의 단부)는 층(113R) 위에 위치한다. 여기서 마스크층(118R)의 다른 쪽 단부 및 마스크층(119R)의 다른 쪽 단부는 층(113R) 및 화소 전극(111R)과 중첩되는 것이 바람직하다. 이 경우 마스크층(118R)의 다른 쪽 단부 및 마스크층(119R)의 다른 쪽 단부가 층(113R)의 실질적으로 평탄한 면에 형성되기 쉬워진다. 또한 마스크층(118G), 마스크층(119G), 마스크층(118B), 및 마스크층(119B)에 대해서도 마찬가지이다. 또한 마스크층(118) 및 마스크층(119)은 예를 들어 섬 형상으로 가공된 EL층(층(113R), 층(113G), 또는 층(113B))의 상면과 절연층(125) 사이에 잔존한다.

[0324] 층(113R), 층(113G), 및 층(113B) 각각의 측면은 절연층(125)으로 덮여 있다. 절연층(127)은 절연층(125)을 개재하여 층(113R), 층(113G), 및 층(113B) 각각의 측면과 중첩된다.

[0325] 층(113R), 층(113G), 및 층(113B) 각각의 상면의 일부는 마스크층(118)으로 덮여 있다. 마스크층(118) 위에 마스크층(119)이 제공된다. 절연층(125) 및 절연층(127)은 마스크층(118) 및 마스크층(119)을 개재하여 층(113R), 층(113G), 및 층(113B) 각각의 상면의 일부와 중첩된다.

[0326] 층(113R), 층(113G), 및 층(113B)의 상면의 일부 및 측면이 절연층(125), 절연층(127), 마스크층(118), 및 마스크층(119) 중 적어도 하나로 덮여 있음으로써, 공통층(114)(또는 공통 전극(115))이 화소 전극(111R), 화소 전극(111G), 화소 전극(111B), 층(113R), 층(113G), 및 층(113B)의 측면과 접하는 것이 억제되어, 발광 디바이스의 단락이 억제될 수 있다. 이에 의하여, 발광 디바이스의 신뢰성을 높일 수 있다.

[0327] 또한 도 2에는 층(113R), 층(113G), 및 층(113B)을 모두 같은 막 두께로 나타내었지만, 본 발명은 이에 한정되지 않는다. 층(113R), 층(113G), 및 층(113B) 각각의 막 두께는 서로 달라도 좋다. 예를 들어 층(113R), 층(113G), 및 층(113B) 각각이 방출하는 광의 강도가 높아지는 광로 길이가 되도록 막 두께를 설정하는 것이 바람직하다. 이 경우, 마이크로캐비티 구조를 실현하여 각 발광 디바이스(130)로부터 방출되는 광의 색 순도를 높일 수 있다.

[0328] 절연층(125)은 층(113R), 층(113G), 및 층(113B) 각각의 측면과 접하는 것이 바람직하다. 절연층(125)이 층(113R), 층(113G), 및 층(113B)과 접하는 구성으로 함으로써, 층(113R), 층(113G), 및 층(113B)의 박리를 방지할 수 있다. 절연층과 층(113B), 층(113G), 또는 층(113R)을 밀착시킴으로써, 인접한 층(113)이 절연층(125)에 의하여 고정되거나 접착되는 효과를 가진다. 이에 의하여, 발광 디바이스의 신뢰성을 높일 수 있다. 또한 발광 디바이스의 제작 수율을 높일 수 있다.

[0329] 도 2에 나타낸 바와 같이, 절연층(125) 및 절연층(127)이 층(113R), 층(113G), 및 층(113B)의 상면의 일부 및 측면의 양쪽을 덮음으로써, EL층의 박리를 더 방지할 수 있고, 발광 디바이스의 신뢰성을 높일 수 있다. 또한

발광 디바이스의 제작 수율을 더 높일 수 있다.

[0330] 도 2에는 화소 전극(111R)의 단부 위에 층(113R), 마스크층(118R), 마스크층(119R), 절연층(125), 및 절연층(127)의 적층 구조가 제공되는 예를 나타내었다. 이와 마찬가지로, 화소 전극(111G)의 단부 위에 층(113G), 마스크층(118G), 마스크층(119G), 절연층(125), 및 절연층(127)의 적층 구조가 제공되고, 화소 전극(111B)의 단부 위에 층(113B), 마스크층(118B), 마스크층(119B), 절연층(125), 및 절연층(127)의 적층 구조가 제공된다.

[0331] 도 2에는 화소 전극(111R)의 단부가 층(113R)으로 덮이고, 절연층(125)이 층(113R)의 측면과 접하는 구성을 나타내었다. 이와 마찬가지로, 화소 전극(111G)의 단부는 층(113G)으로 덮이고, 화소 전극(111B)의 단부는 층(113B)으로 덮이고, 절연층(125)이 층(113G)의 측면 및 층(113B)의 측면과 접한다.

[0332] 절연층(127)은 절연층(125)에 형성된 오목부를 충전(充塡)하도록 절연층(125) 위에 제공된다. 절연층(127)은 절연층(125)을 개재하여 층(113R), 층(113G), 및 층(113B) 각각의 상면의 일부 및 측면과 중첩되는 구성으로 할 수 있다. 절연층(127)은 절연층(125)의 측면의 적어도 일부를 덮는 것이 바람직하다.

[0333] 절연층(125) 및 절연층(127)을 제공함으로써, 인접한 섬 형상의 층들 사이를 충전할 수 있기 때문에, 섬 형상의 층 위에 제공되는 층(예를 들어 캐리어 주입층 및 공통 전극 등)의 피형성면을 고저차가 큰 요철이 저감되고 더 평탄한 것으로 할 수 있다. 따라서 캐리어 주입층 및 공통 전극 등의 피복성을 높일 수 있다.

[0334] 공통층(114) 및 공통 전극(115)은 층(113R), 층(113G), 층(113B), 마스크층(118), 마스크층(119), 절연층(125), 및 절연층(127) 위에 제공된다. 절연층(125) 및 절연층(127)을 제공하기 전의 단계에서는, 화소 전극 및 섬 형상의 EL층이 제공된 영역과, 화소 전극 및 섬 형상의 EL층이 제공되지 않은 영역(발광 디바이스 사이의 영역) 사이에 단차가 생긴다. 본 발명의 일 형태의 표시 장치에서는, 절연층(125) 및 절연층(127)을 가짐으로써 상기 단차를 작게 할 수 있어 공통층(114) 및 공통 전극(115)의 피복성을 향상시킬 수 있다. 따라서 공통층(114)과 공통 전극(115)의 단절로 인한 접속 불량을 억제할 수 있다. 또한 단차로 인하여 공통 전극(115)의 막 두께가 국소적으로 얇아져 전기 저항이 상승하는 것을 억제할 수 있다.

[0335] 절연층(127)의 상면은 보다 평탄성이 높은 형상을 가지는 것이 바람직하지만, 볼록부, 볼록 곡면, 오목 곡면, 또는 오목부를 가져도 좋다. 예를 들어 절연층(127)의 상면은 평탄성이 높은, 매끈한 볼록 곡면 형상을 가지는 것이 바람직하다.

[0336] 다음으로, 절연층(125) 및 절연층(127)에 사용할 수 있는 재료의 예에 대하여 설명한다.

[0337] 절연층(125)은 무기 재료를 포함하는 절연층으로 할 수 있다. 절연층(125)에는 예를 들어 산화물, 질화물, 산화질화물, 및 질화산화물 중 하나 이상을 사용할 수 있다. 절연층(125)은 단층 구조이어도 좋고, 적층 구조이어도 좋다. 산화물로서는 산화 실리콘, 산화 알루미늄, 산화 마그네슘, 인듐 갈륨 아연 산화물, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등을 들 수 있다. 질화물로서는 질화 실리콘 및 질화 알루미늄 등을 들 수 있다. 산화질화물로서는 산화질화 실리콘 및 산화질화 알루미늄 등을 들 수 있다. 질화산화물로서는 질화산화 실리콘 및 질화산화 알루미늄 등을 들 수 있다. 특히 산화 알루미늄은 에칭 시에 EL층에 대한 선택비가 높고, 후술하는 절연층(127)의 형성 시에 EL층을 보호하는 기능을 가지기 때문에 바람직하다. 특히 원자층 퇴적(ALD)법에 의하여 형성한 산화 알루미늄, 산화 하프늄, 또는 산화 실리콘 등을 절연층(125)에 적용함으로써, 핀홀이 적고 EL층을 보호하는 기능이 우수한 절연층(125)으로 할 수 있다. 또한 절연층(125)은 ALD법에 의하여 형성된 막과 스퍼터링법에 의하여 형성된 막의 적층 구조를 가져도 좋다. 절연층(125)은 예를 들어 ALD법에 의하여 형성된 산화 알루미늄막과 스퍼터링법에 의하여 형성된 질화 실리콘의 적층 구조를 가져도 좋다.

[0338] 절연층(125)은 물 및 산소 중 적어도 한쪽에 대한 배리어 절연층으로서의 기능을 가지는 것이 바람직하다. 또한 절연층(125)은 물 및 산소 중 적어도 한쪽의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한 절연층(125)은 물 및 산소 중 적어도 한쪽을 포획 또는 고착하는(게터링이라고도 함) 기능을 가지는 것이 바람직하다.

[0339] 또한 본 명세서 등에서 배리어 절연층이란, 배리어성을 가지는 절연층을 가리킨다. 또한 본 명세서 등에서 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)을 가리킨다. 또는 대응하는 물질을 포획 또는 고착하는(게터링이라고도 함) 기능을 가리킨다.

[0340] 절연층(125)이 배리어 절연층으로서의 기능 또는 게터링 기능을 가짐으로써, 외부로부터 각 발광 디바이스로 확산될 수 있는 불순물(대표적으로는 물 및 산소 중 적어도 한쪽)의 침입을 억제할 수 있다. 상기 구성으로 함으로써, 신뢰성이 높은 발광 디바이스 및 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0341] 절연층(125)은 불순물 농도가 낮은 것이 바람직하다. 이 경우, 절연층(125)으로부터 EL층에 불순물이 혼입되어 EL층이 열화되는 것을 억제할 수 있다. 또한 절연층(125)에서 불순물 농도를 낮게 함으로써, 물 및 산소 중 적어도 한쪽에 대한 배리어성을 높일 수 있다. 예를 들어 절연층(125)은 수소 농도 및 탄소 농도 중 한쪽, 바람직하게는 양쪽이 충분히 낮은 것이 바람직하다.

[0342] 또한 절연층(125)과 마스크층(118B), 마스크층(118G), 및 마스크층(118R)에는 같은 재료를 사용할 수 있다. 이 경우, 마스크층(118B), 마스크층(118G), 및 마스크층(118R) 중 어느 것과 절연층(125)의 경계가 불명확해져 구별할 수 없는 경우가 있다.

[0343] 절연층(125) 위에 제공되는 절연층(127)은 인접한 발광 디바이스 사이에 형성된 절연층(125)의 고저차가 큰 요철을 평탄하게 하는 기능을 가진다. 바꿔 말하면, 절연층(127)은 공통 전극(115)이 형성되는 면의 평탄성을 향상시키는 효과를 가진다.

[0344] 절연층(127)으로서는 유기 재료를 포함한 절연층을 적합하게 사용할 수 있다. 유기 재료로서는 감광성 유기 수지를 사용하는 것이 바람직하고, 예를 들어 아크릴 수지를 포함한 감광성 수지 조성물을 사용하는 것이 바람직하다. 또한 본 명세서 등에서 아크릴 수지란, 폴리메타크릴산 에스터 또는 메타크릴 수지만을 가리키는 것이 아니고, 넓은 의미의 아크릴계 폴리머 전체를 가리키는 경우가 있다.

[0345] 절연층(127)에는 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 이미드 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실리콘 수지, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들 수지의 전구체 등을 사용하여도 좋다. 또한 절연층(127)에는 폴리바이닐알코올(PVA), 폴리바이닐뷰티랄, 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 또는 알코올 가용성 폴리아마이드 수지 등의 유기 재료를 사용하여도 좋다. 또한 감광성 수지로서는 포토레지스트를 사용하여도 좋다. 감광성 유기 수지로서는 포지티브형 재료 및 네거티브형 재료 중 어느 쪽을 사용하여도 좋다.

[0346] 절연층(127)에는 가시광을 흡수하는 재료를 사용하여도 좋다. 절연층(127)이 발광 디바이스로부터 방출되는 광을 흡수함으로써, 발광 디바이스로부터 절연층(127)을 통하여 인접한 발광 디바이스에 광이 누설되는 것(미광)을 억제할 수 있다. 따라서 표시 장치의 표시 품질을 높일 수 있다. 또한 표시 장치에 편광판을 사용하지 않아도 표시 품질을 높일 수 있기 때문에, 표시 장치를 경량화 및 박형화할 수 있다.

[0347] 가시광을 흡수하는 재료로서는, 흑색 등의 안료를 포함한 재료, 염료를 포함한 재료, 광 흡수성을 가지는 수지 재료(예를 들어 폴리이미드 등), 및 컬러 필터에 사용할 수 있는 수지 재료(컬러 필터 재료)를 들 수 있다. 특히 2색 또는 3색 이상의 컬러 필터 재료를 적층 또는 혼합한 수지 재료를 사용하면, 가시광의 차폐 효과를 높일 수 있기 때문에 바람직하다. 특히 3색 이상의 컬러 필터 재료를 혼합함으로써, 흑색 또는 흑색에 가까운 수지층으로 할 수 있다.

[0348] 다음으로 절연층(127)과 그 근방의 구조에 대하여 설명한다. 도 16의 (A)는 발광 디바이스(130R)와 발광 디바이스(130G) 사이의 절연층(127)과 그 주변을 포함한 영역의 단면 확대도이다. 이하에서는 발광 디바이스(130R)와 발광 디바이스(130G) 사이의 절연층(127)을 예로 들어 설명하지만, 발광 디바이스(130G)와 발광 디바이스(130B) 사이의 절연층(127) 및 발광 디바이스(130B)와 발광 디바이스(130R) 사이의 절연층(127) 등에 대해서도 마찬가지이다.

[0349] 도 16의 (A)에 나타낸 바와 같이, 화소 전극(111R)을 덮어 층(113R)이 제공되고, 화소 전극(111G)을 덮어 층(113G)이 제공된다. 층(113R)의 상면의 일부에 접하여 마스크층(118R)이 제공되고, 층(113G)의 상면의 일부에 접하여 마스크층(118G)이 제공된다. 마스크층(118R)의 측면, 마스크층(119R)의 측면 및 측면, 층(113R)의 측면, 절연층(235)의 상면, 마스크층(118G)의 측면, 마스크층(119G)의 상면 및 측면, 그리고 층(113G)의 측면에 접하여 절연층(125)이 제공된다. 또한 절연층(125)은 층(113R)의 상면의 일부 및 층(113G)의 상면의 일부를 덮는다. 절연층(125)의 상면에 접하여 절연층(127)이 제공된다. 또한 절연층(127)은 절연층(125)을 개재하여 층(113R)의 상면의 일부 및 측면, 그리고 층(113G)의 상면의 일부 및 측면과 중첩되고, 절연층(125)의 측면의 적어도 일부에 접한다. 층(113R), 마스크층(118R), 마스크층(119R), 층(113G), 마스크층(118G), 마스크층(119G), 절연층(125), 및 절연층(127)을 덮어 공통층(114)이 제공되고, 공통층(114) 위에 공통 전극(115)이 제공된다.

[0350] 절연층(127)은 2개의 섬 형상의 EL층 사이의 영역(예를 들어 도 16의 (A)에서는 층(113R)과 층(113G) 사이의 영역)에 형성된다. 이때 절연층(127)의 적어도 일부가 한쪽 EL층(예를 들어 도 16의 (A)에서는 층(113R))의 측면 단부와 다른 쪽 EL층(예를 들어 도 16의 (A)에서는 층(113G))의 측면 단부 사이에 끼워지는 위치에 배치된다.

이러한 절연층(127)을 제공함으로써, 섬 형상의 EL층 및 절연층(127) 위에 형성되는 공통층(114) 및 공통 전극(115)에 분단된 부분 및 국소적으로 막 두께가 얇은 부분이 형성되는 것을 방지할 수 있다.

[0351] 표시 장치를 단면에서 보았을 때, 절연층(127)의 단부는 테이퍼 형상을 가지는 것이 바람직하다. 절연층(127)의 측면과 절연층(127)의 피형성면이 이루는 각은 90° 미만인 것이 바람직하고, 60° 이하인 것이 더 바람직하고, 45° 이하인 것이 더 바람직하고, 20° 이하인 것이 더 바람직하다. 절연층(127)의 단부가 이러한 테이퍼 형상을 가짐으로써, 절연층(127) 위에 제공되는 공통층(114) 및 공통 전극(115)의 피복성을 높일 수 있기 때문에, 공통층(114) 및 공통 전극(115)의 단절 또는 국소적인 막 두께 감소를 억제할 수 있다. 이에 의하여, 공통층(114) 및 공통 전극(115)의 막 두께의 면 내 균일성을 향상시킬 수 있어, 표시 장치의 표시 품질을 향상시킬 수 있다.

[0352] 도 16의 (A)에 나타낸 바와 같이 표시 장치를 단면에서 보았을 때 절연층(127)의 상면은 볼록 곡면 형상을 가지는 것이 바람직하다. 절연층(127)의 상면의 볼록 곡면 형상은 중심을 향하여 완만하게 볼록한 형상인 것이 바람직하다. 또한 절연층(127)의 상면의 중앙부의 볼록 곡면부가 단부의 테이퍼부에 연속적으로 이어지는 형상인 것이 바람직하다. 절연층(127)을 이와 같은 형상으로 함으로써, 절연층(127) 위 전체에 공통층(114) 및 공통 전극(115)을 높은 피복성으로 성막할 수 있다.

[0353] 표시 장치를 단면에서 보았을 때, 절연층(125)의 단부는 테이퍼 형상을 가지는 것이 바람직하다. 절연층(125)의 측면과 절연층(125)의 피형성면이 이루는 각은 90° 미만인 것이 바람직하고, 60° 이하인 것이 더 바람직하고, 45° 이하인 것이 더 바람직하고, 20° 이하인 것이 더 바람직하다.

[0354] 표시 장치를 단면에서 보았을 때, 마스크층(118R)의 단부는 테이퍼 형상을 가지는 것이 바람직하다. 마스크층(118R)의 측면과 마스크층(118R)의 피형성면이 이루는 각은 90° 미만인 것이 바람직하고, 60° 이하인 것이 더 바람직하고, 45° 이하인 것이 더 바람직하고, 20° 이하인 것이 더 바람직하다. 마스크층(118G) 및 마스크층(118B)도 마찬가지로 단부가 테이퍼 형상인 것이 바람직하고, 이들의 측면과 피형성면이 이루는 각은 상술한 범위인 것이 바람직하다.

[0355] 표시 장치를 단면에서 보았을 때, 마스크층(119R)의 단부는 테이퍼 형상을 가지는 것이 바람직하다. 마스크층(119R)의 측면과 마스크층(119R)의 피형성면이 이루는 각은 90° 미만인 것이 바람직하고, 60° 이하인 것이 더 바람직하고, 45° 이하인 것이 더 바람직하고, 20° 이하인 것이 더 바람직하다. 마스크층(119G) 및 마스크층(119B)도 마찬가지로 단부가 테이퍼 형상인 것이 바람직하고, 이들의 측면과 피형성면이 이루는 각은 상술한 범위인 것이 바람직하다.

[0356] 마스크층(118R)의 단부 및 마스크층(119R)의 단부가 이와 같은 테이퍼 형상을 가짐으로써, 마스크층(118R) 위 및 마스크층(119R) 위에 제공되는 공통층(114) 및 공통 전극(115)의 피복성을 높일 수 있다.

[0357] 마스크층(118R)의 단부 및 마스크층(119R)의 단부는 각각 절연층(125)의 단부보다 외측에 위치하는 것이 바람직하다. 이 경우, 공통층(114) 및 공통 전극(115)이 형성되는 면의 요철을 저감하여, 공통층(114) 및 공통 전극(115)의 피복성을 높일 수 있다.

[0358] 절연층(127)은 절연층(125)의 측면, 마스크층(118R)의 측면, 마스크층(119R)의 측면, 마스크층(118G)의 측면, 및 마스크층(119G)의 측면의 적어도 일부를 덮는 경우가 있다. 도 16의 (B)에는, 절연층(127)이 절연층(125)의 측면, 마스크층(118R)의 측면의 일부, 마스크층(119R)의 측면, 마스크층(118G)의 측면의 일부, 및 마스크층(119G)의 측면을 덮는 구성을 나타내었다.

[0359] 절연층(127)의 단부는 절연층(125)의 단부보다 외측에 위치하는 것이 바람직하다. 이 경우, 공통층(114) 및 공통 전극(115)이 형성되는 면의 요철을 저감하여, 공통층(114) 및 공통 전극(115)의 피복성을 높일 수 있다.

[0360] 도 17의 (A)에는 절연층(127)이 절연층(125)의 측면 전체, 마스크층(118R)의 측면 전체, 마스크층(119R)의 측면 전체, 마스크층(118G)의 측면 전체, 및 마스크층(119G)의 측면 전체를 덮는 예를 나타내었다. 이에 의하여, 공통층(114) 및 공통 전극(115)이 형성되는 면의 요철을 더 저감할 수 있기 때문에 바람직하다. 또한 도 17의 (A)에 나타낸 바와 같이, 절연층(127)은 층(113R) 및 층(113G)과 접하여도 좋다.

[0361] 도 17의 (B)에는 절연층(127)의 측면이 오목 곡면 형상(잘록한 부분, 오목부, 움푹 들어간 부분, 우묵한 부분이라고도 함)을 가지는 예를 나타내었다. 절연층(127)의 재료 및 형성 조건(가열 온도, 가열 시간, 및 가열 분위기 등)에 따라서는 절연층(127)의 측면에 오목 곡면 형상이 형성되는 경우가 있다.

[0362] 절연층(127)의 한쪽 단부가 화소 전극(111R)의 상면과 중첩되고, 절연층(127)의 다른 쪽 단부가 화소 전극

(111G)의 상면과 중첩되는 것이 바람직하다. 이러한 구조로 하면, 층(113R) 및 층(113G)의 실질적으로 평탄한 영역 위에 절연층(127)의 단부를 형성할 수 있다.

[0363] 또한 절연층(127)은 화소 전극(111)의 상면과 중첩되지 않아도 된다. 발광 디바이스의 발광 영역을 넓히고 개구율을 높일 수 있기 때문에, 화소 전극(111)의 상면과 절연층(127)이 중첩되는 부분은 작을수록 바람직하다.

[0364] 상술한 바와 같이, 절연층(127), 절연층(125), 마스크층(118R), 마스크층(118G), 마스크층(119R), 및 마스크층(119G)을 제공함으로써, 층(113R)의 실질적으로 평탄한 영역으로부터 층(113G)의 실질적으로 평탄한 영역까지 공통층(114) 및 공통 전극(115)을 높은 피복성으로 형성할 수 있다. 그리고 공통층(114) 및 공통 전극(115)에 분단된 부분 및 국소적으로 막 두께가 얇은 부분이 형성되는 것을 방지할 수 있다. 따라서 각 발광 디바이스 사이에서, 공통층(114) 및 공통 전극(115)에 분단된 부분에 기인한 접속 불량 및 국소적으로 막 두께가 얇은 부분에 기인한 전기 저항의 상승이 발생하는 것을 억제할 수 있다. 이로써 본 발명의 일 형태의 표시 장치의 표시 품질을 향상시킬 수 있다.

[0365] 공통 전극(115)은 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)에서 공유되어 있다. 복수의 발광 디바이스가 공유하는 공통 전극(115)은 접속부(140)에 제공된 도전층(123)에 전기적으로 접속된다(도 2 참조). 도전층(123)에는 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)과 같은 재료를 사용하여 같은 공정으로 형성된 도전층을 사용하는 것이 바람직하다. 예를 들어 도전층(123)을 도전층(124p)과, 도전층(124p) 위의 도전층(126p)과, 도전층(126p) 위의 도전층(129p)의 적층 구조로 할 수 있다. 도전층(124p)은 도전층(124R), 도전층(124G), 및 도전층(124B)과 같은 공정으로 형성할 수 있다. 도전층(126p)은 도전층(126R), 도전층(126G), 및 도전층(126B)과 같은 공정으로 형성할 수 있다. 도전층(129p)은 도전층(129R), 도전층(129G), 및 도전층(129B)과 같은 공정으로 형성할 수 있다.

[0366] 또한 도 2는 도전층(129p)의 막 두께가 도전층(129R), 도전층(129G), 및 도전층(129B)의 막 두께와 다른 구성을 나타낸 것이다. 도전층(129p), 도전층(129R), 도전층(129G), 및 도전층(129B)에 사용하는 재료의 저항률에 따라 이들의 막 두께를 다르게 하여도 좋다. 막 두께를 다르게 하는 경우, 도전층(129p)은 도전층(129R), 도전층(129G), 및 도전층(129B)과 다른 공정으로 형성하여도 좋다. 또는 도전층(129p)을 형성하는 공정과, 도전층(129R), 도전층(129G), 및 도전층(129B)을 형성하는 공정의 일부를 공통화하여도 좋다.

[0367] 접속부(140)에는 공통층(114)을 제공하지 않아도 된다. 도 2에는 도전층(123) 위에 공통 전극(115)이 제공된 구성을 나타내었다. 또한 도전층(123) 위에 공통층(114)이 제공되고, 도전층(123)과 공통 전극(115)이 공통층(114)을 통하여 전기적으로 접속되는 구성으로 하여도 좋다. 예를 들어 성막 영역을 규정하기 위한 마스크(파인 메탈 마스크와 구별하여 에어리어 마스크 또는 러프 메탈 마스크라고도 함)를 사용함으로써, 공통층(114)과 공통 전극(115)을 서로 다른 영역에 성막할 수 있다.

[0368] 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B) 위에 보호층(131)을 제공하는 것이 바람직하다. 보호층(131)을 제공함으로써 발광 디바이스(130)의 신뢰성을 높일 수 있다. 보호층(131)은 단층 구조를 가져도 좋고, 2층 이상의 적층 구조를 가져도 좋다.

[0369] 보호층(131)의 도전성은 한정되지 않는다. 보호층(131)으로서는 절연막, 반도체막, 및 도전막 중 적어도 1종류를 사용할 수 있다.

[0370] 보호층(131)이 무기막을 가지면, 공통 전극(115)이 산화되는 것 및 발광 디바이스에 불순물(수분 및 산소 등)이 들어가는 것을 억제할 수 있다. 따라서 발광 디바이스의 열화를 억제할 수 있기 때문에, 표시 장치의 신뢰성을 높일 수 있다.

[0371] 보호층(131)에는 예를 들어 산화물, 질화물, 산화질화물, 및 질화산화물 중 하나 이상을 가지는 무기 절연막을 사용할 수 있다. 이들 무기 절연막에 사용할 수 있는 재료의 구체적인 예는 상술한 바와 같다. 특히 보호층(131)은 질화물 또는 질화산화물을 포함하는 것이 바람직하고, 질화물을 포함하는 것이 더 바람직하다.

[0372] 보호층(131)으로서는 In-Sn 산화물(ITO라고도 함), In-Zn 산화물, Ga-Zn 산화물, Al-Zn 산화물, 또는 인듐 갈륨 아연 산화물(In-Ga-Zn 산화물, IGZO라고도 함) 등을 포함한 무기막을 사용할 수도 있다. 상기 무기막은 저항이 높은 것이 바람직하고, 구체적으로는 공통 전극(115)보다 저항이 높은 것이 바람직하다. 상기 무기막은 질소를 더 포함하여도 좋다.

[0373] 발광 디바이스로부터 방출되는 광을 보호층(131)을 통하여 추출하는 경우, 보호층(131)은 가시광 투과성이 높은 것이 바람직하다. 예를 들어 ITO, IGZO, 및 산화 알루미늄은 각각 가시광 투과성이 높은 무기 재료이기 때문에

바람직하다.

[0374] 보호층(131)은 예를 들어 산화 알루미늄막과 산화 알루미늄막 위의 질화 실리콘막의 적층 구조, 또는 산화 알루미늄막과 산화 알루미늄막 위의 IGZO막의 적층 구조 등을 가질 수 있다. 상기 적층 구조로 함으로써, 불순물(물 및 산소 등)이 EL층 측에 들어가는 것을 억제할 수 있다.

[0375] 또한 보호층(131)은 유기막을 가져도 좋다. 예를 들어 보호층(131)은 유기막과 무기막의 양쪽을 가져도 좋다. 보호층(131)에 사용할 수 있는 유기 재료로서는, 예를 들어 절연층(127)에 사용할 수 있는 유기 절연 재료 등이 있다.

[0376] 보호층(131)은 서로 다른 성막 방법을 사용하여 형성된 2층 구조를 가져도 좋다. 구체적으로는, ALD법을 사용하여 보호층(131)의 첫 번째 층을 형성하고, 스퍼터링법을 사용하여 보호층(131)의 두 번째 층을 형성하여도 좋다.

[0377] 기판(120)의 수지층(122) 측의 면에 차광층(117)을 제공하여도 좋다. 차광층(117)은 인접한 발광 디바이스(130) 사이 및 접속부(140)에 제공할 수 있다. 차광층(117)을 제공함으로써, 인접한 부화소로부터 방출되는 광이 차단되어 혼색을 방지할 수 있다. 또한 외광이 트랜지스터(205)에 도달하는 것을 억제할 수 있기 때문에 트랜지스터(205)의 열화를 억제할 수 있다. 또한 차광층(117)을 제공하지 않는 구성을 채용하여도 좋다.

[0378] 기판(120) 외측에는 각종 광학 부재를 배치할 수 있다. 광학 부재로서는 편광판, 위상차판, 광 확산층(확산 필름 등), 반사 방지층, 및 집광 필름 등을 들 수 있다. 또한 기판(120) 외측에는 먼지의 부착을 억제하는 대전 방지막, 오염이 부착되기 어렵게 하는 발수막, 사용에 따른 손상의 발생을 억제하는 하드 코트막, 충격 흡수층 등의 표면 보호층을 배치하여도 좋다. 예를 들어 표면 보호층으로서 유리층 또는 실리카층(SiO_x층)을 제공함으로써, 표면의 오염 및 손상의 발생을 억제할 수 있어 바람직하다. 또한 표면 보호층에는 DLC(diamond like carbon), 산화 알루미늄(AlO_x), 폴리에스터계 재료, 또는 폴리카보네이트계 재료 등을 사용하여도 좋다. 또한 표면 보호층에는 가시광에 대한 투과율이 높은 재료를 사용하는 것이 바람직하다. 또한 표면 보호층에는 경도가 높은 재료를 사용하는 것이 바람직하다.

[0379] 기판(120)에는 유리, 석영, 세라믹, 사파이어, 수지, 금속, 합금, 반도체 등을 사용할 수 있다. 발광 디바이스로부터의 광이 추출되는 측의 기판에는 상기 광을 투과시키는 재료를 사용한다. 기판(120)에 가요성을 가지는 재료를 사용하면, 표시 장치의 가요성을 높일 수 있다. 또한 기판(120)으로서 편광판을 사용하여도 좋다.

[0380] 기판(120)에는 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스터 수지, 폴리아크릴로나이트릴 수지, 아크릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에터설폰(PES) 수지, 폴리아마이드 수지(나일론, 아라미드 등), 폴리실록세인 수지, 사이클로올레핀 수지, 폴리스타이렌 수지, 폴리아마이드이미드 수지, 폴리우레탄 수지, 폴리염화 바이닐 수지, 폴리염화 바이닐리덴 수지, 폴리프로필렌 수지, 폴리테트라플루오로에틸렌(PTFE) 수지, ABS 수지, 셀룰로스 나노 섬유 등을 사용할 수 있다. 기판(120)으로서 가요성을 가질 정도의 두께를 가지는 유리를 사용하여도 좋다.

[0381] 또한 표시 장치에 원편광판을 중첩시키는 경우, 표시 장치가 가지는 기판에는 광학적 등방성이 높은 기판을 사용하는 것이 바람직하다. 광학적 등방성이 높은 기판은 복굴절이 작다(복굴절량이 작다고 할 수도 있음).

[0382] 광학적 등방성이 높은 기판의 위상차값의 절댓값은 30nm 이하가 바람직하고, 20nm 이하가 더 바람직하고, 10nm 이하가 더욱 바람직하다.

[0383] 광학적 등방성이 높은 필름으로서는 트라이아세틸셀룰로스(TAC, 셀룰로스트라이아세테이트라고도 함) 필름, 사이클로올레핀 폴리머(COP) 필름, 사이클로올레핀 공중합체(COC) 필름, 및 아크릴 필름 등을 들 수 있다.

[0384] 기판으로서 필름을 사용하는 경우, 필름이 물을 흡수하면 주름이 생기는 등 표시 장치에 형상 변화가 일어날 우려가 있다. 그러므로 기판에는 물 흡수율이 낮은 필름을 사용하는 것이 바람직하다. 예를 들어 물 흡수율이 1% 이하인 필름을 사용하는 것이 바람직하고, 0.1% 이하인 필름을 사용하는 것이 더 바람직하고, 0.01% 이하인 필름을 사용하는 것이 더욱 바람직하다.

[0385] 수지층(122)에는 자외선 경화형 등의 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제, 혐기형 접착제 등 각종 경화형 접착제를 사용할 수 있다. 이들 접착제로서는 에폭시 수지, 아크릴 수지, 실리콘 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐뷰티랄) 수지, EVA(에틸렌바이닐아세테이트) 수지 등을 들 수 있다. 특히 에폭시 수지 등 투습성이 낮은 재료가 바람직하다. 또한 2

액 혼합형 수지를 사용하여도 좋다. 또한 접착 시트 등을 사용하여도 좋다.

[0386] 도 2 등에 나타낸 화소 전극(111R)과는 다른 구성예를 도 18의 (A) 및 (B)에 나타내었다.

[0387] 도 18의 (A)에 나타낸 화소 전극(111R)은 도전층(129R), 도전층(126R), 및 도전층(124R)의 단부가 서로 정렬되어 있거나 실질적으로 정렬되어 있다. 층(113R)은 도전층(129R)의 측면, 도전층(126R)의 측면, 및 도전층(124R)의 측면과 접한다.

[0388] 예를 들어 도전층(124R)이 되는 제 1 도전막, 층(128), 도전층(126R)이 되는 제 2 도전막, 및 도전층(129R)이 되는 제 3 도전막을 성막한 후, 제 3 도전막 위에 레지스트 마스크를 형성하고, 이 레지스트 마스크를 사용하여 제 1 도전막, 제 2 도전막, 및 제 3 도전막을 가공함으로써, 도전층(124R), 도전층(126R), 및 도전층(129R)을 형성할 수 있다. 제 1 도전막, 제 2 도전막, 및 제 3 도전막을 같은 공정으로 가공하여 도전층(124R), 도전층(126R), 및 도전층(129R)을 형성함으로써 공정을 간략화할 수 있다.

[0389] 도 18의 (B)에 나타낸 화소 전극(111R)은 도전층(124R)의 측면, 그리고 도전층(126R)의 상면 및 측면이 도전층(129R)으로 덮여 있다. 도전층(124R)의 단부는 도전층(126R)의 단부가 서로 정렬되거나 실질적으로 정렬되어 있다. 층(113R)은 도전층(129R)의 상면 및 측면과 접한다.

[0390] 예를 들어 도전층(124R)이 되는 제 1 도전막, 층(128), 도전층(126R)이 되는 제 2 도전막을 성막한 후, 제 2 도전막 위에 레지스트 마스크를 형성하고, 이 레지스트 마스크를 사용하여 제 1 도전막 및 제 2 도전막을 가공함으로써, 도전층(124R) 및 도전층(126R)을 형성한다. 그 후, 도전층(124R) 및 도전층(126R)을 덮도록 도전층(129R)이 되는 제 3 도전막을 성막하고, 제 3 도전막을 가공함으로써 도전층(129R)을 형성할 수 있다. 제 1 도전막 및 제 2 도전막을 같은 공정으로 가공하여 도전층(124R) 및 도전층(126R)을 형성함으로써 공정을 간략화할 수 있다. 또한 은 등 확산되기 쉬운 재료를 도전층(124R) 또는 도전층(126R)에 적용한 경우에도, 도전층(124R) 및 도전층(126R)의 상면 및 측면을 도전층(129R)으로 덮음으로써 확산을 억제할 수 있다.

[0391] 또한 도 18의 (A) 등에는, 층(128)의 상면이 단면에서 보았을 때 중앙 및 그 근방이 팽창한 형상 즉 볼록한 곡면을 가지는 형상을 가지는 구성을 나타내었지만, 층(128)의 형상은 특별히 한정되지 않는다. 층(128)의 상면은 단면에서 보았을 때 중앙 및 그 근방이 오목한 형상, 즉 오목 곡면을 가지는 형상을 가지는 구성으로 할 수 있다. 또한 층(128)의 상면은 볼록 곡면 및 오목 곡면 중 한쪽 또는 양쪽을 가져도 좋다. 또한 층(128)의 상면이 가지는 볼록 곡면 및 오목 곡면의 개수는 각각 한정되지 않고, 하나 또는 복수로 할 수 있다.

[0392] 층(128)의 상면의 높이와 도전층(124R)의 상면의 높이는 일치하거나 실질적으로 일치하여도 좋고, 상이하여도 좋다. 예를 들어 층(128)의 상면의 높이는 도전층(124R)의 상면의 높이보다 낮아도 좋고 높아도 좋다.

[0393] 이하에서는 상술한 표시 장치와 다른 구성예에 대하여 설명한다. 또한 상술한 표시 장치와 중복되는 부분에 대해서는 설명을 생략하는 경우가 있다. 또한 이하에 나타내는 도면에서 상술한 표시 장치와 같은 기능을 가지는 부분에 대해서는 해칭 패턴을 같게 하고, 부호를 붙이지 않는 경우가 있다.

[0394] <표시 장치의 구성예 2>

[0395] 본 발명의 일 형태인 표시 장치의 단면도를 도 19에 나타내었다. 도 19는 도 1의 (A)의 일점쇄선 X1-X2 간 및 일점쇄선 Y1-Y2 간의 단면도이다.

[0396] 도 19에 나타낸 표시 장치는 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)와, 절연층(235) 사이에 절연층(239)을 가지는 점에서 도 2에 나타낸 표시 장치와 주로 다르다.

[0397] 절연층(239)은 절연층(235) 위에 제공되고, 절연층(235)이 가지는 개구와 중첩되는 영역에 개구를 가진다. 화소 전극(111)은 절연층(239), 절연층(235), 절연층(218), 및 절연층(225)에 제공된 개구를 덮도록 제공된다.

[0398] 절연층(239)은 층(113), 마스크층(118), 및 마스크층(119)을 형성할 때 에칭 보호막으로서 기능할 수 있다. 절연층(239)을 제공함으로써, 층(113), 마스크층(118), 및 마스크층(119)을 형성할 때 절연층(235)의 일부가 에칭되어 절연층(235)에 요철이 생기는 것을 방지할 수 있다. 즉 절연층(125)의 피형성면의 단차가 작게 되어 절연층(125)의 피복성을 높일 수 있다. 따라서 층(113)의 측면이 절연층(125)으로 덮이므로 층(113)의 박리를 방지할 수 있다.

[0399] 절연층(239)은 무기 재료를 포함하는 절연층으로 할 수 있다. 절연층(239)에는 예를 들어 산화물, 질화물, 산화질화물, 및 질화산화물 중 하나 이상을 사용할 수 있다. 절연층(239)은 단층 구조이어도 좋고, 적층 구조이어도 좋다. 산화물로서는 산화 실리콘, 산화 알루미늄, 산화 마그네슘, 인듐 갈륨 아연 산화물, 산화 갈륨, 산

화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등을 들 수 있다. 질화물로서는 질화 실리콘 및 질화 알루미늄 등을 들 수 있다. 산화질화물로서는 산화질화 실리콘 및 산화질화 알루미늄 등을 들 수 있다. 질화산화물로서는 질화산화 실리콘 및 질화산화 알루미늄 등을 들 수 있다. 절연층(239)에는 예를 들어 산화 실리콘 또는 산화질화 실리콘을 적합하게 사용할 수 있다.

[0400] 절연층(239)에는 층(113), 마스크층(118), 및 마스크층(119)이 되는 막을 에칭할 때 상기 막과의 에칭 레이트의 비율이 높은(선택비가 높다고도 함) 재료를 선택하는 것이 바람직하다.

[0401] 여기서, 발광 디바이스(130)의 피형성면의 평탄성이 낮은 경우, 예를 들어 공통 전극(115)의 단절로 인한 접속 불량, 또는 공통 전극(115)의 막 두께가 국소적으로 얇아짐으로 인한 전기 저항 상승 등이 일어나는 경우가 있다. 또한 상기 피형성면에 형성되는 층의 가공 정밀도가 낮아지는 경우가 있다.

[0402] 본 발명의 일 형태인 표시 장치에서는 절연층(239)을 제공함으로써 발광 디바이스(130)의 피형성면을 더 평탄하게 할 수 있다. 따라서 절연층(239) 위에 제공되는 발광 디바이스(130) 등의 가공 정밀도가 높아지기 때문에 정세도가 높은 표시 장치로 할 수 있다. 또한 공통 전극(115)의 단절로 인한 접속 불량, 및 공통 전극(115)의 막 두께가 국소적으로 얇아짐으로 인한 전기 저항 상승을 방지할 수 있어 표시 품질이 높은 표시 장치로 할 수 있다.

[0403] 또한 도 19 등에서 절연층(239)은 각각 단층 구조를 가지지만, 본 발명의 일 형태는 이에 한정되지 않는다. 절연층(239)을 적층 구조로 하여도 좋다.

[0404] 층(113R), 층(113G), 및 층(113B) 모두와 중첩되지 않은 영역에서, 절연층(239)의 일부가 제거되어도 좋다. 층(113R), 층(113G), 및 층(113B) 모두와 중첩되지 않은 영역의 절연층(239)의 막 두께가 층(113R), 층(113G), 또는 층(113B)과 중첩된 영역의 절연층(239)의 막 두께보다 얇아도 좋다.

[0405] 또한 절연층(239)은 다른 구성예에도 적용할 수 있다.

[0406] 도 19는 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)로서, 도 8에 나타낸 트랜지스터(200A)를 적용한 구성예를 나타낸 것이다. 절연층(210)은 절연층(210c)과, 절연층(210c) 위의 절연층(210a)과, 절연층(210a) 위의 절연층(210b)의 적층 구조를 가진다. 절연층(210c)은 트랜지스터(205R)가 가지는 도전층(222a)의 상면 및 측면, 트랜지스터(205G)가 가지는 도전층(222a)의 상면 및 측면, 트랜지스터(205B)가 가지는 도전층(222a)의 상면 및 측면, 그리고 기판(151)의 상면을 덮도록 제공된다. 절연층(210c)에 대해서는 상술한 기재를 참조할 수 있기 때문에 자세한 설명은 생략한다.

[0407] <표시 장치의 구성예 3>

[0408] 본 발명의 일 형태인 표시 장치의 단면도를 도 20에 나타내었다. 도 20은 도 1의 (A)의 일점쇄선 X1-X2 간 및 일점쇄선 Y1-Y2 간의 단면도이다.

[0409] 도 20에 나타낸 표시 장치는 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B)의 구성이 다른 점에서 도 19에 나타낸 표시 장치와 주로 다르다.

[0410] 발광 디바이스(130R)는 층(113R) 대신에 층(113W)을 가진다. 발광 디바이스(130G)는 층(113G) 대신에 층(113W)을 가진다. 발광 디바이스(130B)는 층(113B) 대신에 층(113W)을 가진다. 층(113W)은 예를 들어 백색의 광을 방출하는 구성으로 할 수 있다.

[0411] 도전층(129R), 도전층(129G), 및 도전층(129B)에 가시광 투과성을 가지는 도전층을 사용하고, 각각의 막 두께를 상이하게 하여도 좋다. 도전층(129R), 도전층(129G), 및 도전층(129B)은 광학 조정층으로서 기능할 수 있다. 도전층(129R), 도전층(129G), 및 도전층(129B)의 막 두께를 각각 최적의 광로 길이가 되도록 조정함으로써, 백색의 광을 방출하는 층(113W)을 사용한 경우에도 원하는 파장의 광이 강해진 광을 발광 디바이스(130)로부터 얻을 수 있다.

[0412] 기판(120)의 수지층(122) 측의 면에는 적색의 광을 투과시키는 착색층(132R), 녹색의 광을 투과시키는 착색층(132G), 및 청색의 광을 투과시키는 착색층(132B)을 제공하여도 좋다. 착색층(132R)은 발광 디바이스(130R)와 중첩되는 영역에 제공되어 있다. 착색층(132G)은 발광 디바이스(130G)와 중첩되는 영역에 제공되어 있다. 착색층(132B)은 발광 디바이스(130B)와 중첩되는 영역에 제공되어 있다. 예를 들어 적색 발광 디바이스(130R)로부터 방출되는 불필요한 파장의 광을 착색층(132R)을 사용하여 차단할 수 있다. 이러한 구성으로 함으로써, 각 발광 디바이스로부터 방출되는 광의 색 순도를 더 높일 수 있다. 또한 발광 디바이스(130G)와 착색층(132G)의

조합, 및 발광 디바이스(130B)와 착색층(132B)의 조합에서도 각각 같은 효과를 나타낸다.

[0413] 또한 착색층(132R), 착색층(132G), 및 착색층(132B)은 다른 구성예에도 적용할 수 있다.

[0414] <표시 장치의 구성예 4>

[0415] 도 21은 도 1과는 다른 표시 장치(100)의 상면도이다. 도 21에 나타낸 화소(110)는 부화소(110a), 부화소(110b), 부화소(110c), 및 부화소(110d)의 4종류의 부화소로 구성된다.

[0416] 부화소(110a), 부화소(110b), 부화소(110c), 및 부화소(110d)는 각각 발광색이 다른 발광 디바이스를 가지는 구성으로 할 수 있다. 예를 들어 부화소(110a), 부화소(110b), 부화소(110c), 및 부화소(110d)로서는 R, G, B, W의 4색의 부화소, R, G, B, Y의 4색의 부화소, 및 R, G, B, IR의 4개의 부화소 등이 있다.

[0417] 본 발명의 일 형태의 표시 장치는 화소에 수광 디바이스를 가져도 좋다.

[0418] 도 21에 나타낸 화소(110)에 포함되는 4개의 부화소 중 3개가 발광 디바이스를 가지고, 나머지 하나가 수광 디바이스를 가지는 구성으로 하여도 좋다.

[0419] 수광 디바이스로서는, 예를 들어 pn형 또는 pin형 포토다이오드를 사용할 수 있다. 수광 디바이스는 수광 디바이스에 입사하는 광을 검출하고 전하를 발생시키는 광전 변환 디바이스(광전 변환 소자라고도 함)로서 기능한다. 수광 디바이스에 입사하는 광의 양에 따라 수광 디바이스로부터 발생하는 전하량이 결정된다.

[0420] 수광 디바이스는 가시광 및 적외광 중 한쪽 또는 양쪽을 검출할 수 있다. 가시광을 검출하는 경우, 예를 들어 청색, 자색, 청자색, 녹색, 황록색, 황색, 주황색, 적색 등의 색 중 하나 또는 복수를 검출할 수 있다. 적외광을 검출하는 경우, 어두운 곳에서도 대상물을 검출할 수 있어 바람직하다.

[0421] 특히 수광 디바이스로서는 유기 화합물을 포함한 층을 가지는 유기 포토다이오드를 사용하는 것이 바람직하다. 유기 포토다이오드는 박형화, 경량화, 및 대면적화가 용이하고, 형상 및 디자인의 자유도가 높기 때문에, 다양한 표시 장치에 적용할 수 있다.

[0422] 본 발명의 일 형태에서는, 발광 디바이스로서 유기 EL 디바이스를 사용하고, 수광 디바이스로서 유기 포토다이오드를 사용한다. 유기 EL 디바이스 및 유기 포토다이오드는 동일한 기판 위에 형성할 수 있다. 따라서 유기 EL 디바이스를 사용한 표시 장치에 유기 포토다이오드를 내장시킬 수 있다.

[0423] 수광 디바이스는 화소 전극과 공통 전극 사이에 역바이어스를 인가하여 구동함으로써, 수광 디바이스에 입사하는 광을 검출하고, 전하를 발생시켜 전류로서 추출할 수 있다.

[0424] 수광 디바이스에도 발광 디바이스와 같은 제작 방법을 적용할 수 있다. 수광 디바이스에 포함되는 섬 형상의 활성층(광전 변환층이라고도 함)은 파인 메탈 마스크를 사용하여 형성되는 것이 아니라, 활성층이 되는 막을 면 전체에 성막한 후에 가공함으로써 형성되기 때문에, 섬 형상의 활성층을 균일한 두께로 형성할 수 있다. 또한 활성층 위에 마스크층을 제공함으로써, 표시 장치의 제작 공정 중에 활성층이 받는 대미지를 저감할 수 있기 때문에, 수광 디바이스의 신뢰성을 높일 수 있다.

[0425] 수광 디바이스의 구성 및 재료에 대해서는 실시형태 6을 참조할 수 있다.

[0426] 도 22의 (A)는 도 21의 일점쇄선 X3-X4 간의 단면도이다. 또한 도 21의 일점쇄선 X1-X2 간 및 일점쇄선 Y1-Y2 간의 단면도에 대해서는 도 2를 참조할 수 있다.

[0427] 도 22의 (A)에 나타낸 바와 같이, 표시 장치(100)에서는 트랜지스터를 포함한 층(101) 위에 발광 디바이스(130R) 및 수광 디바이스(150)가 제공되고, 발광 디바이스 및 수광 디바이스를 덮도록 보호층(131)이 제공되고, 수지층(122)에 의하여 기판(120)이 접합되어 있다. 또한 인접한 발광 디바이스와 수광 디바이스 사이의 영역에는 절연층(125)과, 절연층(125) 위의 절연층(127)이 제공되어 있다.

[0428] 도 22의 (A)에는 발광 디바이스(130R)로부터 기판(120) 측에 광이 방출되고, 수광 디바이스(150)에는 기판(120) 측으로부터 광이 입사하는 예를 나타내었다(광(Lem) 및 광(Lin) 참조).

[0429] 발광 디바이스(130R)의 구성은 상술한 바와 같다.

[0430] 수광 디바이스(150)는 절연층(235) 위의 화소 전극(111S)과, 화소 전극(111S) 위의 층(113S)과, 층(113S) 위의 공통층(114)과, 공통층(114) 위의 공통 전극(115)을 가진다. 층(113S)은 적어도 활성층을 포함한다.

[0431] 여기서, 층(113S)은 적어도 활성층을 포함하고, 바람직하게는 복수의 기능층을 가진다. 예를 들어 기능층으로

서는 캐리어 수송층(정공 수송층 및 전자 수송층) 및 캐리어 차단층(정공 차단층 및 전자 차단층) 등이 있다. 또한 활성층 위에 하나 이상의 층을 제공하는 것이 바람직하다. 활성층과 마스크층 사이에 다른 층을 가짐으로써, 표시 장치의 제작 공정 중에 활성층이 가장 바깥쪽으로 노출되는 것을 억제하여, 활성층이 받는 대미지를 줄일 수 있다. 이에 의하여, 수광 디바이스(150)의 신뢰성을 높일 수 있다. 따라서 층(113S)은 활성층과, 활성층 위의 캐리어 차단층(정공 차단층 또는 전자 차단층) 또는 캐리어 수송층(전자 수송층 또는 정공 수송층)을 가지는 것이 바람직하다.

[0432] 층(113S)은 수광 디바이스(150)에 제공되고, 발광 디바이스에는 제공되지 않는 층이다. 다만 층(113S)에 포함되는 활성층 이외의 기능층은 층(113B) 내지 층(113R)에 포함되는 발광층 이외의 기능층과 같은 재료를 포함하는 경우가 있다. 한편, 공통층(114)은 발광 디바이스와 수광 디바이스에서 공유되는 하나의 연속적인 층이다.

[0433] 여기서, 수광 디바이스와 발광 디바이스에서 공유되는 층은 발광 디바이스와 수광 디바이스에서 기능이 서로 다른 경우가 있다. 본 명세서에서는, 발광 디바이스에서의 기능에 기초하여 구성 요소를 호칭하는 경우가 있다. 예를 들어 정공 주입층은 발광 디바이스에서 정공 주입층으로서 기능하고, 수광 디바이스에서 정공 수송층으로서 기능한다. 이와 마찬가지로, 전자 주입층은 발광 디바이스에서 전자 주입층으로서 기능하고, 수광 디바이스에서 전자 수송층으로서 기능한다. 또한 수광 디바이스와 발광 디바이스에서 공유되는 층은 발광 디바이스와 수광 디바이스에서 기능이 동일한 경우도 있다. 예를 들어 정공 수송층은 발광 디바이스 및 수광 디바이스의 양쪽에서 정공 수송층으로서 기능하고, 전자 수송층은 발광 디바이스 및 수광 디바이스의 양쪽에서 전자 수송층으로서 기능한다.

[0434] 층(113R)과 절연층(125) 사이에는 마스크층(118R) 및 마스크층(119R)이 위치하고, 층(113S)과 절연층(125) 사이에는 마스크층(118S) 및 마스크층(119S)이 위치한다. 마스크층(118R) 및 마스크층(119R)은 층(113R)을 가공할 때 층(113R) 위에 제공된 마스크층의 일부가 잔존한 것이다. 또한 마스크층(118S) 및 마스크층(119S)은 활성층을 포함한 층인 층(113S)을 가공할 때 층(113S)의 상면과 접하여 제공된 마스크층의 일부가 잔존한 것이다. 마스크층(118R)과 마스크층(118S)은 같은 재료를 포함하여도 좋고, 서로 다른 재료를 포함하여도 좋다. 마스크층(119R)과 마스크층(119S)은 같은 재료를 포함하여도 좋고, 서로 다른 재료를 포함하여도 좋다.

[0435] 도 22의 (A)에 나타낸 수광 디바이스(150), 트랜지스터(205S), 및 그 근방의 확대도를 도 22의 (B)에 나타내었다. 수광 디바이스(150)는 트랜지스터(205S)와 전기적으로 접속된다. 트랜지스터(205S)는 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)와 같은 공정으로 형성할 수 있다. 트랜지스터(205S)의 소스 또는 드레인으로서 기능하는 도전층(222b)은 절연층(225) 및 절연층(218)에 제공되는 개구(191S), 그리고 절연층(235)에 제공되는 개구(193S)를 통하여 화소 전극(111S)과 전기적으로 접속된다.

[0436] 개구(191S)는 개구(191)와 같은 공정으로 형성할 수 있다. 개구(193S)는 개구(193)와 같은 공정으로 형성할 수 있다. 개구(191S) 및 개구(193S)에 대해서는 개구(191) 및 개구(193)의 기재를 참조할 수 있기 때문에, 자세한 설명은 생략한다. 화소 전극(111S)은 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)과 같은 공정으로 형성할 수 있다. 화소 전극(111S)은 도전층(124S)과, 도전층(124S) 위의 도전층(126S)과, 도전층(126S) 위의 도전층(129S)의 적층 구조로 할 수 있다. 도전층(124S), 도전층(126S), 및 도전층(129S)에 대해서는 도전층(124R), 도전층(124G), 도전층(124B), 도전층(126R), 도전층(126G), 도전층(126B), 도전층(129R), 도전층(129G), 및 도전층(129B)의 기재를 참조할 수 있기 때문에, 자세한 설명은 생략한다.

[0437] 도 21에는 부화소(110a), 부화소(110b), 및 부화소(110c)에 비하여 부화소(110d)의 개구율(크기, 발광 영역 또는 수광 영역의 크기라고도 할 수 있음)이 큰 예를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 부화소(110a), 부화소(110b), 부화소(110c), 및 부화소(110d)의 개구율은 각각 적절히 결정할 수 있다. 부화소(110a), 부화소(110b), 부화소(110c), 및 부화소(110d)의 개구율은 각각 달라도 좋고, 이들 중 2개 이상이 동일하거나 실질적으로 동일하여도 좋다.

[0438] 부화소(110d)는 부화소(110a), 부화소(110b), 및 부화소(110c) 중 적어도 하나보다 개구율이 높아도 좋다. 부화소(110d)의 수광 면적이 넓으면 대상물을 더 용이하게 검출할 수 있는 경우가 있다. 예를 들어 표시 장치의 정세도 및 부화소의 회로 구성 등에 따라서는, 부화소(110d)의 개구율이 다른 부화소의 개구율보다 높은 경우가 있다.

[0439] 부화소(110d)는 부화소(110a), 부화소(110b), 및 부화소(110c) 중 적어도 하나보다 개구율이 낮아도 좋다. 부화소(110d)의 수광 면적이 좁으면 촬상 범위는 좁아지므로, 촬상 결과가 흐릿해지는 것을 억제하고, 해상도를 향상시킬 수 있다. 그러므로 고정세 또는 고해상도의 촬상을 수행할 수 있어 바람직하다.

[0440] 이와 같이, 부화소(110d)는 용도에 적합한 검출 파장, 정세도, 및 개구율로 할 수 있다.

[0441] 본 발명의 일 형태의 표시 장치에서는, EL층이 발광 디바이스마다 섬 형상으로 제공되어 있기 때문에, 부화소 사이에서 누설 전류가 발생하는 것을 억제할 수 있다. 이에 의하여, 크로스토크에 기인한 의도치 않은 발광을 방지할 수 있어, 콘트라스트가 높은 표시 장치를 실현할 수 있다. 또한 섬 형상의 EL층에서는 표시 장치의 제작 공정 중에 대미지를 받았을 가능성이 있는 단부와 그 근방을 더미 영역으로 하고, 발광 영역으로서는 사용하지 않는 것에 의하여, 발광 디바이스의 특성의 편차를 억제할 수 있다. 또한 인접한 섬 형상의 EL층 사이에, 단부에 테이퍼 형상을 가지는 절연층을 제공함으로써, 공통 전극의 형성 시에 절단이 발생하는 것을 억제하고, 공통 전극에 국소적으로 막 두께가 얇은 부분이 형성되는 것을 방지할 수 있다. 이에 의하여, 공통층 및 공통 전극에서, 분단된 부분에 기인한 접속 불량 및 국소적으로 막 두께가 얇은 부분에 기인한 전기 저항의 상승이 발생하는 것을 억제할 수 있다. 따라서 본 발명의 일 형태의 표시 장치는 높은 정세도와 높은 표시 품질 모두를 가질 수 있다.

[0442] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다. 또한 본 명세서에서 하나의 실시형태에 복수의 구성예가 제시되는 경우에는 구성예를 적절히 조합할 수 있다.

[0443] (실시형태 2)

[0444] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치의 제작 방법의 예에 대하여 도 23 내지 도 37을 사용하여 설명한다. 또한 각 요소의 재료 및 형성 방법에 대하여 앞의 실시형태 1에서 설명한 부분과 같은 부분에 대해서는 설명을 생략하는 경우가 있다. 또한 발광 디바이스의 구성의 자세한 사항에 대해서는 실시형태 5에서 설명한다.

[0445] 표시 장치를 구성하는 박막(절연막, 반도체막, 및 도전막)은 스퍼터링법, 화학 기상 퇴적(CVD: Chemical Vapor Deposition)법, 진공 증착법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, 원자층 퇴적(ALD)법 등을 사용하여 형성할 수 있다. CVD법으로서는 플라스마 화학 기상 퇴적(PECVD: Plasma Enhanced CVD)법 및 열 CVD법 등이 있다. 또한 열 CVD법 중 하나에 유기 금속 화학 기상 퇴적(MOCVD: Metal Organic CVD)법이 있다.

[0446] 표시 장치를 구성하는 박막(절연막, 반도체막, 및 도전막)은 스핀 코팅, 디핑(dipping), 스프레이 코팅, 잉크젯, 디스펜싱, 스크린 인쇄, 오프셋 인쇄, 닥터 나이프법, 슬릿 코팅, 롤 코팅, 커튼 코팅, 또는 나이프 코팅 등 습식의 성막 방법으로 형성할 수 있다.

[0447] 특히 발광 디바이스의 제작에는 증착법 등의 진공 프로세스 및 스핀 코팅법, 잉크젯법 등의 용액 프로세스를 사용할 수 있다. 증착법으로서는 스퍼터링법, 이온 플레이팅법, 이온 빔 증착법, 분자선 증착법, 진공 증착법 등의 물리 기상 증착법(PVD법), 및 화학 기상 증착법(CVD법) 등을 들 수 있다. 특히 EL층에 포함되는 기능층(정공 주입층, 정공 수송층, 정공 차단층, 발광층, 전자 차단층, 전자 수송층, 전자 주입층, 전하 발생층 등)은 증착법(진공 증착법 등), 도포법(딥 코팅법, 다이 코팅법, 바 코팅법, 스핀 코팅법, 스프레이 코팅법 등), 인쇄법(잉크젯법, 스크린(공판 인쇄)법, 오프셋(평판 인쇄)법, 플렉소 인쇄(볼록판 인쇄)법, 그라비어법, 또는 마이크로 콘택트법 등) 등의 방법으로 형성될 수 있다.

[0448] 표시 장치를 구성하는 박막을 가공하는 경우에는, 포토리소그래피법 등을 사용할 수 있다. 또는 나노임프린트법, 샌드블라스트법, 리프트 오프법 등에 의하여 박막을 가공하여도 좋다. 또한 메탈 마스크 등의 차폐 마스크를 사용한 성막 방법으로 섬 형상의 박막을 직접 형성하여도 좋다.

[0449] 포토리소그래피법으로서 대표적으로는 다음 2가지 방법이 있다. 하나는 가공하려고 하는 박막 위에 레지스트 마스크를 형성하고, 에칭 등에 의하여 상기 박막을 가공하고, 레지스트 마스크를 제거하는 방법이다. 다른 하나는 감광성을 가지는 박막을 성막한 후에, 노광, 현상을 수행하여 상기 박막을 원하는 형상으로 가공하는 방법이다.

[0450] 포토리소그래피법에서 노광에 사용하는 광으로서는 예를 들어 i선(파장 365nm), g선(파장 436nm), h선(파장 405nm), 또는 이들을 혼합시킨 광을 사용할 수 있다. 그 외에, 자외선, KrF 레이저 광, 또는 ArF 레이저 광 등을 사용할 수도 있다. 또한 액침 노광 기술에 의하여 노광을 수행하여도 좋다. 또한 노광에 사용하는 광으로서는 극단 자외(EUV: Extreme Ultra-violet)광 또는 X선을 사용하여도 좋다. 또한 노광에 사용되는 광 대신에 전자 빔을 사용할 수도 있다. 극단 자외광, X선, 또는 전자 빔을 사용하면, 매우 미세한 가공을 수행할 수 있어 바람직하다. 또한 전자 빔 등의 빔을 주사하여 노광을 수행하는 경우에는 포토마스크가 필요하지 않다.

[0451] 박막의 에칭에는 드라이 에칭법, 웨트 에칭법, 샌드 블라스트법 등을 사용할 수 있다.

[0452] 도 19에 나타낸 표시 장치의 제작 방법에 대하여 설명한다. 여기서는, 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)의 반도체층(231)에 산화물 반도체를 사용하는 구성을 예로 들어 설명한다.

[0453] 먼저, 기판(151) 위에 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)를 제작한다. 여기서는, 트랜지스터(205R)를 예로 들어 도 23의 (A) 내지 도 24의 (D)를 사용하여 설명한다. 또한 도 23의 (A) 내지 도 24의 (D)는 트랜지스터(205R)의 제작 공정의 각 단계에서의 단면도이고, 도 23의 (A) 내지 도 24의 (D)는 일점쇄선 A1-A2 및 일점쇄선 B1-B2에서의 절단면의 단면도를 나란히 나타낸 것이다.

[0454] [도전층(222a)의 형성]

[0455] 기판(151) 위에 도전층(222a)이 되는 도전막을 형성한다. 상기 도전막의 형성에는 예를 들어 스퍼터링법을 적합하게 사용할 수 있다. 상기 도전막 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성한 후, 상기 도전막을 가공함으로써, 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 섬 형상의 도전층(222a)을 형성한다(도 23의 (A)). 상기 도전막의 가공에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용하면 좋다.

[0456] [절연막(210cf) 및 절연막(210af)의 형성]

[0457] 이어서, 기판(151) 및 도전층(222a) 위에 절연층(210c)이 되는 절연막(210cf) 및 절연층(210a)이 되는 절연막(210af)을 형성한다(도 23의 (B)).

[0458] 절연막(210cf) 및 절연막(210af)의 형성에는 예를 들어 PECVD법을 적합하게 사용할 수 있다. 절연막(210cf)을 형성한 후, 절연막(210cf)의 표면을 대기에 노출시키지 않고 진공 중에서 연속적으로 절연막(210af)을 형성하는 것이 바람직하다. 절연막(210cf)과 절연막(210af)을 연속적으로 형성함으로써, 절연막(210cf)의 표면에 대기에서 유래하는 불순물이 부착되는 것을 억제할 수 있다. 상기 불순물로서는 예를 들어 물 및 유기물이 있다.

[0459] 절연막(210cf) 및 절연막(210af)의 형성 시의 기판 온도는 각각 180℃ 이상 450℃ 이하인 것이 바람직하고, 200℃ 이상 450℃ 이하인 것이 더 바람직하고, 250℃ 이상 450℃ 이하인 것이 더 바람직하고, 300℃ 이상 450℃ 이하인 것이 더 바람직하고, 300℃ 이상 400℃ 이하인 것이 더 바람직하고, 350℃ 이상 400℃ 이하인 것이 더 바람직하다. 절연막(210cf) 및 절연막(210af) 형성 시의 기판 온도를 상술한 범위로 함으로써, 이들로부터의 불순물(예를 들어 물 및 수소)의 방출을 적게 할 수 있고, 반도체층(231)으로 불순물이 확산되는 것을 억제할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0460] 또한 절연막(210cf) 및 절연막(210af)은 반도체층(231)보다 먼저 형성되기 때문에 절연막(210cf) 및 절연막(210af) 형성 시에 가해지는 열에 의한 반도체층(231)으로부터의 산소 이탈을 우려할 필요는 없다.

[0461] 절연막(210cf) 및 절연막(210af)을 형성한 후에 가열 처리를 수행하여도 좋다. 가열 처리를 수행함으로써, 절연막(210cf) 및 절연막(210af)의 표면 및 막 내에서 물 및 수소를 이탈시킬 수 있다.

[0462] 가열 처리의 온도는 150℃ 이상 기판의 변형점 미만인 것이 바람직하고, 200℃ 이상 450℃ 이하인 것이 더 바람직하고, 250℃ 이상 450℃ 이하인 것이 더 바람직하고, 300℃ 이상 450℃ 이하인 것이 더 바람직하고, 300℃ 이상 400℃ 이하인 것이 더 바람직하고, 350℃ 이상 400℃ 이하인 것이 더 바람직하다. 가열 처리는 비활성 기체, 질소, 및 산소 중 하나 이상을 포함한 분위기에서 수행할 수 있다. 질소를 포함한 분위기 또는 산소를 포함한 분위기로서 건조 공기(CDA: Clean Dry Air)를 사용하여도 좋다. 또한 상기 분위기에서는 수소, 물 등의 함유량이 가능한 한 적은 것이 바람직하다. 상기 분위기로서는 이슬점이 -60℃ 이하, 바람직하게는 -100℃ 이하인 고순도 가스를 사용하는 것이 바람직하다. 수소, 물 등의 함유량이 가능한 한 적은 분위기를 사용함으로써, 절연막(210cf) 및 절연막(210af)에 수소, 물 등이 들어가는 것을 가능한 한 방지할 수 있다. 가열 처리에는 오븐, 급속 가열(RTA: Rapid Thermal Annealing) 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 가열 처리 시간을 단축할 수 있다.

[0463] 이어서, 절연막(210af) 위에 금속 산화물층(249)을 형성한다(도 23의 (C)).

[0464] 금속 산화물층(249)은 절연층이어도 좋고, 도전층이어도 좋다. 금속 산화물층(249)에는 예를 들어 산화 알루미늄, 산화 하프늄, 하프늄 알루미네이트, 인듐 산화물, 인듐 주석 산화물(ITO), 또는 실리콘을 함유한 인듐 주석 산화물(ITSO)을 사용할 수도 있다.

[0465] 금속 산화물층(249)에는 반도체층(231)과 동일한 원소를 하나 이상 포함한 산화물 재료를 사용하는 것이 바람직하다. 특히, 반도체층(231)에 적용할 수 있는 산화물 반도체 재료를 사용하는 것이 바람직하다.

[0466] 금속 산화물층(249)으로서, 반도체층(231)과 같은 조성의 스퍼터링 타깃을 사용하여 형성한 금속 산화물막을 적

용할 수 있다. 같은 조성의 스퍼터링 타깃을 사용함으로써, 제조 장치 및 스퍼터링 타깃을 공통적으로 사용할 수 있기 때문에 바람직하다.

[0467] 반도체층(231)과 금속 산화물층(249) 모두에 인듐 및 갈륨을 포함하는 금속 산화물 재료를 사용하는 경우, 반도체층(231)보다 갈륨의 조성(함유율)이 높은 재료를 금속 산화물층(249)에 사용할 수 있다. 갈륨의 조성(함유율)이 높은 재료를 금속 산화물층(249)에 사용함으로써, 산소에 대한 차단성을 더 높일 수 있기 때문에 바람직하다. 이때, 반도체층(231)에 금속 산화물층(249)보다 인듐의 조성이 높은 재료를 사용함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다.

[0468] 금속 산화물층(249)은 예를 들어 산소를 포함하는 분위기에서 형성하는 것이 바람직하다. 특히 산소를 포함하는 분위기에서 스퍼터링법에 의하여 형성하는 것이 바람직하다. 이 경우, 금속 산화물층(249)을 형성할 때 절연막(210af)에 산소를 적합하게 공급할 수 있다.

[0469] 예를 들어 성막 가스에 산소를 사용하고 금속 타깃을 사용한 반응성 스퍼터링법에 의하여 금속 산화물층(249)을 형성하여도 좋다. 예를 들어 금속 타깃으로서 알루미늄을 사용한 경우에는, 산화 알루미늄막을 형성할 수 있다.

[0470] 금속 산화물층(249)의 형성 시에는, 성막 장치의 처리실 내의 산소 유량비 또는 처리실 내의 산소 분압이 높을수록, 절연막(210af) 내에 공급되는 산소의 양을 증가시킬 수 있다. 산소 유량비 또는 산소 분압은 예를 들어 50% 이상 100% 이하, 바람직하게는 65% 이상 100% 이하, 더 바람직하게는 80% 이상 100% 이하, 더 바람직하게는 90% 이상 100% 이하로 한다. 특히, 산소 유량비를 100%로 하고, 산소 분압을 가능한 한 100%에 가깝게 하는 것이 바람직하다.

[0471] 이와 같이 산소를 포함하는 분위기하에서 스퍼터링법에 의하여 금속 산화물층(249)을 형성함으로써, 금속 산화물층(249) 형성 시에 절연막(210af)에 산소를 공급할 수 있고 절연막(210af)으로부터 산소가 이탈되는 것을 방지할 수 있다. 그 결과, 절연막(210af)에 많은 산소를 가둘 수 있다. 그리고 나중의 가열 처리에 의하여 반도체층(231)에 많은 산소를 공급할 수 있다. 그 결과, 반도체층(231) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0472] 금속 산화물층(249)을 형성한 후, 가열 처리를 수행하여도 좋다. 가열 처리에 대해서는 앞의 기재를 참조할 수 있으므로 자세한 설명은 생략한다. 금속 산화물층(249)을 형성한 후에 가열 처리를 수행함으로써, 금속 산화물층(249)으로부터 절연막(210af)에 효과적으로 산소를 공급할 수 있다.

[0473] 금속 산화물층(249)을 형성한 후 또는 상술한 가열 처리 후에, 금속 산화물층(249)을 통하여 절연막(210af)에 산소를 더 공급하여도 좋다. 산소의 공급 방법으로서는, 예를 들어 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 또는 플라스마 처리 등을 사용할 수 있다. 상기 플라스마 처리로서, 산소 가스를 고주파 전력에 의하여 플라스마화시키는 장치를 적합하게 사용할 수 있다. 가스를 고주파 전력에 의하여 플라스마화시키는 장치로서, 예를 들어 플라스마 에칭 장치 및 플라스마 애싱 장치가 있다.

[0474] 이어서, 금속 산화물층(249)을 제거한다. 금속 산화물층(249)의 제거 방법은 특별히 한정되지 않지만, 웨트 에칭을 적합하게 사용할 수 있다. 웨트 에칭을 사용함으로써, 금속 산화물층(249)의 제거 시에 절연막(210af)이 에칭되는 것을 억제할 수 있다. 이로써 절연막(210af)의 막 두께가 얇아지는 것을 억제할 수 있어, 절연층(210a)의 막 두께를 균일하게 할 수 있다.

[0475] 절연막(210af)에 산소를 공급하는 처리는 상술한 방법에 한정되지 않는다. 예를 들어 절연막(210af)에 대하여 이온 도핑법, 이온 주입법, 플라스마 처리 등에 의하여 산소 라디칼, 산소 원자, 산소 원자 이온, 산소 분자 이온 등을 공급한다. 또한 절연막(210af) 위에 산소의 이탈을 억제하는 막을 형성한 후, 이 막을 통하여 절연막(210af)에 산소를 공급하여도 좋다. 상기 막은 산소를 공급한 후에 제거되는 것이 바람직하다. 상술한 산소의 이탈을 억제하는 막으로서는, 인듐, 아연, 갈륨, 주석, 알루미늄, 크로뮴, 탄탈럼, 타이타늄, 몰리브데넘, 니켈, 철, 코발트, 및 텅스텐 중 하나 이상을 포함한 도전막 또는 반도체막을 사용할 수 있다.

[0476] [절연막(210bf)의 형성, 도전막(222f)의 형성]

[0477] 이어서, 절연막(210af) 위에 절연층(210b)이 되는 절연막(210bf)을 형성한다. 절연막(210bf)의 형성에 대해서는 절연막(210af) 및 절연막(210cf)의 형성의 기재를 참조할 수 있기 때문에, 자세한 설명은 생략한다.

[0478] 이어서, 절연막(210bf) 위에 도전층(222b)이 되는 도전막(222f)을 형성한다(도 23의 (D)). 도전막(222f)의 형

성에는 예를 들어 스퍼터링법을 적합하게 사용할 수 있다.

[0479] [개구(141)의 형성, 개구(143)의 형성]

[0480] 이어서, 도전층(222a)과 중첩되는 영역의 도전막(222f)을 제거하여, 개구(143)를 가지는 도전층(222B)을 형성한다. 개구(143)의 형성에는 웨트 에칭법 및 드라이 에칭법 중 어느 한쪽 또는 양쪽을 사용할 수 있다. 개구(143)의 형성에는 예를 들어 웨트 에칭법을 적합하게 사용할 수 있다.

[0481] 이어서, 도전층(222a)과 중첩되는 영역의 절연막(210f)(절연막(210af), 절연막(210bf), 및 절연막(210cf))을 제거하여, 개구(141)를 가지는 절연층(210)을 형성한다(도 23의 (E)). 개구(141)의 형성에는 웨트 에칭법 및 드라이 에칭법 중 어느 한쪽 또는 양쪽을 사용할 수 있다. 개구(141)의 형성에는 예를 들어 드라이 에칭법을 적합하게 사용할 수 있다.

[0482] 개구(141)는 예를 들어 개구(143)의 형성에 사용한 레지스트 마스크를 사용하여 형성할 수 있다. 구체적으로는 도전막(222f) 위에 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 도전막(222f)을 제거함으로써 개구(143)를 형성하고, 상기 레지스트 마스크를 사용하여 절연막(210f)을 제거함으로써 개구(141)를 형성할 수 있다. 또한 개구(143)의 폭 D143을 상기 레지스트 마스크가 가지는 개구의 폭보다 크게 가공함으로써, 도 10의 (A) 등에 나타낸 트랜지스터(200C)를 제작할 수 있다. 개구(143)는 개구(141)의 형성에 사용한 레지스트 마스크와 다른 레지스트 마스크를 사용하여 형성하여도 좋다.

[0483] [도전층(222b)의 형성]

[0484] 이어서, 도전층(222B)을 원하는 형상으로 가공하여, 도전층(222b)을 형성한다(도 24의 (A)). 도전층(222b)의 형성에는 웨트 에칭법 및 드라이 에칭법 중 어느 한쪽 또는 양쪽을 사용할 수 있다. 도전층(222b)의 형성에는 예를 들어 웨트 에칭법을 적합하게 사용할 수 있다.

[0485] [반도체층(231)의 형성]

[0486] 이어서 개구(141) 및 개구(143)를 덮도록 반도체층(231)이 되는 금속 산화물막(231f)을 형성한다(도 24의 (B)). 금속 산화물막(231f)은 도전층(222b)의 상면 및 측면, 절연층(210)의 상면 및 측면, 그리고 도전층(222a)의 상면과 접촉하여 제공된다.

[0487] 금속 산화물막(231f)은 금속 산화물 타깃을 사용한 스퍼터링법에 의하여 형성하는 것이 바람직하다.

[0488] 금속 산화물막(231f)은 가능한 한 결함이 적은, 치밀한 막인 것이 바람직하다. 또한 금속 산화물막(231f)은 수소 원소를 포함한 불순물이 가능한 한 감소된, 순도가 높은 막인 것이 바람직하다. 특히 금속 산화물막(231f)으로서는 결정성을 가지는 금속 산화물막을 사용하는 것이 바람직하다.

[0489] 금속 산화물막(231f)의 형성 시에는 산소 가스를 사용하는 것이 바람직하다. 금속 산화물막(231f)의 형성 시에 산소 가스를 사용함으로써, 절연층(210) 내에 산소를 적합하게 공급할 수 있다. 예를 들어 절연층(210a)에 산화물 또는 산화질화물을 사용하는 경우, 절연층(210a) 내에 산소를 적합하게 공급할 수 있다.

[0490] 절연층(210a)에 산소를 공급함으로써, 나중의 공정에서 반도체층(231)에 산소가 공급되어, 반도체층(231) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있다.

[0491] 금속 산화물막(231f)의 성막 시에 산소 가스와 불활성 가스(예를 들어 헬륨 가스, 아르곤 가스, 제논 가스 등)를 혼합하여도 좋다. 또한 금속 산화물막(231f)의 성막 시에 산소 유량비 또는 산소 분압이 높을수록 금속 산화물막(231f)의 결정성을 높일 수 있어, 신뢰성이 높은 트랜지스터를 실현할 수 있다. 한편, 산소 유량비 또는 산소 분압이 낮을수록 금속 산화물막(231f)의 결정성이 저하되므로, 온 전류가 큰 트랜지스터로 할 수 있다.

[0492] 금속 산화물막(231f)의 형성 시의 기판 온도가 높을수록 결정성이 높고 치밀한 금속 산화물막으로 할 수 있다. 한편, 기판 온도가 낮을수록 결정성이 낮고 전기 전도성이 높은 금속 산화물막(231f)으로 할 수 있다.

[0493] 금속 산화물막(231f)의 형성 시의 기판 온도는 실온 이상 250℃ 이하인 것이 바람직하고, 실온 이상 200℃ 이하인 것이 더 바람직하고, 실온 이상 140℃ 이하인 것이 더 바람직하다. 예를 들어 기판 온도를 실온 이상 140℃ 미만으로 하면, 생산성이 높아지므로 바람직하다. 또한 실온으로 설정한 기판 온도 또는 기판을 가열하지 않는 상태에서 금속 산화물막(231f)을 성막함으로써, 결정성을 저하시킬 수 있다.

[0494] 금속 산화물막(231f)을 성막하기 전에, 절연층(210)의 표면에 흡착된 물, 수소, 및 유기물 등을 이탈시키기 위한 처리 및 절연층(210) 내에 산소를 공급하는 처리 중 적어도 한쪽을 수행하는 것이 바람직하다. 예를 들어

감압 분위기에 있어서 70℃ 이상 200℃ 이하의 온도에서 가열 처리를 수행할 수 있다. 또는 산소를 포함한 분위기에서 플라스마 처리를 수행하여도 좋다. 또는 일산화 이질소(N_2O) 등의 산화성 기체를 포함한 분위기에서 플라스마 처리를 수행함으로써, 절연층(210)에 산소를 공급하여도 좋다. 일산화 이질소 가스를 포함한 플라스마 처리를 수행하면, 절연층(210)의 표면의 유기물을 적합하게 제거하면서 산소를 공급할 수 있다. 이러한 처리를 수행한 후, 절연층(210)의 표면을 대기에 노출시키지 않고 연속적으로 금속 산화물막(231f)을 성막하는 것이 바람직하다.

[0495] 또한 반도체층(231)을 적층 구조로 하는 경우에는, 먼저 형성하는 금속 산화물막을 성막한 후에, 그 표면을 대기에 노출시키지 않고 연속적으로 다음 금속 산화물막을 성막하는 것이 바람직하다.

[0496] 이어서, 금속 산화물막(231f)을 섬 형상으로 가공하여, 반도체층(231)을 형성한다(도 24의 (C)).

[0497] 반도체층(231)의 형성에는 웨트 에칭법 및 드라이 에칭법 중 어느 한쪽 또는 양쪽을 사용할 수 있다. 반도체층(231)의 형성에는 예를 들어 웨트 에칭법을 적합하게 사용할 수 있다. 이때, 반도체층(231)과 중첩되지 않은 영역의 도전층(222b)의 일부가 에칭되어 얇아지는 경우가 있다. 이와 마찬가지로, 반도체층(231) 및 도전층(222b) 모두와 중첩되지 않은 영역의 절연층(210)의 일부가 에칭되어 막 두께가 얇아지는 경우가 있다. 예를 들어 절연층(210)의 절연층(210b)이 에칭에 의하여 소실되어, 절연층(210a)의 표면이 노출되는 경우도 있다. 또한 금속 산화물막(231f)의 에칭에서, 절연층(210b)에 선택비가 높은 재료를 사용함으로써, 절연층(210b)의 막 두께가 얇아지는 것을 억제할 수 있다.

[0498] 금속 산화물막(231f)을 성막한 후 또는 금속 산화물막(231f)을 반도체층(231)으로 가공한 후에 가열 처리를 수행하는 것이 바람직하다. 가열 처리에 의하여, 금속 산화물막(231f) 또는 반도체층(231) 내에 포함되거나 표면에 흡착된 수소 또는 물을 제거할 수 있다. 또한 가열 처리에 의하여, 금속 산화물막(231f) 또는 반도체층(231)의 막질이 향상되는(예를 들어 결함의 저감, 결정성의 향상 등) 경우가 있다.

[0499] 가열 처리에 의하여, 절연층(210a)으로부터 금속 산화물막(231f) 또는 반도체층(231)에 산소를 공급할 수도 있다. 또한 가열 처리는 반도체층(231)으로 가공하기 전에 수행되는 것이 더 바람직하다. 가열 처리에 대해서는 앞의 기재를 참조할 수 있으므로 자세한 설명은 생략한다.

[0500] 또한 상기 가열 처리는 불필요하면 수행하지 않아도 된다. 또한 여기서는 가열 처리를 수행하지 않고, 나중의 공정에서 수행되는 가열 처리가 여기서의 가열 처리로서 기능하여도 좋다. 또한 나중의 공정에서의 고온하에서의 처리(예를 들어 성막 공정 등) 등이 여기서의 가열 처리로서 기능할 수 있는 경우도 있다.

[0501] [절연층(225)의 형성]

[0502] 이어서, 반도체층(231), 도전층(222b), 및 절연층(210)을 덮어, 절연층(225)을 형성한다. 절연층(225)의 형성에는 PECVD법을 적합하게 사용할 수 있다.

[0503] 반도체층(231)에 산화물 반도체를 사용하는 경우, 절연층(225)은 산소가 확산되는 것을 억제하는 배리어막으로서 기능하는 것이 바람직하다. 절연층(225)이 산소의 확산을 억제하는 기능을 가짐으로써, 산소가 절연층(225)보다 위쪽으로부터 도전층(223)으로 확산되는 것이 억제되어, 도전층(223)이 산화되는 것을 억제할 수 있다. 그 결과, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0504] 게이트 절연층으로서 기능하는 절연층(225) 형성 시의 온도를 높게 함으로써 결함이 적은 절연층으로 할 수 있다. 그러나 절연층(225) 형성 시의 온도가 높으면, 반도체층(231)에서 산소가 이탈되어 반도체층(231) 내의 산소 결손(V_O) 및 V_OH가 증가하는 경우가 있다. 절연층(225) 형성 시의 기판 온도는 180℃ 이상 450℃ 이하인 것이 바람직하고, 200℃ 이상 450℃ 이하인 것이 더 바람직하고, 250℃ 이상 450℃ 이하인 것이 더 바람직하고, 300℃ 이상 450℃ 이하인 것이 더 바람직하고, 300℃ 이상 400℃ 이하인 것이 더 바람직하다. 절연층(225) 형성 시의 기판 온도를 상술한 범위로 함으로써, 절연층(225)의 결함을 적게 하면서, 반도체층(231)으로부터의 산소의 이탈을 억제할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0505] 절연층(225)을 형성하기 전에 반도체층(231)의 표면에 대하여 플라스마 처리를 수행하여도 좋다. 상기 플라스마 처리에 의하여, 반도체층(231)의 표면에 흡착된 물 등의 불순물을 감소시킬 수 있다. 그러므로 반도체층(231)과 절연층(225)의 계면에서의 불순물을 감소시킬 수 있기 때문에, 신뢰성이 높은 트랜지스터를 실현할 수 있다. 특히 반도체층(231)의 형성부터 절연층(225)의 형성까지의 기간에 반도체층(231)의 표면이 대기에 노출되는 경우에는 적합하다. 플라스마 처리는 예를 들어 산소, 오존, 질소, 일산화 이질소, 아르곤 등의 분위기에서 수행할 수 있다. 또한 플라스마 처리와 절연층(225)의 성막은 대기에 노출시키지 않고 연속적으로 수행되는

것이 바람직하다.

[0506] [도전층(223)의 형성]

[0507] 다음으로, 절연층(225) 위에 도전층(223)이 되는 도전막을 형성한다. 상기 도전막의 형성에는 예를 들어 스퍼터링법을 적합하게 사용할 수 있다. 상기 도전막 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성한 후, 상기 도전막을 가공함으로써, 게이트 전극으로서 기능하는 섬 형상의 도전층(223)을 형성한다(도 24의 (D)).

[0508] 상기 공정을 거쳐 트랜지스터(205R)를 제작할 수 있다. 트랜지스터(205G) 및 트랜지스터(205B)는 트랜지스터(205R)와 같은 공정을 거쳐 동일 기판 위에 형성할 수 있다.

[0509] 이후에 대해서는 도 25의 (A) 내지 도 37의 (B)를 사용하여 설명한다. 도 25의 (A) 내지 도 37의 (B)에는 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)를 나타내었다. 또한 도 19에 나타낸 일점쇄선 X1-X2 간의 단면도와 일점쇄선 Y1-Y2 간의 단면도를 나란히 나타내었다.

[0510] [절연층(218), 절연층(235), 절연층(239)의 형성]

[0511] 이어서, 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)를 덮어 절연층(218)이 되는 절연막(218f)을 형성한다(도 25의 (A)).

[0512] 절연막(218f) 형성 시의 온도를 높게 함으로써 불순물(예를 들어 물 및 수소)에 대한 차단성을 높일 수 있다. 그러나 절연막(218f) 형성 시의 온도가 높으면, 반도체층(231)에서 산소가 이탈되어 반도체층(231) 내의 산소 결손(V_O) 및 V_OH가 증가하는 경우가 있다. 절연막(218f) 형성 시의 기판 온도는 180℃ 이상 450℃ 이하인 것이 바람직하고, 200℃ 이상 450℃ 이하인 것이 더 바람직하고, 250℃ 이상 450℃ 이하인 것이 더 바람직하고, 300℃ 이상 450℃ 이하인 것이 더 바람직하고, 300℃ 이상 400℃ 이하인 것이 더 바람직하다. 절연막(218f) 형성 시의 기판 온도를 상술한 범위로 함으로써, 절연층(218)의 차단성을 높이면서, 반도체층(231)으로부터의 산소의 이탈을 억제할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0513] 절연막(218f)을 형성한 후에 가열 처리를 수행하여도 좋다. 가열 처리를 수행함으로써, 절연막(218f)의 표면 및 막 내에서 물 및 수소를 이탈시킬 수 있다. 가열 처리에 대해서는 앞의 기재를 참조할 수 있으므로 자세한 설명은 생략한다.

[0514] 또한 상기 가열 처리는 불필요하면 수행하지 않아도 된다. 또한 여기서는 가열 처리를 수행하지 않고, 나중의 공정에서 수행되는 가열 처리가 여기서의 가열 처리로서 기능하여도 좋다. 또한 나중의 공정에서의 고온하에서의 처리(예를 들어 성막 공정 등)가 여기서의 가열 처리로서 기능할 수 있는 경우도 있다.

[0515] 이어서, 절연층(225) 및 절연막(218f)의 일부를 에칭함으로써, 개구(191)를 형성한다(도 25의 (B)). 개구(191)는 트랜지스터(205R)가 가지는 도전층(222b)과 중첩되는 영역, 트랜지스터(205G)가 가지는 도전층(222b)과 중첩되는 영역, 및 트랜지스터(205B)가 가지는 도전층(222b)과 중첩되는 영역에 제공된다. 개구(191)에 있어서, 도전층(222b)이 노출된다.

[0516] 이어서, 개구(193)를 가지는 절연층(235)을 절연층(218) 위에 형성한다(도 25의 (C)). 개구(193)는 트랜지스터(205R)가 가지는 도전층(222b)과 중첩되는 영역, 트랜지스터(205G)가 가지는 도전층(222b)과 중첩되는 영역, 및 트랜지스터(205B)가 가지는 도전층(222b)과 중첩되는 영역에 제공된다.

[0517] 예를 들어 절연층(235)이 되는 막에 감광성 유기 재료를 사용하는 경우, 유기 재료를 포함한 조성물을 스핀 코팅법에 의하여 도포한 후, 선택적으로 노광, 현상을 수행함으로써 절연층(235)을 형성할 수 있다. 감광성 유기 재료를 사용하는 경우, 포지티브형 감광성 수지를 사용하여도 좋고 네거티브형 감광성 수지를 사용하여도 좋다. 노광에 사용되는 광은 i선을 포함하는 것이 바람직하다. 또한 노광에 사용되는 광은 g선 및 h선 중 적어도 한쪽을 포함하여도 좋다. 노광량을 조정함으로써 개구의 폭을 제어할 수 있다. 이 외의 형성 방법으로서는, 스퍼터링법, 증착법, 액적 토출법(잉크젯법), 스크린 인쇄, 및 오프셋 인쇄 중 하나 또는 복수를 사용하여도 좋다.

[0518] 절연층(235)을 형성한 후에 가열 처리를 수행하는 것이 바람직하다. 절연층(235)에 유기 재료를 사용하는 경우에는, 가열 처리에 의하여 유기 재료를 경화시킬 수 있다.

[0519] 가열 처리의 온도는 유기 재료의 내열 온도 미만인 것이 바람직하다. 예를 들어 가열 처리의 온도는 150℃ 이상 350℃ 이하인 것이 바람직하고, 180℃ 이상 300℃ 이하인 것이 더 바람직하고, 200℃ 이상 270℃ 이하인 것

이 더 바람직하고, 200℃ 이상 250℃ 이하인 것이 더 바람직하고, 220℃ 이상 250℃ 이하인 것이 더 바람직하다.

[0520] 가열 처리는 비활성 기체 또는 질소를 포함한 분위기에서 수행할 수 있다. 또는 건조 공기 분위기에서 가열하여도 좋다. 또한 상기 가열 처리의 분위기에 수소, 물 등이 가능한 한 포함되지 않는 것이 바람직하다. 상기 가열 처리에는 전기로 또는 RTA 장치 등을 사용할 수 있다.

[0521] 이어서, 절연층(235)을 덮도록, 절연층(239)이 되는 절연막(239f)을 형성한다(도 26의 (A)). 절연층(239)은 층(113), 마스크층(118), 및 마스크층(119)을 형성할 때 에칭 보호막으로서 기능할 수 있다.

[0522] 절연막(239f) 형성 시의 온도를 높게 함으로써, 에칭 내성이 높은 절연층(239)으로 할 수 있다. 그러나 절연막(239f) 형성 시의 온도가 높으면, 반도체층(231)에서 산소가 이탈되어 반도체층(231) 내의 산소 결손(V_O) 및 V_OH가 증가하는 경우가 있다. 절연막(239f) 형성 시의 기판 온도는 180℃ 이상 450℃ 이하인 것이 바람직하고, 200℃ 이상 450℃ 이하인 것이 더 바람직하고, 250℃ 이상 450℃ 이하인 것이 더 바람직하고, 300℃ 이상 450℃ 이하인 것이 더 바람직하고, 300℃ 이상 400℃ 이하인 것이 더 바람직하다. 절연막(239f) 형성 시의 기판 온도를 상술한 범위로 함으로써, 절연층(239)의 에칭 내성을 높이면서, 반도체층(231)으로부터의 산소의 이탈을 억제할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0523] 이어서, 절연막(239f)을 가공함으로써, 개구(195)를 가지는 절연층(239)을 형성한다(도 26의 (B)). 절연막(239f)의 가공에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용하면 좋고, 개구(195)는 도전층(222b)과 중첩되는 영역에 형성한다.

[0524] [화소 전극(111R), 화소 전극(111G), 화소 전극(111B), 및 도전층(123)의 형성]

[0525] 이어서, 도전층(124R), 도전층(124G), 도전층(124B), 및 도전층(124p)이 되는 도전막을 형성하고, 상기 도전막을 가공함으로써, 도전층(124R), 도전층(124G), 도전층(124B), 및 도전층(124p)을 형성한다(도 27의 (A)). 상기 도전막의 가공에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용하면 좋다. 상기 도전막을 가공할 때, 절연층(239)의 일부가 제거되는 경우가 있다. 예를 들어 도전층(124R), 도전층(124G), 및 도전층(124B) 모두와 중첩되지 않는 영역의 절연층(239)의 막 두께가, 도전층(124R), 도전층(124G), 및 도전층(124B) 중 어느 것과 중첩되는 영역의 절연층(239)의 막 두께보다 얇아도 좋다.

[0526] 이어서, 절연층(239), 도전층(124R), 도전층(124G), 도전층(124B), 및 도전층(124p)을 덮도록, 층(128)이 되는 막(128f)을 형성한다(도 27의 (B)).

[0527] 막(128f)에 감광성 유기 재료를 사용하는 경우, 유기 재료를 포함한 조성물을 스핀 코팅법에 의하여 도포한 후, 선택적으로 노광, 현상을 수행함으로써 층(128)을 형성할 수 있다. 감광성 유기 재료를 사용하는 경우, 포지티브형 감광성 수지를 사용하여도 좋고 네거티브형 감광성 수지를 사용하여도 좋다. 노광에 사용되는 광은 i선을 포함하는 것이 바람직하다. 또한 노광에 사용되는 광은 g선 및 h선 중 적어도 한쪽을 포함하여도 좋다. 노광량을 조정함으로써 개구의 폭을 제어할 수 있다. 이 외의 형성 방법으로서는, 스퍼터링법, 증착법, 액적 토출법(잉크젯법), 스크린 인쇄, 및 오프셋 인쇄 중 하나 또는 복수를 사용하여도 좋다.

[0528] 도 27의 (B)에는, 막(128f)에 감광성 유기 재료를 사용하고, 도전층(222b)과 중첩되지 않은 영역을 노광하는 상태를 모식적으로 나타내었다. 도 27의 (B)에서, 광을 화살표로 나타내고, 층(128)이 형성되지 않은 영역은 노광되고, 층(128)이 형성된 영역은 마스크(132c)에 의하여 차광된다. 이때 노광량을 조절함으로써, 층(128)의 형상을 제어할 수 있다.

[0529] 이어서, 현상을 수행하여, 막(128f)의 노광된 영역을 제거하여, 층(128)을 형성한다(도 28의 (A)).

[0530] 층(128)을 형성한 후에 가열 처리를 수행하는 것이 바람직하다. 가열 처리의 온도는 유기 재료의 내열 온도 미만인 것이 바람직하다. 예를 들어 가열 처리의 온도는 150℃ 이상 350℃ 이하인 것이 바람직하고, 180℃ 이상 300℃ 이하인 것이 더 바람직하고, 200℃ 이상 270℃ 이하인 것이 더 바람직하고, 200℃ 이상 250℃ 이하인 것이 더 바람직하고, 220℃ 이상 250℃ 이하인 것이 더 바람직하다. 가열 처리는 비활성 기체 또는 질소를 포함한 분위기에서 수행할 수 있다. 또는 건조 공기 분위기에서 가열하여도 좋다. 또한 상기 가열 처리의 분위기에 수소, 물 등이 가능한 한 포함되지 않는 것이 바람직하다. 상기 가열 처리에는 전기로 또는 RTA 장치 등을 사용할 수 있다.

[0531] 이어서, 절연층(239), 도전층(124R), 도전층(124G), 도전층(124B), 도전층(124p), 및 층(128)을 덮도록, 도전

층(126R), 도전층(126G), 도전층(126B), 및 도전층(126p)이 되는 도전막(126f)을 형성한다(도 28의 (B)).

[0532] 여기서, 도전막(126f)은 절연층(239), 도전층(124R), 도전층(124G), 도전층(124B), 도전층(124p), 및 층(128) 위에 제공된다. 도전막(126f)과 이들 막의 밀착성이 낮은 경우에는, 이들이 박리되는 경우가 있다. 도전막(126f)에 적용하는 재료는 피형성면과의 밀착성이 높은 재료를 적용하는 것이 바람직하다. 예를 들어 은과 팔라듐과 구리의 합금(APC)은 무기 재료를 가지는 절연층과의 밀착성이 낮아, 상기 절연층 위에 제공되면, 이들이 박리될 우려가 있다. 그러므로 절연층(239)에 무기 재료를 사용하는 경우에는, 도전막(126f)의 절연층(239)과 접하는 측에 절연층(239)과의 밀착성이 높은 재료를 적용하는 것이 바람직하다. 예를 들어 도전막(126f)으로서, In-Si-Sn 산화물(ITSO)과, In-Si-Sn 산화물(ITSO) 위의 은과 팔라듐과 구리의 합금(APC)의 적층 구조를 적합하게 사용할 수 있다. 도전막(126f)의 절연층(239)과 접하는 측의 층을 In-Si-Sn 산화물(ITSO)로 함으로써 절연층(239)에 무기 재료를 사용하는 경우에도 도전막(126f)의 박리를 억제할 수 있다.

[0533] 또한 절연층(239)을 제공하지 않고, 도전막(126f)이 절연층(235), 도전층(124R), 도전층(124G), 도전층(124B), 도전층(124p), 및 층(128) 위에 제공되는 구성으로 하여도 좋다. 절연층(235)에 유기 재료를 사용하는 경우, 도전막(126f)으로서 은과 팔라듐과 구리의 합금(APC)의 단층 구조를 사용할 수 있다.

[0534] 이어서, 도전막(126f)을 가공하여 도전층(126R), 도전층(126G), 도전층(126B), 및 도전층(126p)을 형성한다(도 29의 (A)). 도전막(126f)의 가공에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용하면 좋다.

[0535] 이어서, 도전층(129R), 도전층(129G), 도전층(129B), 및 도전층(129p)을 형성한다. 여기서는, 도전층(129R), 도전층(129G), 및 도전층(129B)을 적층 구조로 하고, 도전층(129p)을 단층 구조로 하는 제작 방법을 나타낸다. 또한 본 발명의 일 형태는 이에 한정되지 않는다. 도전층(129R), 도전층(129G), 및 도전층(129B)을 단층 구조로 하여도 좋고 적층 구조로 하여도 좋다. 또한 도전층(129p)을 단층 구조로 하여도 좋고 적층 구조로 하여도 좋다.

[0536] 절연층(239), 도전층(124R), 도전층(124G), 도전층(124B), 도전층(124p), 도전층(126R), 도전층(126G), 도전층(126B), 및 도전층(126p)을 덮도록, 도전층(129R), 도전층(129G), 및 도전층(129B)의 일부가 되는 도전막(129af)을 형성한다(도 29의 (B)).

[0537] 이어서, 도전막(129af)을 가공하여 도전층(129aR), 도전층(129aG), 및 도전층(129aB)을 형성한다(도 30의 (A)). 도전막(129af)의 가공에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용하면 좋다.

[0538] 이어서, 절연층(239), 도전층(124R), 도전층(124G), 도전층(124B), 도전층(124p), 도전층(126R), 도전층(126G), 도전층(126B), 도전층(129aR), 도전층(129aG), 도전층(129aB), 및 도전층(126p)을 덮도록, 도전층(129R), 도전층(129G), 및 도전층(129B)의 일부, 그리고 도전층(129p)이 되는 도전막(129bf)을 형성한다(도 30의 (B)).

[0539] 이어서, 도전막(129bf)을 가공하여 도전층(129bR), 도전층(129bG), 도전층(129bB), 및 도전층(129p)을 형성한다(도 31의 (A)). 도전막(129bf)의 가공에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용하면 좋다.

[0540] 이에 의하여, 도전층(129aR)과 도전층(129bR)의 적층 구조를 가지는 도전층(129R), 도전층(129aG)과 도전층(129bG)의 적층 구조를 가지는 도전층(129G), 도전층(129aB)과 도전층(129bB)의 적층 구조를 가지는 도전층(129B)을 형성할 수 있다. 또한 도전층(129p)의 막 두께를 도전층(129R), 도전층(129G), 및 도전층(129B)의 막 두께보다 얇게 할 수 있다. 이들 도전막의 형성에는 예를 들어 스퍼터링법 또는 진공 증착법을 사용할 수 있다.

[0541] 다음으로 화소 전극에 대하여 소수화 처리를 수행하는 것이 바람직하다. 소수화 처리는 처리 대상의 표면을 친수성으로부터 소수성으로 변화시키거나, 처리 대상의 표면의 소수성을 높일 수 있다. 화소 전극에 대하여 소수화 처리를 수행함으로써, 화소 전극과 나중의 공정에서 형성되는 막(여기서는 막(113Rf))의 밀착성을 높여 이들이 박리되는 것을 억제할 수 있다. 또한 소수화 처리는 수행하지 않아도 된다.

[0542] 소수화 처리는 예를 들어 화소 전극에 대한 플루오린 수식에 의하여 수행할 수 있다. 플루오린 수식은 예를 들어 플루오린을 포함하는 가스에 의한 처리 또는 가열 처리, 플루오린을 포함하는 가스 분위기에서의 플라스마 처리 등에 의하여 수행할 수 있다. 플루오린을 포함하는 가스로서 예를 들어 플루오린 가스를 사용할 수 있고, 예를 들어 플루오로 카본 가스를 사용할 수 있다. 플루오로 카본 가스로서 예를 들어 사플루오린화 탄소(CF_4) 가스, C_4F_6 가스, C_2F_6 가스, C_4F_8 가스, C_5F_8 등의 저급 플루오린화 탄소 가스를 사용할 수 있다. 또한 플루오린

을 포함하는 가스로서 예를 들어 SF_6 가스, NF_3 가스, CHF_3 가스 등을 사용할 수 있다. 또한 이들 가스에 헬륨 가스, 아르곤 가스, 또는 수소 가스 등을 적절히 첨가할 수 있다.

[0543] 화소 전극의 표면에 대하여 아르곤 등의 18족 원소를 포함하는 가스 분위기에서의 플라스마 처리를 수행한 후, 실릴화제를 사용한 처리를 수행함으로써 화소 전극의 표면을 소수화할 수 있다. 실릴화제로서 헥사메틸다이실라잔(HMDS), 트라이메틸실릴이미다졸(TMSI) 등을 사용할 수 있다. 또한 화소 전극의 표면에 대하여 아르곤 등의 18족 원소를 포함하는 가스 분위기에서의 플라스마 처리를 수행한 후, 실레인 커플링제를 사용한 처리를 수행함으로써도, 화소 전극의 표면을 소수화할 수 있다.

[0544] 화소 전극의 표면에 대하여 아르곤 등의 18족 원소를 포함하는 가스 분위기에서의 플라스마 처리를 수행함으로써, 화소 전극의 표면에 대하여 대미지를 줄 수 있다. 이에 의하여, HMDS 등의 실릴화제에 포함되는 메틸기가 화소 전극의 표면에 결합되기 쉬워진다. 또한 실레인 커플링제에 의한 실레인 커플링이 발생하기 쉬워진다. 이상에 의하여, 화소 전극의 표면에 대하여 아르곤 등의 18족 원소를 포함하는 가스 분위기에서의 플라스마 처리를 수행한 후, 실릴화제 또는 실레인 커플링제를 사용한 처리를 수행함으로써, 화소 전극의 표면을 소수화할 수 있다.

[0545] 실릴화제 또는 실레인 커플링제 등을 사용한 처리는 예를 들어 스핀 코팅법 또는 디핑법 등을 사용하여 실릴화제 또는 실레인 커플링제 등을 도포하는 것에 의하여 수행할 수 있다. 또한 실릴화제 또는 실레인 커플링제 등을 사용한 처리는 예를 들어 기상법을 사용하여 화소 전극 위 등에 실릴화제를 가지는 막 또는 실레인 커플링제를 가지는 막 등을 형성함으로써 수행할 수 있다. 기상법에서는 우선 실릴화제를 포함하는 재료 또는 실레인 커플링제를 가지는 재료 등을 휘발시킴으로써 실릴화제 또는 실레인 커플링제 등을 분위기 중에 포함시킨다. 이어서, 상기 분위기 중에 화소 전극 등이 형성되어 있는 기판을 둔다. 이에 의하여, 화소 전극 위에 실릴화제 또는 실레인 커플링제 등을 가지는 막을 형성할 수 있어, 화소 전극의 표면을 소수화할 수 있다.

[0546] [층(113R), 층(113G), 층(113B)의 형성]

[0547] 이어서, 층(113R), 층(113G), 및 층(113B)을 형성한다. 여기서는, 층(113R), 층(113G), 층(113B)의 순서로 형성하는 방법을 나타내지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 층(113R), 층(113G), 및 층(113B)이 포함하는 재료의 내열성이 높은 순으로 형성할 수 있다. 제일 먼저 형성되는 층은 다른 층의 형성 공정도 거치기 때문에 내열성이 높은 것이 바람직하다. 내열성이 낮은 재료를 포함하는 층을 제일 마지막에 형성함으로써 공정 시에 받는 대미지를 줄일 수 있다.

[0548] 층(113R)이 되는 막(113Rf)을 화소 전극(111) 위에 형성한다.

[0549] 다음으로 막(113Rf) 위 및 도전층(123) 위에 마스크층(118R)이 되는 마스크막(118Rf)과, 마스크층(119R)이 되는 마스크막(119Rf)을 이 순서대로 형성한다.

[0550] 이어서, 마스크막(119Rf) 위에 레지스트 마스크(190a)를 형성한다(도 31의 (B)).

[0551] 도 31의 (B)에 나타낸 바와 같이, 일점쇄선 Y1-Y2 간의 단면도에서 도전층(123) 위에는 막(113Rf)을 형성하지 않는다. 예를 들어 에어리어 마스크를 사용함으로써, 막(113Rf)을 원하는 영역에만 성막할 수 있다. 에어리어 마스크를 사용한 성막 공정과 레지스트 마스크를 사용한 가공 공정을 채용함으로써 비교적 간단한 공정으로 발광 디바이스를 제작할 수 있다.

[0552] 막(113Rf)에 포함되는 화합물의 내열 온도는 각각 100℃ 이상 180℃ 이하인 것이 바람직하고, 120℃ 이상 180℃ 이하인 것이 더 바람직하고, 140℃ 이상 180℃ 이하인 것이 더 바람직하다. 이 경우, 발광 디바이스의 신뢰성을 높일 수 있다. 또한 표시 장치의 제작 공정에서 가해지는 온도의 상한을 높일 수 있다. 따라서 표시 장치에 사용되는 재료 및 형성 방법의 선택의 폭을 넓힐 수 있어, 제조 수율 및 신뢰성을 향상시킬 수 있다.

[0553] 막(113Rf)은 예를 들어 증착법, 구체적으로는 진공 증착법에 의하여 형성할 수 있다. 또한 막(113Rf)은 전사법, 인쇄법, 잉크젯법, 또는 도포법 등의 방법으로 형성하여도 좋다.

[0554] 또한 본 실시형태에서는 마스크막이 마스크막(118Rf)과 마스크막(119Rf)의 2층 구조를 가지도록 형성되는 예에 대하여 설명하지만, 마스크막은 마스크막(118Rf) 또는 마스크막(119Rf)의 단층 구조를 가져도 좋고, 3층 이상의 적층 구조를 가져도 좋다.

[0555] 막(113Rf) 위에 마스크층을 제공함으로써, 표시 장치의 제작 공정 중에 막(113Rf)이 받는 대미지를 저감하여 발광 디바이스의 신뢰성을 높일 수 있다.

[0556] 마스크막(118Rf)으로서는, 막(113Rf)의 가공 조건에 대한 내성이 높은 막, 구체적으로는 막(113Rf)에 대한 에칭 선택비가 높은 막을 사용한다. 마스크막(119Rf)에는, 마스크막(118Rf)에 대한 에칭 선택비가 높은 막을 사용한다.

[0557] 마스크막(118Rf) 및 마스크막(119Rf)은 막(113Rf)의 내열 온도보다 낮은 온도에서 형성한다. 마스크막(118Rf) 및 마스크막(119Rf)을 형성할 때의 기판 온도는 각각 200℃ 이하가 바람직하고, 150℃ 이하가 더 바람직하고, 120℃ 이하가 더 바람직하고, 100℃ 이하가 더 바람직하고, 80℃ 이하가 더 바람직하다.

[0558] 내열 온도의 지표로서는, 예를 들어 유리 전이 온도, 연화점, 융점, 열분해 온도, 및 5% 중량 감소 온도 등이 있다. 층(113R), 층(113G), 및 층(113B)의 내열 온도는 상술한 내열 온도의 지표가 되는 온도 중 어느 것, 바람직하게는 이들 중 가장 낮은 온도로 할 수 있다.

[0559] 상술한 바와 같이, 본 발명의 일 형태의 표시 장치에서는 발광 디바이스에 내열성이 높은 재료를 사용한다. 따라서, 마스크막 형성 시의 기판 온도를 100℃ 이상, 120℃ 이상, 또는 140℃ 이상으로 할 수도 있다. 예를 들어 무기 절연막은 성막 시의 온도가 높을수록 더 치밀하고 배리어성이 더 높은 막이 될 수 있다. 따라서 이러한 온도에서 마스크막을 성막함으로써, 막(113Rf)이 받는 대미지를 더 저감할 수 있기 때문에, 발광 디바이스의 신뢰성을 높일 수 있다.

[0560] 마스크막(118Rf) 및 마스크막(119Rf)으로서는 웨트 에칭법에 의하여 제거할 수 있는 막을 사용하는 것이 바람직하다. 웨트 에칭법을 사용함으로써, 드라이 에칭법을 사용하는 경우에 비하여, 마스크막(118Rf) 및 마스크막(119Rf)의 가공 시에 막(113Rf)에 가해지는 대미지를 저감할 수 있다.

[0561] 마스크막(118Rf) 및 마스크막(119Rf)의 형성에는 예를 들어 스퍼터링법, ALD법(열 ALD법, PEALD법), CVD법, 진공 증착법을 사용할 수 있다. 또한 상술한 습식의 성막 방법을 사용하여 형성하여도 좋다.

[0562] 또한 막(113Rf) 위에 접하여 형성되는 마스크막(118Rf)은 마스크막(119Rf)보다 막(113Rf)에 대한 대미지가 적은 형성 방법을 사용하여 형성되는 것이 바람직하다. 예를 들어 마스크막(118Rf)은 스퍼터링법보다 ALD법 또는 진공 증착법을 사용하여 형성되는 것이 바람직하다.

[0563] 마스크막(118Rf) 및 마스크막(119Rf)으로서는 각각 예를 들어 금속막, 합금막, 금속 산화물막, 반도체막, 유기 절연막, 및 무기 절연막 등 중 1종류 또는 복수 종류를 사용할 수 있다.

[0564] 마스크막(118Rf) 및 마스크막(119Rf)에는 각각 예를 들어 금, 은, 백금, 마그네슘, 니켈, 텅스텐, 크로뮴, 몰리브데넘, 철, 코발트, 구리, 팔라듐, 타이타늄, 알루미늄, 이트륨, 지르코늄, 및 탄탈럼 등의 금속 재료, 또는 상기 금속 재료를 포함한 합금 재료를 사용할 수 있다. 특히 알루미늄 또는 은 등의 저융점 재료를 사용하는 것이 바람직하다. 마스크막(118Rf) 및 마스크막(119Rf) 중 한쪽 또는 양쪽에 자외선을 차폐할 수 있는 금속 재료를 사용함으로써, 막(113Rf)에 자외선이 조사되는 것을 억제하여 막(113Rf)의 열화를 억제할 수 있기 때문에 바람직하다.

[0565] 마스크막(118Rf) 및 마스크막(119Rf) 중 한쪽 또는 양쪽에 금속막 또는 합금막을 사용함으로써, 플라스마로 인한 대미지가 막(113Rf)에 가해지는 것을 억제하여 막(113Rf)의 열화를 억제할 수 있기 때문에 바람직하다. 구체적으로는 드라이 에칭법을 사용하는 공정 및 애싱을 수행하는 공정 등에서, 플라스마로 인한 대미지가 막(113Rf)에 가해지는 것을 억제할 수 있다. 특히 마스크막(119Rf)으로서 텅스텐막 등의 금속막 또는 합금막을 사용하는 것이 바람직하다.

[0566] 마스크막(118Rf) 및 마스크막(119Rf)에는 각각 In-Ga-Zn 산화물, 산화 인듐, In-Zn 산화물, In-Sn 산화물, 인듐 타이타늄 산화물(In-Ti 산화물), 인듐 주석 아연 산화물(In-Sn-Zn 산화물), 인듐 타이타늄 아연 산화물(In-Ti-Zn 산화물), 인듐 갈륨 주석 아연 산화물(In-Ga-Sn-Zn 산화물), 실리콘을 포함하는 인듐 주석 산화물 등의 금속 산화물을 사용할 수 있다.

[0567] 또한 상기 갈륨 대신에 원소 M(M은 알루미늄, 실리콘, 붕소, 이트륨, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘에서 선택된 1종류 또는 복수 종류)을 사용하여도 좋다. 특히 M은 갈륨, 알루미늄, 및 이트륨에서 선택된 1종류 또는 복수 종류로 하는 것이 바람직하다.

[0568] 마스크막으로서는 광, 특히 자외선에 대하여 차광성을 가지는 재료를 포함한 막을 사용할 수 있다. 예를 들어 자외선에 대하여 반사성을 가지는 막, 또는 자외선을 흡수하는 막을 사용할 수 있다. 차광성을 가지는 재료로서는 자외선에 대하여 차광성을 가지는 금속, 절연체, 반도체, 및 반금속 등 다양한 재료를 사용할 수 있지만,

상기 마스크막의 일부 또는 모두는 나중의 공정에서 제거하기 때문에 에칭에 의한 가공이 가능한 막인 것이 바람직하고, 특히 가공성이 양호한 것이 바람직하다.

[0569] 예를 들어 반도체 제조 공정과의 친화성이 높은 재료로서, 실리콘 또는 저마늄 등의 반도체 재료를 사용할 수 있다. 또는 상기 반도체 재료의 산화물 또는 질화물을 사용할 수 있다. 또는 탄소 등의 비금속 재료 또는 그 화합물을 사용할 수 있다. 또는 타이타늄, 탄탈럼, 텅스텐, 크로뮴, 알루미늄 등의 금속 또는 이들 중 하나 이상을 포함한 합금을 들 수 있다. 또는 산화 타이타늄 또는 산화 크로뮴 등 상기 금속을 포함한 산화물, 혹은 질화 타이타늄, 질화 크로뮴, 또는 질화 탄탈럼 등의 질화물을 사용할 수 있다.

[0570] 마스크막으로서, 자외선에 대하여 차광성을 가지는 재료를 포함한 막을 사용함으로써, 노광 공정 등에서 EL층에 자외선이 조사되는 것을 억제할 수 있다. EL층이 자외선으로 인하여 대미지를 받는 것을 억제함으로써, 발광 디바이스의 신뢰성을 높일 수 있다.

[0571] 또한 자외선에 대하여 차광성을 가지는 재료를 포함한 막을 후술하는 절연막(125f)에 사용하는 경우에도 같은 효과가 발휘된다.

[0572] 마스크막(118Rf) 및 마스크막(119Rf)으로서는 각각, 보호층(131)에 사용할 수 있는 각종 무기 절연막을 사용할 수 있다. 특히 산화 절연막은 질화 절연막에 비하여 막(113Rf)과의 밀착성이 높기 때문에 바람직하다. 예를 들어 마스크막(118Rf) 및 마스크막(119Rf)에는 각각 산화 알루미늄, 산화 하프늄, 산화 실리콘 등의 무기 절연 재료를 사용할 수 있다. 마스크막(118Rf) 및 마스크막(119Rf)으로서는 예를 들어 ALD법을 사용하여 산화 알루미늄막을 형성할 수 있다. ALD법을 사용하면 하지(특히 EL층)에 대한 대미지를 저감할 수 있기 때문에 바람직하다.

[0573] 예를 들어 마스크막(118Rf)으로서 ALD법을 사용하여 형성한 무기 절연막(예를 들어 산화 알루미늄막)을 사용하고, 마스크막(119Rf)으로서 스퍼터링법을 사용하여 형성한 무기막(예를 들어 In-Ga-Zn 산화물막, 실리콘막, 또는 텅스텐막)을 사용할 수 있다.

[0574] 또한 마스크막(118Rf)과 나중에 형성하는 절연층(125)의 양쪽에 같은 무기 절연막을 사용할 수 있다. 예를 들어 마스크막(118Rf)과 절연층(125)의 양쪽에 ALD법을 사용하여 형성한 산화 알루미늄막을 사용할 수 있다. 여기서 마스크막(118Rf)과 절연층(125)에 같은 성막 조건을 적용하여도 좋고, 서로 다른 성막 조건을 적용하여도 좋다. 예를 들어 마스크막(118Rf)을 절연층(125)과 같은 조건에서 성막함으로써, 마스크막(118Rf)을 물 및 산소 중 적어도 한쪽에 대한 배리어성이 높은 절연층으로 할 수 있다. 한편, 마스크막(118Rf)은 나중의 공정에서 대부분 또는 모두가 제거되는 층이기 때문에 가공이 용이한 것이 바람직하다. 그러므로 마스크막(118Rf)은 절연층(125)에 비하여 형성 시의 기판 온도가 낮은 조건에서 성막하는 것이 바람직하다.

[0575] 마스크막(118Rf) 및 마스크막(119Rf) 중 한쪽 또는 양쪽에 유기 재료를 사용하여도 좋다. 예를 들어 유기 재료로서, 적어도 막(113Rf)의 최상부에 위치하는 막에 대하여 화학적으로 안정된 용매에 용해될 수 있는 재료를 사용하여도 좋다. 특히 물 또는 알코올에 용해되는 재료를 적합하게 사용할 수 있다. 이러한 재료의 성막 시에는, 물 또는 알코올 등의 용매에 용해된 재료를 습식의 성막 방법에 의하여 도포한 후에, 용매를 증발시키기 위한 가열 처리를 수행하는 것이 바람직하다. 이때 감압 분위기하에서 가열 처리를 수행하면, 저온에서 용매를 단시간에 제거할 수 있기 때문에, 막(113Rf)에 대한 열적 대미지를 저감할 수 있어 바람직하다.

[0576] 마스크막(118Rf) 및 마스크막(119Rf)에는 각각 폴리바이닐알코올(PVA), 폴리바이닐뷰티랄, 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 알코올 가용성 폴리아마이드 수지, 또는 퍼플루오로폴리머 등의 플루오린 수지 등의 유기 수지를 사용하여도 좋다.

[0577] 예를 들어 마스크막(118Rf)으로서 증착법 및 상기 습식의 성막 방법 중 어느 것을 사용하여 형성한 유기막(예를 들어 PVA막)을 사용하고, 마스크막(119Rf)으로서 스퍼터링법을 사용하여 형성한 무기막(예를 들어 질화 실리콘막)을 사용할 수 있다.

[0578] 또한 본 발명의 일 형태의 표시 장치에는 마스크막의 일부가 마스크층으로서 잔존하는 경우가 있다.

[0579] 레지스트 마스크(190a)는 화소 전극(111R)과 중첩되는 위치에 제공한다. 레지스트 마스크(190a)는 도전층(123)과 중첩되는 위치에도 제공되는 것이 바람직하다. 이 경우, 도전층(123)이 표시 장치의 제작 공정 중에 대미지를 받는 것을 억제할 수 있다. 또한 도전층(123) 위에 레지스트 마스크(190a)를 제공하지 않아도 된다.

[0580] 다음으로 레지스트 마스크(190a)를 마스크로서 사용하여 마스크막(119Rf)의 일부를 제거함으로써 마스크층(119R)을 형성한다(도 32의 (A)). 마스크층(119R)은 화소 전극(111R) 위 및 도전층(123) 위에 잔존한다. 그

후, 레지스트 마스크(190a)를 제거한다(도 32의 (B)). 다음으로 마스크층(119R)을 마스크(하드 마스크라고도 함)로서 사용하여 마스크막(118Rf)의 일부를 제거함으로써 마스크층(118R)을 형성한다.

[0581] 마스크막(118Rf) 및 마스크막(119Rf)은 각각 웨트 에칭법 또는 드라이 에칭법에 의하여 가공할 수 있다. 마스크막(118Rf) 및 마스크막(119Rf)의 가공은 이방성 에칭에 의하여 수행하는 것이 바람직하다.

[0582] 웨트 에칭법을 사용함으로써, 드라이 에칭법을 사용하는 경우에 비하여, 마스크막(118Rf) 및 마스크막(119Rf)의 가공 시에 막(113Rf)에 가해지는 대미지를 저감할 수 있다. 웨트 에칭법을 사용하는 경우, 예를 들어 현상액, 수산화 테트라메틸 암모늄(TMAH: Tetramethylammonium hydroxide) 수용액, 희석된 플루오린화 수소산, 옥살산, 인산, 아세트산, 질산, 또는 이들 중 2개 이상을 포함한 혼합 용액 등을 사용하는 것이 바람직하다.

[0583] 마스크막(119Rf)을 가공할 때 막(113Rf)은 노출되지 않기 때문에, 마스크막(118Rf)의 가공보다 가공 방법의 선택의 폭이 넓다. 구체적으로는, 마스크막(119Rf)을 가공할 때 에칭 가스로서 산소를 포함한 가스를 사용한 경우에도, 막(113Rf)의 열화를 억제할 수 있다.

[0584] 마스크막(118Rf)을 가공할 때 드라이 에칭법을 사용하는 경우에는, 에칭 가스로서 산소를 포함한 가스를 사용하지 않으면 막(113Rf)의 열화를 억제할 수 있다. 드라이 에칭법을 사용하는 경우, 예를 들어 CF_4, C_4F_8, SF_6, CHF_3, Cl_2, H_2O, BCl_3, 또는 He 등의 비활성 기체를 포함한 가스를 에칭 가스로서 사용하는 것이 바람직하다.

[0585] 예를 들어 마스크막(118Rf)으로서 ALD법을 사용하여 형성한 산화 알루미늄막을 사용하는 경우, CHF_3과 He, 또는 CHF_3과 He와 CH_4를 사용하여 드라이 에칭법에 의하여 마스크막(118Rf)을 가공할 수 있다. 또한 마스크막(119Rf)으로서 스퍼터링법을 사용하여 형성한 In-Ga-Zn 산화물막을 사용하는 경우, 희석된 인산을 사용하여 웨트 에칭법에 의하여 마스크막(119Rf)을 가공할 수 있다. 또는 CH_4와 Ar를 사용하여 드라이 에칭법에 의하여 가공하여도 좋다. 또는 희석된 인산을 사용하여 웨트 에칭법에 의하여 마스크막(119Rf)을 가공할 수 있다. 또한 마스크막(119Rf)으로서 스퍼터링법을 사용하여 형성한 텅스텐막을 사용하는 경우, SF_6, CF_4와 O_2, 또는 CF_4와 Cl_2와 O_2를 사용하여 드라이 에칭법에 의하여 마스크막(119Rf)을 가공할 수 있다.

[0586] 레지스트 마스크(190a)는 예를 들어 산소 플라스마를 사용한 애싱 등에 의하여 제거할 수 있다. 또는 산소 가스와, CF_4, C_4F_8, SF_6, CHF_3, Cl_2, H_2O, BCl_3, 또는 He 등의 비활성 기체를 사용하여도 좋다. 또는 웨트 에칭에 의하여 레지스트 마스크(190a)를 제거하여도 좋다. 이때 마스크층(119R)이 가장 바깥쪽 면에 위치하고, 막(113Rf)은 노출되지 않기 때문에, 레지스트 마스크(190a)의 제거 공정에서 막(113Rf)이 대미지를 받는 것을 억제할 수 있다. 또한 레지스트 마스크(190a)의 제거 방법의 선택의 폭을 넓힐 수 있다.

[0587] 다음으로 막(113Rf)을 가공하여 층(113R)을 형성한다. 예를 들어 마스크층(119R) 및 마스크층(118R)을 하드 마스크로서 사용하여 막(113Rf)의 일부를 제거함으로써 층(113R)을 형성한다(도 33의 (A)).

[0588] 이에 의하여, 도 33의 (A)에 나타낸 바와 같이, 화소 전극(111R) 위에 층(113R), 마스크층(118R), 및 마스크층(119R)의 적층 구조가 잔존한다. 또한 화소 전극(111G) 및 화소 전극(111B)이 노출된다.

[0589] 여기서, 막(113Rf)을 가공할 때, 화소 전극(111G)의 표면 및 화소 전극(111B)의 표면은 에칭 가스 또는 에칭액에 노출된다. 한편, 화소 전극(111R)의 표면은 에칭 가스 또는 에칭액 등에 노출되지 않는다. 상술한 바와 같이, 처음에 형성되는 색의 발광 디바이스에서는, 화소 전극의 표면이 에칭 공정에 기인한 대미지를 받지 않기 때문에, 화소 전극과 EL층의 계면을 양호한 상태로 유지할 수 있다.

[0590] 막(113Rf)의 가공은 이방성 에칭에 의하여 수행하는 것이 바람직하다. 특히 이방성 드라이 에칭이 바람직하다. 또는 웨트 에칭을 사용하여도 좋다.

[0591] 드라이 에칭법에 의하여 막(113Rf)을 가공할 때, 노출된 면은 플라스마에 노출된다. 마스크층(118R) 및 마스크층(119R) 중 한쪽 또는 양쪽에 금속막 또는 합금막을 사용함으로써, 막(113Rf)에서 층(113R)이 되는 영역에 플라스마로 인한 대미지가 가해지는 것을 억제할 수 있어 층(113R)의 열화를 억제할 수 있기 때문에 바람직하다. 특히 마스크층(119R)으로서 텅스텐막 등의 금속막 또는 합금막을 사용하는 것이 바람직하다.

[0592] 드라이 에칭법을 사용하는 경우에는, 에칭 가스로서 산소를 포함한 가스를 사용하지 않으면 막(113Rf)의 열화를 억제할 수 있다.

[0593] 에칭 가스로서 산소를 포함한 가스를 사용하여도 좋다. 에칭 가스가 산소를 포함하면 에칭 속도를 높일 수 있

다. 따라서 충분히 빠른 에칭 속도를 유지하면서 낮은 파워로 에칭을 수행할 수 있다. 그러므로 막(113Rf)에 가해지는 대미지를 억제할 수 있다. 또한 에칭 시에 생기는 반응 생성물의 부착 등의 문제를 억제할 수 있다.

[0594] 드라이 에칭법을 사용하는 경우, 예를 들어 H_2, CF_4, C_4F_8, SF_6, CHF_3, Cl_2, H_2O, BCl_3, 그리고 He, Ar 등의 비활성 기체 중 1종류 이상을 포함한 가스를 에칭 가스로서 사용하는 것이 바람직하다. 또는 이들 중 1종류 이상과 산소를 포함한 가스를 에칭 가스로서 사용하는 것이 바람직하다. 또는 산소 가스를 에칭 가스로서 사용하여도 좋다. 구체적으로는, 예를 들어 H_2와 Ar를 포함한 가스 또는 CF_4와 He를 포함한 가스를 에칭 가스로서 사용할 수 있다. 또한 예를 들어 CF_4, He, 및 산소를 포함한 가스를 에칭 가스로서 사용할 수 있다. 또한 예를 들어 H_2와 Ar를 포함하는 가스, 및 산소를 포함하는 가스를 에칭 가스로서 사용할 수 있다.

[0595] 드라이 에칭 장치로서는 고밀도 플라스마원을 포함하는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라스마원을 가지는 드라이 에칭 장치로서는, 예를 들어 유도 결합형 플라스마(ICP: Inductively Coupled Plasma) 에칭 장치 등을 사용할 수 있다. 또는 평행 평판형 전극을 가지는 용량 결합형 플라스마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 가지는 용량 결합형 플라스마 에칭 장치는, 평행 평판형 전극 중 한쪽에 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극 중 한쪽에 복수의 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극의 각각에 주파수가 같은 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극의 각각에 주파수가 상이한 고주파 전압을 인가하는 구성을 가져도 좋다.

[0596] 도 33의 (A)에서는 층(113R)의 단부가 화소 전극(111R)의 단부보다 외측에 위치하는 예를 나타내었다. 이러한 구성으로 함으로써, 화소의 개구율을 높일 수 있다. 또한 절연층(239)은 층(113), 마스크층(118), 및 마스크층(119)을 형성할 때 에칭 보호막으로서 기능할 수 있다. 절연층(235) 위에 절연층(239)을 제공함으로써, 층(113), 마스크층(118), 및 마스크층(119)을 형성할 때 절연층(235)의 일부가 제거되는 것을 억제할 수 있다.

[0597] 층(113R)이 화소 전극(111R)의 상면 및 측면을 덮음으로써, 화소 전극(111R)을 노출시키지 않고 이후의 공정을 수행할 수 있다. 화소 전극(111R)의 단부가 노출되어 있으면 에칭 공정 등에서 부식이 생기는 경우가 있다. 화소 전극(111R)의 부식으로 생긴 생성물은 불안정한 경우가 있고, 예를 들어 웨트 에칭의 경우에는 용액 중에 용해될 우려가 있고, 드라이 에칭의 경우에는 분위기 중에 비산될 우려가 있다. 생성물이 용액 중에 용해되거나 분위기 중에 비산되면, 예를 들어 피처리면 및 층(113B)의 측면 등에 생성물이 부착되어, 발광 디바이스의 특성에 악영향을 미치거나, 복수의 발광 디바이스 사이에 누설 경로를 형성할 가능성이 있다. 또한 화소 전극(111R)의 단부가 노출되어 있는 영역에서는 서로 접하는 층끼리의 밀착성이 저하되므로, 층(113R) 또는 화소 전극(111R)의 박리가 일어나기 쉬워질 우려가 있다. 따라서 층(113R)이 화소 전극(111R)의 상면 및 측면을 덮는 구성으로 함으로써, 예를 들어 발광 디바이스의 수율 및 특성을 향상시킬 수 있다.

[0598] 층(113R)이 화소 전극(111R)의 상면 및 측면을 덮음으로써 층(113R)에는 발광 영역(화소 전극(111R)과 공통 전극(115) 사이에 위치하는 영역) 외측에 더미 영역이 제공된다. 여기서 층(113R)의 단부에는 막(113Rf)의 가공 시에 대미지가 가해지는 경우가 있다. 또한 층(113R)의 단부는 나중의 공정에서도 플라스마에 노출되어 대미지가 가해지는 경우가 있다. 층(113R)의 단부 및 그 근방은 더미 영역이 되어 발광에 사용되지 않기 때문에, 대미지가 가해져도 발광 디바이스의 특성에 악영향을 미치기 어렵다. 한편, 층(113R)의 발광 영역은 마스크층으로 덮여 있기 때문에 플라스마에 노출되지 않고, 플라스마로 인한 대미지가 충분히 저감되어 있다. 마스크층은 층(113R)에서 화소 전극(111R)의 상면과 중첩되는 평탄부의 상면뿐만 아니라, 화소 전극(111R)의 상면의 외측에 위치하는 경사부 및 평탄부의 상면까지 덮도록 제공되는 것이 바람직하다. 이와 같이, 층(113R) 중, 제작 공정 중의 대미지가 억제된 부분을 발광 영역으로서 사용하기 때문에, 발광 효율이 높고 수명이 긴 발광 디바이스를 실현할 수 있다.

[0599] 접속부(140)에 상당하는 영역에서는 도전층(123) 위에 마스크층(118R)과 마스크층(119R)의 적층 구조가 잔존한다.

[0600] 상술한 바와 같이, 본 발명의 일 형태에서는 마스크막(119Rf) 위에 레지스트 마스크(190a)를 형성하고, 레지스트 마스크(190a)를 사용하여 마스크막(119Rf)의 일부를 제거함으로써 마스크층(119R)을 형성한다. 그 후, 마스크층(119R)을 하드 마스크로서 사용하여 막(113Rf)의 일부를 제거함으로써 층(113R)을 형성한다. 따라서 포토리소그래피법을 사용하여 막(113Rf)을 가공함으로써 층(113R)이 형성된다고 할 수 있다. 또한 레지스트 마스크(190a)를 사용하여 막(113Rf)의 일부를 제거하여도 좋다. 그 후, 레지스트 마스크(190a)를 제거하여도 좋다.

[0601] 다음으로 화소 전극에 대하여 소수화 처리를 수행하는 것이 바람직하다. 막(113Rf)의 가공 시에 화소 전극의 표면 상태가 친수성으로 변화되는 경우가 있다. 화소 전극에 대하여 소수화 처리를 수행함으로써, 화소 전극과 나중의 공정에서 형성되는 막(여기서는 막(113Gf))의 밀착성을 높여 이들이 박리되는 것을 억제할 수 있다. 또한 소수화 처리는 수행하지 않아도 된다.

[0602] 다음으로 층(113G)이 되는 막(113Gf)을 화소 전극(111G), 화소 전극(111B) 위, 및 마스크층(119R) 위에 형성한다.

[0603] 다음으로 막(113Gf) 위에 마스크층(118G)이 되는 마스크막(118Gf)과, 나중에 마스크층(119G)이 되는 마스크막(119Gf)을 이 순서대로 형성한 후, 레지스트 마스크(190b)를 형성한다(도 33의 (B)). 레지스트 마스크(190b)는 화소 전극(111G)과 중첩되는 위치에 제공한다.

[0604] 다음으로 레지스트 마스크(190b)를 사용하여 마스크막(119Gf)의 일부를 제거함으로써 마스크층(119G)을 형성한다. 다음으로 마스크층(119G)을 마스크로서 사용하여 마스크막(118Gf)의 일부를 제거함으로써 마스크층(118G)을 형성한다. 다음으로 막(113Gf)을 가공하여 층(113G)을 형성한다(도 34의 (A)). 이에 의하여, 화소 전극(111G) 위에 층(113G), 마스크층(118G), 및 마스크층(119G)의 적층 구조가 잔존한다. 또한 마스크층(119R) 및 화소 전극(111B)이 노출된다. 층(113G)의 형성에 대해서는 층(113R)의 기재를 참조할 수 있기 때문에, 자세한 설명은 생략한다.

[0605] 다음으로 화소 전극에 대하여 소수화 처리를 수행하는 것이 바람직하다. 화소 전극에 대하여 소수화 처리를 수행함으로써, 화소 전극과 나중의 공정에서 형성되는 막(여기서는 막(113Bf))의 밀착성을 높여 이들이 박리되는 것을 억제할 수 있다. 또한 소수화 처리는 수행하지 않아도 된다.

[0606] 다음으로 층(113B)이 되는 막(113Bf)을 화소 전극(111B) 위, 마스크층(119R), 및 마스크층(119G) 위에 형성한다.

[0607] 다음으로 막(113Bf) 위에 마스크층(118B)이 되는 마스크막(118Bf)과, 마스크층(119B)이 되는 마스크막(119Bf)을 이 순서대로 형성한 후, 레지스트 마스크(190c)를 형성한다(도 34의 (B)). 레지스트 마스크(190c)는 화소 전극(111B)과 중첩되는 위치에 제공한다.

[0608] 다음으로 레지스트 마스크(190c)를 마스크로서 사용하여 마스크막(119Bf)의 일부를 제거함으로써 마스크층(119B)을 형성한다. 다음으로 마스크층(119B)을 마스크로서 사용하여 마스크막(118Bf)의 일부를 제거함으로써 마스크층(118B)을 형성한다. 다음으로 막(113Bf)을 가공하여 층(113B)을 형성한다(도 35의 (A)). 이에 의하여, 화소 전극(111B) 위에 층(113B), 마스크층(118B), 및 마스크층(119B)의 적층 구조가 잔존한다. 또한 마스크층(119R) 및 마스크층(119G)이 노출된다. 층(113B)의 형성에 대해서는 층(113R)의 기재를 참조할 수 있기 때문에, 자세한 설명은 생략한다.

[0609] 층(113R), 층(113G), 층(113B)의 측면은 각각 피형성면에 대하여 수직하거나 실질적으로 수직인 것이 바람직하다. 예를 들어 피형성면과 이들의 측면이 이루는 각도를 60° 이상 90° 이하로 하는 것이 바람직하다.

[0610] 상술한 바와 같이, 포토리소그래피법을 사용하여 형성한 층(113R), 층(113G), 및 층(113B) 중 인접한 2개 사이의 거리는 8μm 이하, 5μm 이하, 3μm 이하, 2μm 이하, 또는 1μm 이하까지 좁힐 수 있다. 여기서 상기 거리는 예를 들어 층(113B), 층(113G), 및 층(113R) 중 인접한 2개의 대향하는 단부 사이의 거리로 규정할 수 있다. 이와 같이, 섬 형상의 EL층들 사이의 거리를 좁힘으로써, 정세도가 높고 개구율이 높은 표시 장치를 제공할 수 있다.

[0611] 이어서, 마스크층(119B), 마스크층(119G), 및 마스크층(119R)을 제거하여도 좋다. 예를 들어 마스크층(119B), 마스크층(119G), 및 마스크층(119R)이 자외선에 대하여 차광성을 가지는 재료를 포함하는 경우에는, 이들을 제거하지 않고 잔존시킴으로써, 섬 형상의 EL층을 자외선으로부터 보호할 수 있어 바람직하다.

[0612] 마스크층을 제거하는 경우에는, 마스크층의 가공 공정과 같은 방법을 사용할 수 있다. 특히 웨트 에칭법을 사용함으로써, 드라이 에칭법을 사용하는 경우에 비하여, 마스크층 제거 시에 층(113R), 층(113G), 및 층(113B)에 가해지는 대미지를 저감할 수 있다.

[0613] 마스크층(119R), 마스크층(119G), 및 마스크층(119B)에 금속막 또는 합금막을 사용하는 경우, EL층에 플라스마로 인한 대미지가 가해지는 것을 억제할 수 있다. 따라서 발광 디바이스의 제작 공정에서 드라이 에칭법을 사용할 수 있다.

[0614] 마스크층을 물 또는 알코올 등의 용매에 용해시킴으로써 제거하여도 좋다. 알코올로서는 에틸 알코올, 메틸 알코올, 아이소프로필 알코올(IPA), 또는 글리세린 등을 들 수 있다.

[0615] 마스크층을 제거한 후에, 층(113R), 층(113G), 및 층(113B)에 포함되는 물, 그리고 층(113R), 층(113G), 및 층(113B)의 표면에 흡착된 물을 제거하기 위하여 건조 처리를 수행하여도 좋다. 예를 들어 질소 분위기 등의 불활성 가스 분위기 또는 감압 분위기하에서의 가열 처리를 수행할 수 있다. 가열 처리 시의 기판 온도는 50℃ 이상 200℃ 이하인 것이 바람직하고, 60℃ 이상 150℃ 이하인 것이 더 바람직하고, 70℃ 이상 120℃ 이하인 것이 더 바람직하다. 감압 분위기로 함으로써, 더 낮은 온도에서 건조할 수 있어 바람직하다.

[0616] [절연층(125), 절연층(127)의 형성]

[0617] 다음으로 절연층(239), 층(113R), 층(113G), 층(113B), 마스크층(118R), 마스크층(118G), 마스크층(118B), 마스크층(119R), 마스크층(119G), 마스크층(119B), 및 도전층(123)을 덮도록, 절연층(125)이 되는 절연막(125f)을 형성한다(도 35의 (B)).

[0618] 그 후, 절연막(125f)의 상면과 접하여 절연층(127)이 되는 절연막(127f)이 형성된다. 그러므로 절연막(125f)의 상면은 상기 절연막(127f)에 사용하는 수지 조성물(예를 들어 아크릴 수지를 포함한 감광성 수지 조성물)에 대한 밀착성이 높은 것이 바람직하다. 밀착성을 향상시키기 위하여, 표면 처리를 수행하여 절연막(125f)의 상면을 소수화하는 것(또는 소수성을 높이는 것)이 바람직하다. 예를 들어 헥사메틸다이실라잔(HMDS) 등의 실릴화제를 사용하여 처리를 수행하는 것이 바람직하다. 이와 같이 절연막(125f)의 상면을 소수화함으로써, 절연층(127)이 되는 절연막(127f)을 높은 밀착성으로 형성할 수 있다. 또한 표면 처리로서는 상술한 소수화 처리를 수행하여도 좋다.

[0619] 다음으로 절연막(125f) 위에 절연층(127)이 되는 절연막(127f)을 형성한다(도 36의 (A)).

[0620] 절연막(125f) 및 절연막(127f)은 층(113R), 층(113G), 및 층(113B)에 대한 대미지가 적은 형성 방법으로 성막되는 것이 바람직하다. 특히 절연막(125f)은 층(113R), 층(113G), 및 층(113B)의 측면에 접하여 형성되기 때문에 절연막(127f)보다 층(113R), 층(113G), 및 층(113B)에 대한 대미지가 적은 형성 방법으로 성막되는 것이 바람직하다.

[0621] 절연막(125f) 및 절연막(127f)은 각각 층(113R), 층(113G), 및 층(113B)의 내열 온도보다 낮은 온도에서 형성된다. 또한 절연막(125f)은 성막 시의 기판 온도를 높게 함으로써, 막 두께가 얇아도 불순물 농도가 낮고 물 및 산소 중 적어도 한쪽에 대한 배리어성이 높은 막으로 할 수 있다.

[0622] 절연막(125f) 및 절연막(127f)을 형성할 때의 기판 온도로서는, 각각 60℃ 이상, 80℃ 이상, 100℃ 이상, 또는 120℃ 이상이며, 200℃ 이하, 180℃ 이하, 160℃ 이하, 150℃ 이하, 또는 140℃ 이하인 것이 바람직하다.

[0623] 상술한 바와 같이, 본 발명의 일 형태의 표시 장치에서는 발광 디바이스에 내열성이 높은 재료를 사용한다. 따라서, 절연막(125f) 및 절연막(127f)을 형성할 때의 기판 온도를 각각 100℃ 이상, 120℃ 이상, 또는 140℃ 이상으로 할 수도 있다. 예를 들어 무기 절연막은 성막 시의 온도가 높을수록 더 치밀하고 배리어성이 더 높은 막이 될 수 있다. 따라서 이러한 온도에서 절연막(125f)을 성막함으로써, 층(113B), 층(113G), 및 층(113R)이 받는 대미지를 더 저감할 수 있기 때문에, 발광 디바이스의 신뢰성을 높일 수 있다.

[0624] 절연막(125f)으로서는, 상기 기판 온도의 범위에서, 3nm 이상, 5nm 이상, 또는 10nm 이상이며, 200nm 이하, 150nm 이하, 100nm 이하, 또는 50nm 이하의 두께의 절연막을 형성하는 것이 바람직하다.

[0625] 절연막(125f)은 예를 들어 ALD법을 사용하여 형성하는 것이 바람직하다. ALD법을 사용함으로써, 절연막(125f)의 피형성면에 대한 성막 대미지를 작게 할 수 있고 절연막(125f)의 피복성을 높일 수 있다. 절연막(125f)에는 예를 들어 ALD법에 의하여 형성한 산화 알루미늄막을 적합하게 사용할 수 있다.

[0626] 이 외에, 절연막(125f)은 ALD법보다 성막 속도가 빠른 스퍼터링법, CVD법, 또는 PECVD법을 사용하여 형성되어도 좋다. 이에 의하여, 신뢰성이 높은 표시 장치를 높은 생산성으로 제작할 수 있다.

[0627] 절연막(127f)은 상술한 습식의 성막 방법을 사용하여 형성하는 것이 바람직하다. 절연막(127f)은 예를 들어 스핀 코팅에 의하여 감광성 수지를 사용하여 형성하는 것이 바람직하고, 더 구체적으로는 아크릴 수지를 포함한 감광성 수지 조성물을 사용하여 형성하는 것이 바람직하다.

[0628] 절연막(127f)의 형성 후에 가열 처리(프리 베이킹이라고도 함)를 수행하는 것이 바람직하다. 상기 가열 처리는 층(113R), 층(113G), 및 층(113B)의 내열 온도보다 낮은 온도에서 수행한다. 가열 처리 시의 기판 온도는 50℃

이상 200℃ 이하인 것이 바람직하고, 60℃ 이상 150℃ 이하인 것이 더 바람직하고, 70℃ 이상 120℃ 이하인 것이 더 바람직하다. 이로써, 절연막(127f)에 포함되는 용매를 제거할 수 있다.

[0629] 이어서, 절연막(127f)의 일부의 영역을 노광한다. 여기서 노광량을 조절함으로써, 절연층(127)의 형상을 제어할 수 있다. 절연층(127)이 화소 전극(111)의 상면과 중첩되는 부분을 가지도록 가공하는 것이 바람직하다.

[0630] 이어서, 현상을 수행하여, 절연막(127f)의 노광된 영역을 제거하여, 절연층(127)을 형성한다(도 36의 (B)). 절연층(127)은 인접한 화소 전극(111) 사이의 영역과, 도전층(123)을 둘러싸는 영역에 제공된다. 예를 들어 절연막(127f)에 아크릴 수지를 사용하는 경우, 현상액으로서 염기성 용액을 사용하는 것이 바람직하고, 예를 들어 수산화 테트라메틸 암모늄(TMAH) 수용액을 사용할 수 있다.

[0631] 여기서는, 절연막(127f)에 포지티브형 감광성 수지를 사용하는 예를 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 절연막(127f)에 네거티브형 감광성 수지를 사용하여도 좋다.

[0632] 이어서, 가열 처리(포스트 베이킹이라고도 함)를 수행하여도 좋다. 가열 처리를 수행함으로써, 절연층(127)의 측면을 변형시킬 수 있다. 구체적으로는, 절연층(127)의 테이퍼 각을 작게 할 수 있다. 상기 가열 처리는 EL층의 내열 온도보다 낮은 온도에서 수행한다. 가열 처리 시의 기판 온도는 50℃ 이상 200℃ 이하인 것이 바람직하고, 60℃ 이상 150℃ 이하인 것이 더 바람직하고, 70℃ 이상 130℃ 이하인 것이 더 바람직하다. 가열 분위기는 대기 분위기이어도 좋고, 불활성 가스 분위기이어도 좋다. 또한 가열 분위기는 대기압 분위기이어도 좋고, 감압 분위기이어도 좋다. 감압 분위기로 함으로써, 더 낮은 온도에서 건조할 수 있어 바람직하다. 본 공정의 가열 처리의 기판 온도는 절연막(127f) 형성 후의 가열 처리(프리 베이킹)보다 높은 것이 바람직하다. 이 경우, 절연층(127)과 절연층(125)의 밀착성을 향상시키고, 절연층(127)의 내식성도 향상시킬 수 있다.

[0633] 또한 절연층(127)의 재료, 그리고 포스트 베이킹의 온도, 시간, 및 분위기에 따라서는 절연층(127)의 측면에 오목 곡면 형상이 형성되는 경우가 있다. 예를 들어 포스트 베이킹의 온도가 높을수록 또는 시간이 길수록 절연층(127)의 형상은 변화되기 쉽고, 오목 곡면 형상이 형성되는 경우가 있다. 또한 상술한 바와 같이, 현상 후의 절연층(127)에 노광을 수행하지 않는 경우에는, 포스트 베이킹 시에 절연층(127)의 형상이 쉽게 변화될 수 있다.

[0634] 이어서, 절연층(127)을 마스크로서 사용하여, 절연막(125f), 마스크층(119R), 마스크층(119G), 마스크층(119B), 마스크층(118R), 마스크층(118G), 및 마스크층(118B)의 일부를 제거한다. 이에 의하여, 절연층(125)이 형성됨과 함께, 마스크층(119R), 마스크층(119G), 마스크층(119B), 마스크층(118R), 마스크층(118G), 및 마스크층(118B) 각각에 개구가 형성되어, 층(113R), 층(113G), 층(113B), 및 도전층(123)의 상면의 일부가 노출된다(도 37의 (A)).

[0635] 절연막(125f), 마스크층(119R), 마스크층(119G), 마스크층(119B), 마스크층(118R), 마스크층(118G), 및 마스크층(118B)의 가공에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용하면 좋다. 웨트 에칭법을 사용하면, 드라이 에칭법을 사용하는 경우에 비하여 층(113B), 층(113G), 및 층(113R)에 가해지는 대미지를 저감할 수 있다. 예를 들어 산화 알루미늄막의 웨트 에칭에는 염기성 용액인 수산화 테트라메틸 암모늄(TMAH) 수용액을 사용하는 것이 바람직하다. In-Ga-Zn 산화물막의 웨트 에칭에는 인산, 또는 인산을 포함한 에칭액을 사용하는 것이 바람직하다.

[0636] 드라이 에칭법을 사용하는 경우, 염소계 가스를 사용하는 것이 바람직하다. 염소계 가스로서는 Cl_2, BCl_3, $SiCl_4$, 및 CCl_4 등 중 하나를 사용하거나, 이들 중 2개 이상을 혼합하여 사용할 수 있다. 또한 상기 염소계 가스에 산소 가스, 수소 가스, 헬륨 가스, 및 아르곤 가스 등을 단독으로 또는 2개 이상의 가스를 혼합하여 첨가할 수 있다.

[0637] 상술한 바와 같이, 절연층(127), 절연층(125), 마스크층(118R), 마스크층(118G), 마스크층(118B), 마스크층(119R), 마스크층(119G), 및 마스크층(119B)을 제공함으로써, 각 발광 디바이스 사이에서, 공통층(114) 및 공통 전극(115)에 분단된 부분에 기인한 접속 불량 및 국소적으로 막 두께가 얇은 부분에 기인한 전기 저항의 상승이 발생하는 것을 억제할 수 있다. 이로써 본 발명의 일 형태의 표시 장치의 표시 품질을 향상시킬 수 있다.

[0638] 층(113B), 층(113G), 및 층(113R)의 일부를 노출시킨 후, 가열 처리를 더 수행하여도 좋다. 상기 가열 처리에 의하여, EL층에 포함되는 물 및 EL층 표면에 흡착되는 물 등을 제거할 수 있다. 또한 상기 가열 처리에 의하여 절연층(127)이 변형되는 경우가 있다. 구체적으로는 절연층(127)이 절연층(125), 마스크층(118R), 마스크층(118G), 마스크층(118B), 마스크층(119R), 마스크층(119G), 및 마스크층(119B)의 단부 중 적어도 하나를 덮도록

넓어지는 경우가 있다(도 16의 (B) 참조). 또한 절연층(127)이 층(113R), 층(113G), 및 층(113B)의 상면 중 적어도 하나를 덮도록 넓어지는 경우가 있다(도 17의 (A) 및 (B) 참조). 예를 들어 불활성 가스 분위기 또는 감압 분위기하에서의 가열 처리를 수행할 수 있다. 가열 처리 시의 기판 온도는 50℃ 이상 200℃ 이하인 것이 바람직하고, 60℃ 이상 150℃ 이하인 것이 더 바람직하고, 70℃ 이상 120℃ 이하인 것이 더 바람직하다. 감압 분위기로 함으로써, 더 낮은 온도에서 탈수할 수 있어 바람직하다. 다만 상기 가열 처리의 온도 범위는 EL층의 내열 온도도 고려하여 적절히 설정하는 것이 바람직하다. 또한 EL층의 내열 온도를 고려하면, 상기 온도 범위 중에서도 70℃ 이상 120℃ 이하가 특히 적합하다.

[0639] 여기서, 포스트 베이킹 후에 일괄적으로 절연층(125)과 마스크층의 에칭 처리를 수행하면, 사이드 에칭에 의하여 절연층(127)의 단부 아래의 절연층(125) 및 마스크층이 소실되고, 공동이 형성되는 경우가 있다. 상기 공동에 의하여, 공통층(114) 및 공통 전극(115)이 형성되는 면에 요철이 생겨, 공통층(114) 및 공통 전극(115)에 단절이 발생하기 쉬워진다. 그러므로 절연층(125)과 마스크층의 에칭 처리를 포스트 베이킹 전과 후로 나누어 수행하는 것이 바람직하다.

[0640] 이어서, 절연층(127), 층(113R), 층(113G), 및 층(113B) 위에 공통층(114), 공통 전극(115), 및 보호층(131)을 형성한다(도 37의 (B)).

[0641] 공통층(114)은 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0642] 공통 전극(115)의 형성에는 예를 들어 스퍼터링법 또는 진공 증착법을 사용할 수 있다. 또는 증착법으로 형성한 막과 스퍼터링법으로 형성한 막을 적층시켜도 좋다.

[0643] 보호층(131)의 성막 방법으로서는 진공 증착법, 스퍼터링법, CVD법, 및 ALD법 등을 들 수 있다.

[0644] 이어서, 기판(120)을 준비하고, 기판(120) 위에 차광층(117)을 형성한다. 다음으로 보호층(131) 위에 수지층(122)을 사용하여 기판(120) 및 차광층(117)을 접합함으로써 표시 장치를 제작할 수 있다(도 19).

[0645] 층(113R), 층(113G), 및 층(113B)이 되는 막을 면 전체에 성막한 후에, 상기 막을 가공함으로써 섬 형상의 층(113R), 섬 형상의 층(113G), 및 섬 형상의 층(113B)을 형성하기 때문에, 섬 형상의 층을 균일한 두께로 할 수 있다. 그리고 고정세 표시 장치 또는 고개구율 표시 장치를 실현할 수 있다. 또한 정세도 또는 개구율이 높고 부화소 사이의 거리가 매우 짧아도 인접한 부화소에서 층(113R), 층(113G), 및 층(113B)이 서로 접하는 것을 억제할 수 있다. 따라서 부화소 사이에 누설 전류가 발생하는 것을 억제할 수 있다. 이에 의하여, 크로스토크에 기인한 의도치 않은 발광을 방지할 수 있어, 콘트라스트가 높은 표시 장치를 실현할 수 있다.

[0646] 인접한 섬 형상의 EL층 사이에, 단부에 테이퍼 형상을 가지는 절연층(127)을 제공함으로써, 공통 전극(115)의 형성 시에 단절이 생기는 것을 억제할 수 있고, 또한 공통 전극(115)에 국소적으로 막 두께가 얇은 부분이 형성되는 것을 방지할 수 있다. 이에 의하여, 공통층(114) 및 공통 전극(115)에서, 분단된 부분에 기인한 접속 불량 및 국소적으로 막 두께가 얇은 부분에 기인한 전기 저항의 상승이 발생하는 것을 억제할 수 있다. 따라서 본 발명의 일 형태의 표시 장치는 높은 정세도와 높은 표시 품질을 둘 다 실현할 수 있다.

[0647] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0648] (실시형태 3)

[0649] 본 실시형태에서는 본 발명의 일 형태의 표시 장치에 대하여 도 38 및 도 39를 사용하여 설명한다.

[0650] [화소의 레이아웃]

[0651] 본 실시형태에서는, 도 1과는 다른 화소 레이아웃에 대하여 주로 설명한다. 부화소의 배열은 특별히 한정되지 않고, 다양한 방법을 적용할 수 있다. 부화소의 배열로서는, 예를 들어 스트라이프 배열, S 스트라이프 배열, 매트릭스 배열, 델타 배열, 베이어 배열, 펜타일 배열 등이 있다.

[0652] 본 실시형태에서 도면에 나타낸 부화소의 상면 형상은 발광 영역(또는 수광 영역)의 상면 형상에 상당한다.

[0653] 또한 부화소의 상면 형상으로서는 예를 들어, 삼각형, 사각형(직사각형, 정사각형을 포함함), 오각형 등의 다각형, 이들 다각형의 모서리가 둥근 형상, 타원형, 또는 원형 등이 있다.

[0654] 부화소를 구성하는 회로 레이아웃은 도면에 나타낸 부화소의 범위에 한정되지 않고, 그 외측에 배치되어도 좋다.

[0655] 도 38의 (A)에 나타낸 화소(110)에는 S 스트라이프 배열이 적용되어 있다. 도 38의 (A)에 나타낸 화소(110)는 부화소(110a), 부화소(110b), 및 부화소(110c)의 3종류의 부화소로 구성된다.

[0656] 도 38의 (B)에 나타낸 화소(110)는 모서리가 둥근 대략 사다리꼴형의 상면 형상을 가지는 부화소(110a)와, 모서리가 둥근 대략 삼각형의 상면 형상을 가지는 부화소(110b)와, 모서리가 둥근 대략 사각형 또는 대략 육각형의 상면 형상을 가지는 부화소(110c)를 가진다. 또한 부화소(110b)는 부화소(110a)보다 발광 면적이 넓다. 이와 같이, 각 부화소의 형상 및 크기는 각각 독립적으로 결정할 수 있다. 예를 들어 신뢰성이 높은 발광 디바이스를 포함한 부화소일수록 크기를 작게 할 수 있다.

[0657] 도 38의 (C)에 나타낸 화소(110A) 및 화소(110B)에는 펜타일 배열이 적용되어 있다. 도 38의 (C)에는 부화소(110a) 및 부화소(110b)를 포함한 화소(110A)와 부화소(110b) 및 부화소(110c)를 포함한 화소(110B)가 교대로 배치된 예를 나타내었다.

[0658] 도 38의 (D) 내지 (F)에 나타낸 화소(110A) 및 화소(110B)에는 델타 배열이 적용되어 있다. 화소(110A)는 위쪽 행(첫 번째 행)에 2개의 부화소(부화소(110a) 및 부화소(110b))를 포함하고, 아래쪽 행(두 번째 행)에 하나의 부화소(부화소(110c))를 포함한다. 화소(110B)는 위쪽 행(첫 번째 행)에 하나의 부화소(부화소(110c))를 포함하고, 아래쪽 행(두 번째 행)에 2개의 부화소(부화소(110a) 및 부화소(110b))를 포함한다.

[0659] 도 38의 (D)는 각 부화소의 상면 형상이 모서리가 둥글고 실질적으로 사각형인 예를 나타낸 것이고, 도 38의 (E)는 각 부화소의 상면 형상이 원형인 예를 나타낸 것이고, 도 38의 (F)는 각 부화소의 상면 형상이 모서리가 둥글고 실질적으로 육각형인 예를 나타낸 것이다.

[0660] 도 38의 (F)에서는 각 부화소가 최대한 조밀하게 배열된 육각형의 영역의 내측에 배치되어 있다. 각 부화소는 그 하나의 부화소에 착안하였을 때, 6개의 부화소로 둘러싸이도록 배치되어 있다. 또한 같은 색의 광을 나타내는 부화소가 인접하지 않도록 제공되어 있다. 예를 들어 부화소(110a)에 주목하였을 때, 이를 둘러싸도록 3개의 부화소(110b)와 3개의 부화소(110c)가 번갈아 배치되도록 각 부화소가 제공되어 있다.

[0661] 도 38의 (G)는 각 색의 부화소가 지그재그로 배치되어 있는 예를 나타낸 것이다. 구체적으로는, 상면에서 보았을 때, 행 방향으로 배치된 2개의 부화소(예를 들어 부화소(110a)와 부화소(110b) 또는 부화소(110b)와 부화소(110c))의 상변의 위치가 어긋나 있다.

[0662] 도 38의 (A) 내지 (G)에 나타낸 각 화소에서, 예를 들어 부화소(110a)를 적색의 광을 나타내는 부화소 R로 하고, 부화소(110b)를 녹색의 광을 나타내는 부화소 G로 하고, 부화소(110c)를 청색의 광을 나타내는 부화소 B로 하는 것이 바람직하다. 또한 부화소의 구성은 이에 한정되지 않고, 부화소가 나타내는 색과 그 배열 순서는 적절히 결정할 수 있다. 예를 들어 부화소(110b)를 적색의 광을 나타내는 부화소 R로 하고, 부화소(110a)를 녹색의 광을 나타내는 부화소 G로 하여도 좋다.

[0663] 포토리소그래피법에서는 가공하는 패턴이 미세화될수록 광 회절의 영향을 무시할 수 없게 되기 때문에, 노광에 의하여 포토마스크의 패턴을 전사할 때 충실(忠實)성이 낮아져 레지스트 마스크를 원하는 형상으로 가공하기 어려워진다. 그러므로 포토마스크의 패턴이 직사각형이어도 모서리가 둥근 패턴이 형성되기 쉽다. 따라서 부화소의 상면 형상이 다각형이며 모서리가 둥근 형상, 타원형, 또는 원형 등이 될 경우가 있다.

[0664] 또한 본 발명의 일 형태의 표시 장치의 제작 방법에서는, 레지스트 마스크를 사용하여 EL층을 섬 형상으로 가공한다. EL층 위에 형성한 레지스트막은 EL층의 내열 온도보다 낮은 온도에서 경화시킬 필요가 있다. 그러므로 EL층의 재료의 내열 온도 및 레지스트 재료의 경화 온도에 따라서는 레지스트막의 경화가 불충분해질 경우가 있다. 경화가 불충분한 레지스트막은 가공 시에 원하는 형상과 다른 형상이 될 경우가 있다. 그 결과, EL층의 상면 형상이 다각형이며 모서리가 둥근 형상, 타원형, 또는 원형 등이 될 경우가 있다. 예를 들어 상면 형상이 정방형인 레지스트 마스크를 형성하는 경우에, 상면 형상이 원형인 레지스트 마스크가 형성되어 EL층의 상면 형상이 원형이 될 경우가 있다.

[0665] 또한 EL층의 상면 형상을 원하는 형상으로 하기 위하여 설계 패턴과 전사 패턴이 일치하도록 마스크 패턴을 미리 보정하는 기술(OPC(Optical Proximity Correction: 광 근접 효과 보정) 기술)을 사용하여도 좋다. 구체적으로, OPC 기술에서는 마스크 패턴상의 도형의 모서리 부분 등에 보정용 패턴을 추가한다.

[0666] 도 39의 (A) 내지 (I)에 나타낸 바와 같이, 화소는 부화소를 4종류 가지는 구성으로 할 수 있다.

[0667] 도 39의 (A) 내지 (C)에 나타낸 화소(110)에는 스트라이프 배열이 적용되어 있다.

[0668] 도 39의 (A)는 각 부화소의 상면 형상이 직사각형인 예를 나타낸 것이고, 도 39의 (B)는 각 부화소의 상면 형상이 2개의 반원형과 직사각형을 연결한 것인 예를 나타낸 것이고, 도 39의 (C)는 각 부화소의 상면 형상이 타원형인 예를 나타낸 것이다.

[0669] 도 39의 (D) 내지 (F)에 나타낸 화소(110)에는 매트릭스 배열이 적용되어 있다.

[0670] 도 39의 (D)는 각 부화소의 상면 형상이 정사각형인 예를 나타낸 것이고, 도 39의 (E)는 각 부화소의 상면 형상이 모서리가 둥근 실질적인 정사각형인 예를 나타낸 것이고, 도 39의 (F)는 각 부화소의 상면 형상이 원형인 예를 나타낸 것이다.

[0671] 도 39의 (G) 및 (H)에는 하나의 화소(110)가 2행 3열로 구성된 예를 나타내었다.

[0672] 도 39의 (G)에 나타낸 화소(110)는 위쪽 행(첫 번째 행)에 3개의 부화소(부화소(110a, 110b, 110c))를 가지고, 아래쪽 행(두 번째 행)에 하나의 부화소(부화소(110d))를 가진다. 바꿔 말하면, 화소(110)는 왼쪽 열(첫 번째 열)에 부화소(110a)를 포함하고, 중앙의 열(두 번째 열)에 부화소(110b)를 포함하고, 오른쪽 열(세 번째 열)에 부화소(110c)를 포함하고, 또한 이 3열에 걸쳐 부화소(110d)를 포함한다.

[0673] 도 39의 (H)에 나타낸 화소(110)는 위쪽 행(첫 번째 행)에 3개의 부화소(부화소(110a, 110b, 110c))를 포함하고, 아래쪽 행(두 번째 행)에 3개의 부화소(110d)를 포함한다. 바꿔 말하면, 화소(110)는 왼쪽 열(첫 번째 열)에 부화소(110a) 및 부화소(110d)를 포함하고, 중앙의 열(두 번째 열)에 부화소(110b) 및 부화소(110d)를 포함하고, 오른쪽 열(세 번째 열)에 부화소(110c) 및 부화소(110d)를 포함한다. 도 39의 (H)에 나타낸 바와 같이, 위쪽 행과 아래쪽 행의 부화소의 배치를 일치시키는 구성으로 함으로써, 제조 공정에서 생길 수 있는 먼지 등을 효율적으로 제거할 수 있다. 따라서 표시 품질이 높은 표시 장치를 제공할 수 있다.

[0674] 도 39의 (I)에는 하나의 화소(110)가 3행 2열로 구성되는 예를 나타내었다.

[0675] 도 39의 (I)에 나타낸 화소(110)는 위쪽 행(첫 번째 행)에 부화소(110a)를 포함하고, 중앙의 행(두 번째 행)에 부화소(110b)를 포함하고, 첫 번째 행에서 두 번째 행에 걸쳐 부화소(110c)를 포함하고, 아래쪽 행(세 번째 행)에 하나의 부화소(부화소(110d))를 포함한다. 바꿔 말하면 화소(110)는 왼쪽 열(첫 번째 열)에 부화소(110a) 및 부화소(110b)를 포함하고, 오른쪽 열(두 번째 열)에 부화소(110c)를 포함하고, 이 2열에 걸쳐 부화소(110d)를 포함한다.

[0676] 도 39의 (A) 내지 (I)에 나타낸 화소(110)는 4개의 부화소(부화소(110a), 부화소(110b), 부화소(110c), 부화소(110d))로 구성된다.

[0677] 부화소(110a), 부화소(110b), 부화소(110c), 및 부화소(110d)는 각각 발광색이 다른 발광 디바이스를 가지는 구성으로 할 수 있다. 부화소(110a), 부화소(110b), 부화소(110c), 및 부화소(110d)로서는 R, G, B, 백색(W)의 4색의 부화소, R, G, B, Y의 4색의 부화소, 및 R, G, B, 적외광(IR)의 4개의 부화소 등이 있다.

[0678] 도 39의 (A) 내지 (I)에 나타낸 각 화소(110)에서 예를 들어 부화소(110a)를 적색의 광을 나타내는 부화소 R로 하고, 부화소(110b)를 녹색의 광을 나타내는 부화소 G로 하고, 부화소(110c)를 청색의 광을 나타내는 부화소 B로 하고, 부화소(110d)를 백색의 광을 나타내는 부화소 W, 황색의 광을 나타내는 부화소 Y, 및 근적외광을 나타내는 부화소 IR 중 어느 것으로 하는 것이 바람직하다. 이러한 구성으로 한 경우, 도 39의 (G) 및 (H)에 나타낸 화소(110)에서는 R, G, B의 레이아웃으로서 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다. 또한 도 39의 (I)에 나타낸 화소(110)에서는 R, G, B의 레이아웃으로서 소위 S 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다.

[0679] 화소(110)는 수광 디바이스를 가지는 부화소를 가져도 좋다.

[0680] 도 39의 (A) 내지 (I)에 나타낸 각 화소(110)에서 부화소(110a) 내지 부화소(110d) 중 어느 하나를 수광 디바이스를 가지는 부화소로 하여도 좋다.

[0681] 도 39의 (A) 내지 (I)에 나타낸 각 화소(110)에서 예를 들어 부화소(110a)를 적색광을 나타내는 부화소 R로 하고, 부화소(110b)를 녹색광을 나타내는 부화소 G로 하고, 부화소(110c)를 청색광을 나타내는 부화소 B로 하고, 부화소(110d)를 수광 디바이스를 가지는 부화소 S로 하는 것이 바람직하다. 이러한 구성으로 한 경우, 도 39의 (G) 및 (H)에 나타낸 화소(110)에서는 R, G, B의 레이아웃으로서 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다. 또한 도 39의 (I)에 나타낸 화소(110)에서는 R, G, B의 레이아웃으로서 소위 S 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다.

[0682] 수광 디바이스를 포함한 부화소 S가 검출하는 광의 파장은 특별히 한정되지 않는다. 부화소 S는 가시광 및 적외광 중 한쪽 또는 양쪽을 검출할 수 있다.

[0683] 도 39의 (J) 및 (K)에 나타낸 바와 같이, 화소는 부화소를 5종류 가지는 구성으로 할 수 있다.

[0684] 도 39의 (J)에는 하나의 화소(110)가 2행 3열로 구성되는 예를 나타내었다.

[0685] 도 39의 (J)에 나타낸 화소(110)는 위쪽 행(첫 번째 행)에 3개의 부화소(부화소(110a, 110b, 110c))를 포함하고, 아래쪽 행(두 번째 행)에 2개의 부화소(부화소(110d, 110e))를 포함한다. 바꿔 말하면, 화소(110)는 왼쪽 열(첫 번째 열)에 부화소(110a, 110d)를 포함하고, 중앙의 열(두 번째 열)에 부화소(110b)를 포함하고, 오른쪽 열(세 번째 열)에 부화소(110c)를 포함하고, 또한 두 번째 열에서 세 번째 열에 걸쳐 부화소(110e)를 포함한다.

[0686] 도 39의 (K)에는 하나의 화소(110)가 3행 2열로 구성되는 예를 나타내었다.

[0687] 도 39의 (K)에 나타낸 화소(110)는 위쪽 행(첫 번째 행)에 부화소(110a)를 포함하고, 중앙의 행(두 번째 행)에 부화소(110b)를 포함하고, 첫 번째 행에서 두 번째 행에 걸쳐 부화소(110c)를 포함하고, 아래쪽 행(세 번째 행)에 2개의 부화소(부화소(110d, 110e))를 포함한다. 바꿔 말하면, 화소(110)는 왼쪽 열(첫 번째 열)에 부화소(110a, 110b, 110d)를 포함하고, 오른쪽 열(두 번째 열)에 부화소(110c, 110e)를 포함한다.

[0688] 도 39의 (J) 및 (K)에 나타낸 각 화소(110)에서 예를 들어 부화소(110a)를 적색광을 나타내는 부화소 R로 하고, 부화소(110b)를 녹색광을 나타내는 부화소 G로 하고, 부화소(110c)를 청색광을 나타내는 부화소 B로 하는 것이 바람직하다. 이러한 구성으로 한 경우, 도 39의 (J)에 나타낸 화소(110)에서는 R, G, B의 레이아웃으로서 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다. 또한 도 39의 (K)에 나타낸 화소(110)에서는 R, G, B의 레이아웃으로서 소위 S 스트라이프 배열이 사용되기 때문에 표시 품질을 높일 수 있다.

[0689] 도 39의 (J) 및 (K)에 나타낸 각 화소(110)에서, 예를 들어 부화소(110d) 및 부화소(110e) 중 적어도 한쪽에 수광 디바이스를 포함한 부화소 S를 적용하는 것이 바람직하다. 부화소(110d)와 부화소(110e)의 양쪽에 수광 디바이스를 사용하는 경우, 수광 디바이스의 구성은 서로 달라도 좋다. 예를 들어 검출하는 광의 파장 영역이 적어도 부분적으로 서로 달라도 좋다. 구체적으로는, 부화소(110d) 및 부화소(110e) 중 한쪽은 주로 가시광을 검출하는 수광 디바이스를 포함하고, 다른 쪽은 주로 적외광을 검출하는 수광 디바이스를 포함하여도 좋다.

[0690] 도 39의 (J) 및 (K)에 나타낸 각 화소(110)에서, 예를 들어 부화소(110d) 및 부화소(110e) 중 한쪽에 수광 디바이스를 포함한 부화소 S를 적용하고, 다른 쪽에 광원으로서 사용할 수 있는 발광 디바이스를 포함한 부화소를 적용하는 것이 바람직하다. 예를 들어 부화소(110d) 및 부화소(110e) 중 한쪽은 적외광을 나타내는 부화소 IR로 하고, 다른 쪽은 적외광을 검출하는 수광 디바이스를 포함한 부화소 S로 하는 것이 바람직하다.

[0691] 부화소 R, 부화소 G, 부화소 B, 부화소 IR, 부화소 S를 포함한 화소에서는, 부화소 R, 부화소 G, 부화소 B를 사용하여 화상을 표시하면서, 광원으로서 사용하는 부화소 IR로부터 방출되는 적외광의 반사광을 부화소 S가 검출할 수 있다.

[0692] 상술한 바와 같이, 본 발명의 일 형태의 표시 장치에서는, 발광 디바이스를 포함한 부화소로 이루어지는 화소에 다양한 레이아웃을 적용할 수 있다. 또한 본 발명의 일 형태의 표시 장치에는 화소에 발광 디바이스와 수광 디바이스의 양쪽을 포함한 구성을 적용할 수 있다. 이 경우에도, 다양한 레이아웃을 적용할 수 있다.

[0693] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0694] (실시형태 4)

[0695] 본 실시형태에서는 본 발명의 일 형태의 표시 장치에 대하여 설명한다.

[0696] 본 실시형태의 표시 장치는 고정세 표시 장치로 할 수 있다. 따라서 본 실시형태의 표시 장치는 예를 들어 손목시계형 및 팔찌형 등의 정보 단말기(웨어러블 기기)의 표시부, 그리고 헤드 마운트 디스플레이(HMD) 등의 VR용 기기 및 안경형 AR용 기기 등 머리에 장착할 수 있는 웨어러블 기기의 표시부에 사용할 수 있다.

[0697] 본 실시형태의 표시 장치는 고해상도 표시 장치 또는 대형 표시 장치로 할 수 있다. 따라서 본 실시형태의 표시 장치는 예를 들어 텔레비전 장치, 데스크톱 또는 노트북 퍼스널 컴퓨터, 컴퓨터용 등의 모니터, 디지털 사이니지, 및 파친코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 및 음향 재생 장치의 표시부에 사용

할 수 있다.

[0698] [표시 장치(100A)]

[0699] 도 40은 표시 장치(100A)의 사시도이고, 도 41은 표시 장치(100A)의 단면도이다.

[0700] 표시 장치(100A)는 기판(152)과 기판(151)이 접합된 구성을 가진다. 도 40에서는 기판(152)을 파선으로 나타내었다.

[0701] 표시 장치(100A)는 표시부(162), 접속부(140), 회로(164), 배선(165) 등을 가진다. 도 40에는 표시 장치(100A)에 IC(173) 및 FPC(172)가 실장된 예를 나타내었다. 그러므로 도 40에 나타낸 구성은 표시 장치(100A)와, IC(집적 회로)와, FPC를 가지는 표시 모듈이라고도 할 수 있다.

[0702] 접속부(140)는 표시부(162) 외측에 제공된다. 접속부(140)는 표시부(162)의 하나의 변 또는 복수의 변을 따라 제공될 수 있다. 접속부(140)는 단수이어도 좋고 복수이어도 좋다. 도 40에는 표시부의 4개의 변을 둘러싸도록 접속부(140)가 제공된 예를 나타내었다. 접속부(140)에서는 발광 디바이스의 공통 전극과 도전층이 전기적으로 접속되어 있어, 공통 전극에 전위를 공급할 수 있다.

[0703] 회로(164)로서는, 예를 들어 주사선 구동 회로를 사용할 수 있다.

[0704] 배선(165)은 표시부(162) 및 회로(164)에 신호 및 전력을 공급하는 기능을 가진다. 상기 신호 및 전력은 FPC(172)를 통하여 외부로부터 배선(165)에 입력되거나 IC(173)로부터 배선(165)에 입력된다.

[0705] 도 40에는 COG(Chip On Glass) 방식 또는 COF(Chip On Film) 방식 등으로 기판(151)에 IC(173)가 제공된 예를 나타내었다. IC(173)로서는 예를 들어 주사선 구동 회로 또는 신호선 구동 회로 등을 가지는 IC를 적용할 수 있다. 또한 표시 장치(100A) 및 표시 모듈은 IC를 제공하지 않는 구성으로 하여도 좋다. 또한 IC를 COF 방식 등에 의하여 FPC에 실장하여도 좋다.

[0706] 도 41은 표시 장치(100A) 중 FPC(172)를 포함한 영역의 일부, 회로(164)의 일부, 표시부(162)의 일부, 접속부(140)의 일부, 및 단부를 포함한 영역의 일부를 각각 절단한 경우의 단면의 일례를 나타낸 것이다.

[0707] 도 41에 나타낸 표시 장치(100A)는 기판(151)과 기판(152) 사이에 트랜지스터(201), 트랜지스터(205), 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B) 등을 가진다.

[0708] 층(113R), 층(113G), 및 층(113B) 각각의 상면의 일부 및 측면은 절연층(125) 및 절연층(127)으로 덮여 있다. 층(113R)과 절연층(125) 사이에는 마스크층(118B) 및 마스크층(119R)이 위치한다. 또한 층(113G)과 절연층(125) 사이에는 마스크층(118G) 및 마스크층(119G)이 위치하고, 층(113B)과 절연층(125) 사이에는 마스크층(118R) 및 마스크층(119B)이 위치한다. 층(113B), 층(113G), 층(113R), 절연층(125), 및 절연층(127) 위에 공통층(114)이 제공되고, 공통층(114) 위에 공통 전극(115)이 제공되어 있다. 공통층(114) 및 공통 전극(115)은 각각 복수의 발광 디바이스에서 공유되는 하나의 연속적인 막이다.

[0709] 발광 디바이스(130R), 발광 디바이스(130G), 및 발광 디바이스(130B) 위에는 보호층(131)이 제공되어 있다. 보호층(131)과 기판(152)은 접착층(142)에 의하여 접착되어 있다. 기판(152)에는 차광층(117)이 제공되어 있다. 발광 디바이스의 밀봉에는 고체 밀봉 구조 또는 중공 밀봉 구조 등을 적용할 수 있다. 도 41에서는 기판(152)과 기판(151) 사이의 공간이 접착층(142)으로 충전되는, 고체 밀봉 구조가 적용되어 있다. 또는 상기 공간이 불활성 가스(질소 또는 아르곤 등)로 충전되는, 중공 밀봉 구조를 적용하여도 좋다. 이때 접착층(142)은 발광 디바이스와 중첩되지 않도록 제공되어도 좋다. 또한 상기 공간을 테두리 형상으로 제공된 접착층(142)과는 다른 수지로 충전하여도 좋다.

[0710] 보호층(131)은 적어도 표시부(162)에 제공되어 있고, 표시부(162) 전체를 덮도록 제공되는 것이 바람직하다. 보호층(131)은 표시부(162)뿐만 아니라 접속부(140) 및 회로(164)를 덮도록 제공되는 것이 바람직하다. 또한 보호층(131)은 표시 장치(100A)의 단부까지 연장되어 제공되는 것이 바람직하다. 한편, 접속부(204)는 FPC(172)와 도전층(166)을 전기적으로 접속하기 위하여 보호층(131)이 제공되지 않은 부분을 가진다.

[0711] 기판(151)에서 기판(152)과 중첩되지 않은 영역에는 접속부(204)가 제공되어 있다. 접속부(204)에서는, 배선(165)이 도전층(166) 및 접속층(242)을 통하여 FPC(172)와 전기적으로 접속되어 있다. 도전층(166)은 화소 전극(111R), 화소 전극(111G), 화소 전극(111B), 및 도전층(123)과 같은 공정으로 형성할 수 있다. 접속부(204)의 상면에서는 도전층(166)이 노출되어 있다. 이로써 접속부(204)와 FPC(172)를 접속층(242)을 통하여 전기적으로 접속할 수 있다.

[0712] 예를 들어 보호층(131)을 표시 장치(100A)의 면 전체에 성막한 후, 마스크를 사용하여 보호층(131)에서 도전층(166)과 중첩되는 영역을 제거함으로써, 도전층(166)을 노출시킬 수 있다.

[0713] 도전층(166) 위에 적어도 하나의 유기층과 도전층의 적층 구조를 제공하고, 상기 적층 구조 위에 보호층(131)을 제공하여도 좋다. 그리고 레이저 또는 예리한 날붙이(예를 들어 바늘 또는 커터 칼)를 사용하여 상기 적층 구조에서 박리 기점(박리의 기점이 되는 부분)을 형성하여, 상기 적층 구조 및 그 위의 보호층(131)을 선택적으로 제거함으로써 도전층(166)을 노출시켜도 좋다. 예를 들어 점착성이 있는 롤러를 기판(151)에 밀착시키고, 롤러를 돌리면서 상대적으로 이동시킴으로써 보호층(131)을 선택적으로 제거할 수 있다. 또는 점착성이 있는 테이프를 기판(151)에 붙이고 떼어도 좋다. 유기층과 도전층 사이의 밀착성 또는 유기층들 사이의 밀착성이 낮기 때문에, 유기층과 도전층의 계면 또는 유기층에서 분리가 일어난다. 따라서 보호층(131)에서 도전층(166)과 중첩되는 영역을 선택적으로 제거할 수 있다. 또한 도전층(166) 위에 유기층 등이 잔존한 경우에는, 유기 용제 등을 사용하여 이를 제거할 수 있다.

[0714] 유기층으로서는, 예를 들어 층(113B), 층(113G), 및 층(113R) 중 어느 것에 사용하는 적어도 하나의 유기층(발광층, 캐리어 차단층, 캐리어 수송층, 또는 캐리어 주입층으로서 기능하는 층)을 사용할 수 있다. 유기층은 층(113B), 층(113G), 및 층(113R) 중 어느 것을 성막할 때 동시에 형성하여도 좋고, 별도로 제공하여도 좋다. 도전층은 공통 전극(115)과 동일한 재료를 사용하여 동일한 공정으로 형성할 수 있다. 예를 들어 공통 전극(115) 및 도전층으로서 ITO막을 형성하는 것이 바람직하다. 또한 공통 전극(115)에 적층 구조를 사용하는 경우, 도전층으로서는 공통 전극(115)을 구성하는 층 중 적어도 하나를 제공한다.

[0715] 도전층(166) 위에 보호층(131)이 성막되지 않도록 도전층(166)의 상면을 마스크로 덮어도 좋다. 마스크로서는 예를 들어 메탈 마스크(에어리어 메탈 마스크)를 사용하여도 좋고, 점착성 또는 흡착성이 있는 테이프 또는 필름을 사용하여도 좋다. 상기 마스크를 배치한 상태에서 보호층(131)을 형성한 후, 마스크를 제거함으로써, 보호층(131)을 형성한 후에도 도전층(166)이 노출된 상태를 유지할 수 있다.

[0716] 이러한 방법을 사용함으로써, 보호층(131)이 제공되지 않은 영역을 접속부(204)에 형성하고, 상기 영역에서 접속층(242)을 통하여 도전층(166)과 FPC(172)를 전기적으로 접속할 수 있다.

[0717] 접속부(140)에서는 절연층(235) 위에 도전층(123)이 제공되어 있다. 도전층(123)은 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)과 같은 공정으로 형성할 수 있다. 또는 도전층(123)은 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)을 형성하는 공정의 일부와 같은 공정으로 형성할 수 있다. 도전층(123)의 단부는 마스크층(118R), 마스크층(119R), 절연층(125), 및 절연층(127)으로 덮여 있다. 또한 도전층(123) 위에는 공통층(114)이 제공되고, 공통층(114) 위에는 공통 전극(115)이 제공되어 있다. 도전층(123)과 공통 전극(115)은 공통층(114)을 통하여 전기적으로 접속된다. 또한 접속부(140)에는 공통층(114)이 형성되지 않아도 된다. 이 경우, 도전층(123)과 공통 전극(115)이 직접 접하여 전기적으로 접속된다.

[0718] 표시 장치(100A)는 톱 이미션형 구조를 가진다. 발광 디바이스로부터 방출되는 광은 기판(152) 측에 방출된다. 기판(152)에는 가시광 투과성이 높은 재료를 사용하는 것이 바람직하다. 화소 전극은 가시광을 반사하는 재료를 포함하고, 대향 전극(공통 전극(115))은 가시광을 투과시키는 재료를 포함한다.

[0719] 회로(164)에 포함되는 트랜지스터(예를 들어, 트랜지스터(201))와, 표시부(162)에 포함되는 트랜지스터(예를 들어, 트랜지스터(205R))는 모두 기판(151) 위에 형성되어 있다. 이들 트랜지스터는 동일한 재료 및 동일한 공정으로 제작할 수 있다. 예를 들어 실시형태 1에서 설명한 트랜지스터를 적합하게 사용할 수 있다.

[0720] 회로(164)에 포함되는 트랜지스터와 표시부(162)에 포함되는 트랜지스터는 같은 구조를 가져도 좋고, 다른 구조를 가져도 좋다. 회로(164)에 포함되는 복수의 트랜지스터의 구조는 모두 같아도 좋고, 2종류 이상 있어도 좋다. 이와 마찬가지로, 표시부(162)에 포함되는 복수의 트랜지스터에는 하나의 구조를 채용하여도 좋고, 2종류 이상의 구조를 채용하여도 좋다.

[0721] 표시부(162)에 포함되는 모든 트랜지스터를 OS 트랜지스터로 하여도 좋고, 표시부(162)에 포함되는 모든 트랜지스터를 Si 트랜지스터로 하여도 좋고, 표시부(162)에 포함되는 트랜지스터의 일부를 OS 트랜지스터로 하고 나머지를 Si 트랜지스터로 하여도 좋다.

[0722] 예를 들어 표시부(162)에 LTPS 트랜지스터와 OS 트랜지스터의 양쪽을 사용함으로써, 소비 전력이 낮고 구동 능력이 높은 표시 장치를 실현할 수 있다. 또한 LTPS 트랜지스터와 OS 트랜지스터를 조합하는 구성을 LTPO라고 부르는 경우가 있다. 또한 배선 사이의 도통, 비도통을 제어하기 위한 스위치로서 기능하는 트랜지스터로서 OS

트랜지스터를 적용하고, 전류를 제어하는 트랜지스터 등으로서 LTPS 트랜지스터를 적용하는 것이 더 바람직하다.

[0723] 예를 들어 표시부(162)에 포함되는 트랜지스터 중 하나는 발광 디바이스에 흐르는 전류를 제어하기 위한 트랜지스터로서 기능하고, 구동 트랜지스터라고 부를 수도 있다. 구동 트랜지스터의 소스 및 드레인 중 한쪽은 발광 디바이스의 화소 전극에 전기적으로 접속된다. 상기 구동 트랜지스터로서는 LTPS 트랜지스터를 사용하는 것이 바람직하다. 이로써, 화소 회로에서 발광 디바이스에 흐르는 전류를 크게 할 수 있다.

[0724] 한편, 표시부(162)에 포함되는 트랜지스터 중 다른 하나는 화소의 선택, 비선택을 제어하기 위한 스위치로서 기능하고, 선택 트랜지스터라고 부를 수도 있다. 선택 트랜지스터의 게이트는 게이트선과 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 소스선(신호선)과 전기적으로 접속된다. 선택 트랜지스터로서는 OS 트랜지스터를 적용하는 것이 바람직하다. 이로써 프레임 주파수를 매우 작게(예를 들어 1fps 이하) 하여도 화소의 계조를 유지할 수 있기 때문에, 정지 화상을 표시하는 경우에 드라이버를 정지함으로써, 소비 전력을 저감할 수 있다.

[0725] 이와 같이 본 발명의 일 형태의 표시 장치는 높은 개구율과, 높은 정세도와, 높은 표시 품질과, 낮은 소비 전력을 겸비할 수 있다.

[0726] 또한 본 발명의 일 형태의 표시 장치는 OS 트랜지스터와, MML(metal maskless) 구조를 가지는 발광 디바이스를 포함한 구성을 가진다. 상기 구성으로 함으로써, 트랜지스터에 흐를 수 있는 누설 전류 및 인접한 발광 디바이스 사이에 흐를 수 있는 누설 전류(가로 누설 전류, 사이드 누설 전류라고도 함)를 매우 낮게 할 수 있다. 또한 상기 구성으로 함으로써, 표시 장치에 화상을 표시한 경우에 관찰자가 화상의 선명함, 화상의 날카로움, 높은 채도, 및 높은 콘트라스트비 중 어느 하나 또는 복수를 느낄 수 있다. 또한 트랜지스터에 흐를 수 있는 누설 전류 및 발광 디바이스 사이의 가로 누설 전류가 매우 낮은 구성으로 함으로써, 흑색 표시 시에 발생할 수 있는 광 누설(소위 흑색 표시 부분이 밝게 표시되는 현상) 등이 최대한 억제된 표시로 할 수 있다.

[0727] 특히 MML 구조를 가지는 발광 디바이스에 상술한 SBS 구조를 적용하면, 발광 디바이스 사이에 제공되는 층(예를 들어 발광 디바이스에서 공유되는 유기층, 공통층이라고도 함)이 분단되기 때문에, 사이드 누설을 없애거나 매우 적게 할 수 있다.

[0728] 기판(152)의 기판(151) 측의 면에는 차광층(117)을 제공하는 것이 바람직하다. 차광층(117)은 인접한 발광 디바이스 사이, 접속부(140), 및 회로(164) 등에 제공될 수 있다. 또한 기판(152) 외측에는 각종 광학 부재를 배치할 수 있다.

[0729] 기판(151) 및 기판(152)에는 각각 기판(120)에 사용할 수 있는 재료를 사용할 수 있다.

[0730] 접착층(142)에는 수지층(122)에 사용할 수 있는 재료를 사용할 수 있다.

[0731] 접속층(242)에는 이방성 도전 필름(ACF: Anisotropic Conductive Film), 이방성 도전 페이스트(ACP: Anisotropic Conductive Paste) 등을 사용할 수 있다.

[0732] [표시 장치(100B)]

[0733] 도 42에 나타낸 표시 장치(100B)는 보텀 이미션형 표시 장치인 점에서 표시 장치(100A)와 주로 다르다.

[0734] 발광 디바이스로부터 방출되는 광은 기판(151) 측에 방출된다. 기판(151)에는 가시광 투과성이 높은 재료를 사용하는 것이 바람직하다. 한편, 기판(152)에 사용하는 재료의 광 투과성은 한정되지 않는다.

[0735] 기판(151)과 트랜지스터(201) 사이, 기판(151)과 트랜지스터(205) 사이에는 차광층(117)을 형성하는 것이 바람직하다. 도 42에는 기판(151) 위에 차광층(117)이 제공되고, 차광층(117) 위에 절연층(153)이 제공되고, 절연층(153) 위에 트랜지스터(201, 205) 등이 제공된 예를 나타내었다.

[0736] 화소 전극(111)을 구성하는 층에는 각각 가시광에 대한 투과성이 높은 재료를 사용한다. 공통 전극(115)에는 가시광을 반사하는 재료를 사용하는 것이 바람직하다.

[0737] [표시 장치(100C)]

[0738] 도 43에 나타낸 표시 장치(100C)는 수광 디바이스(150)를 가지는 점에서 표시 장치(100A)와 주로 다르다.

[0739] 수광 디바이스(150)는 화소 전극(111S)과, 층(113S)과, 공통층(114)과, 공통 전극(115)을 가진다. 층(113S)은 적어도 활성층을 가진다. 화소 전극(111S)은 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)과 같은

공정으로 형성할 수 있다.

[0740] 화소 전극(111S)은 절연층(225), 절연층(218), 절연층(235), 및 절연층(239)에 제공된 개구를 통하여 트랜지스터(205S)가 가지는 도전층(222b)과 접속되어 있다.

[0741] 화소 전극(111S)의 상면 및 측면은 층(113S)으로 덮여 있다.

[0742] 층(113S)의 상면의 일부 및 측면은 절연층(125) 및, 절연층(127)으로 덮여 있다. 층(113S)과 절연층(125) 사이에는 마스크층(118S) 및 마스크층(119S)이 위치한다. 층(113S), 절연층(125), 및 절연층(127) 위에 공통층(114)이 제공되고, 공통층(114) 위에 공통 전극(115)이 제공되어 있다. 공통층(114)은 수광 디바이스와 발광 디바이스에서 공유되는 하나의 연속적인 막이다.

[0743] 표시 장치(100C)에는 예를 들어 실시형태 3에서 설명한 도 39의 (A) 내지 (K)에 나타낸 화소 레이아웃을 적용할 수 있다. 또한 수광 디바이스를 포함하는 표시 장치의 자세한 사항에 대해서는 실시형태 1 및 실시형태 6을 참조할 수 있다.

[0744] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0745] (실시형태 5)

[0746] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치에 사용할 수 있는 발광 디바이스에 대하여 설명한다.

[0747] 도 44의 (A)에 나타낸 바와 같이, 발광 디바이스는 한 쌍의 전극(하부 전극(761) 및 상부 전극(762)) 사이에 EL층(763)을 가진다. EL층(763)은 층(780), 발광층(771), 및 층(790) 등 복수의 층으로 구성될 수 있다.

[0748] 발광층(771)은 적어도 발광 물질(발광 재료라고도 함)을 포함한다.

[0749] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780)은 정공 주입성이 높은 물질을 포함하는 층(정공 주입층), 정공 수송성이 높은 물질을 포함하는 층(정공 수송층), 및 전자 차단성이 높은 물질을 포함하는 층(전자 차단층) 중 하나 또는 복수를 가진다. 또한 층(790)은 전자 주입성이 높은 물질을 포함하는 층(전자 주입층), 전자 수송성이 높은 물질을 포함하는 층(전자 수송층), 및 정공 차단성이 높은 물질을 포함하는 층(정공 차단층) 중 하나 또는 복수를 가진다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우에는, 층(780)과 층(790)의 구성은 상기와 서로 반대가 된다.

[0750] 한 쌍의 전극 사이에 제공된 층(780), 발광층(771), 및 층(790)을 포함한 구성은 단일의 발광 유닛으로서 기능할 수 있고, 본 명세서에서는 도 44의 (A)의 구성을 싱글 구조라고 부른다.

[0751] 도 44의 (B)는 도 44의 (A)에 나타낸 발광 디바이스에 포함되는 EL층(763)의 변형예를 나타낸 것이다. 구체적으로는, 도 44의 (B)에 나타낸 발광 디바이스는 하부 전극(761) 위의 층(781)과, 층(781) 위의 층(782)과, 층(782) 위의 발광층(771)과, 발광층(771) 위의 층(791)과, 층(791) 위의 층(792)과, 층(792) 위의 상부 전극(762)을 가진다.

[0752] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(781)을 정공 주입층, 층(782)을 정공 수송층, 층(791)을 전자 수송층, 층(792)을 전자 주입층으로 할 수 있다. 또한 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(781)을 전자 주입층, 층(782)을 전자 수송층, 층(791)을 정공 수송층, 층(792)을 정공 주입층으로 할 수 있다. 이러한 층 구조로 함으로써, 발광층(771)에 효율적으로 캐리어를 주입하여 발광층(771) 내의 캐리어 재결합 효율을 높일 수 있다.

[0753] 또한 도 44의 (C) 및 (D)에 나타낸 바와 같이, 층(780)과 층(790) 사이에 복수의 발광층(발광층(771, 772, 773))이 제공된 구성도 싱글 구조의 베리에이션이다. 또한 도 44의 (C) 및 (D)에는 3개의 발광층을 포함한 예를 나타내었지만, 싱글 구조를 가지는 발광 디바이스에서의 발광층은 2개이어도 좋고, 4개 이상이어도 좋다. 또한 싱글 구조를 가지는 발광 디바이스는 2개의 발광층 사이에 버퍼층을 가져도 좋다. 버퍼층으로서는 예를 들어 캐리어 수송층(정공 수송층 및 전자 수송층)을 사용할 수 있다.

[0754] 본 명세서에서는, 도 44의 (E) 및 (F)에 나타낸 바와 같이, 복수의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)(중간층이라고도 함)을 사이에 두고 직렬로 접속된 구성을 탠덤 구조라고 부른다. 또한 탠덤 구조를 스택 구조라고 불러도 좋다. 탠덤 구조로 함으로써, 고휘도 발광이 가능한 발광 디바이스로 할 수 있다. 또한 탠덤 구조는 싱글 구조에 비하여, 같은 휘도를 얻는 데 필요한 전류를 낮출 수 있기 때문에 신뢰성을 높일 수 있다.

[0755] 또한 도 44의 (D) 및 (F)는 표시 장치가 발광 디바이스와 중첩된 층(764)을 가지는 예를 나타낸 것이다. 도 44의 (D)에는 층(764)이 도 44의 (C)에 나타낸 발광 디바이스와 중첩된 예를 나타내고, 도 44의 (F)에는 층(764)이 도 44의 (E)에 나타낸 발광 디바이스와 중첩된 예를 나타내었다. 도 44의 (D) 및 (F)에서는 상부 전극(762) 측에 광을 추출하기 때문에, 상부 전극(762)에는 가시광을 투과시키는 도전막을 사용한다.

[0756] 층(764)으로서는 색 변환층 및 컬러 필터(착색층) 중 한쪽 또는 양쪽을 사용할 수 있다.

[0757] 도 44의 (C) 및 (D)에서는, 발광층(771), 발광층(772), 및 발광층(773)에 같은 색의 광을 방출하는 발광 물질을 사용하여도 좋고, 같은 발광 물질을 사용하여도 좋다. 예를 들어, 발광층(771), 발광층(772), 및 발광층(773)에 청색의 광을 방출하는 발광 물질을 사용하여도 좋다. 청색 발광을 나타내는 부화소에서는 발광 디바이스가 방출하는 청색의 광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소 및 녹색의 광을 나타내는 부화소에서는, 도 44의 (D)에 나타낸 층(764)으로서 색 변환층을 제공함으로써, 발광 디바이스로부터 방출되는 청색의 광이 더 긴 파장의 광으로 변환되기 때문에, 적색 또는 녹색의 광을 추출할 수 있다. 또한 층(764)으로서는 색 변환층과 착색층의 양쪽을 사용하는 것이 바람직하다. 발광 디바이스로부터 방출되는 광의 일부는 변환되지 않고 색 변환층을 투과하는 경우가 있다. 색 변환층을 투과한 광이 착색층을 통하여 추출됨으로써, 원하는 색의 광 이외의 광이 착색층에 의하여 흡수되므로, 부화소가 나타내는 광의 색 순도를 높일 수 있다.

[0758] 도 44의 (C) 및 (D)에서, 발광층(771), 발광층(772), 및 발광층(773)에 각각 서로 다른 색의 광을 방출하는 발광 물질을 사용하여도 좋다. 발광층(771), 발광층(772), 및 발광층(773) 각각이 방출하는 광의 혼합에 의하여 백색 발광이 얻어지는 구성으로 할 수 있다. 예를 들어, 싱글 구조의 발광 디바이스는 청색의 광을 방출하는 발광 물질을 포함하는 발광층, 및 청색보다 파장이 긴 가시광을 방출하는 발광 물질을 포함하는 발광층을 포함하는 것이 바람직하다.

[0759] 도 44의 (D)에 나타낸 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색광이 컬러 필터를 투과함으로써 원하는 색의 광을 얻을 수 있다.

[0760] 예를 들어, 싱글 구조의 발광 디바이스가 3층의 발광층을 가지는 경우, 적색(R)의 광을 방출하는 발광 물질을 포함하는 발광층, 녹색(G)의 광을 방출하는 발광 물질을 포함하는 발광층, 및 청색(B)의 광을 방출하는 발광 물질을 포함하는 발광층을 가지는 것이 바람직하다. 발광층의 적층순으로서는 양극 측으로부터 R, G, B, 또는 양극 측으로부터 R, B, G 등으로 할 수 있다. 이때 R와 G 또는 B 사이에 버퍼층이 제공되어도 좋다.

[0761] 예를 들어 싱글 구조를 가지는 발광 디바이스가 2개의 발광층을 포함하는 경우, 청색(B)의 광을 방출하는 발광 물질을 포함한 발광층 및 황색(Y)의 광을 방출하는 발광 물질을 포함한 발광층을 포함하는 것이 바람직하다. 상기 구성을 BY 싱글 구조라고 부르는 경우가 있다.

[0762] 백색광을 방출하는 발광 디바이스는 2종류 이상의 발광 물질을 포함하는 것이 바람직하다. 각각의 발광 물질이 방출하는 광의 혼합에 의하여 백색이 되는 발광 물질을 선택하면 좋다. 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색 관계가 되도록 함으로써, 전체로서 백색 발광하는 발광 디바이스를 얻을 수 있다. 또한 발광층을 3개 이상 가지는 발광 디바이스의 경우도 마찬가지로, 각각의 발광층의 발광색의 혼합에 의하여 백색 발광하는 발광 디바이스로 할 수 있다.

[0763] 또한 도 44의 (C), (D)에서도, 도 44의 (B)에 나타낸 바와 같이, 층(780)과 층(790)이 각각 독립적으로 2층 이상의 층으로 이루어지는 적층 구조를 가져도 좋다.

[0764] 도 44의 (E) 및 (F)에서는, 발광층(771)과 발광층(772)에 같은 색의 광을 방출하는 발광 물질을 사용하여도 좋고, 같은 발광 물질을 사용하여도 좋다. 예를 들어 각 색의 광을 나타내는 부화소가 가지는 발광 디바이스에 있어서, 발광층(771)과 발광층(772)에 각각 청색의 광을 방출하는 발광 물질을 사용하여도 좋다. 청색 발광을 나타내는 부화소에서는 발광 디바이스가 방출하는 청색의 광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소 및 녹색의 광을 나타내는 부화소에서는, 도 44의 (F)에 나타낸 층(764)으로서 색 변환층을 제공함으로써, 발광 디바이스로부터 방출되는 청색의 광이 더 긴 파장의 광으로 변환되기 때문에, 적색 또는 녹색의 광을 추출할 수 있다. 또한 층(764)으로서는 색 변환층과 착색층의 양쪽을 사용하는 것이 바람직하다.

[0765] 각 색의 광을 나타내는 부화소에 도 44의 (E) 또는 (F)에 나타낸 구성을 가지는 발광 디바이스를 사용하는 경우, 부화소에 따라 다른 발광 물질을 사용하여도 좋다. 구체적으로는, 적색의 광을 나타내는 부화소가 가지는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 적색의 광을 방출하는 발광 물질을 사용하여도 좋다. 마찬가지로, 녹색의 광을 나타내는 부화소가 가지는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 녹색

의 광을 방출하는 발광 물질을 사용하여도 좋다. 청색의 광을 나타내는 부화소가 가지는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 청색의 광을 방출하는 발광 물질을 사용하여도 좋다. 이러한 구성을 가지는 표시 장치는 탠덤 구조의 발광 디바이스가 적용되어 있고, 또한 SBS 구조를 가진다고 할 수 있다. 그러므로 탠덤 구조의 장점과 SBS 구조의 장점을 모두 가질 수 있다. 이로써, 고휘도 발광이 가능하며, 신뢰성이 높은 발광 디바이스를 실현할 수 있다.

[0766] 도 44의 (E) 및 (F)에서는, 발광층(771)과 발광층(772)에 서로 다른 색의 광을 방출하는 발광 물질을 사용하여도 좋다. 발광층(771)이 방출하는 광과 발광층(772)이 방출하는 광이 보색 관계에 있는 경우, 백색 발광이 얻어진다. 도 44의 (F)에 나타낸 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색광이 컬러 필터를 투과함으로써 원하는 색의 광을 얻을 수 있다.

[0767] 또한 도 44의 (E) 및 (F)에는 발광 유닛(763a)이 하나의 발광층(771)을 가지고, 발광 유닛(763b)이 하나의 발광층(772)을 가지는 예를 나타내었지만, 이에 한정되지 않는다. 발광 유닛(763a) 및 발광 유닛(763b)은 각각 2개 이상의 발광층을 포함하여도 좋다.

[0768] 도 44의 (E) 및 (F)에는 2개의 발광 유닛을 포함한 발광 디바이스를 예시하였지만, 이에 한정되지 않는다. 발광 디바이스는 3개 이상의 발광 유닛을 가져도 좋다. 또한 발광 유닛을 2개 가지는 구성을 2단 탠덤 구조, 발광 유닛을 3개 가지는 구성을 3단 탠덤 구조라고 각각 호칭하여도 좋다.

[0769] 도 44의 (E) 및 (F)에서, 발광 유닛(763a)은 층(780a), 발광층(771), 및 층(790a)을 가지고, 발광 유닛(763b)은 층(780b), 발광층(772), 및 층(790b)을 가진다.

[0770] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780a) 및 층(780b) 각각은 정공 주입층, 정공 수송층, 및 전자 차단층 중 하나 또는 복수를 가진다. 또한 층(790a) 및 층(790b) 각각은 전자 주입층, 전자 수송층, 및 정공 차단층 중 하나 또는 복수를 가진다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우에는, 층(780a)과 층(790a)의 구성은 상기와 서로 반대가 되고, 층(780b)과 층(790b)의 구성도 상기와 서로 반대가 된다.

[0771] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(780a)은 정공 주입층과, 정공 주입층 위의 정공 수송층을 가지고, 정공 수송층 위의 전자 차단층을 더 가져도 좋다. 또한 층(790a)은 전자 수송층을 가지고, 발광층(771)과 전자 수송층 사이의 정공 차단층을 더 가져도 좋다. 또한 층(780b)은 정공 수송층을 가지고, 정공 수송층 위의 전자 차단층을 더 가져도 좋다. 또한 층(790b)은 전자 수송층과, 전자 수송층 위의 전자 주입층을 가지고, 발광층(772)과 전자 수송층 사이의 정공 차단층을 더 가져도 좋다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우에는, 예를 들어 층(780a)은 전자 주입층과, 전자 주입층 위의 전자 수송층을 가지고, 전자 수송층 위의 정공 차단층을 더 가져도 좋다. 또한 층(790a)은 정공 수송층을 가지고, 발광층(771)과 정공 수송층 사이의 전자 차단층을 더 가져도 좋다. 또한 층(780b)은 전자 수송층을 가지고, 전자 수송층 위의 정공 차단층을 더 가져도 좋다. 또한 층(790b)은 정공 수송층과, 정공 수송층 위의 정공 주입층을 가지고, 발광층(772)과 정공 수송층 사이의 전자 차단층을 더 가져도 좋다.

[0772] 탠덤 구조를 가지는 발광 디바이스를 제작하는 경우, 2개의 발광 유닛은 전하 발생층(785)을 개재하여 적층된다. 전하 발생층(785)은 적어도 전하 발생 영역을 가진다. 전하 발생층(785)은 한 쌍의 전극 사이에 전압을 인가하였을 때에, 2개의 발광 유닛의 한쪽에 전자를 주입하고, 다른 쪽에 정공을 주입하는 기능을 가진다.

[0773] 탠덤 구조를 가지는 발광 디바이스의 일례로서, 도 45의 (A) 내지 (C)에 나타낸 구성을 들 수 있다.

[0774] 도 45의 (A)에는 3개의 발광 유닛을 포함한 구성을 나타내었다. 도 45의 (A)에서는 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))이 각각 전하 발생층(785)을 사이에 두고 직렬로 접속되어 있다. 또한 발광 유닛(763a)은 층(780a)과, 발광층(771)과, 층(790a)을 가지고, 발광 유닛(763b)은 층(780b)과, 발광층(772)과, 층(790b)을 가지고, 발광 유닛(763c)은 층(780c)과, 발광층(773)과, 층(790c)을 가진다. 또한 층(780c)에는 층(780a) 및 층(780b)에 적용 가능한 구성을 사용할 수 있고, 층(790c)에는 층(790a) 및 층(790b)에 적용 가능한 구성을 사용할 수 있다.

[0775] 도 45의 (A)에서, 발광층(771), 발광층(772), 및 발광층(773)은 같은 색의 광을 방출하는 발광 물질을 포함하는 것이 바람직하다. 구체적으로는 발광층(771), 발광층(772), 및 발광층(773) 각각이 적색(R)의 발광 물질을 포함하는 구성(소위 R\R\R의 3단 탠덤 구조), 발광층(771), 발광층(772), 및 발광층(773) 각각이 녹색(G)의 발광 물질을 포함하는 구성(소위 G\G\G의 3단 탠덤 구조), 또는 발광층(771), 발광층(772), 및 발광층(773) 각각이 청색(B)의 발광 물질을 포함하는 구성(소위 B\B\B의 3단 탠덤 구조)으로 할 수 있다. 또한 'a\b'는 a

의 광을 방출하는 발광 물질을 포함하는 발광 유닛 위에 전하 발생층을 개재하여 b의 광을 방출하는 발광 물질을 포함하는 발광 유닛이 제공되어 있는 것을 의미하고, a, b는 색을 의미한다.

[0776] 도 45의 (A)에서, 발광층(771), 발광층(772), 및 발광층(773) 중 일부 또는 모두에 서로 다른 색의 광을 방출하는 발광 물질을 사용하여도 좋다. 발광층(771), 발광층(772), 및 발광층(773)의 발광색의 조합으로서는, 예를 들어 어느 2개가 청색(B)이고 나머지 하나가 황색(Y)인 구성, 그리고 어느 하나가 적색(R)이고 다른 하나가 녹색(G)이고 나머지 하나가 청색(B)인 구성이 있다.

[0777] 또한 각각 같은 색의 광을 방출하는 발광 물질로서는 상기 구성에 한정되지 않는다. 예를 들어 도 45의 (B)에 나타낸 바와 같이, 복수의 발광층을 가진 발광 유닛을 적층한 탠덤형 발광 디바이스로 하여도 좋다. 도 45의 (B)에 나타낸 구성에서는, 2개의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)을 사이에 두고 직렬로 접속되어 있다. 또한 발광 유닛(763a)은 층(780a), 발광층(771a), 발광층(771b), 발광층(771c), 및 층(790a)을 가지고, 발광 유닛(763b)은 층(780b), 발광층(772a), 발광층(772b), 발광층(772c), 및 층(790b)을 가진다.

[0778] 도 45의 (B)에서는, 발광층(771a), 발광층(771b), 및 발광층(771c) 각각이 방출하는 광을 혼합함으로써 발광 유닛(763a)이 백색 발광(W)을 하도록 발광 물질을 선택할 수 있다. 또한 발광층(772a), 발광층(772b), 및 발광층(772c)에 대해서도, 각각이 방출하는 광을 혼합함으로써 발광 유닛(763b)이 백색 발광(W)을 하도록 발광 물질을 선택할 수 있다. 즉 도 45의 (B)에 나타낸 구성은 W\W의 2단 탠덤 구조이다. 또한 각 발광 물질의 적층 순서는 특별히 한정되지 않는다. 실시자가 적절히 최적의 적층순을 선택할 수 있다. 또한 도시하지 않았지만, W\W\W의 3단 탠덤 구조 또는 4단 이상의 탠덤 구조로 하여도 좋다.

[0779] 탠덤 구조를 가지는 발광 디바이스의 경우, 황색(Y)의 광을 방출하는 발광 유닛과 청색(B)의 광을 방출하는 발광 유닛을 포함한 B\Y 또는 Y\B의 2단 탠덤 구조, 적색(R)과 녹색(G)의 광을 방출하는 발광 유닛과 청색(B)의 광을 방출하는 발광 유닛을 포함한 R·G\B 또는 B\R·G의 2단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 황색(Y)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 포함한 B\Y\B의 3단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 황록색(YG)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 포함한 B\YG\B의 3단 탠덤 구조, 청색(B)의 광을 방출하는 발광 유닛과, 녹색(G)의 광을 방출하는 발광 유닛과, 청색(B)의 광을 방출하는 발광 유닛을 이 순서대로 포함한 B\G\B의 3단 탠덤 구조 등을 적용할 수 있다. 또한 'a·b'는 하나의 발광 유닛이 a의 광을 방출하는 발광 물질과 b의 광을 방출하는 발광 물질을 포함하는 것을 의미한다.

[0780] 도 45의 (C)에 나타낸 바와 같이, 하나의 발광층을 가진 발광 유닛과 복수의 발광층을 가진 발광 유닛을 조합하여도 좋다.

[0781] 구체적으로는, 도 45의 (C)에 나타낸 구성에서는, 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))이 각각 전하 발생층(785)을 사이에 두고 직렬로 접속되어 있다. 또한 발광 유닛(763a)은 층(780a)과, 발광층(771)과, 층(790a)을 가지고, 발광 유닛(763b)은 층(780b)과, 발광층(772a)과, 발광층(772b)과, 발광층(772c)과, 층(790b)을 가지고, 발광 유닛(763c)은 층(780c)과, 발광층(773)과, 층(790c)을 가진다.

[0782] 예를 들어 도 45의 (C)에 나타낸 구성에서는, 발광 유닛(763a)이 청색(B)의 광을 방출하는 발광 유닛이고, 발광 유닛(763b)이 적색(R), 녹색(G), 및 황록색(YG)의 광을 방출하는 발광 유닛이고, 발광 유닛(763c)이 청색(B)의 광을 방출하는 발광 유닛인 B\R·G·YG\B의 3단 탠덤 구조 등을 적용할 수 있다.

[0783] 예를 들어 발광 유닛의 적층수와 색의 순서로서는 양극 측으로부터, B, Y의 2단 구조, B와 발광 유닛 X의 2단 구조, B, Y, B의 3단 구조, B, X, B의 3단 구조를 들 수 있고, 발광 유닛 X에서의 발광층의 적층수와 색의 순서로서는 양극 측으로부터, R, Y의 2층 구조, R, G의 2층 구조, G, R의 2층 구조, G, R, G의 3층 구조, 또는 R, G, R의 3층 구조 등으로 할 수 있다. 또한 2개의 발광층 사이에 다른 층이 제공되어도 좋다.

[0784] 다음으로 발광 디바이스에 사용할 수 있는 재료에 대하여 설명한다.

[0785] 하부 전극(761) 및 상부 전극(762) 중 광을 추출하는 측의 전극에는 가시광을 투과시키는 도전막을 사용한다. 또한 광을 추출하지 않는 측의 전극에는 가시광을 반사시키는 도전막을 사용하는 것이 바람직하다. 또한 표시 장치가 적외광을 방출하는 발광 디바이스를 가지는 경우에는, 광을 추출하는 측의 전극에는 가시광 및 적외광을 투과시키는 도전막을 사용하고, 광을 추출하지 않는 측의 전극에는 가시광 및 적외광을 반사하는 도전막을 사용하는 것이 바람직하다.

[0786] 광을 추출하지 않는 측의 전극에도 가시광을 투과시키는 도전막을 사용하여도 좋다. 이 경우, 반사층과 EL층(763) 사이에 상기 전극을 배치하는 것이 바람직하다. 즉 EL층(763)의 발광은 상기 반사층에 의하여 반사되어 표시 장치로부터 추출되어도 좋다.

[0787] 발광 디바이스의 한 쌍의 전극을 형성하는 재료로서는 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 적절히 사용할 수 있다. 상기 재료로서 구체적으로는, 알루미늄, 마그네슘, 타이타늄, 크로뮴, 망가니즈, 철, 코발트, 니켈, 구리, 갈륨, 아연, 인듐, 주석, 몰리브데넘, 탄탈럼, 텅스텐, 팔라듐, 금, 백금, 은, 이트륨, 네오디뮴 등의 금속, 및 이들을 적절히 조합하여 포함한 합금을 들 수 있다. 또한 상기 재료로서는 인듐 주석 산화물(In-Sn 산화물, ITO라고도 함), In-Si-Sn 산화물(ITSO라고도 함), 인듐 아연 산화물(In-Zn 산화물), 및 In-W-Zn 산화물 등을 들 수 있다. 또한 상기 재료로서는 알루미늄, 니켈, 및 란타넘의 합금(Al-Ni-La) 등의 알루미늄을 포함한 합금(알루미늄 합금), 그리고 은과 마그네슘의 합금 및 은과 팔라듐과 구리의 합금(Ag-Pd-Cu, APC라고도 표기함) 등의 은을 포함한 합금을 들 수 있다. 이 외에 상기 재료로서 위에서 예시하지 않은 원소 주기율표의 1족 또는 2족에 속하는 원소(예를 들어, 리튬, 세슘, 칼슘, 스트론튬), 유로퓸, 이터븀 등의 희토류 금속, 및 이들을 적절히 조합하여 포함하는 합금, 그래핀 등을 들 수 있다.

[0788] 발광 디바이스에는 미소 광공진기(마이크로캐비티) 구조가 적용되는 것이 바람직하다. 따라서 발광 디바이스에 포함되는 한 쌍의 전극 중 한쪽은 가시광에 대한 투과성 및 반사성을 가지는 전극(반투과·반반사 전극)인 것이 바람직하고, 다른 쪽은 가시광에 대한 반사성을 가지는 전극(반사 전극)인 것이 바람직하다. 발광 디바이스가 마이크로캐비티 구조를 가짐으로써, 발광층으로부터 얻어지는 발광을 양쪽 전극 사이에서 공진시켜, 발광 디바이스로부터 방출되는 광을 강하게 할 수 있다.

[0789] 투명 전극의 광 투과율은 40% 이상으로 한다. 예를 들어 발광 디바이스의 투명 전극에는 가시광(파장 400nm 이상 750nm 미만의 광) 투과율이 40% 이상인 전극을 사용하는 것이 바람직하다. 반투과·반반사 전극의 가시광 반사율은 10% 이상 95% 이하, 바람직하게는 30% 이상 80% 이하로 한다. 반사 전극의 가시광 반사율은 40% 이상 100% 이하, 바람직하게는 70% 이상 100% 이하로 한다. 또한 이들 전극의 저항률은 $1\times10^{-2}\Omega$cm 이하가 바람직하다.

[0790] 발광 디바이스는 적어도 발광층을 가진다. 또한 발광 디바이스는 발광층 외의 층으로서, 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 차단 재료, 전자 수송성이 높은 물질, 전자 차단 재료, 전자 주입성이 높은 물질, 또는 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 포함하는 층을 더 가져도 좋다. 예를 들어, 발광 디바이스는 발광층 외에 정공 주입층, 정공 수송층, 정공 차단층, 전하 발생층, 전자 차단층, 전자 수송층, 및 전자 주입층 중 하나 이상을 가지는 구성으로 할 수 있다.

[0791] 발광 디바이스에는 저분자 화합물 및 고분자 화합물 중 어느 쪽이든 사용할 수 있고, 무기 화합물이 포함되어도 좋다. 발광 디바이스를 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0792] 발광층은 1종류 또는 복수 종류의 발광 물질을 포함한다. 발광 물질로서는 청색, 자색, 청자색, 녹색, 황록색, 황색, 주황색, 또는 적색 등의 발광색을 나타내는 물질을 적절히 사용한다. 또한 발광 물질로서, 근적외광을 방출하는 물질을 사용할 수도 있다.

[0793] 발광 물질로서는 형광 재료, 인광 재료, TADF 재료, 및 퀀텀닷 재료 등을 들 수 있다.

[0794] 형광 재료로서는 예를 들어 피렌 유도체, 안트라센 유도체, 트라이페닐렌 유도체, 플루오렌 유도체, 카바졸 유도체, 다이벤조싸이오펜 유도체, 다이벤조퓨란 유도체, 다이벤조퀴녹살린 유도체, 퀴녹살린 유도체, 피리딘 유도체, 피리미딘 유도체, 페난트렌 유도체, 및 나프탈렌 유도체 등이 있다.

[0795] 인광 재료로서는 예를 들어, 4H-트라이아졸 골격, 1H-트라이아졸 골격, 이미다졸 골격, 피리미딘 골격, 피라진 골격, 또는 피리딘 골격을 가지는 유기 금속 착체(특히 이리듐 착체), 전자 흡인기를 가지는 페닐피리딘 유도체를 배위자로 하는 유기 금속 착체(특히 이리듐 착체), 백금 착체, 및 희토류 금속 착체 등이 있다.

[0796] 발광층은 발광 물질(게스트 재료)에 더하여 1종류 또는 복수 종류의 유기 화합물(호스트 재료, 어시스트 재료 등)을 포함하여도 좋다. 1종류 또는 복수 종류의 유기 화합물로서는 정공 수송성이 높은 물질(정공 수송성 재료) 및 전자 수송성이 높은 물질(전자 수송성 재료) 중 한쪽 또는 양쪽을 사용할 수 있다. 정공 수송성 재료로서는 후술하는 정공 수송층에 사용할 수 있는 정공 수송성이 높은 물질을 사용할 수 있다. 전자 수송성 재료로서는 후술하는 전자 수송층에 사용할 수 있는 전자 수송성이 높은 물질을 사용할 수 있다. 또한 1종류 또는 복

수 종류의 유기 화합물로서 양극성 재료 또는 TADF 재료를 사용하여도 좋다.

[0797] 발광층은 예를 들어 인광 재료와, 들뜬 복합체를 형성하기 쉬운 정공 수송성 재료와 전자 수송성 재료의 조합을 가지는 것이 바람직하다. 이와 같은 구성으로 함으로써, 들뜬 복합체로부터 발광 물질(인광 재료)로의 에너지 이동인 ExTET(Exciplex-Triplet Energy Transfer)를 사용한 발광을 효율적으로 얻을 수 있다. 발광 물질의 가장 낮은 에너지 측의 흡수대의 파장과 중첩되는 발광을 나타내는 들뜬 복합체를 형성하는 조합을 선택함으로써, 에너지 이동이 원활해져 발광을 효율적으로 얻을 수 있다. 이 구성에 의하여, 발광 디바이스의 고효율화, 저전압 구동, 장수명을 동시에 실현할 수 있다.

[0798] 정공 주입층은 양극으로부터 정공 수송층에 정공을 주입하는 층이고, 정공 주입성이 높은 물질을 포함한다. 정공 주입성이 높은 물질로서는, 방향족 아민 화합물, 및 정공 수송성 재료와 억셉터성 재료(전자 수용성 재료)를 포함한 복합 재료 등을 들 수 있다.

[0799] 정공 수송성 재료로서는 후술하는 정공 수송층에 사용할 수 있는 정공 수송성이 높은 물질을 사용할 수 있다.

[0800] 억셉터성 재료로서는 예를 들어 원소 주기율표의 4족 내지 8족에 속하는 금속의 산화물을 사용할 수 있다. 구체적으로는 산화 몰리브데넘, 산화 바나듐, 산화 나이오븀, 산화 탄탈럼, 산화 크로뮴, 산화 텅스텐, 산화 망가니즈, 및 산화 레늄을 들 수 있다. 그 중에서도 특히 산화 몰리브데넘은 대기 중에서도 안정적이고, 흡습성이 낮고, 취급하기 쉽기 때문에 바람직하다. 또한 플루오린을 포함하는 유기 억셉터성 재료를 사용할 수도 있다. 또한 퀴노다이메테인 유도체, 클로라닐 유도체, 및 헥사아자트라이페닐렌 유도체 등의 유기 억셉터성 재료를 사용할 수도 있다.

[0801] 예를 들어 정공 주입성이 높은 물질로서 정공 수송성 재료와 상술한 원소 주기율표의 4족 내지 8족에 속하는 금속의 산화물(대표적으로는 산화 몰리브데넘)을 포함하는 재료를 사용하여도 좋다.

[0802] 정공 수송층은 정공 주입층에 의하여 양극으로부터 주입된 정공을 발광층으로 수송하는 층이다. 정공 수송층은 정공 수송성 재료를 포함하는 층이다. 정공 수송성 재료로서는, 정공 이동도가 $1\times10^{-6}cm^2/Vs$ 이상인 물질이 바람직하다. 또한 전자 수송성보다 정공 수송성이 높은 물질이면, 이들 외의 물질을 사용할 수도 있다. 정공 수송성 재료로서는, π전자 과잉형 헤테로 방향족 화합물(예를 들어 카바졸 유도체, 싸이오펜 유도체, 퓨란 유도체 등), 방향족 아민(방향족 아민 골격을 가지는 화합물) 등의 정공 수송성이 높은 물질이 바람직하다.

[0803] 전자 차단층은 발광층에 접하여 제공된다. 전자 차단층은 정공 수송성을 가지고, 또한 전자를 차단하는 것이 가능한 재료를 포함하는 층이다. 전자 차단층에는 상기 정공 수송성 재료 중 전자 차단성을 가지는 재료를 사용할 수 있다.

[0804] 전자 차단층은 정공 수송성을 가지기 때문에 정공 수송층이라고 부를 수도 있다. 또한 정공 수송층 중 전자 차단성을 가지는 층을 전자 차단층이라고 부를 수도 있다.

[0805] 전자 수송층은 전자 주입층에 의하여 음극으로부터 주입된 전자를 발광층으로 수송하는 층이다. 전자 수송층은 전자 수송성 재료를 포함하는 층이다. 전자 수송성 재료로서는 전자 이동도가 $1\times10^{-6}cm^2/Vs$ 이상인 물질이 바람직하다. 또한 정공 수송성보다 전자 수송성이 높은 물질이면, 이들 외의 물질을 사용할 수도 있다. 전자 수송성 재료로서는, 퀴놀린 골격을 가지는 금속 착체, 벤조퀴놀린 골격을 가지는 금속 착체, 옥사졸 골격을 가지는 금속 착체, 싸이아졸 골격을 가지는 금속 착체 등 외에, 옥사다이아졸 유도체, 트라이아졸 유도체, 이미다졸 유도체, 옥사졸 유도체, 싸이아졸 유도체, 페난트롤린 유도체, 퀴놀린 리간드를 가지는 퀴놀린 유도체, 벤조퀴놀린 유도체, 퀴녹살린 유도체, 다이벤조퀴녹살린 유도체, 피리딘 유도체, 바이피리딘 유도체, 피리미딘 유도체, 그 외에 질소 함유 헤테로 방향족 화합물을 포함한 π전자 부족형 헤테로 방향족 화합물 등의 전자 수송성이 높은 물질을 사용할 수 있다.

[0806] 정공 차단층은 발광층에 접하여 제공된다. 정공 차단층은 전자 수송성을 가지고, 또한 정공을 차단하는 것이 가능한 재료를 포함하는 층이다. 정공 차단층에는 상기 전자 수송성 재료 중 정공 차단성을 가지는 재료를 사용할 수 있다.

[0807] 정공 차단층은 전자 수송성을 가지기 때문에 전자 수송층이라고 부를 수도 있다. 또한 전자 수송층 중 정공 차단성을 가지는 층을 정공 차단층이라고 부를 수도 있다.

[0808] 전자 주입층은 음극으로부터 전자 수송층에 전자를 주입하는 층이고, 전자 주입성이 높은 물질을 포함한다. 전자 주입성이 높은 물질로서는, 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 전자 주입

성이 높은 물질로서는, 전자 수송성 재료와 도너성 재료(전자 공여성 재료)를 포함한 복합 재료를 사용할 수도 있다.

[0809] 전자 주입성이 높은 물질의 최저 비점유 분자 궤도(LUMO: Lowest Unoccupied Molecular Orbital) 준위는 음극에 사용하는 재료의 일함수의 값과의 차이가 작은(구체적으로는 0.5eV 이하) 것이 바람직하다.

[0810] 전자 주입층에는 예를 들어 리튬, 세슘, 이터븀, 플루오린화 리튬(LiF), 플루오린화 세슘(CsF), 플루오린화 칼슘(CaF_x, X는 임의의 수), 8-(퀴놀리놀레이토)리튬(약칭: Liq), 2-(2-피리딜)페놀레이토리튬(약칭: LiPP), 2-(2-피리딜)-3-피리디놀레이토리튬(약칭: LiPPy), 4-페닐-2-(2-피리딜)페놀레이토리튬(약칭: LiPPP), 리튬 산화물(LiO_x), 탄산 세슘 등과 같은 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 또한 전자 주입층은 2층 이상의 적층 구조로 하여도 좋다. 상기 적층 구조로서는 예를 들어 첫 번째 층에 플루오린화 리튬을 사용하고, 두 번째 층에 이터븀을 사용하는 구성이 있다.

[0811] 전자 주입층은 전자 수송성 재료를 포함하여도 좋다. 예를 들어 비공유 전자쌍을 가지고, 전자 부족형 헤테로 방향족 고리를 가지는 화합물을 전자 수송성 재료에 사용할 수 있다. 구체적으로는 피리딘 고리, 다이아진 고리(피리미딘 고리, 피라진 고리, 피리다진 고리), 트라이아진 고리 중 적어도 하나를 가지는 화합물을 사용할 수 있다.

[0812] 또한 비공유 전자쌍을 가지는 유기 화합물의 LUMO 준위는 -3.6eV 이상 -2.3eV 이하인 것이 바람직하다. 또한 일반적으로 CV(사이클릭 볼타메트리), 광전자 분광법, 광 흡수 분광법, 역광전자 분광법 등에 의하여 유기 화합물의 최고 점유 분자 궤도(HOMO: Highest Occupied Molecular Orbital) 준위 및 LUMO 준위를 추산할 수 있다.

[0813] 예를 들어 4,7-다이페닐-1,10-페난트롤린(약칭: BPhen), 2,9-다이(나프탈렌-2-일)-4,7-다이페닐-1,10-페난트롤린(약칭: NBPhen), 다이퀴녹살리노[2,3-a:2',3'-c]페나진(약칭: HATNA), 2,4,6-트리스[3'-(피리딘-3-일)바이페닐-3-일]-1,3,5-트라이아진(약칭: TmPPPyTz) 등을 비공유 전자쌍을 가지는 유기 화합물로서 사용할 수 있다. 또한 NBPhen은 BPhen과 비교하여 유리 전이점(Tg)이 높으므로 내열성이 우수하다.

[0814] 전하 발생층은 상술한 바와 같이 적어도 전하 발생 영역을 가진다. 전하 발생 영역은 억셉터성 재료를 포함하는 것이 바람직하고, 예를 들어 상술한 정공 주입층에 적용할 수 있는 정공 수송성 재료와 억셉터성 재료를 포함하는 것이 바람직하다.

[0815] 전하 발생층은 전자 주입성이 높은 물질을 포함한 층을 가지는 것이 바람직하다. 상기 층은 전자 주입 버퍼층이라고 부를 수도 있다. 전자 주입 버퍼층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 주입 버퍼층을 제공함으로써 전하 발생 영역과 전자 수송층 사이의 주입 장벽을 완화할 수 있기 때문에, 전하 발생 영역에서 발생한 전자를 전자 수송층에 용이하게 주입할 수 있다.

[0816] 전자 주입 버퍼층은 알칼리 금속 또는 알칼리 토금속을 포함하는 것이 바람직하고, 예를 들어 알칼리 금속의 화합물 또는 알칼리 토금속의 화합물을 포함하는 구성으로 할 수 있다. 구체적으로 전자 주입 버퍼층은 알칼리 금속과 산소를 포함하는 무기 화합물, 또는 알칼리 토금속과 산소를 포함하는 무기 화합물을 포함하는 것이 바람직하고, 리튬과 산소를 포함하는 무기 화합물(산화 리튬(Li_2O) 등)을 포함하는 것이 더 바람직하다. 그 외에 전자 주입 버퍼층에는, 상술한 전자 주입층에 적용할 수 있는 재료를 적합하게 사용할 수 있다.

[0817] 전하 발생층은 전자 수송성이 높은 물질을 포함한 층을 가지는 것이 바람직하다. 상기 층은 전자 릴레이층이라고 부를 수도 있다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층 사이에 제공되는 것이 바람직하다. 전하 발생층이 전자 주입 버퍼층을 가지지 않는 경우, 전자 릴레이층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층(또는 전자 수송층)의 상호 작용을 방지하여 전자를 원활하게 전달하는 기능을 가진다.

[0818] 전자 릴레이층에는 구리(II)프탈로사이아닌(약칭: CuPc) 등의 프탈로사이아닌계 재료, 또는 금속-산소 결합과 방향족 리간드를 가지는 금속 착체를 사용하는 것이 바람직하다.

[0819] 또한 상술한 전하 발생 영역, 전자 주입 버퍼층, 및 전자 릴레이층은 단면 형상 또는 특성 등에 따라 명확하게 구별할 수 없는 경우가 있다.

[0820] 또한 전하 발생층은 억셉터성 재료 대신에 도너성 재료를 포함하여도 좋다. 예를 들어 전하 발생층은 상술한 전자 주입층에 적용할 수 있는, 전자 수송성 재료와 도너성 재료를 포함한 층을 포함하여도 좋다.

[0821] 발광 유닛을 적층할 때, 2개의 발광 유닛 사이에 전하 발생층을 제공함으로써 구동 전압의 상승을 억제할 수 있

다.

[0822] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0823] (실시형태 6)

[0824] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치에 사용할 수 있는 수광 디바이스와, 수발광 기능을 가지는 표시 장치에 대하여 설명한다.

[0825] [수광 디바이스]

[0826] 도 46의 (A)에 나타낸 바와 같이, 수광 디바이스는 한 쌍의 전극(하부 전극(761) 및 상부 전극(762)) 사이에 층(765)을 가진다. 층(765)은 적어도 하나의 활성층을 포함하고, 다른 층을 더 포함하여도 좋다.

[0827] 또한 도 46의 (B)는, 도 46의 (A)에 나타낸 수광 디바이스가 가지는 층(765)의 변형예를 나타낸 것이다. 구체적으로는, 도 46의 (B)에 나타낸 수광 디바이스는 하부 전극(761) 위의 층(766)과, 층(766) 위의 활성층(767)과, 활성층(767) 위의 층(768)과, 층(768) 위의 상부 전극(762)을 가진다.

[0828] 활성층(767)은 광전 변환층으로서 기능한다.

[0829] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(766)은 정공 수송층 및 전자 차단층 중 한쪽 또는 양쪽을 가진다. 또한 층(768)은 전자 수송층 및 정공 차단층 중 한쪽 또는 양쪽을 가진다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우에는, 층(766)과 층(768)의 구성은 상기와 서로 반대가 된다.

[0830] 다음으로 수광 디바이스에 사용할 수 있는 재료에 대하여 설명한다.

[0831] 수광 디바이스에는 저분자 화합물 및 고분자 화합물 중 어느 쪽이든 사용할 수 있고, 무기 화합물이 포함되어도 좋다. 수광 디바이스를 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0832] 수광 디바이스에 포함되는 활성층은 반도체를 포함한다. 상기 반도체로서는 실리콘 등의 무기 반도체 및 유기 화합물을 포함하는 유기 반도체를 들 수 있다. 본 실시형태에서는, 활성층이 가지는 반도체로서 유기 반도체를 사용하는 예에 대하여 설명한다. 유기 반도체를 사용함으로써, 발광층과 활성층을 같은 방법(예를 들어 진공 증착법)으로 형성할 수 있기 때문에 같은 제조 장치를 사용할 수 있어 바람직하다.

[0833] 활성층이 포함하는 n형 반도체 재료로서는, 풀러렌(예를 들어 C_{60}, C_{70} 등), 풀러렌 유도체 등의 전자 수용성 유기 반도체 재료를 들 수 있다. 풀러렌 유도체로서는, 예를 들어 [6,6]-페닐-C_{71}-뷰티르산 메틸에스터(약칭: PC70BM), [6,6]-페닐-C_{61}-뷰티르산 메틸에스터(약칭: PC60BM), 1',1'',4',4''-테트라하이드로-다이[1,4]메타노나프탈레노[1,2:2',3',56,60:2'',3''][5,6]풀러렌-C_{60}(약칭: ICBA) 등이 있다.

[0834] n형 반도체 재료로서는 예를 들어 N,N'-다이메틸-3,4,9,10-페릴렌테트라카복실산 다이이미드(약칭: Me-PTCDI) 등의 페릴렌테트라카복실산 유도체 및 2,2'-(5,5'-(티에노[3,2-b]싸이오펜-2,5-다이일)비스(싸이오펜-5,2-다이일))비스(메테인-1-일-1-일리덴)다이말로노나이트릴(약칭: FT2TDMN)이 있다.

[0835] n형 반도체 재료로서는 퀴놀린 골격을 가지는 금속 착체, 벤조퀴놀린 골격을 가지는 금속 착체, 옥사졸 골격을 가지는 금속 착체, 싸이아졸 골격을 가지는 금속 착체, 옥사다이아졸 유도체, 트라이아졸 유도체, 이미다졸 유도체, 옥사졸 유도체, 싸이아졸 유도체, 페난트롤린 유도체, 퀴놀린 유도체, 벤조퀴놀린 유도체, 퀴녹살린 유도체, 다이벤조퀴녹살린 유도체, 피리딘 유도체, 바이피리딘 유도체, 피리미딘 유도체, 나프탈렌 유도체, 안트라센 유도체, 쿠마린 유도체, 로다민 유도체, 트라이아진 유도체, 및 퀴논 유도체 등을 들 수 있다.

[0836] 활성층에 포함되는 p형 반도체의 재료로서는, 구리(II) 프탈로사이아닌(Copper(II) phthalocyanine; CuPc), 테트라페닐다이벤조페리플란텐(Tetraphenyldibenzoperiflanthene; DBP), 아연 프탈로사이아닌(Zinc Phthalocyanine; ZnPc), 주석 프탈로사이아닌(SnPc), 퀴나크리돈, 및 루브렌 등의 전자 공여성 유기 반도체 재료를 들 수 있다.

[0837] p형 반도체의 재료로서는, 카바졸 유도체, 싸이오펜 유도체, 퓨란 유도체, 방향족 아민 골격을 포함하는 화합물 등을 들 수 있다. 또한 p형 반도체의 재료로서는 나프탈렌 유도체, 안트라센 유도체, 피렌 유도체, 트라이페닐렌 유도체, 플루오렌 유도체, 피롤 유도체, 벤조퓨란 유도체, 벤조싸이오펜 유도체, 인돌 유도체, 다이벤조퓨란 유도체, 다이벤조싸이오펜 유도체, 인돌로카바졸 유도체, 포르피린 유도체, 프탈로사이아닌 유도체, 나프탈로사

이아닌 유도체, 퀴나크리돈 유도체, 루브렌 유도체, 테트라센 유도체, 폴리페닐렌바이닐렌 유도체, 폴리파라페닐렌 유도체, 폴리플루오렌 유도체, 폴리바이닐카바졸 유도체, 폴리싸이오펜 유도체 등을 들 수 있다.

[0838] 전자 공여성의 유기 반도체 재료의 HOMO 준위는 전자 수용성의 유기 반도체 재료의 HOMO 준위보다 얕은(높은) 것이 바람직하다. 전자 공여성의 유기 반도체 재료의 LUMO 준위는 전자 수용성의 유기 반도체 재료의 LUMO 준위보다 얕은(높은) 것이 바람직하다.

[0839] 전자 수용성의 유기 반도체 재료로서 구체 형상의 풀러렌을 사용하고, 전자 공여성의 유기 반도체 재료로서 평면에 가까운 형상의 유기 반도체 재료를 사용하는 것이 바람직하다. 유사한 형상의 분자들은 응집하기 쉬운 경향이 있고, 같은 종류의 분자들이 응집하면, 분자 궤도의 에너지 준위가 서로 가깝기 때문에 캐리어 수송성을 높일 수 있다.

[0840] 활성층에 도너로서 기능하는 폴리[[4,8-비스[5-(2-에틸헥실)-2-싸이엔일]벤조[1,2-b:4,5-b']다이싸이오펜-2,6-다이일]-2,5-싸이오펜다이일[5,7-비스(2-에틸헥실)-4,8-다이옥소-4H,8H-벤조[1,2-c:4,5-c']다이싸이오펜-1,3-다이일]]폴리머(약칭: PBDB-T) 또는 PBDB-T 유도체 등의 고분자 화합물을 사용할 수 있다. 예를 들어 PBDB-T 또는 PBDB-T 유도체에 억셉터 재료를 분산시키는 방법 등을 사용할 수 있다.

[0841] 예를 들어 활성층은 n형 반도체와 p형 반도체를 공증착하여 형성되는 것이 바람직하다. 또는 활성층은 n형 반도체와 p형 반도체를 적층하여 형성되어도 좋다.

[0842] 활성층에는 3종류 이상의 재료를 사용하여도 좋다. 예를 들어 파장 영역을 확대하는 목적으로 n형 반도체의 재료와 p형 반도체의 재료에 더하여 제 3 재료를 사용하여도 좋다. 이때 제 3 재료는 저분자 화합물이어도 고분자 화합물이어도 좋다.

[0843] 수광 디바이스는 활성층 외의 층으로서 정공 수송성이 높은 물질, 전자 수송성이 높은 물질, 또는 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 포함한 층을 더 포함하여도 좋다. 또한 상기에 한정되지 않고, 정공 주입성이 높은 물질, 정공 차단 재료, 전자 주입성이 높은 물질, 또는 전자 차단 재료 등을 포함한 층을 더 가져도 좋다. 수광 디바이스에 포함되는 활성층 이외의 층에는 예를 들어 상술한 발광 디바이스에 사용할 수 있는 재료를 사용할 수 있다.

[0844] 예를 들어 정공 수송성 재료 또는 전자 차단 재료로서, 폴리(3,4-에틸렌다이옥시싸이오펜)/폴리스타이렌설폰산(약칭: PEDOT/PSS) 등의 고분자 화합물, 및 몰리브데넘 산화물, 아이오딘화 구리(CuI) 등의 무기 화합물을 사용할 수 있다. 또한 전자 수송성 재료 또는 정공 차단 재료로서, 산화 아연(ZnO) 등의 무기 화합물, 폴리에틸렌이민에톡시레이트(PEIE) 등의 유기 화합물을 사용할 수 있다. 수광 디바이스는 예를 들어 PEIE와 ZnO의 혼합막을 가져도 좋다.

[0845] [광 검출 기능을 가지는 표시 장치]

[0846] 본 발명의 일 형태의 표시 장치에서는, 표시부에 발광 디바이스가 매트릭스로 배치되어 있고, 상기 표시부에 화상을 표시할 수 있다. 또한 상기 표시부에는 수광 디바이스가 매트릭스로 배치되어 있고, 표시부는 화상 표시 기능에 더하여 촬상 기능 및 센싱 기능 중 한쪽 또는 양쪽을 가진다. 표시부는 이미지 센서 또는 터치 센서로서 사용할 수 있다. 즉 표시부에서 광을 검출함으로써, 화상을 촬상하거나 대상물(손가락, 손, 또는 펜 등)의 근접 또는 접촉을 검출할 수 있다.

[0847] 또한 본 발명의 일 형태의 표시 장치에서는, 발광 디바이스를 센서의 광원으로서 이용할 수 있다. 본 발명의 일 형태의 표시 장치에서는, 표시부에 포함되는 발광 디바이스로부터 방출된 광이 대상물에서 반사(또는 산란)될 때, 수광 디바이스가 그 반사광(또는 산란광)을 검출할 수 있기 때문에, 어두운 곳에서도 촬상 또는 터치 검출이 가능하다.

[0848] 따라서 표시 장치와 별도로 수광부 및 광원을 제공하지 않아도 되므로, 전자 기기의 부품 점수를 줄일 수 있다. 예를 들어 전자 기기에 제공되는 생체 인증 장치 또는 스크롤 등을 수행하기 위한 정전 용량 방식의 터치 패널 등을 별도로 제공할 필요가 없다. 따라서 본 발명의 일 형태의 표시 장치를 사용함으로써, 제조 비용이 절감된 전자 기기를 제공할 수 있다.

[0849] 구체적으로는, 본 발명의 일 형태의 표시 장치는 화소에 발광 디바이스와 수광 디바이스를 가진다. 본 발명의 일 형태의 표시 장치에서는, 발광 디바이스로서 유기 EL 디바이스를 사용하고, 수광 디바이스로서 유기 포토다이오드를 사용한다. 유기 EL 디바이스 및 유기 포토다이오드는 동일한 기판 위에 형성할 수 있다. 따라서 유

기 EL 디바이스를 사용한 표시 장치에 유기 포토다이오드를 내장시킬 수 있다.

[0850] 발광 디바이스 및 수광 디바이스를 화소에 포함하는 표시 장치에서는, 화소가 수광 기능을 가지기 때문에, 화상을 표시하면서 대상물의 접촉 또는 근접을 검출할 수 있다. 예를 들어 표시 장치에 포함되는 모든 부화소를 사용하여 화상을 표시할 뿐만 아니라, 일부의 부화소가 광원으로서의 광을 나타내고, 나머지 부화소가 화상을 표시할 수도 있다.

[0851] 수광 디바이스를 이미지 센서로서 사용하는 경우, 표시 장치는 수광 디바이스를 사용하여 화상을 촬상할 수 있다. 예를 들어 본 실시형태의 표시 장치는 스캐너로서 사용할 수 있다.

[0852] 예를 들어 이미지 센서를 사용하여 지문, 장문, 홍채, 맥 형상(정맥 형상, 동맥 형상을 포함함), 또는 얼굴 등을 사용한 개인 인증을 위한 촬상을 수행할 수 있다.

[0853] 예를 들어 이미지 센서를 사용하여 웨어러블 기기의 사용자의 눈 주변, 눈 표면, 또는 눈 내부(안저 등)의 촬상을 수행할 수 있다. 따라서 웨어러블 기기는 사용자의 눈 깜빡임, 검은자의 움직임, 및 눈꺼풀의 움직임 중에서 선택되는 어느 하나 또는 복수를 검출하는 기능을 가질 수 있다.

[0854] 수광 디바이스는 터치 센서(디렉트 터치 센서라고도 함) 또는 니어 터치 센서(호버 센서, 호버 터치 센서, 비접촉 센서, 터치리스 센서라고도 함) 등에 사용할 수 있다.

[0855] 여기서, 터치 센서 또는 니어 터치 센서는 대상물(손가락, 손, 또는 펜 등)의 근접 또는 접촉을 검출할 수 있다.

[0856] 터치 센서는 표시 장치와 대상물이 직접 접촉한 경우에 대상물을 검출할 수 있다. 또한 니어 터치 센서는 대상물이 표시 장치에 접촉하지 않아도 상기 대상물을 검출할 수 있다. 예를 들어 표시 장치와 대상물 사이의 거리가 0.1㎜ 이상 300㎜ 이하, 바람직하게는 3㎜ 이상 50㎜ 이하의 범위에서 표시 장치가 상기 대상물을 검출할 수 있는 구성이 바람직하다. 상기 구성으로 함으로써, 표시 장치에 대상물이 직접 접촉하지 않아도 표시 장치를 조작할 수 있고, 즉 비접촉(터치리스)으로 표시 장치를 조작할 수 있다. 상기 구성으로 함으로써, 표시 장치가 오염되거나 손상되는 리스크를 경감하거나, 표시 장치에 부착된 오염(예를 들어 먼지 또는 바이러스 등)에 대상물이 직접 접촉하지 않고 표시 장치를 조작할 수 있다.

[0857] 본 발명의 일 형태의 표시 장치에서는 리프레시 레이트를 가변으로 할 수 있다. 예를 들어 표시 장치에 표시되는 콘텐츠에 따라 리프레시 레이트를 조정(예를 들어 1Hz 이상 240Hz 이하의 범위에서 조정)하여 소비 전력을 절감할 수 있다. 또한 상기 리프레시 레이트에 따라 터치 센서 또는 니어 터치 센서의 구동 주파수를 변화시켜도 좋다. 예를 들어 표시 장치의 리프레시 레이트가 120Hz인 경우, 터치 센서 또는 니어 터치 센서의 구동 주파수를 120Hz보다 높게(대표적으로는 240Hz) 할 수 있다. 상기 구성으로 함으로써, 저소비 전력을 실현할 수 있고, 또한 터치 센서 또는 니어 터치 센서의 응답 속도를 높일 수 있다.

[0858] 도 46의 (C) 내지 (E)에 나타낸 표시 장치(100)는 기판(351)과 기판(359) 사이에 수광 디바이스를 가지는 층(353), 기능층(355), 및 발광 디바이스를 가지는 층(357)을 가진다.

[0859] 기능층(355)은 수광 디바이스를 구동하는 회로 및 발광 디바이스를 구동하는 회로를 가진다. 기능층(355)에는 스위치, 트랜지스터, 용량 소자, 저항 소자, 배선, 및 단자 등 중 하나 또는 복수를 제공할 수 있다. 또한 발광 디바이스 및 수광 디바이스를 패시브 매트릭스 방식으로 구동하는 경우에는, 스위치 및 트랜지스터를 제공하지 않는 구성을 적용하여도 좋다.

[0860] 예를 들어 도 46의 (C)에 나타낸 바와 같이, 발광 디바이스를 가지는 층(357)에서 발광 디바이스로부터 방출된 광이 표시 장치(100)에 접촉된 손가락(352)에서 반사됨으로써, 수광 디바이스를 가지는 층(353)에서의 수광 디바이스가 그 반사광을 검출한다. 이에 의하여, 표시 장치(100)에 손가락(352)이 접촉된 것을 검출할 수 있다.

[0861] 도 46의 (D) 및 (E)에 나타낸 바와 같이, 표시 장치에 근접한(접촉되지 않는) 대상물을 검출 또는 촬상하는 기능을 가져도 좋다. 도 46의 (D)에는 사람의 손가락을 검출하는 예를 나타내고, 도 46의 (E)에는 사람의 눈 주변, 눈 표면, 또는 눈 내부의 정보(눈 깜빡임 횟수, 안구의 움직임, 눈꺼풀의 움직임 등)를 검출하는 예를 나타내었다.

[0862] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0863] (실시형태 7)

[0864] 본 실시형태에서는, 본 발명의 일 형태의 전자 기기에 대하여 도 47 내지 도 49를 사용하여 설명한다.

[0865] 본 실시형태의 전자 기기는 표시부에 본 발명의 일 형태의 표시 장치를 가진다. 본 발명의 일 형태의 표시 장치는 고정세화 및 고해상도화가 용이하다. 따라서 다양한 전자 기기의 표시부에 사용할 수 있다.

[0866] 전자 기기로서 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 컴퓨터용 등의 모니터, 디지털 사이니지, 파친코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등이 있다.

[0867] 특히 본 발명의 일 형태의 표시 장치는 정세도를 높일 수 있기 때문에, 비교적 작은 표시부를 가지는 전자 기기에 적합하게 사용할 수 있다. 이러한 전자 기기로서 예를 들어 손목시계형 및 팔찌형 정보 단말기(웨어러블 기기), 그리고 헤드 마운트 디스플레이 등의 VR용 기기, 안경형 AR용 기기, 및 MR용 기기 등 머리에 장착할 수 있는 웨어러블 기기 등이 있다.

[0868] 본 발명의 일 형태의 표시 장치는 HD(화소수 1280×720), FHD(화소수 1920×1080), WQHD(화소수 2560×1440), WQXGA(화소수 2560×1600), 4K(화소수 3840×2160), 8K(화소수 7680×4320) 등 매우 높은 해상도를 가지는 것이 바람직하다. 특히 4K, 8K, 또는 그 이상의 해상도로 하는 것이 바람직하다. 또한 본 발명의 일 형태의 표시 장치에서의 화소 밀도(정세도)는 100ppi 이상이 바람직하고, 300ppi 이상이 바람직하고, 500ppi 이상이 더 바람직하고, 1000ppi 이상이 더 바람직하고, 2000ppi 이상이 더 바람직하고, 3000ppi 이상이 더 바람직하고, 5000ppi 이상이 더 바람직하고, 7000ppi 이상이 더 바람직하다. 이와 같이 높은 해상도 및 높은 정세도 중 한쪽 또는 양쪽을 가지는 표시 장치를 사용함으로써, 휴대용 또는 가정용 등의 전자 기기의 임장감 및 깊이감 등을 더 높일 수 있다. 또한 본 발명의 일 형태의 표시 장치의 화면 비율(종횡비)은 특별히 한정되지 않는다. 예를 들어 표시 장치는 1:1(정사각형), 4:3, 16:9, 16:10 등 다양한 화면 비율에 대응할 수 있다.

[0869] 본 실시형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 검지, 검출, 또는 측정하는 기능을 가지는 것)를 포함하여도 좋다.

[0870] 본 실시형태의 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록된 프로그램 또는 데이터를 판독하는 기능 등을 가질 수 있다.

[0871] 도 47의 (A) 내지 (D)를 사용하여, 머리에 장착할 수 있는 웨어러블 기기의 일례에 대하여 설명한다. 이들 웨어러블 기기는 AR 콘텐츠를 표시하는 기능, VR 콘텐츠를 표시하는 기능, SR 콘텐츠를 표시하는 기능, MR 콘텐츠를 표시하는 기능 중 적어도 하나를 가진다. 전자 기기가 AR, VR, SR, 및 MR 등 중 적어도 하나의 콘텐츠를 표시하는 기능을 가짐으로써, 사용자의 몰입감을 높일 수 있다.

[0872] 도 47의 (A)에 나타낸 전자 기기(700A) 및 도 47의 (B)에 나타낸 전자 기기(700B)는 각각 한 쌍의 표시 패널(751)과, 한 쌍의 하우징(721)과, 통신부(도시하지 않았음)와, 한 쌍의 장착부(723)와, 제어부(도시하지 않았음)와, 촬상부(도시하지 않았음)와, 한 쌍의 광학 부재(753)와, 프레임(757)과, 한 쌍의 코 받침(758)을 가진다.

[0873] 표시 패널(751)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가능한 전자 기기로 할 수 있다.

[0874] 전자 기기(700A) 및 전자 기기(700B)는 각각 광학 부재(753)의 표시 영역(756)에, 표시 패널(751)에 표시한 화상을 투영할 수 있다. 광학 부재(753)는 투광성을 가지기 때문에, 사용자는 광학 부재(753)를 통하여 보는 투과 이미지에 겹쳐, 표시 영역에 표시된 화상을 볼 수 있다. 따라서 전자 기기(700A) 및 전자 기기(700B)는 각각 AR 표시가 가능한 전자 기기이다.

[0875] 전자 기기(700A) 및 전자 기기(700B)에는 촬상부로서, 앞쪽 방향을 촬상할 수 있는 카메라가 제공되어 있어도 좋다. 또한 전자 기기(700A) 및 전자 기기(700B)는 각각 자이로 센서 등의 가속도 센서를 가짐으로써, 사용자의 두부의 방향을 검지하여 그 방향에 대응한 화상을 표시 영역(756)에 표시할 수도 있다.

[0876] 통신부는 무선 통신기를 가지고, 상기 무선 통신기에 의하여 영상 신호 등을 공급할 수 있다. 또한 무선 통신기 대신에, 또는 무선 통신기에 더하여 영상 신호 및 전원 전위가 공급되는 케이블을 접속 가능한 커넥터를 포

함하여도 좋다.

[0877] 전자 기기(700A) 및 전자 기기(700B)에는 배터리가 제공되어 있기 때문에, 무선 및 유선 중 한쪽 또는 양쪽으로 충전할 수 있다.

[0878] 하우징(721)에는 터치 센서 모듈이 제공되어 있어도 좋다. 터치 센서 모듈은 하우징(721)의 외측 면이 터치되는 것을 검출하는 기능을 가진다. 터치 센서 모듈에 의하여 사용자의 탭 조작 또는 슬라이드 조작 등을 검출하여, 다양한 처리를 실행할 수 있다. 예를 들어, 탭 조작에 의하여 동영상의 일시 정지 또는 재개 등의 처리의 실행이 가능하고, 슬라이드 조작에 의하여 빨리 감기 또는 되감기의 처리의 실행 등이 가능하다. 또한 2개의 하우징(721) 각각에 터치 센서 모듈을 제공함으로써 조작의 폭을 넓힐 수 있다.

[0879] 터치 센서 모듈에는 다양한 터치 센서를 적용할 수 있다. 예를 들어, 정전 용량 방식, 저항막 방식, 적외선 방식, 전자기 유도 방식, 표면 탄성파 방식, 광학 방식 등, 다양한 방식을 채용할 수 있다. 특히 정전 용량 방식 또는 광학 방식의 센서를 터치 센서 모듈에 적용하는 것이 바람직하다.

[0880] 광학 방식의 터치 센서를 사용하는 경우에는, 수광 디바이스로서 광전 변환 디바이스(광전 변환 소자라고도 함)를 사용할 수 있다. 광전 변환 디바이스의 활성층에는 무기 반도체 및 유기 반도체 중 한쪽 또는 양쪽을 사용할 수 있다.

[0881] 도 47의 (C)에 나타낸 전자 기기(800A) 및 도 47의 (D)에 나타낸 전자 기기(800B)는 각각 한 쌍의 표시부(820)와, 하우징(821)과, 통신부(822)와, 한 쌍의 장착부(823)와, 제어부(824)와, 한 쌍의 촬상부(825)와, 한 쌍의 렌즈(832)를 가진다.

[0882] 표시부(820)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가능한 전자 기기로 할 수 있다. 이로써 사용자는 높은 몰입감을 느낄 수 있다.

[0883] 표시부(820)는 하우징(821)의 내부의 렌즈(832)를 통하여 볼 수 있는 위치에 제공된다. 또한 한 쌍의 표시부(820)에 상이한 화상을 표시시킴으로써, 시차를 이용한 3차원 표시도 가능하다.

[0884] 전자 기기(800A) 및 전자 기기(800B)는 각각 VR용 전자 기기라고 할 수 있다. 전자 기기(800A) 또는 전자 기기(800B)를 장착한 사용자는 렌즈(832)를 통하여 표시부(820)에 표시되는 화상을 볼 수 있다.

[0885] 전자 기기(800A) 및 전자 기기(800B)는 각각 렌즈(832) 및 표시부(820)가 사용자의 눈의 위치에 따라 최적의 위치가 되도록, 이들의 좌우의 위치를 조정 가능한 기구를 가지는 것이 바람직하다. 또한 렌즈(832)와 표시부(820)의 거리를 바꿈으로써 초점을 조정하는 기구를 가지는 것이 바람직하다.

[0886] 장착부(823)에 의하여, 사용자는 전자 기기(800A) 또는 전자 기기(800B)를 머리에 장착할 수 있다. 또한 도 47의 (C) 등에서는 안경다리(템플이라고도 함)와 같은 형상을 가지는 예를 나타내었지만, 이에 한정되지 않는다. 장착부(823)는 사용자가 장착할 수 있으면 좋고, 예를 들어 헬멧형 또는 밴드형이어도 좋다.

[0887] 촬상부(825)는 외부의 정보를 취득하는 기능을 가진다. 촬상부(825)가 취득한 데이터는 표시부(820)에 출력할 수 있다. 촬상부(825)에는 이미지 센서를 사용할 수 있다. 또한 망원, 광각 등, 복수의 화각에 대응할 수 있도록 복수의 카메라를 제공하여도 좋다.

[0888] 또한 여기서는 촬상부(825)를 가지는 예를 나타내었지만 대상물의 거리를 측정할 수 있는 측거 센서(이하 검지부라고도 부름)가 제공되면 좋다. 즉 촬상부(825)는 검지부의 일 형태이다. 검지부로서는, 예를 들어, 이미지 센서 또는 라이다(LIDAR: Light Detection and Ranging) 등의 거리 화상 센서를 사용할 수 있다. 카메라로 얻은 화상과, 거리 화상 센서로 얻은 화상을 사용함으로써 더 많은 정보를 취득하고, 정밀도가 더 높은 제스처 조작이 가능해진다.

[0889] 전자 기기(800A)는 골전도 이어폰으로서 기능하는 진동 기구를 가져도 좋다. 예를 들어, 표시부(820), 하우징(821), 및 장착부(823) 중 어느 하나 또는 복수에 상기 진동 기구를 가지는 구성을 적용할 수 있다. 이로써 헤드폰, 이어폰, 또는 스피커 등의 음향 기기가 별도로 필요하지 않아, 전자 기기(800A)를 장착하기만 하면 영상과 음성을 즐길 수 있다.

[0890] 전자 기기(800A) 및 전자 기기(800B)는 각각 입력 단자를 포함하여도 좋다. 입력 단자에는 영상 출력 기기 등으로부터의 영상 신호, 및 전자 기기 내에 제공되는 배터리를 충전하기 위한 전력 등을 공급하는 케이블을 접속할 수 있다.

[0891] 본 발명의 일 형태의 전자 기기는 이어폰(750)과 무선 통신을 수행하는 기능을 가져도 좋다. 이어폰(750)은 통신부(나타내지 않았음)를 가지고, 무선 통신 기능을 가진다. 이어폰(750)은 무선 통신 기능에 의하여 전자 기기로부터 정보(예를 들어 음성 데이터)를 수신할 수 있다. 예를 들어 도 47의 (A)에 나타낸 전자 기기(700A)는 무선 통신 기능에 의하여 이어폰(750)에 정보를 송신하는 기능을 가진다. 또한 예를 들어 도 47의 (C)에 나타낸 전자 기기(800A)는 무선 통신 기능에 의하여 이어폰(750)에 정보를 송신하는 기능을 가진다.

[0892] 전자 기기가 이어폰부를 가져도 좋다. 도 47의 (B)에 나타낸 전자 기기(700B)는 이어폰부(727)를 가진다. 예를 들어 이어폰부(727)와 제어부는 서로 유선으로 접속되어 있는 구성으로 할 수 있다. 이어폰부(727)와 제어부를 연결하는 배선의 일부는 하우징(721) 또는 장착부(723)의 내부에 배치되어 있어도 좋다.

[0893] 마찬가지로, 도 47의 (D)에 나타낸 전자 기기(800B)는 이어폰부(827)를 가진다. 예를 들어 이어폰부(827)와 제어부(824)는 서로 유선으로 접속되어 있는 구성으로 할 수 있다. 이어폰부(827)와 제어부(824)를 연결하는 배선의 일부는 하우징(821) 또는 장착부(823)의 내부에 배치되어 있어도 좋다. 또한 이어폰부(827)와 장착부(823)가 자석을 가져도 좋다. 이로써 이어폰부(827)를 장착부(823)에 자기력으로 고정할 수 있어 수납이 용이해지기 때문에 바람직하다.

[0894] 또한 전자 기기는 이어폰 또는 헤드폰 등을 접속할 수 있는 음성 출력 단자를 포함하여도 좋다. 또한 전자 기기는 음성 입력 단자 및 음성 입력 기구 중 한쪽 또는 양쪽을 포함하여도 좋다. 음성 입력 기구로서 예를 들어 마이크로폰 등의 집음 장치를 사용할 수 있다. 전자 기기가 음성 입력 기구를 가짐으로써, 전자 기기에 소위 헤드셋으로서의 기능을 부여하여도 좋다.

[0895] 상술한 바와 같이, 본 발명의 일 형태의 전자 기기로서는 안경형(전자 기기(700A) 및 전자 기기(700B) 등) 및 고글형(전자 기기(800A) 및 전자 기기(800B) 등) 모두 적합하다.

[0896] 본 발명의 일 형태의 전자 기기는 유선 또는 무선으로 이어폰에 정보를 송신할 수 있다.

[0897] 도 48의 (A)에 나타낸 전자 기기(6500)는 스마트폰으로서 사용할 수 있는 휴대 정보 단말기이다.

[0898] 전자 기기(6500)는 하우징(6501), 표시부(6502), 전원 버튼(6503), 버튼(6504), 스피커(6505), 마이크로폰(6506), 카메라(6507), 및 광원(6508) 등을 가진다. 표시부(6502)는 터치 패널 기능을 가진다.

[0899] 표시부(6502)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0900] 도 48의 (B)는 하우징(6501)의 마이크로폰(6506) 측의 단부를 포함하는 단면 개략도이다.

[0901] 하우징(6501)의 표시면 측에는 투광성을 가지는 보호 부재(6510)가 제공되고, 하우징(6501)과 보호 부재(6510)로 둘러싸인 공간 내에 표시 패널(6511), 광학 부재(6512), 터치 센서 패널(6513), 인쇄 기판(6517), 배터리(6518) 등이 배치된다.

[0902] 보호 부재(6510)에는 표시 패널(6511), 광학 부재(6512), 및 터치 센서 패널(6513)이 접착층(도시하지 않았음)에 의하여 고정되어 있다.

[0903] 표시부(6502)보다 외측의 영역에서 표시 패널(6511)의 일부가 접히고, 이 접힌 부분에 FPC(6515)가 접속되어 있다. FPC(6515)에는 IC(6516)가 실장되어 있다. FPC(6515)는 인쇄 기판(6517)에 제공된 단자에 접속된다.

[0904] 표시 패널(6511)에는 본 발명의 일 형태의 플렉시블 디스플레이를 적용할 수 있다. 그러므로 매우 가벼운 전자 기기를 실현할 수 있다. 또한 표시 패널(6511)이 매우 얇기 때문에 전자 기기의 두께를 억제하면서 대용량 배터리(6518)를 탑재할 수도 있다. 또한 표시 패널(6511)의 일부를 접어 화소부의 이면 측에 FPC(6515)와의 접속부를 배치함으로써 슬림 베젤의 전자 기기를 실현할 수 있다.

[0905] 도 48의 (C)에 텔레비전 장치의 일례를 나타내었다. 텔레비전 장치(7100)는 하우징(7101)에 표시부(7000)가 제공되어 있다. 여기서는 스탠드(7103)에 의하여 하우징(7101)을 지지한 구성을 나타내었다.

[0906] 표시부(7000)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0907] 도 48의 (C)에 나타낸 텔레비전 장치(7100)의 조작은 하우징(7101)에 포함되는 조작 스위치 및 별체의 리모트 컨트롤러(7111)에 의하여 수행할 수 있다. 또는 표시부(7000)에 터치 센서를 가져도 좋고, 손가락 등으로 표시부(7000)를 터치함으로써 텔레비전 장치(7100)를 조작하여도 좋다. 리모트 컨트롤러(7111)는 상기 리모트 컨트롤러(7111)로부터 출력되는 정보를 표시하는 표시부를 가져도 좋다. 리모트 컨트롤러(7111)가 가지는 조작 키 또는 터치 패널에 의하여 채널 및 음량을 조작할 수 있고, 표시부(7000)에 표시되는 영상을 조작할 수 있다.

[0908] 또한 텔레비전 장치(7100)는 수신기 및 모뎀 등을 가지는 구성으로 한다. 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있다. 또한 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속함으로써, 한 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자들 등)의 정보 통신을 수행할 수도 있다.

[0909] 도 48의 (D)에 노트북형 퍼스널 컴퓨터의 일례를 나타내었다. 노트북형 퍼스널 컴퓨터(7200)는 하우징(7211), 키보드(7212), 포인팅 디바이스(7213), 외부 접속 포트(7214) 등을 가진다. 하우징(7211)에 표시부(7000)가 제공되어 있다.

[0910] 표시부(7000)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0911] 도 48의 (E) 및 (F)에 디지털 사이니지의 일례를 나타내었다.

[0912] 도 48의 (E)에 나타낸 디지털 사이니지(7300)는 하우징(7301), 표시부(7000), 및 스피커(7303) 등을 가진다. 또한 LED 램프, 조작 키(전원 스위치 또는 조작 스위치를 포함함), 접속 단자, 각종 센서, 마이크로폰 등을 가질 수 있다.

[0913] 도 48의 (F)는 원기둥 모양의 기둥(7401)에 장착된 디지털 사이니지(7400)를 나타낸 것이다. 디지털 사이니지(7400)는 기둥(7401)의 곡면을 따라 제공된 표시부(7000)를 가진다.

[0914] 도 48의 (E) 및 (F)에서는, 표시부(7000)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0915] 표시부(7000)가 넓을수록 한번에 제공할 수 있는 정보량을 늘릴 수 있다. 또한 표시부(7000)가 넓을수록 사람의 눈에 띄기 쉽기 때문에, 예를 들어 광고의 홍보 효과를 높일 수 있다.

[0916] 표시부(7000)에 터치 패널을 적용함으로써, 표시부(7000)에 화상 또는 동영상을 표시할 뿐만 아니라, 사용자가 직관적으로 조작할 수도 있어 바람직하다. 또한 노선 정보 또는 교통 정보 등의 정보를 제공하기 위한 용도로 사용하는 경우에는, 직관적인 조작에 의하여 사용성을 높일 수 있다.

[0917] 도 48의 (E) 및 (F)에 나타낸 바와 같이, 디지털 사이니지(7300) 또는 디지털 사이니지(7400)는 사용자가 소유하는 스마트폰 등의 정보 단말기(7311) 또는 정보 단말기(7411)와 무선 통신에 의하여 연계 가능한 것이 바람직하다. 예를 들어, 표시부(7000)에 표시되는 광고의 정보를, 정보 단말기(7311) 또는 정보 단말기(7411)의 화면에 표시시킬 수 있다. 또한 정보 단말기(7311) 또는 정보 단말기(7411)를 조작함으로써, 표시부(7000)의 표시를 전환할 수 있다.

[0918] 디지털 사이니지(7300) 또는 디지털 사이니지(7400)에 정보 단말기(7311) 또는 정보 단말기(7411)의 화면을 조작 수단(컨트롤러)으로서 사용한 게임을 실행시킬 수도 있다. 이로써, 불특정 다수의 사용자가 동시에 게임에 참가하여 즐길 수 있다.

[0919] 도 49의 (A) 내지 (G)에 나타낸 전자 기기는 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 검지, 검출, 또는 측정하는 기능을 포함하는 것), 마이크로폰(9008) 등을 가진다. 본 발명의 일 형태의 표시 장치를 표시부(9001)에 적용할 수 있다.

[0920] 도 49의 (A) 내지 (G)에 나타낸 전자 기기는 다양한 기능을 가진다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 기록 매체에 저장된 프로그램 또는 데이터를 판독하여 처리하는 기능 등을 가질 수 있다. 또한 전자 기기의 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다. 전자 기기는 복수의 표시부를 가져도 좋다. 또한 전자 기기는 카메라 등이 제공되고, 정지 화상 또는 동영상을 촬영하고 기록 매체(외부 기록 매체 또는 카메라에 내장된 기록 매체)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가져도 좋다.

[0921] 이하에서 도 49의 (A) 내지 (G)에 나타낸 전자 기기의 자세한 사항에 대하여 설명한다.

[0922] 도 49의 (A)는 휴대 정보 단말기(9101)를 나타낸 사시도이다. 휴대 정보 단말기(9101)는 예를 들어 스마트폰으로서 사용할 수 있다. 또한 휴대 정보 단말기(9101)에는 스피커(9003), 접속 단자(9006), 센서(9007) 등을 제공하여도 좋다. 또한 휴대 정보 단말기(9101)는 문자 또는 화상 정보를 그 복수의 면에 표시할 수 있다. 도 49의 (A)에는 3개의 아이콘(9050)을 표시한 예를 나타내었다. 또한 파선의 직사각형으로 나타낸 정보(9051)를 표시부(9001)의 다른 면에 표시할 수도 있다. 정보(9051)의 일례로서는 전자 메일, SNS, 전화 등의 착신의 알

림, 전자 메일 또는 SNS 등의 제목, 송신자명, 일시, 시각, 배터리의 잔량, 전파 강도 등이 있다. 또는 정보(9051)가 표시되는 위치에는 아이콘(9050) 등을 표시하여도 좋다.

[0923] 도 49의 (B)는 휴대 정보 단말기(9102)를 나타낸 사시도이다. 휴대 정보 단말기(9102)는 표시부(9001)의 3면 이상에 정보를 표시하는 기능을 가진다. 여기서는 정보(9052), 정보(9053), 정보(9054)가 각각 다른 면에 표시되어 있는 예를 나타내었다. 예를 들어 사용자는 옷의 가슴 포켓에 휴대 정보 단말기(9102)를 수납한 상태에서, 휴대 정보 단말기(9102) 위쪽에서 볼 수 있는 위치에 표시된 정보(9053)를 확인할 수도 있다. 사용자는 휴대 정보 단말기(9102)를 포켓에서 꺼내지 않고 표시를 확인하고, 예를 들어 전화를 받을지 여부를 판단할 수 있다.

[0924] 도 49의 (C)는 태블릿 단말기(9103)를 나타낸 사시도이다. 태블릿 단말기(9103)는 일례로서 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등의 다양한 애플리케이션의 실행이 가능하다. 태블릿 단말기(9103)는 하우징(9000)의 앞면에 표시부(9001), 카메라(9002), 마이크로폰(9008), 스피커(9003)를 가지고, 하우징(9000)의 왼쪽 면에 조작용 버튼으로서의 조작 키(9005)를 가지고, 바닥면에 접속 단자(9006)를 가진다.

[0925] 도 49의 (D)는 손목시계형 휴대 정보 단말기(9200)를 나타낸 사시도이다. 휴대 정보 단말기(9200)는 예를 들어 스마트워치(등록 상표)로서 사용할 수 있다. 또한 표시부(9001)는 그 표시면이 만곡되어 제공되고, 만곡된 표시면을 따라 표시를 할 수 있다. 또한 휴대 정보 단말기(9200)가 예를 들어 무선 통신이 가능한 헤드셋과 상호 통신함으로써, 핸즈프리로 통화를 할 수도 있다. 또한 휴대 정보 단말기(9200)는 접속 단자(9006)에 의하여 다른 정보 단말기와 상호로 데이터를 주고받거나 충전을 할 수도 있다. 또한 충전 동작은 무선 급전에 의하여 수행하여도 좋다.

[0926] 도 49의 (E) 내지 (G)는 접을 수 있는 휴대 정보 단말기(9201)를 나타낸 사시도이다. 또한 도 49의 (E)는 휴대 정보 단말기(9201)가 펼친 상태의 사시도이고, 도 49의 (G)는 접은 상태의 사시도이고, 도 49의 (F)는 도 49의 (E) 및 (G) 중 한쪽으로부터 다른 쪽으로 변화되는 도중의 상태의 사시도이다. 휴대 정보 단말기(9201)는 접은 상태에서는 가반성이 우수하고, 펼친 상태에서는 이음매가 없고 넓은 표시 영역을 가지므로 표시의 일람성(一覽性)이 우수하다. 휴대 정보 단말기(9201)의 표시부(9001)는 힌지(9055)에 의하여 연결된 3개의 하우징(9000)으로 지지되어 있다. 예를 들어, 표시부(9001)는 곡률 반경 0.1㎜ 이상 150㎜ 이하로 구부릴 수 있다.

[0927] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

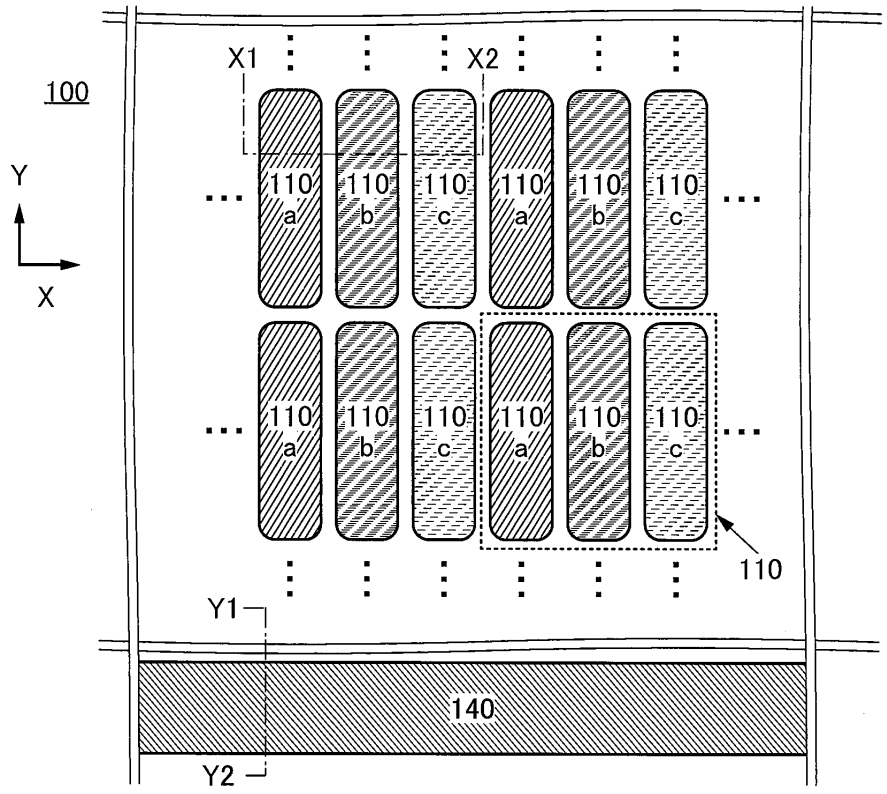
부호의 설명

[0928] 100A: 표시 장치, 100B: 표시 장치, 100C: 표시 장치, 100: 표시 장치, 101: 층, 110a: 부화소, 110A: 화소, 110b: 부화소, 110B: 화소, 110c: 부화소, 110d: 부화소, 110e: 부화소, 110: 화소, 111B: 화소 전극, 111G: 화소 전극, 111R: 화소 전극, 111S: 화소 전극, 111: 화소 전극, 113_1: 제 1 영역, 113_2: 제 2 영역, 113B: 층, 113Bf: 막, 113G: 층, 113Gf: 막, 113R: 층, 113Rf: 막, 113S: 층, 113W: 층, 113: 층, 114: 공통층, 115: 공통 전극, 117: 차광층, 118B: 마스크층, 118Bf: 마스크막, 118G: 마스크층, 118Gf: 마스크막, 118R: 마스크층, 118Rf: 마스크막, 118S: 마스크층, 118: 마스크층, 119B: 마스크층, 119Bf: 마스크막, 119G: 마스크층, 119Gf: 마스크막, 119R: 마스크층, 119Rf: 마스크막, 119S: 마스크층, 119: 마스크층, 120: 기판, 122: 수지층, 123: 도전층, 124B: 도전층, 124G: 도전층, 124p: 도전층, 124R: 도전층, 124S: 도전층, 125f: 절연막, 125: 절연층, 126B: 도전층, 126f: 도전막, 126G: 도전층, 126p: 도전층, 126R: 도전층, 126S: 도전층, 127f: 절연막, 127: 절연층, 128f: 막, 128: 층, 129aB: 도전층, 129af: 도전막, 129aG: 도전층, 129aR: 도전층, 129B: 도전층, 129bB: 도전층, 129bf: 도전막, 129bG: 도전층, 129bR: 도전층, 129G: 도전층, 129p: 도전층, 129R: 도전층, 129S: 도전층, 130B: 발광 디바이스, 130G: 발광 디바이스, 130R: 발광 디바이스, 130: 발광 디바이스, 131: 보호층, 132B: 착색층, 132c: 마스크, 132G: 착색층, 132R: 착색층, 140: 접속부, 141: 개구, 142: 접착층, 143: 개구, 150: 수광 디바이스, 151: 기판, 152: 기판, 153: 절연층, 162: 표시부, 164: 회로, 165: 배선, 166: 도전층, 172: FPC, 173: IC, 190a: 레지스트 마스크, 190b: 레지스트 마스크, 190c: 레지스트 마스크, 191S: 개구, 191: 개구, 193S: 개구, 193: 개구, 195: 개구, 200A: 트랜지스터, 200B: 트랜지스터, 200C: 트랜지스터, 200D: 트랜지스터, 200: 트랜지스터, 201: 트랜지스터, 204: 접속부, 205B: 트랜지스터, 205G: 트랜지스터, 205R: 트랜지스터, 205S: 트랜지스터, 205: 트랜지스터, 210a: 절연층, 210a_1: 절연층, 210a_2: 절연층, 210af: 절연막, 210b: 절연층, 210bf: 절연막, 210c: 절연층, 210cf: 절연막, 210f: 절연막, 210: 절연층, 218f: 절연막, 218: 절연층, 222a: 도전층, 222B: 도전층, 222b: 도전층, 222f: 도전막, 223: 도전층, 225: 절연층, 231f: 금속 산화물막, 231: 반도체층, 235: 절연층, 239f: 절연막,

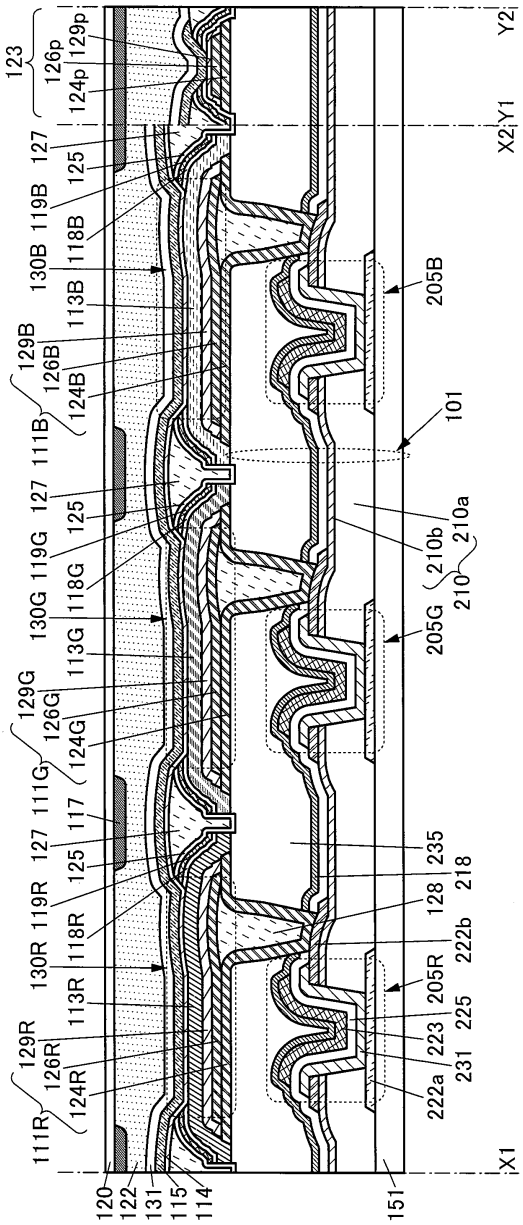
239: 절연층, 242: 접속층, 249: 금속 산화물층, 351: 기판, 352: 손가락, 353: 층, 355: 기능층, 357: 층, 359: 기판, 700A: 전자 기기, 700B: 전자 기기, 721: 하우징, 723: 장착부, 727: 이어폰부, 750: 이어폰, 751: 표시 패널, 753: 광학 부재, 756: 표시 영역, 757: 프레임, 758: 코 받침, 761: 하부 전극, 762: 상부 전극, 763a: 발광 유닛, 763b: 발광 유닛, 763c: 발광 유닛, 763: EL층, 764: 층, 765: 층, 766: 층, 767: 활성층, 768: 층, 771a: 발광층, 771b: 발광층, 771c: 발광층, 771: 발광층, 772a: 발광층, 772b: 발광층, 772c: 발광층, 772: 발광층, 773: 발광층, 780a: 층, 780b: 층, 780c: 층, 780: 층, 781: 층, 782: 층, 785: 전하 발생층, 790a: 층, 790b: 층, 790c: 층, 790: 층, 791: 층, 792: 층, 800A: 전자 기기, 800B: 전자 기기, 820: 표시부, 821: 하우징, 822: 통신부, 823: 장착부, 824: 제어부, 825: 촬상부, 827: 이어폰부, 832: 렌즈, 6500: 전자 기기, 6501: 하우징, 6502: 표시부, 6503: 전원 버튼, 6504: 버튼, 6505: 스피커, 6506: 마이크로폰, 6507: 카메라, 6508: 광원, 6510: 보호 부재, 6511: 표시 패널, 6512: 광학 부재, 6513: 터치 센서 패널, 6515: FPC, 6516: IC, 6517: 인쇄 기판, 6518: 배터리, 7000: 표시부, 7100: 텔레비전 장치, 7101: 하우징, 7103: 스탠드, 7111: 리모트 컨트롤러, 7200: 노트북형 퍼스널 컴퓨터, 7211: 하우징, 7212: 키보드, 7213: 포인팅 디바이스, 7214: 외부 접속 포트, 7300: 디지털 사이니지, 7301: 하우징, 7303: 스피커, 7311: 정보 단말기, 7400: 디지털 사이니지, 7401: 기둥, 7411: 정보 단말기, 9000: 하우징, 9001: 표시부, 9002: 카메라, 9003: 스피커, 9005: 조작 키, 9006: 접속 단자, 9007: 센서, 9008: 마이크로폰, 9050: 아이콘, 9051: 정보, 9052: 정보, 9053: 정보, 9054: 정보, 9055: 힌지, 9101: 휴대 정보 단말기, 9102: 휴대 정보 단말기, 9103: 태블릿 단말기, 9200: 휴대 정보 단말기, 9201: 휴대 정보 단말기

도면

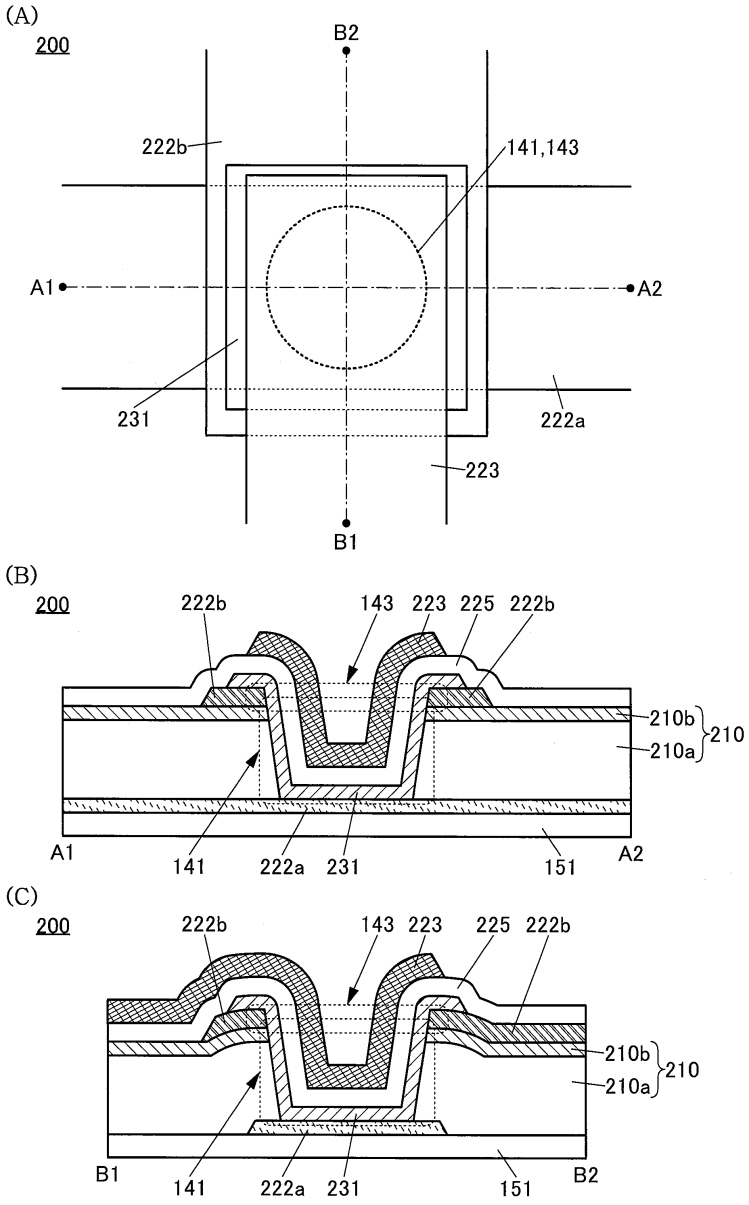
도면1



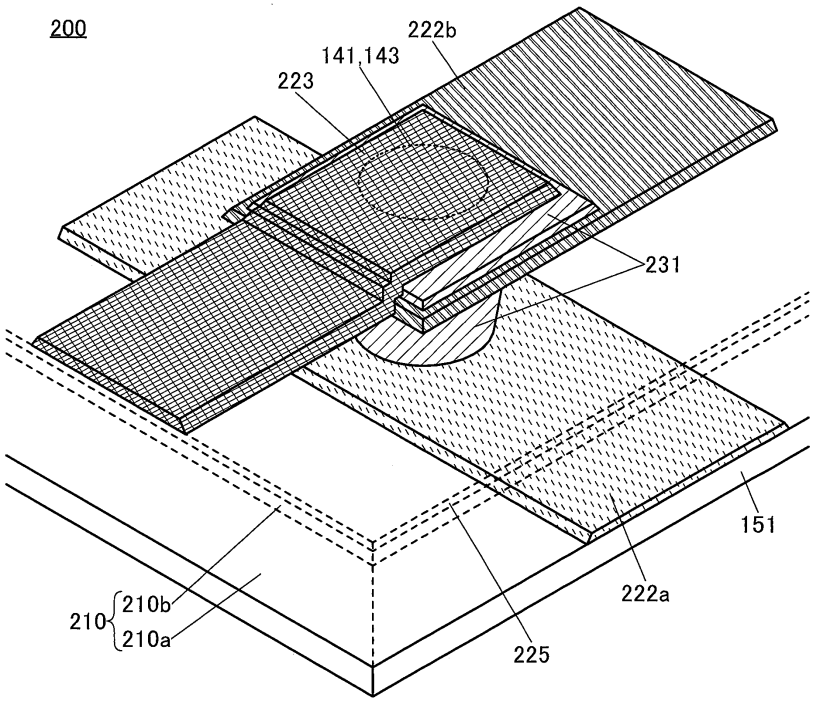
도면2


123
126p
129p
124p
127
125
130B
119B
118B
113B
129B
126B
124B
111B
127
125
130G
119G
118G
113G
129G
126G
124G
111G
127
117
125
130R
119R
118R
113R
129R
126R
124R
111R
120
122
131
115
114
151
205B
101
210a
210b
210
205G
235
218
128
222b
205R
225
223
231
222a
X1
X2
Y1
Y2

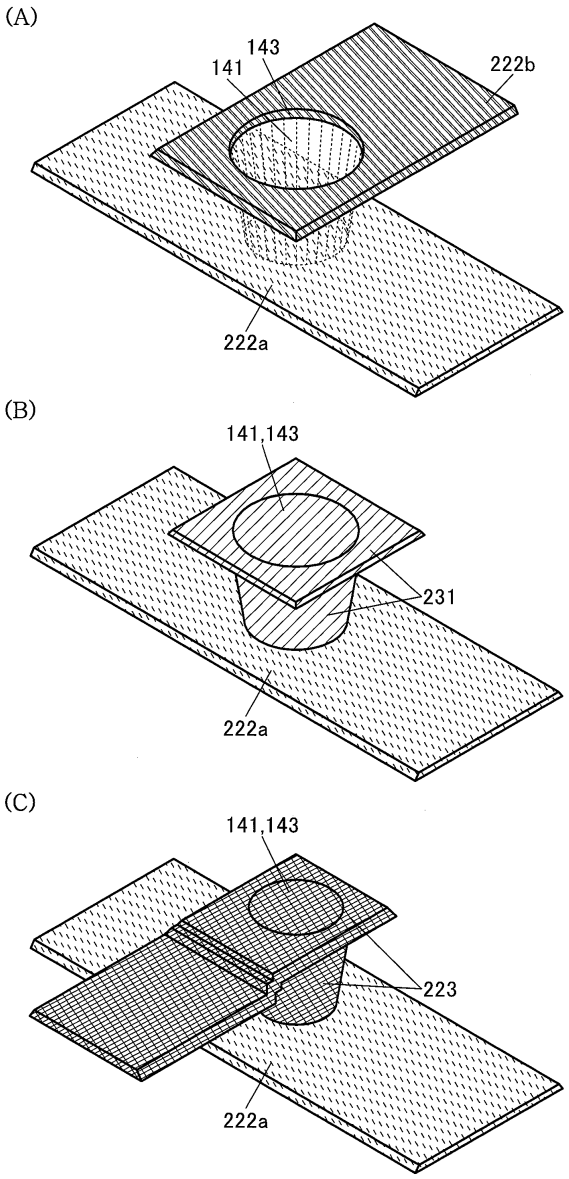
도면3


(A)
200
B2
222b
141,143
A1
A2
231
222a
223
B1
(B)
200
222b
143
223
225
222b
210b
210
210a
A1
141
222a
231
151
A2
(C)
200
222b
143
223
225
222b
210b
210
210a
B1
141
222a
231
151
B2

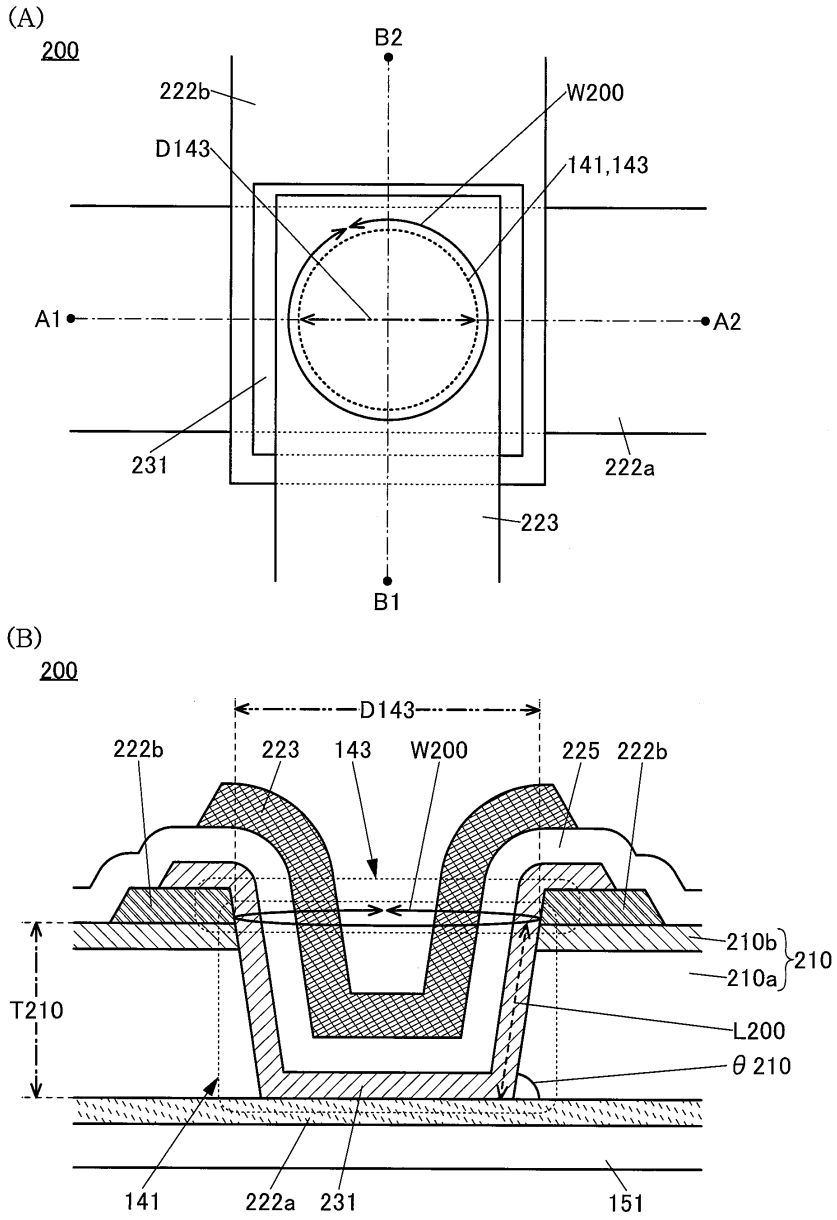
도면4



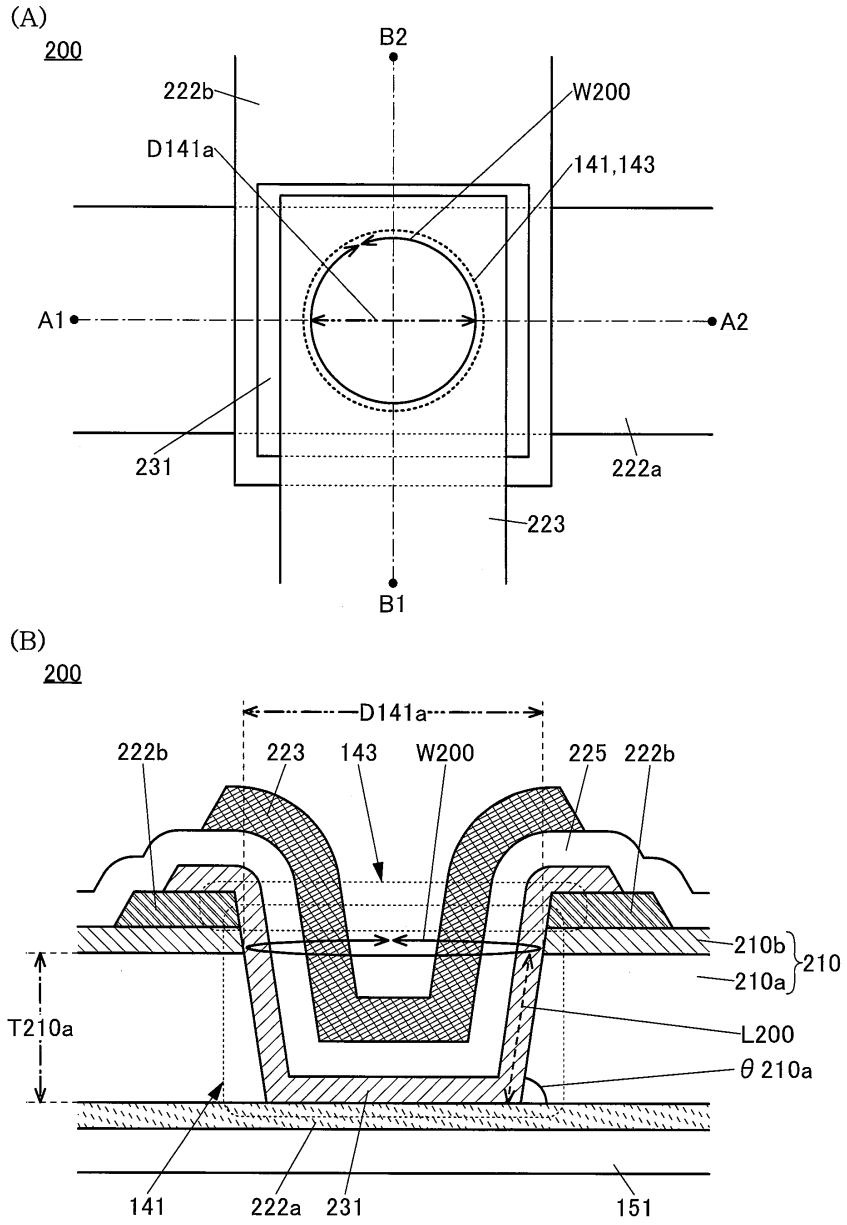
도면5



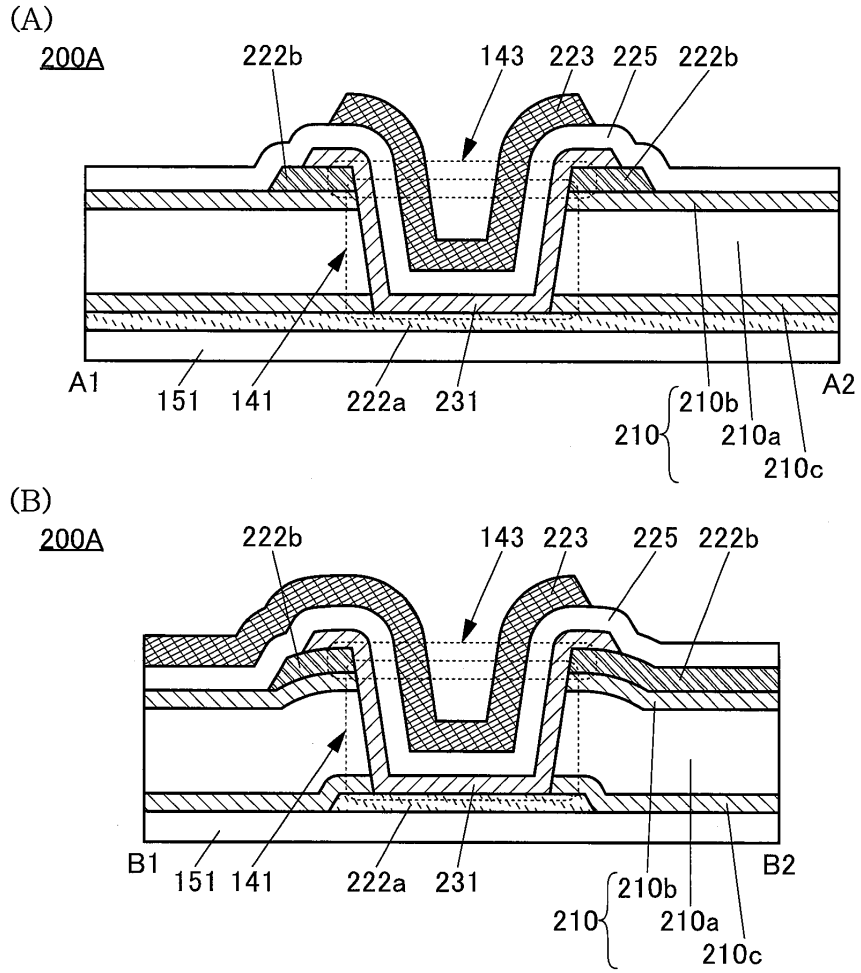
도면6


(A)
200
B2
222b
W200
D143
141,143
A1
A2
231
222a
223
B1
(B)
200
D143
222b
223
143
W200
225
222b
210b
210
210a
T210
L200
θ 210
141
222a
231
151

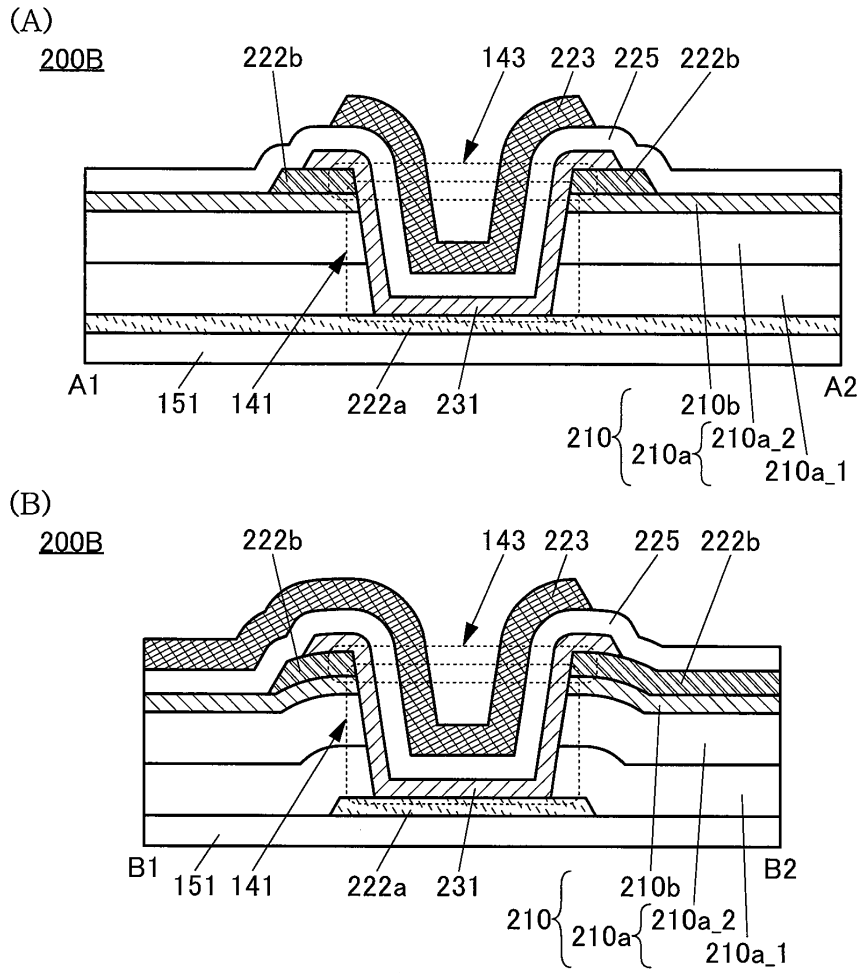
도면7


(A)
200
B2
222b
W200
D141a
141,143
A1
A2
231
222a
223
B1
(B)
200
D141a
222b
223
143
W200
225
222b
210b
210
210a
T210a
L200
θ 210a
141
222a
231
151

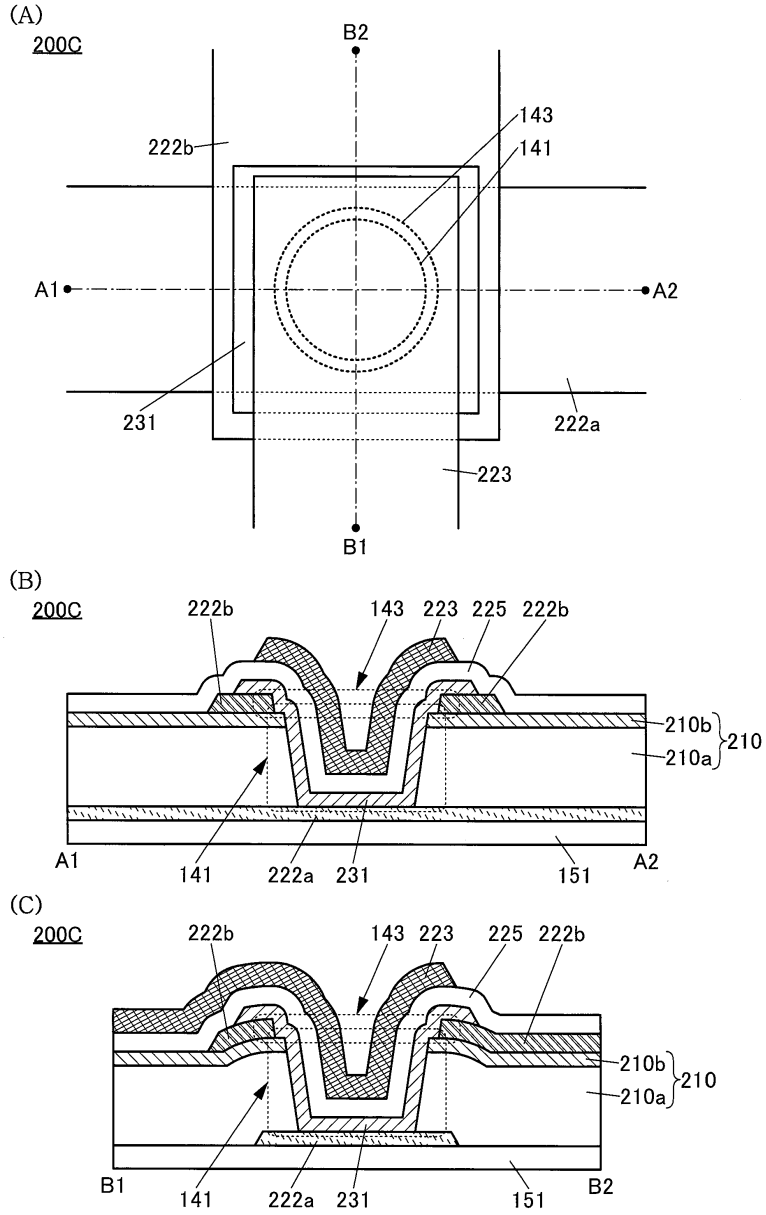
도면8


(A)
200A
222b
143
223
225
222b
A1
151
141
222a
231
210b
210a
210c
210
A2
(B)
200A
222b
143
223
225
222b
B1
151
141
222a
231
210b
210a
210c
210
B2

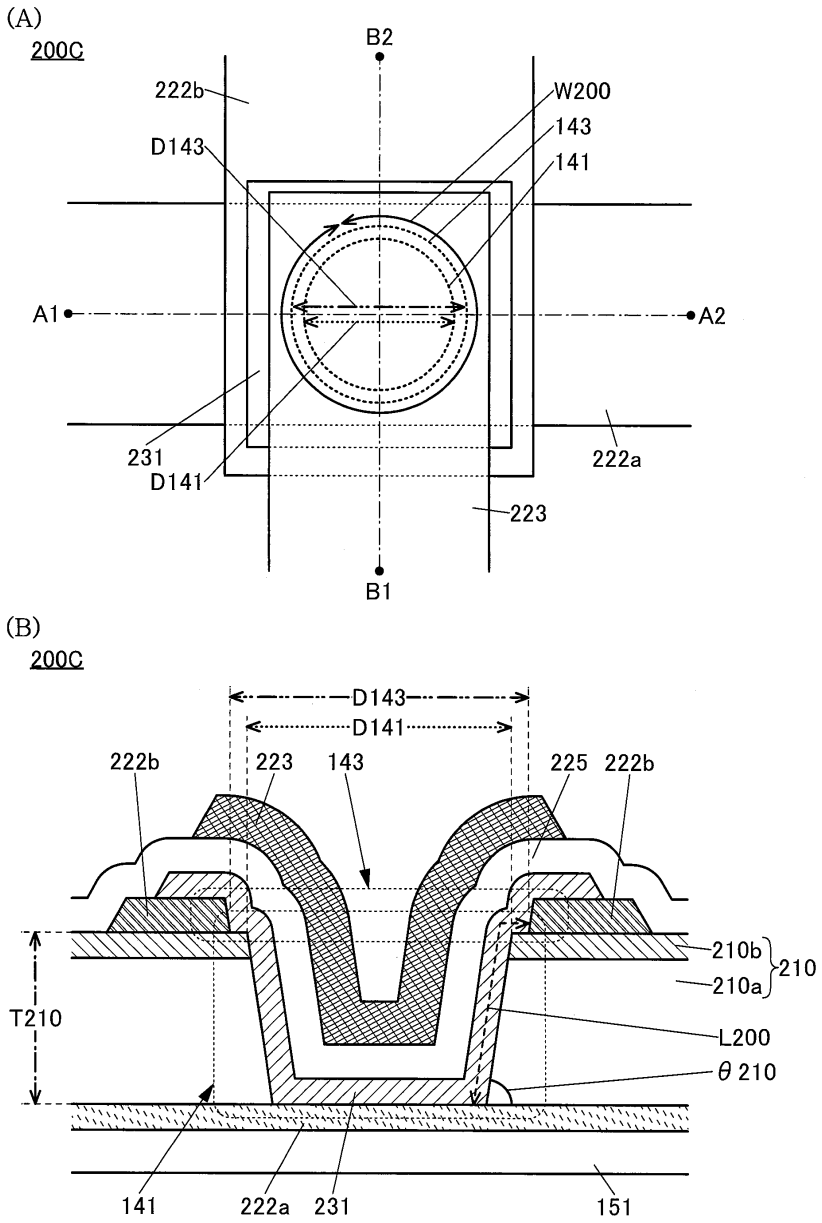
도면9


(A)
200B
222b
143
223
225
222b
A1
151
141
222a
231
210b
A2
210
210a
210a_2
210a_1
(B)
200B
222b
143
223
225
222b
B1
151
141
222a
231
210b
B2
210
210a
210a_2
210a_1

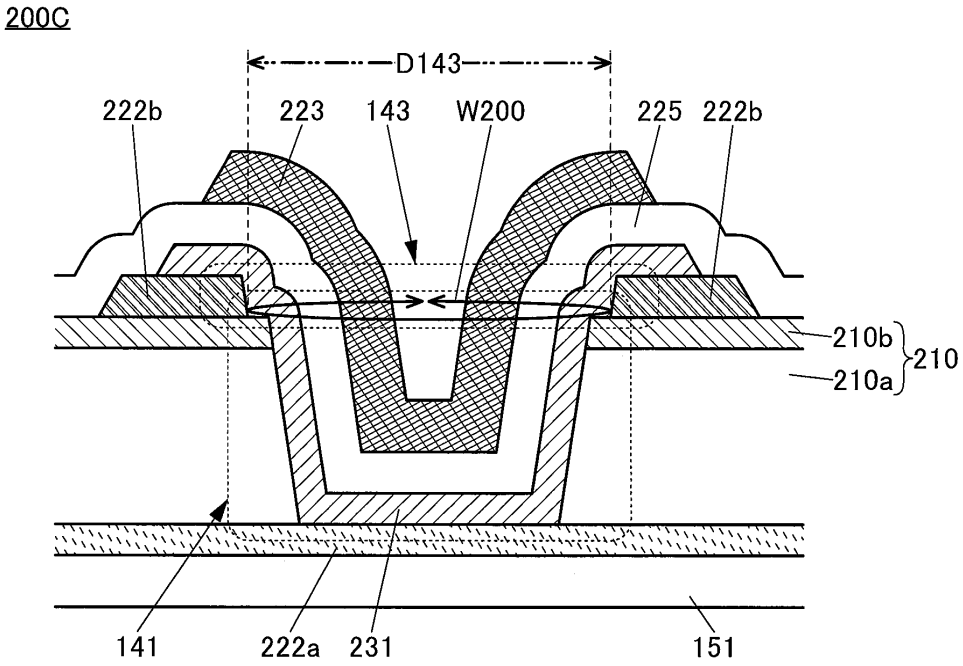
도면10


(A)
200C
B2
143
141
222b
A1
A2
231
222a
223
B1
(B)
200C
222b
143
223
225
222b
210b
210
210a
A1
141
222a
231
151
A2
(C)
200C
222b
143
223
225
222b
210b
210
210a
B1
141
222a
231
151
B2

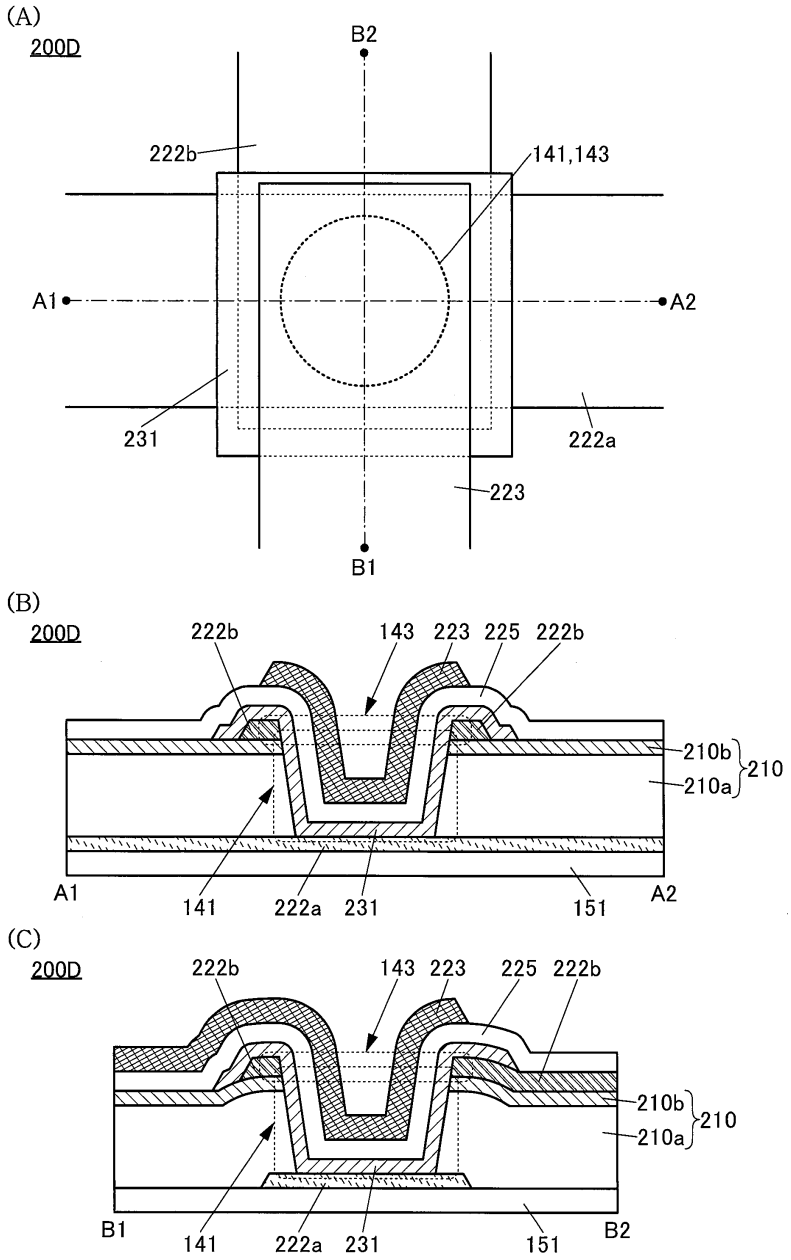
도면11


(A)
200C
B2
222b
W200
143
D143
141
A1
A2
231
D141
222a
223
B1
(B)
200C
D143
D141
222b
223
143
225
222b
210b
210
210a
T210
L200
θ 210
141
222a
231
151

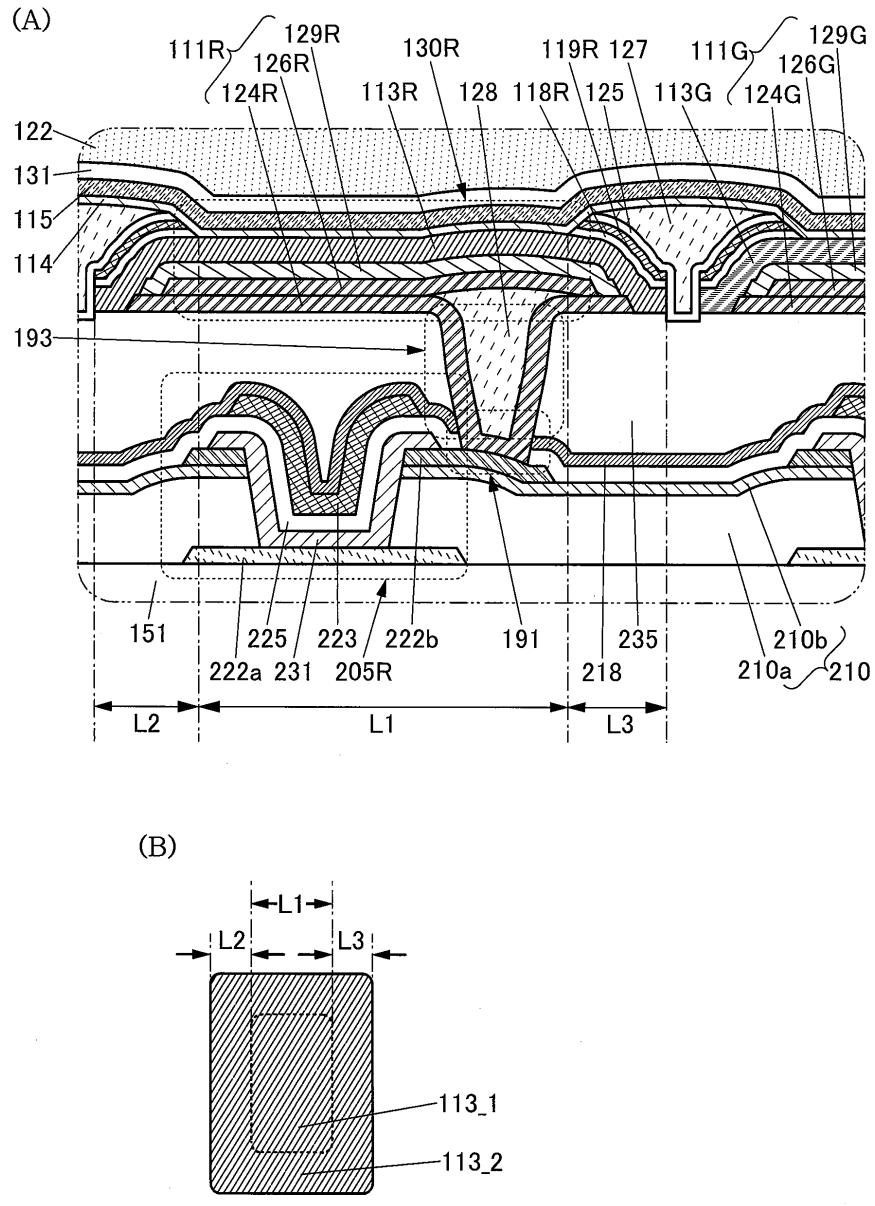
도면12


200C
D143
222b
223
143
W200
225
222b
210b
210
210a
141
222a
231
151

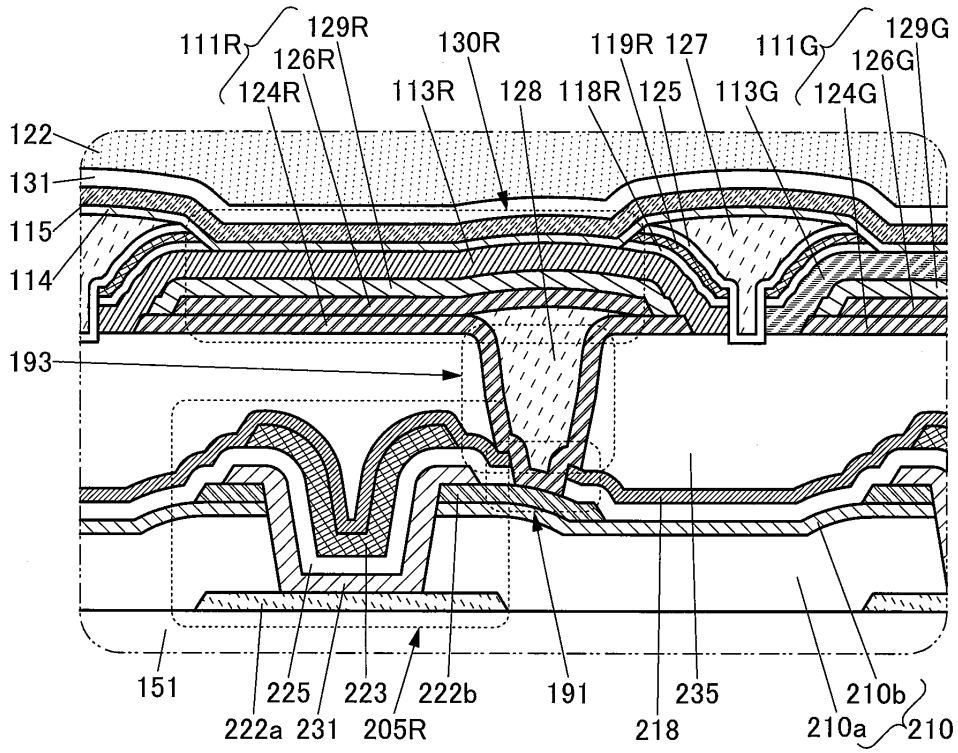
도면13


(A)
200D
B2
222b
141,143
A1
A2
231
222a
223
B1
(B)
200D
222b
143
223
225
222b
210b
210a
210
A1
141
222a
231
151
A2
(C)
200D
222b
143
223
225
222b
210b
210a
210
B1
141
222a
231
151
B2

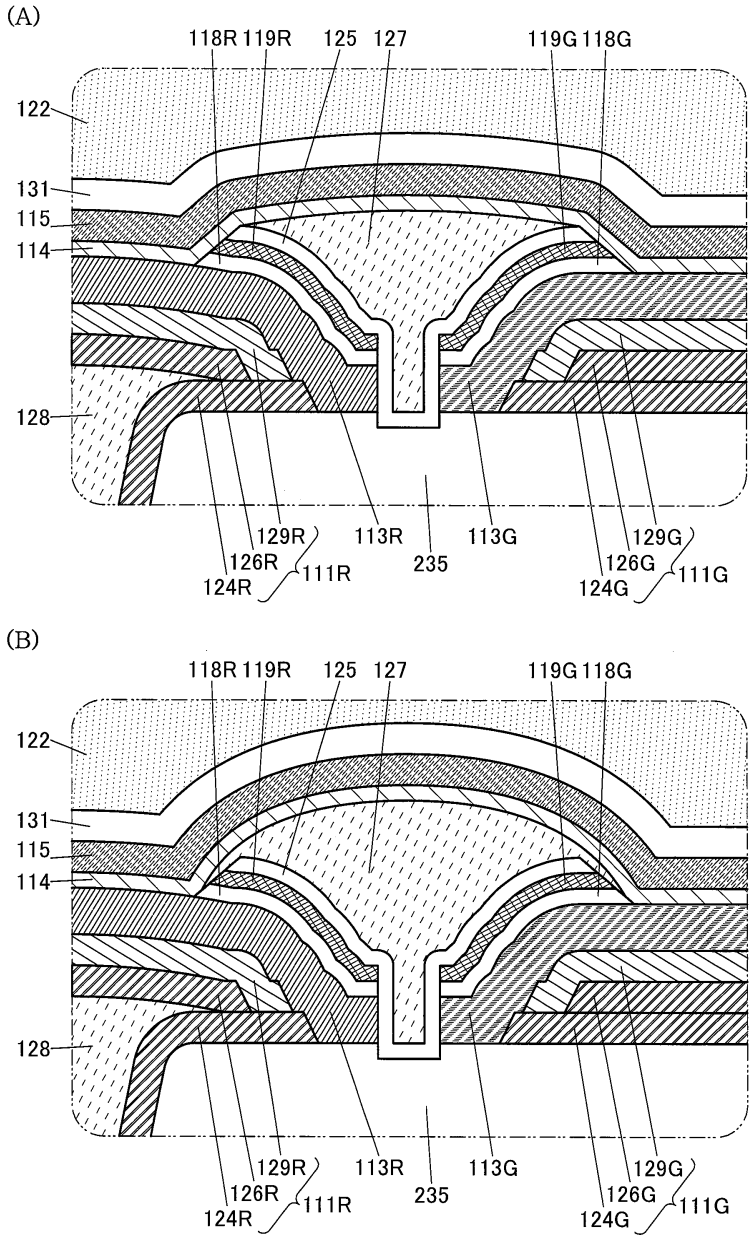
도면14


(A)
111R
129R
126R
124R
130R
113R
128
119R
127
118R
125
111G
113G
129G
126G
124G
122
131
115
114
193
151
225
222a
231
223
205R
222b
191
235
218
210b
210a
210
L2
L1
L3
(B)
L1
L2
L3
113_1
113_2

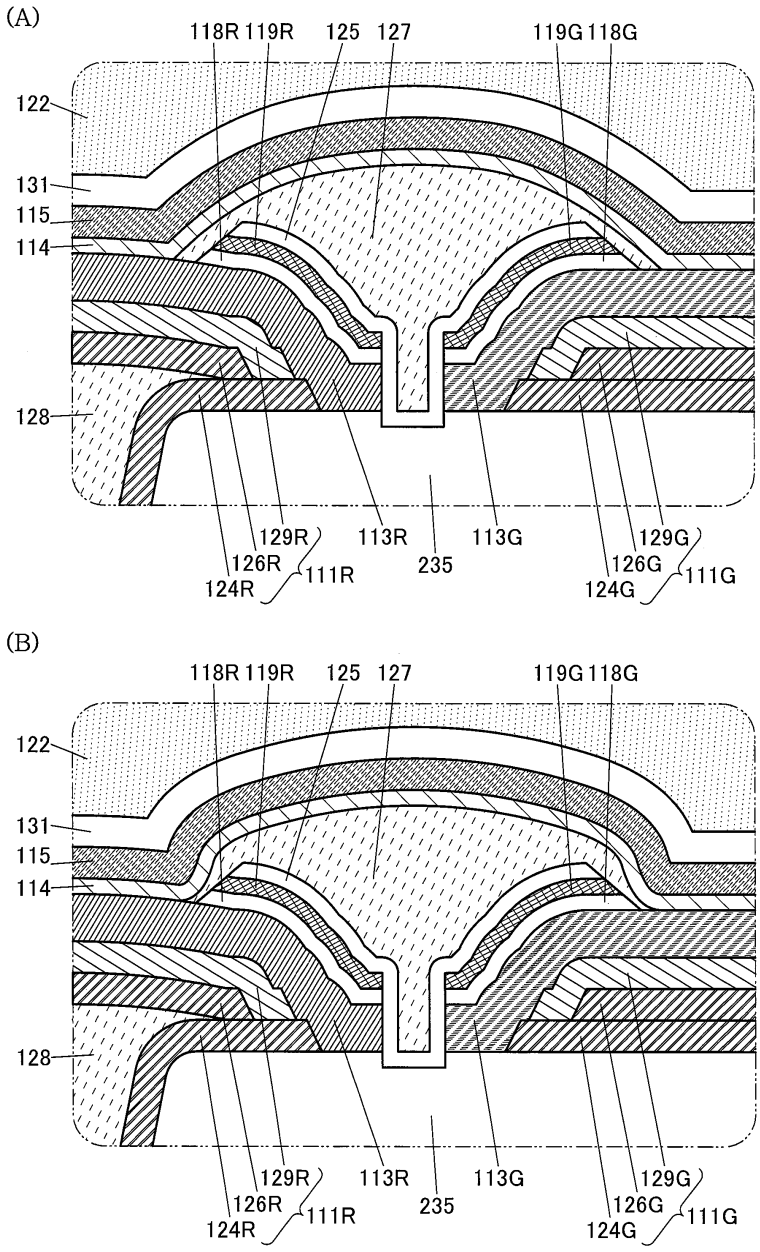
도면15


111R
129R
126R
124R
130R
113R
128
119R
127
118R
125
111G
129G
126G
113G
124G
122
131
115
114
193
151
225
223
222b
191
235
210b
222a
231
205R
218
210a
210

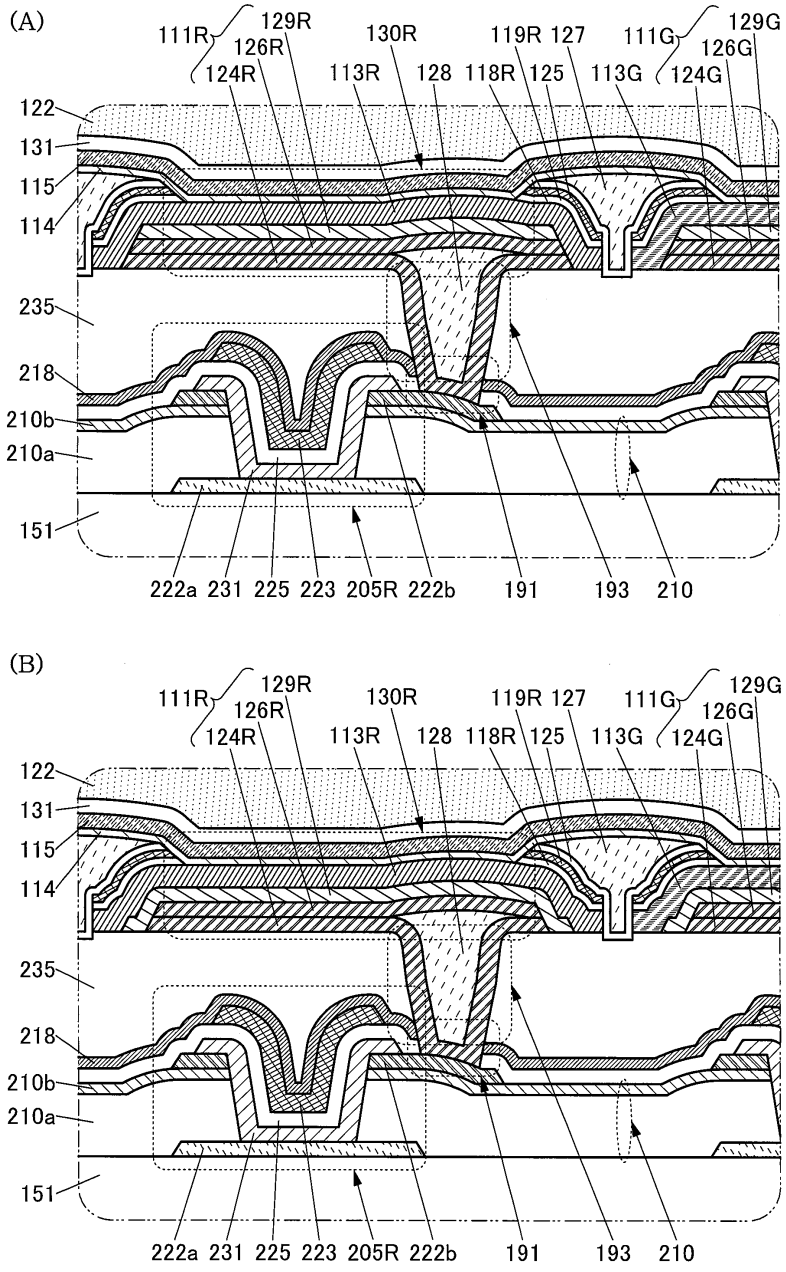
도면16


(A)
118R
119R
125
127
119G
118G
122
131
115
114
128
129R
126R
124R
111R
113R
235
113G
129G
126G
124G
111G
(B)
118R
119R
125
127
119G
118G
122
131
115
114
128
129R
126R
124R
111R
113R
235
113G
129G
126G
124G
111G

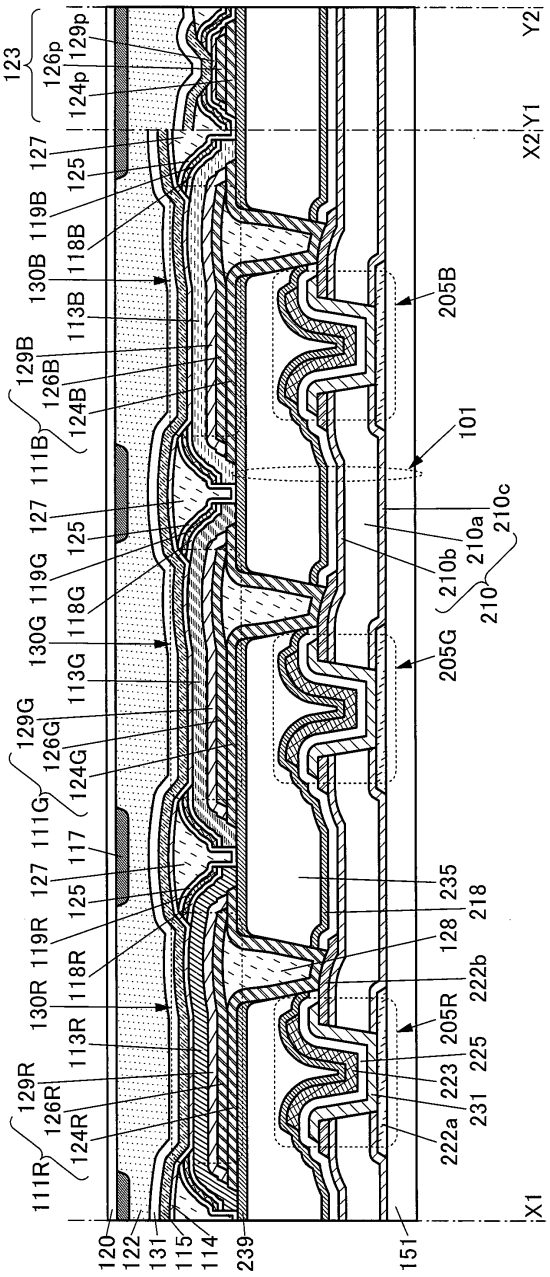
도면17


(A)
118R
119R
125
127
119G
118G
122
131
115
114
128
129R
126R
124R
111R
113R
235
113G
129G
126G
124G
111G
(B)
118R
119R
125
127
119G
118G
122
131
115
114
128
129R
126R
124R
111R
113R
235
113G
129G
126G
124G
111G

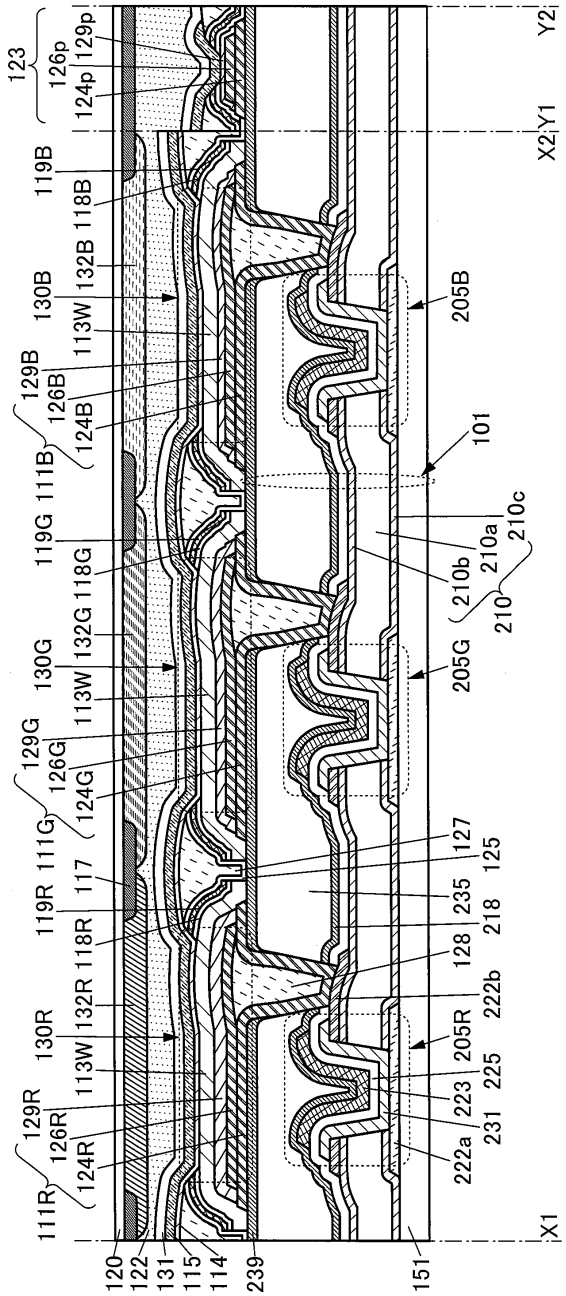
도면18


(A)
111R
129R
126R
124R
130R
113R
128
119R
127
118R
125
111G
129G
126G
113G
124G
122
131
115
114
235
218
210b
210a
151
222a
231
225
223
205R
222b
191
193
210
(B)
111R
129R
126R
124R
130R
113R
128
119R
127
118R
125
111G
129G
126G
113G
124G
122
131
115
114
235
218
210b
210a
151
222a
231
225
223
205R
222b
191
193
210

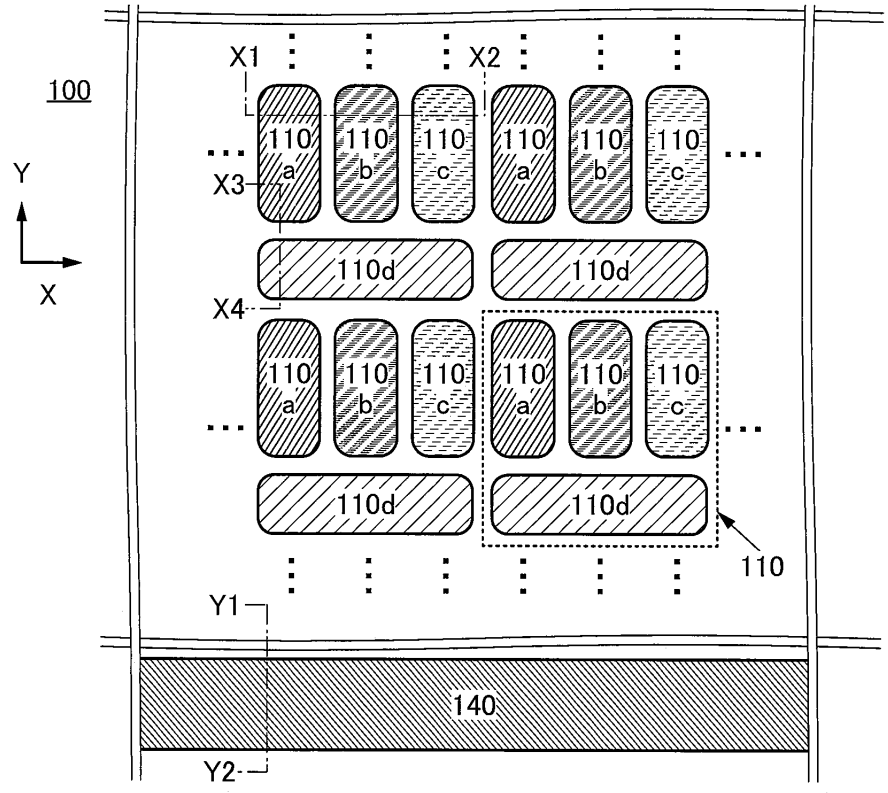
도면19


123
126p
129p
124p
127
125
130B
119B
118B
113B
129B
126B
124B
111B
130G
119G
118G
113G
129G
126G
124G
111G
130R
119R
118R
113R
129R
126R
124R
111R
117
235
218
128
222b
205R
223
225
231
222a
205B
101
210c
210a
210b
210
205G
X1
X2
Y1
Y2
120
122
131
115
114
239
151

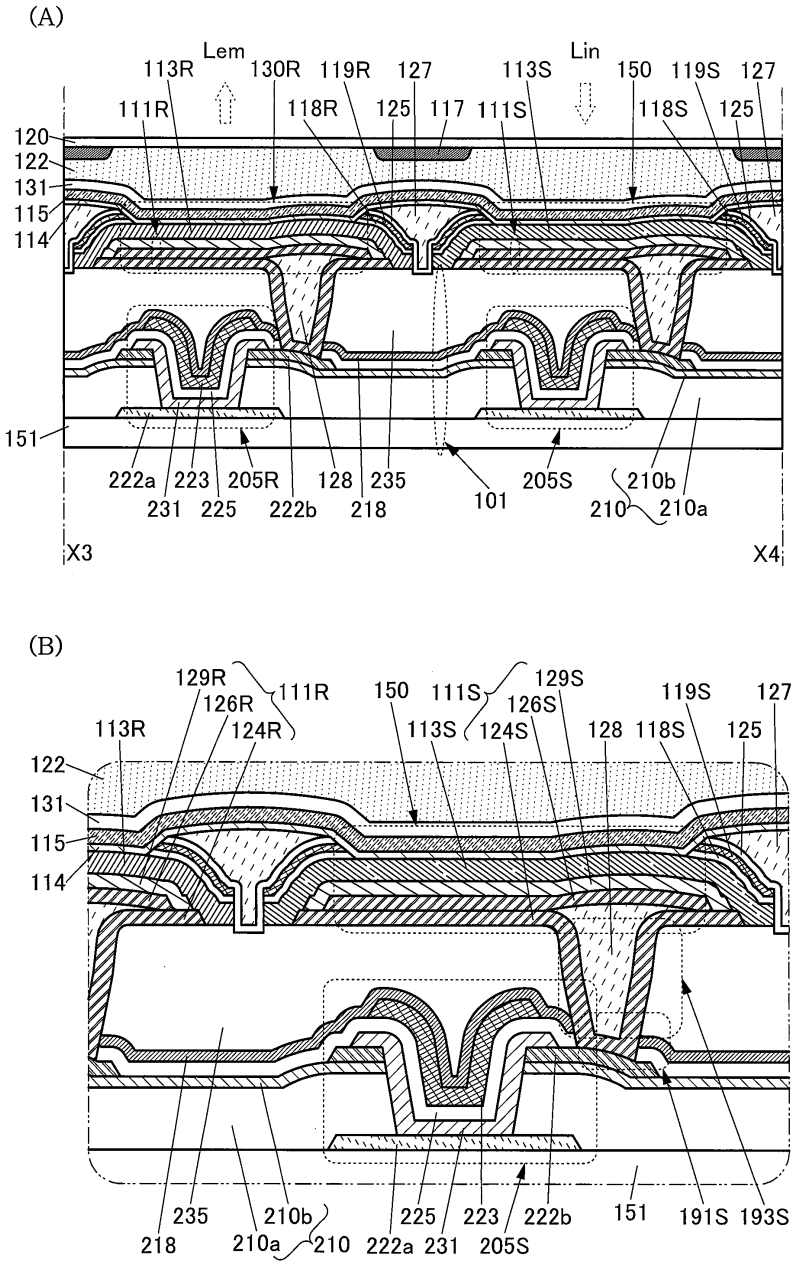
도면20


123
126p
129p
124p
119B
118B
132B
130B
113W
129B
126B
124B
111B
119G
118G
132G
130G
113W
129G
126G
124G
111G
119R
117
118R
132R
130R
113W
129R
126R
124R
111R
120
122
131
115
114
239
151
X1
X2
Y1
Y2
205B
101
210c
210a
210b
210
205G
127
125
235
218
128
222b
205R
225
223
231
222a

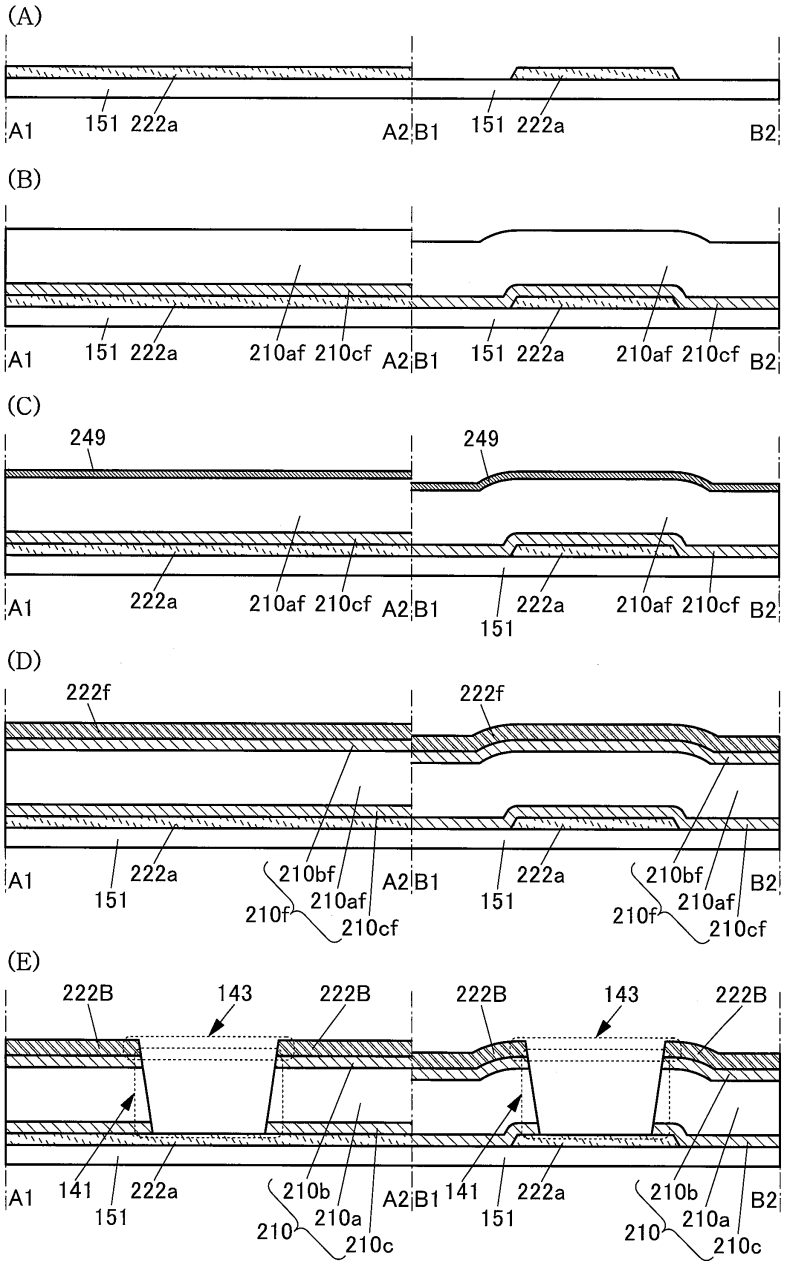
도면21



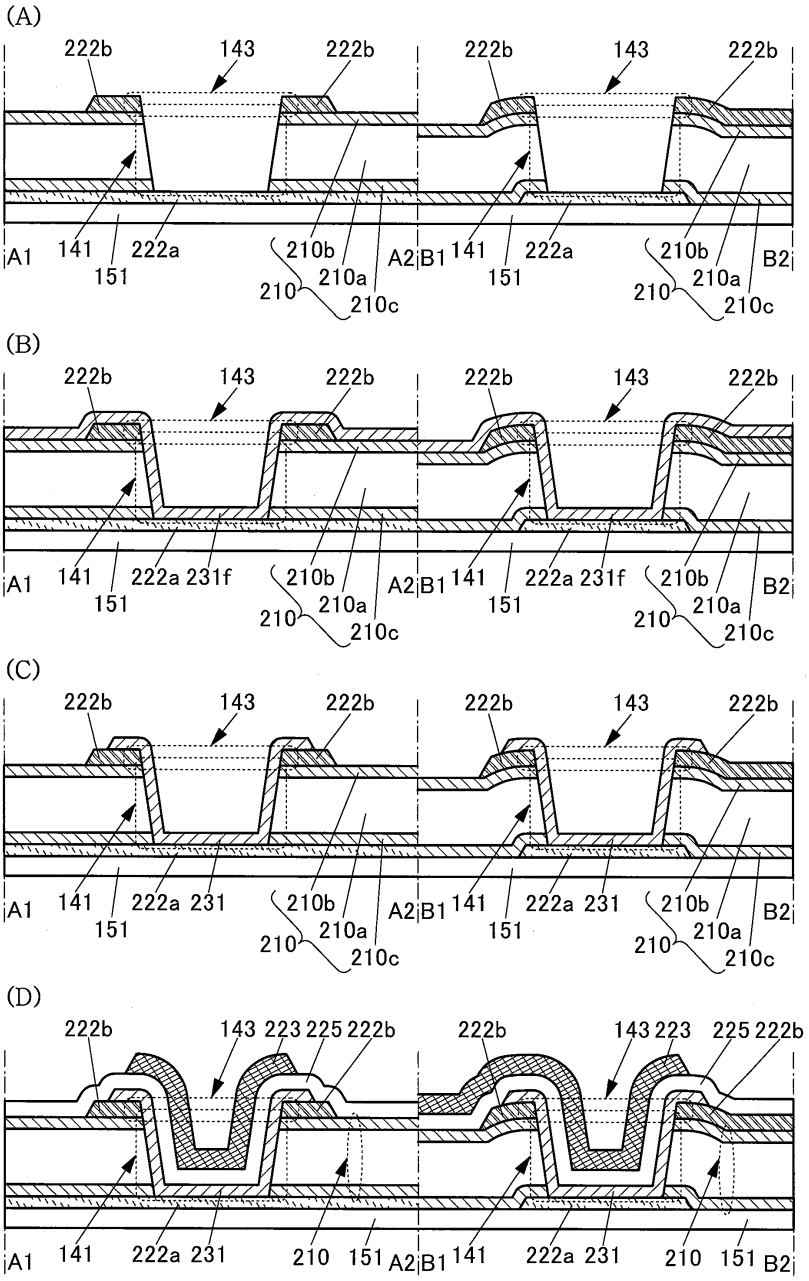
도면22


(A)
Lem
Lin
113R
130R
119R
127
113S
150
119S
127
111R
118R
125
117
111S
118S
125
120
122
131
115
114
151
222a
223
205R
128
235
205S
210b
231
225
222b
218
101
210
210a
X3
X4
(B)
129R
111R
150
111S
129S
119S
127
126R
126S
113R
124R
113S
124S
128
118S
125
122
131
115
114
235
210b
225
223
222b
151
191S
193S
218
210a
210
222a
231
205S

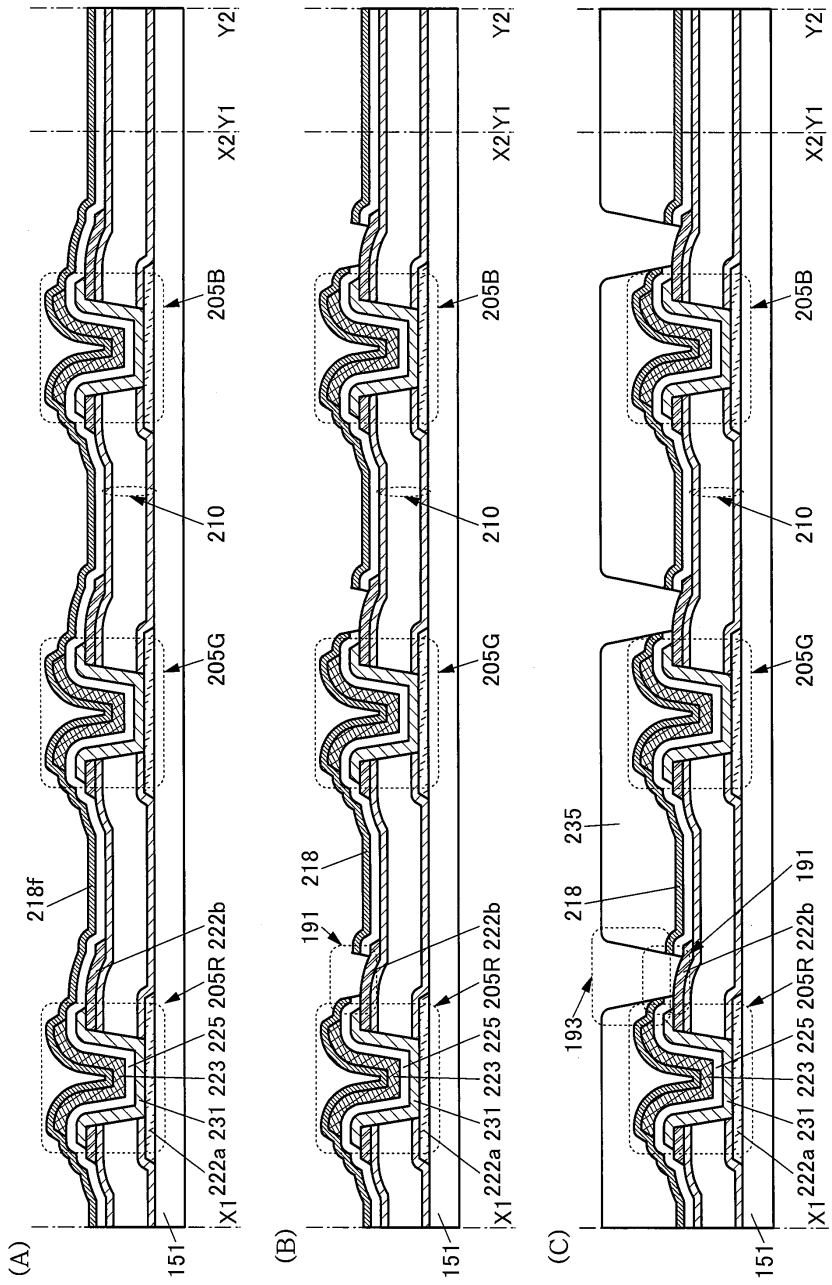
도면23


(A)
A1
151
222a
A2
B1
151
222a
B2
(B)
A1
151
222a
210af
210cf
A2
B1
151
222a
210af
210cf
B2
(C)
249
249
A1
222a
210af
210cf
A2
B1
151
222a
210af
210cf
B2
(D)
222f
222f
A1
151
222a
210bf
210af
210cf
210f
A2
B1
151
222a
210bf
210af
210cf
210f
B2
(E)
222B
143
222B
222B
143
222B
A1
141
151
222a
210b
210a
210c
210
A2
B1
141
151
222a
210b
210a
210c
210
B2

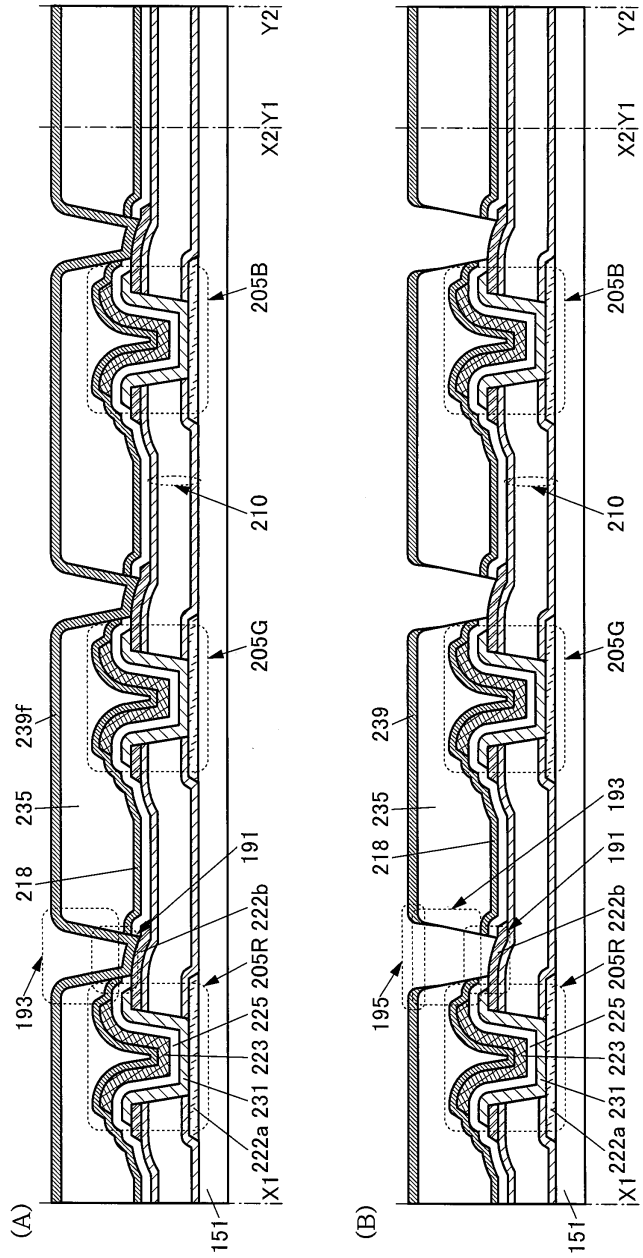
도면24


(A)
222b
143
222b
222b
143
222b
A1
141
151
222a
210b
210a
210
210c
A2
B1
141
151
222a
210b
210a
210
210c
B2
(B)
222b
143
222b
222b
143
222b
A1
141
151
222a
231f
210b
210a
210
210c
A2
B1
141
151
222a
231f
210b
210a
210
210c
B2
(C)
222b
143
222b
222b
143
222b
A1
141
151
222a
231
210b
210a
210
210c
A2
B1
141
151
222a
231
210b
210a
210
210c
B2
(D)
222b
143
223
225
222b
222b
143
223
225
222b
A1
141
222a
231
210
151
A2
B1
141
222a
231
210
151
B2

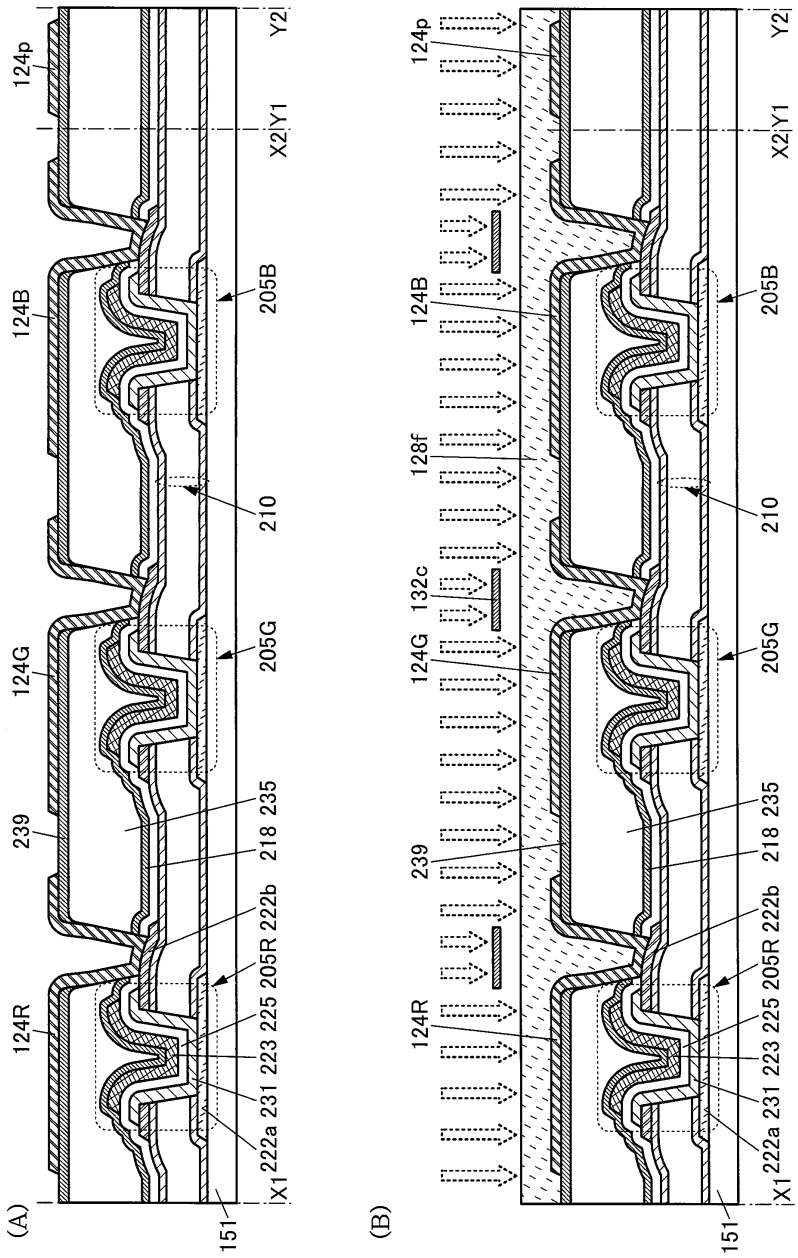
도면25


(A)
(B)
(C)
X1
X2
Y1
Y2
151
222a
231
223
225
205R
222b
218f
205G
210
205B
191
218
193
235

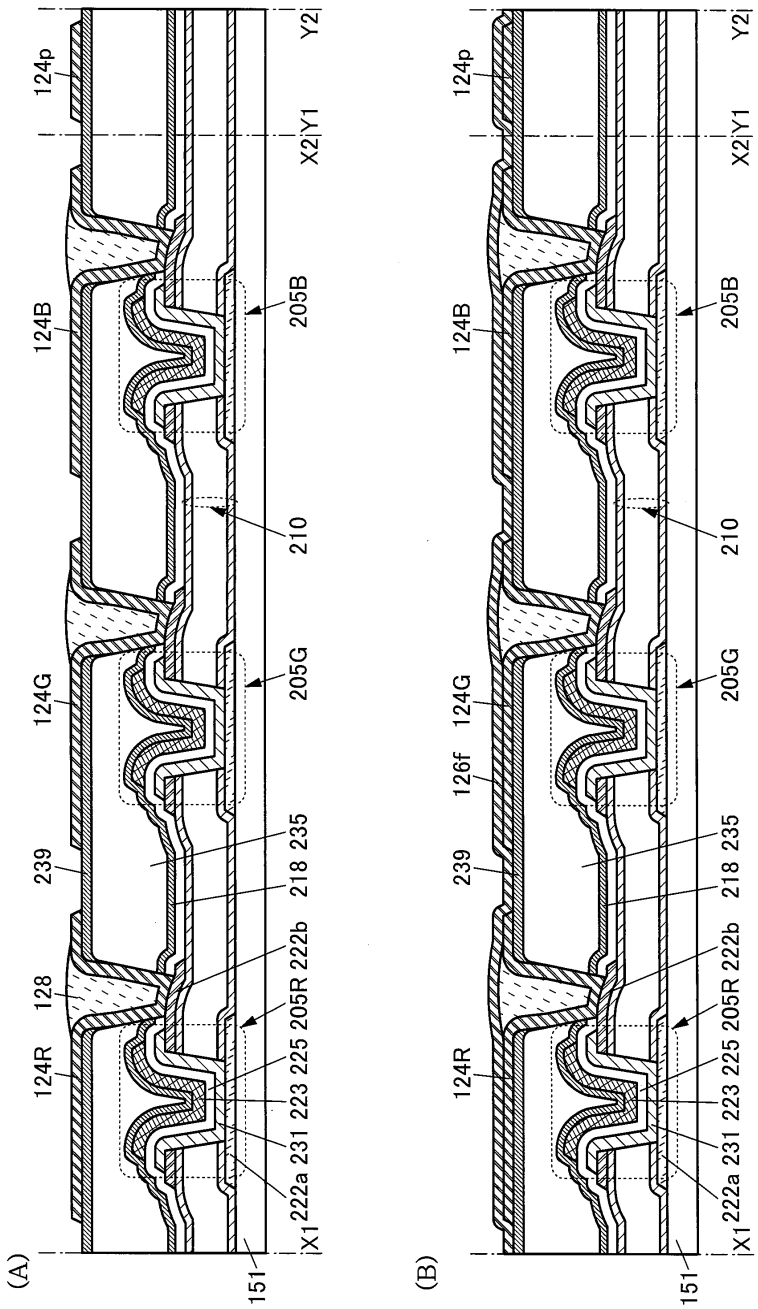
도면26


(A)
151
X1
222a 231 223 225 205R 222b 191
193
218 235 239f
205G
210
205B
X2 Y1 Y2
(B)
151
X1
222a 231 223 225 205R 222b 191 193
195
218 235 239
205G
210
205B
X2 Y1 Y2

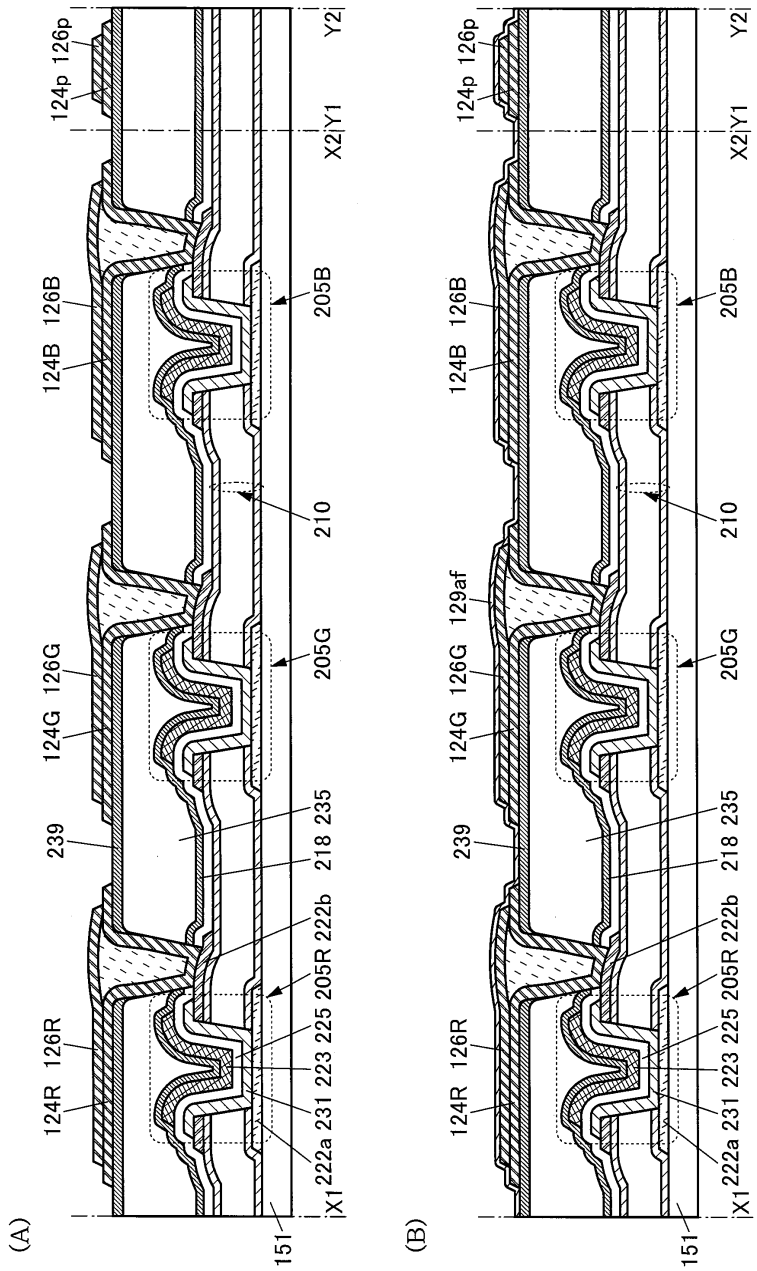
도면27


(A)
(B)
124p
124B
124G
124R
239
222a 231 223 225 205R 222b 218 235
205B
205G
210
128f
132c
151
X1
X2
Y1
Y2

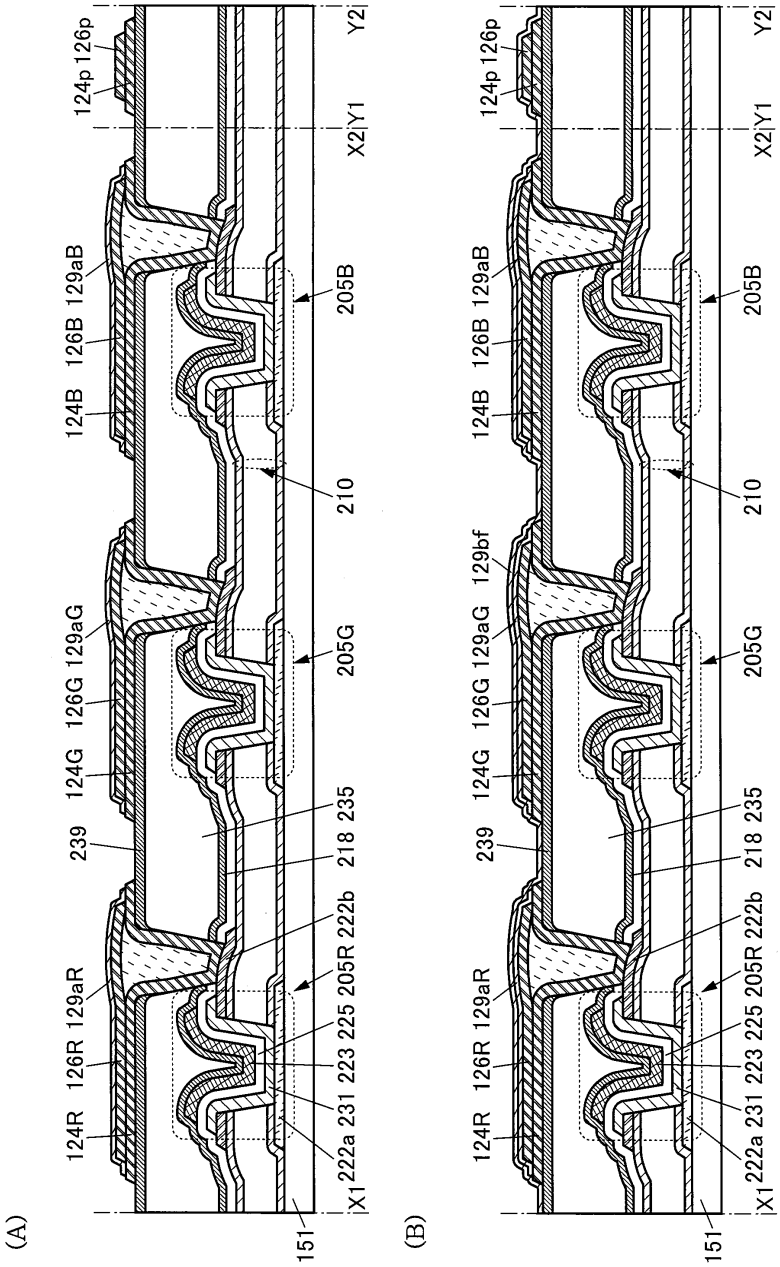
도면28


(A)
124p
124B
124G
239
128
124R
151
X1
X2
Y1
Y2
205B
210
205G
218
235
222b
205R
225
223
231
222a
(B)
126f

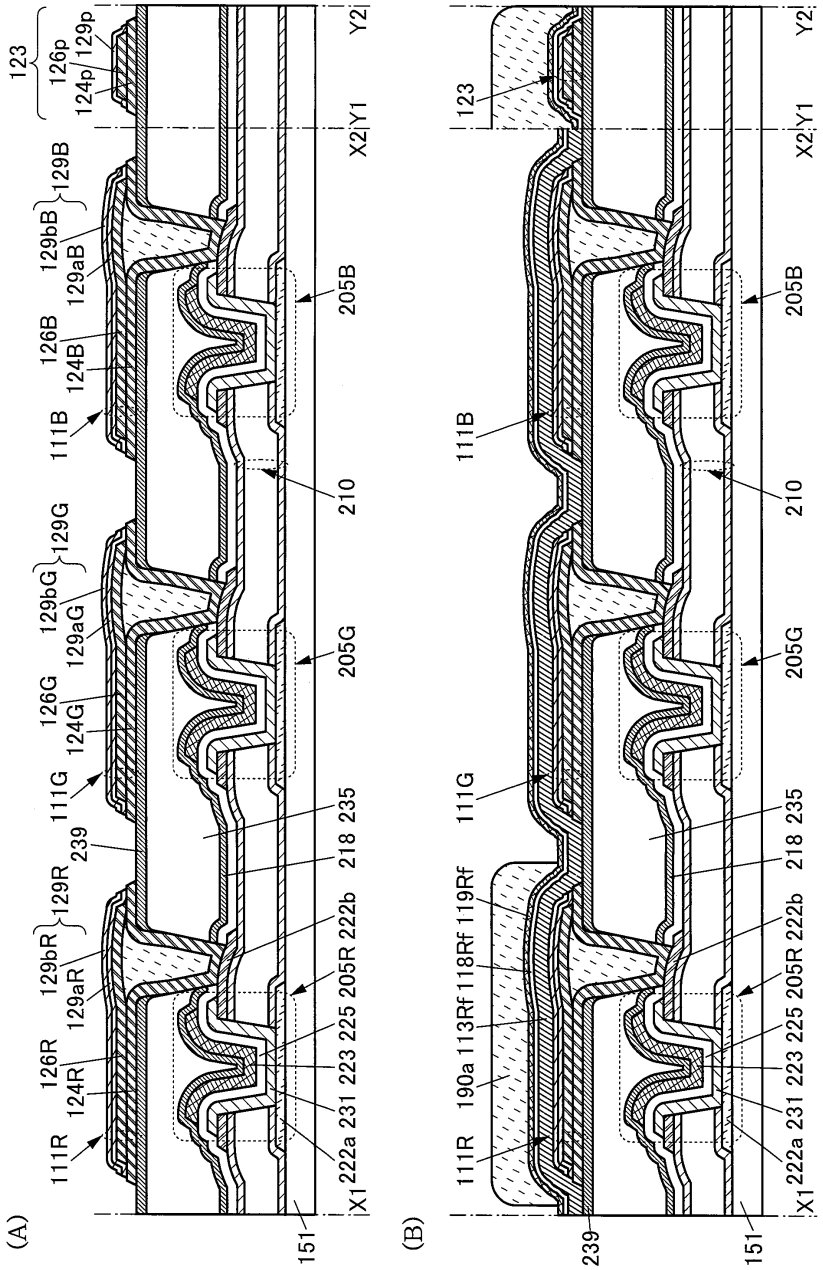
도면29


(A)
124p 126p
Y2
X2 Y1
124B 126B
205B
210
124G 126G
205G
239
235
218
222b
205R
225
223
231
124R 126R
222a
X1
151
(B)
124p 126p
Y2
X2 Y1
124B 126B
205B
210
129af
124G 126G
205G
239
235
218
222b
205R
225
223
231
124R 126R
222a
X1
151

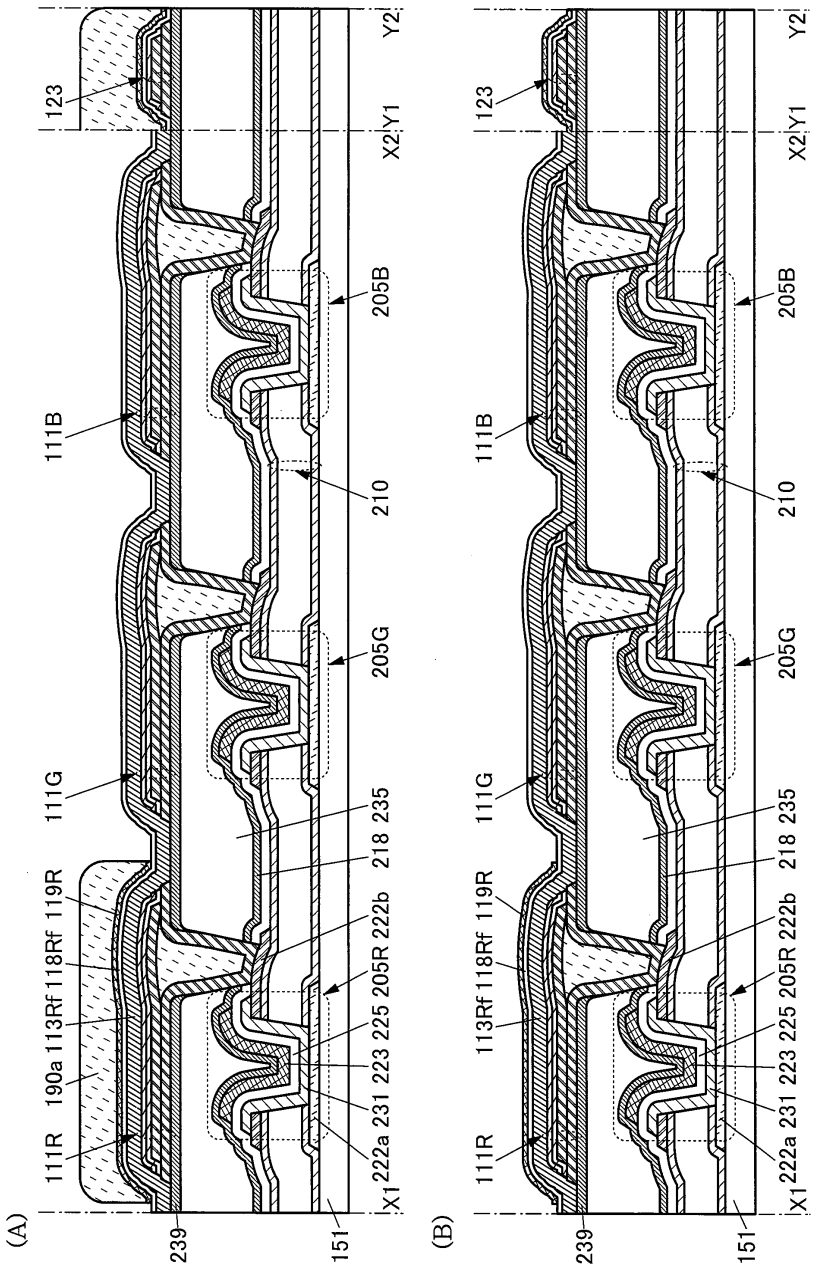
도면30


(A)
(B)
124p 126p
124B 126B 129aB
124G 126G 129aG
124R 126R 129aR
129bf
239
205B
205G
205R
210
218 235
222b
225
223
231
222a
151
X1
X2
Y1
Y2

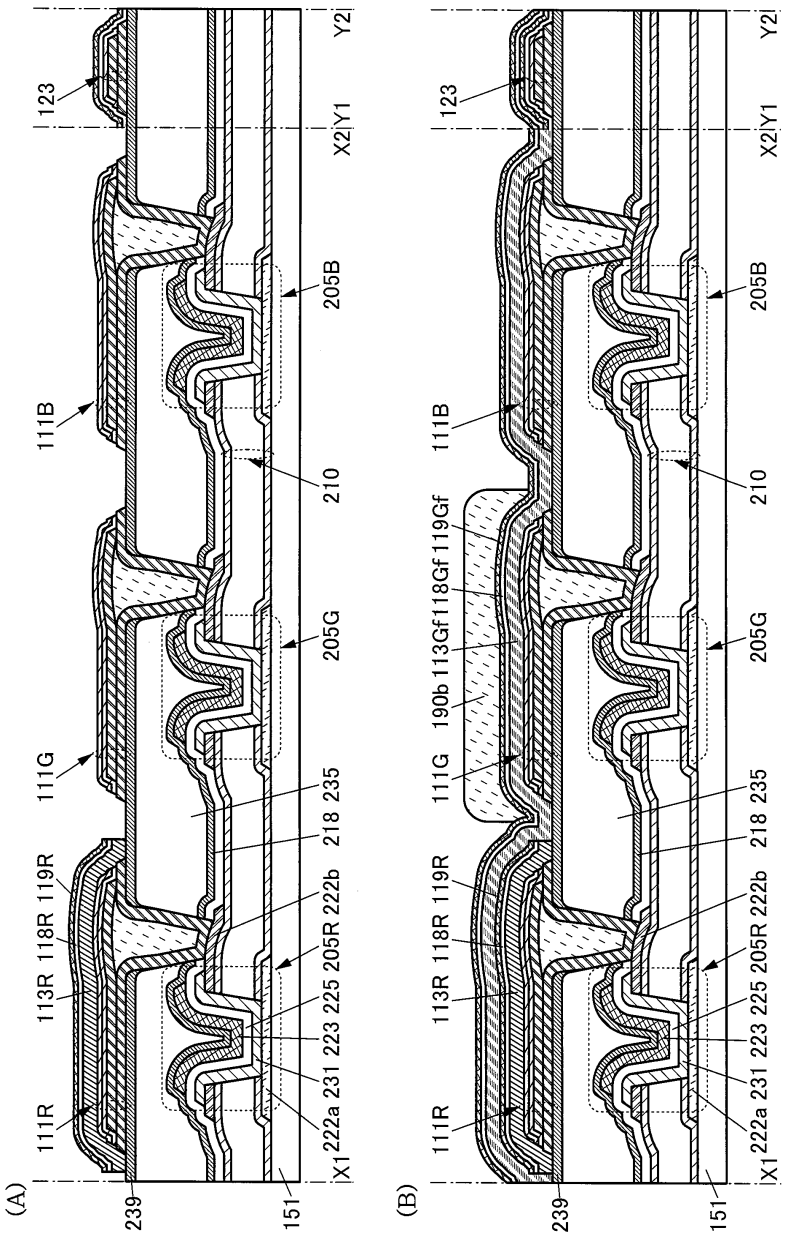
도면31


(A)
(B)
123
126p
129p
124p
129B
129bB
129aB
126B
124B
111B
129G
129bG
129aG
126G
124G
111G
129R
129bR
129aR
126R
124R
111R
239
205B
210
205G
235
218
222b
205R
225
223
231
222a
190a
113Rf
118Rf
119Rf
X1
X2
Y1
Y2
151

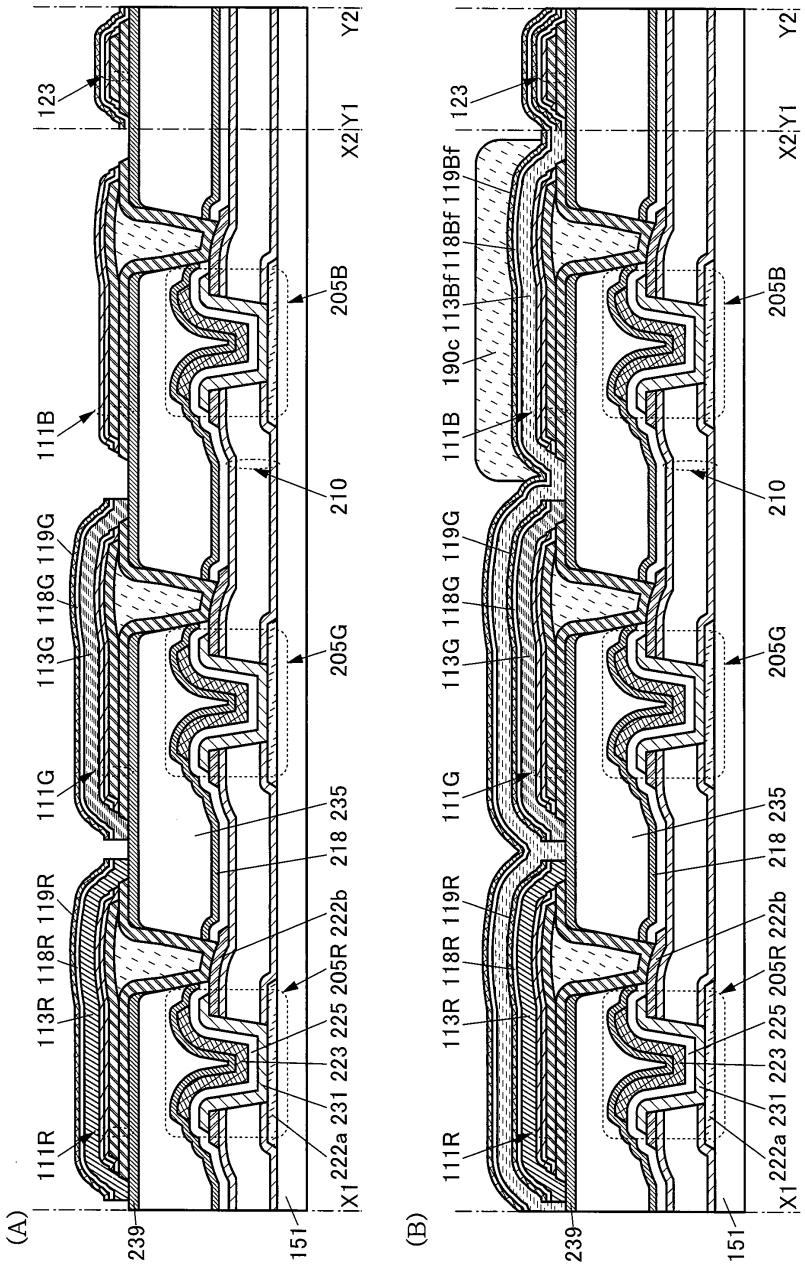
도면32


(A)
(B)
123
111B
111G
111R
119R
118Rf
113Rf
190a
205B
210
205G
218
235
222b
205R
225
223
231
222a
239
151
X1
X2
Y1
Y2

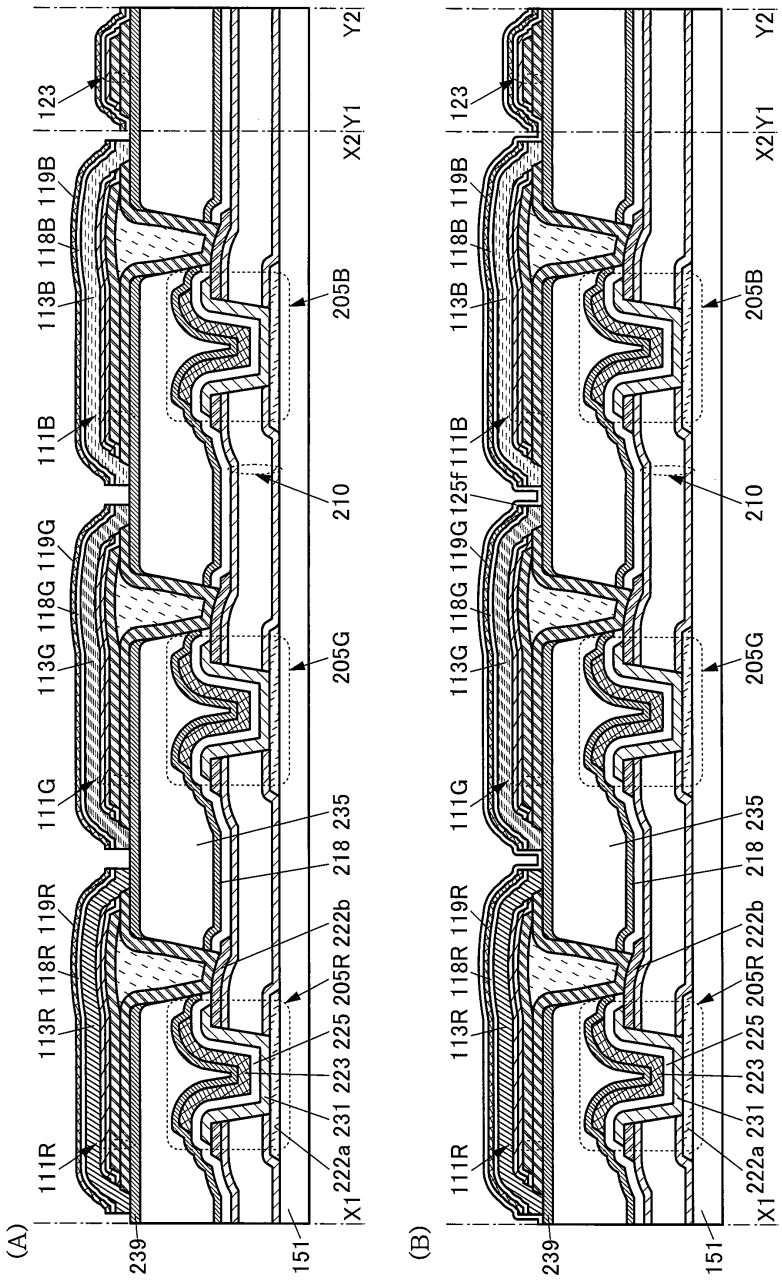
도면33


(A)
(B)
123
111B
111G
111R
113R
118R
119R
190b
113Gf
118Gf
119Gf
205B
205G
205R
210
218
235
222a
222b
223
225
231
239
151
X1
X2
Y1
Y2

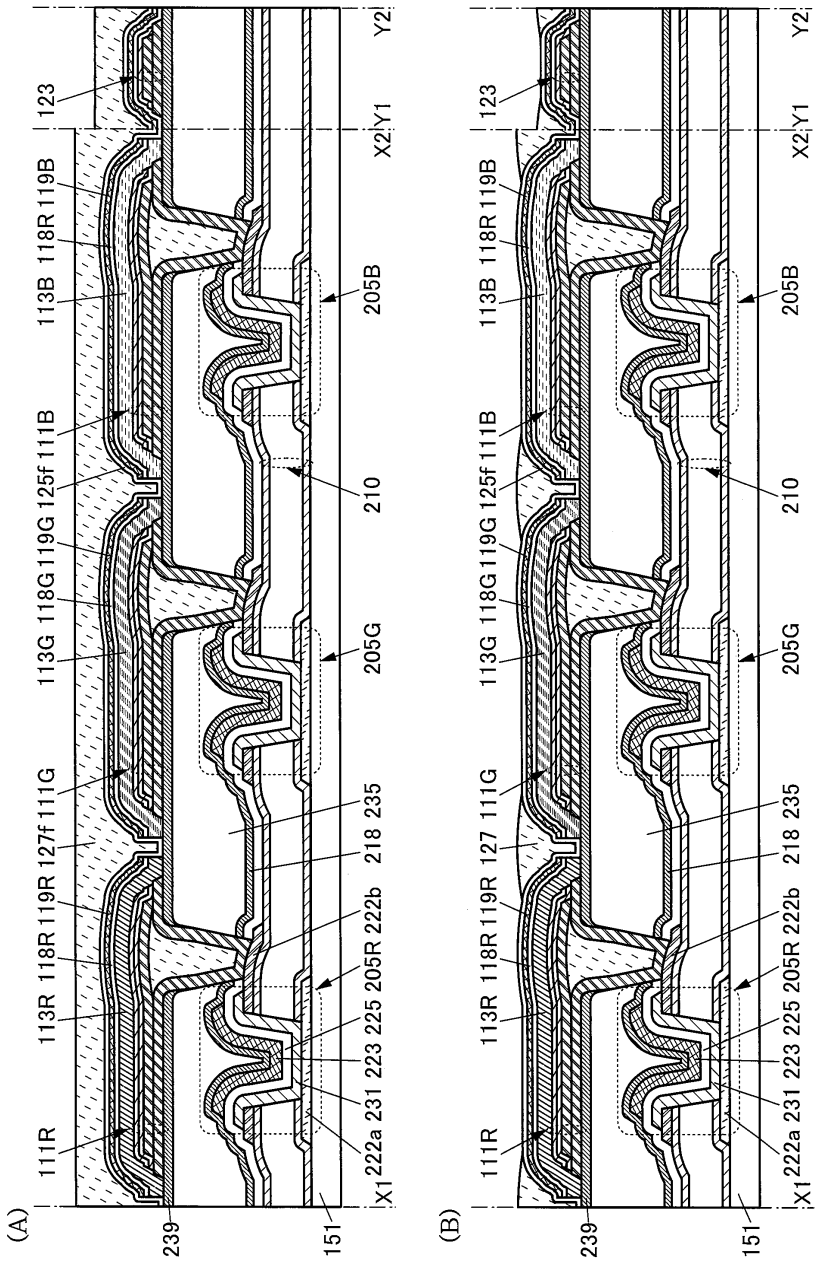
도면34


(A)
(B)
123
111B
113G 118G 119G
111G
113R 118R 119R
111R
239
151
X1
X2
Y1
Y2
205B
210
205G
218 235
222b
205R 225 223 231
222a
190c 113Bf 118Bf 119Bf

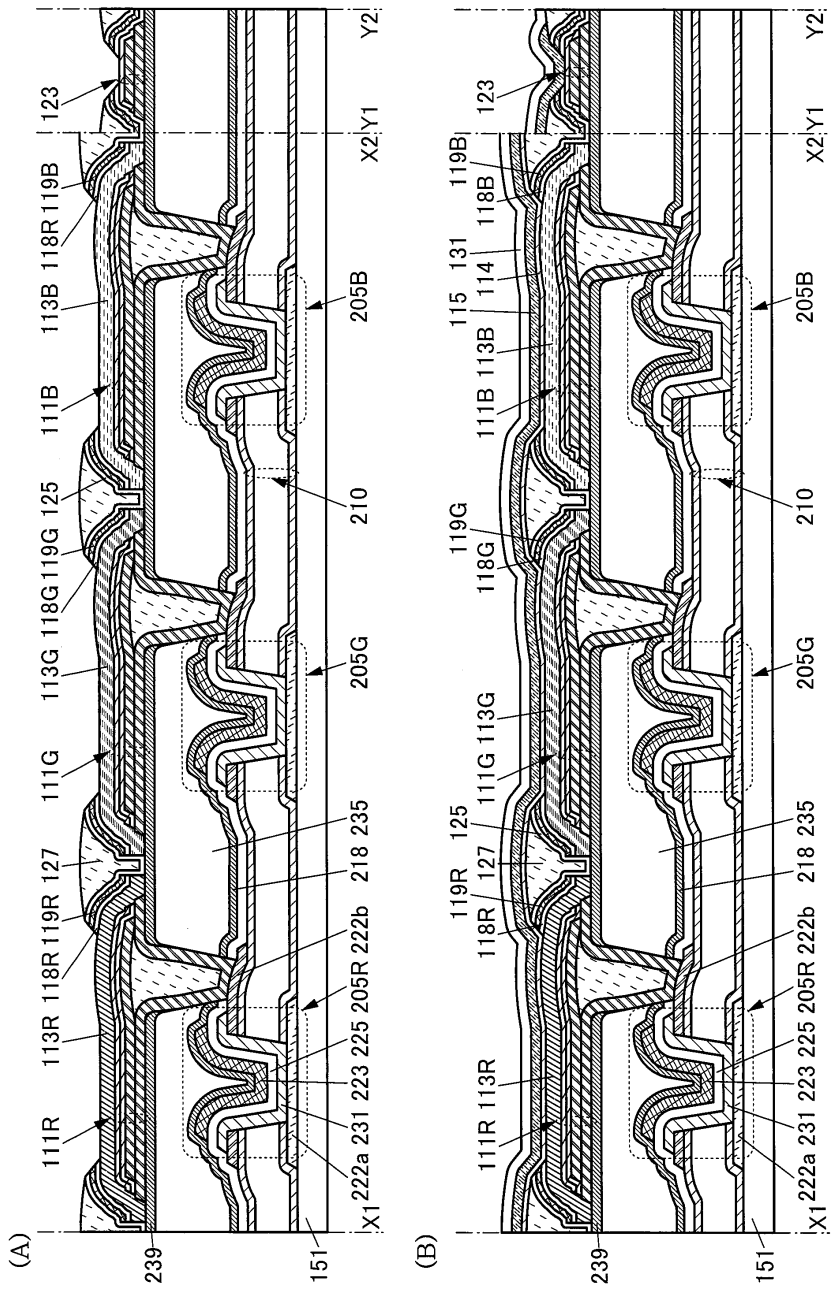
도면35


(A)
(B)
111R
113R
118R
119R
111G
113G
118G
119G
111B
113B
118B
119B
123
125f
205R
205G
205B
210
218
235
222a
222b
231
223
225
239
151
X1
X2
Y1
Y2

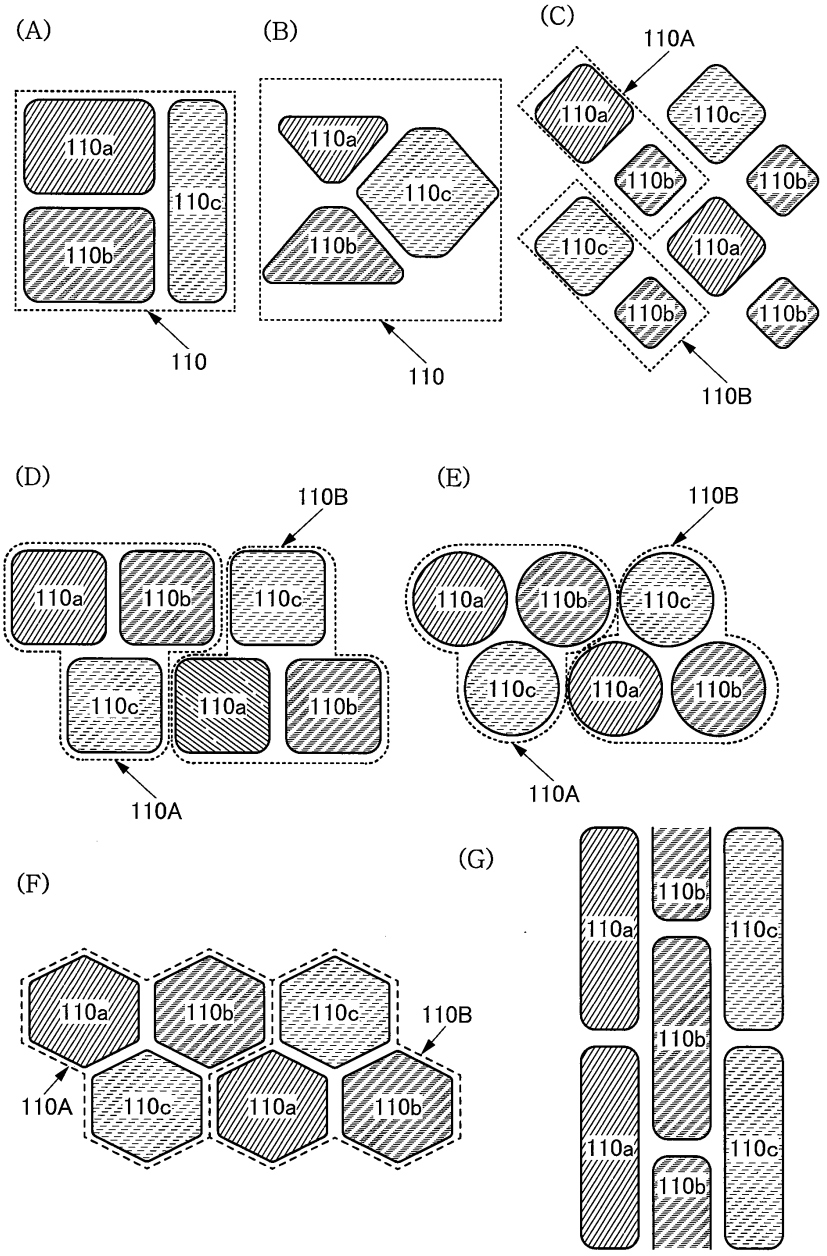
도면36


(A)
(B)
111R
113R
118R
119R
127f
111G
113G
118G
119G
125f
111B
113B
118R
119B
123
222a
231
223
225
205R
222b
218
235
205G
210
205B
X1
X2
Y1
Y2
239
151

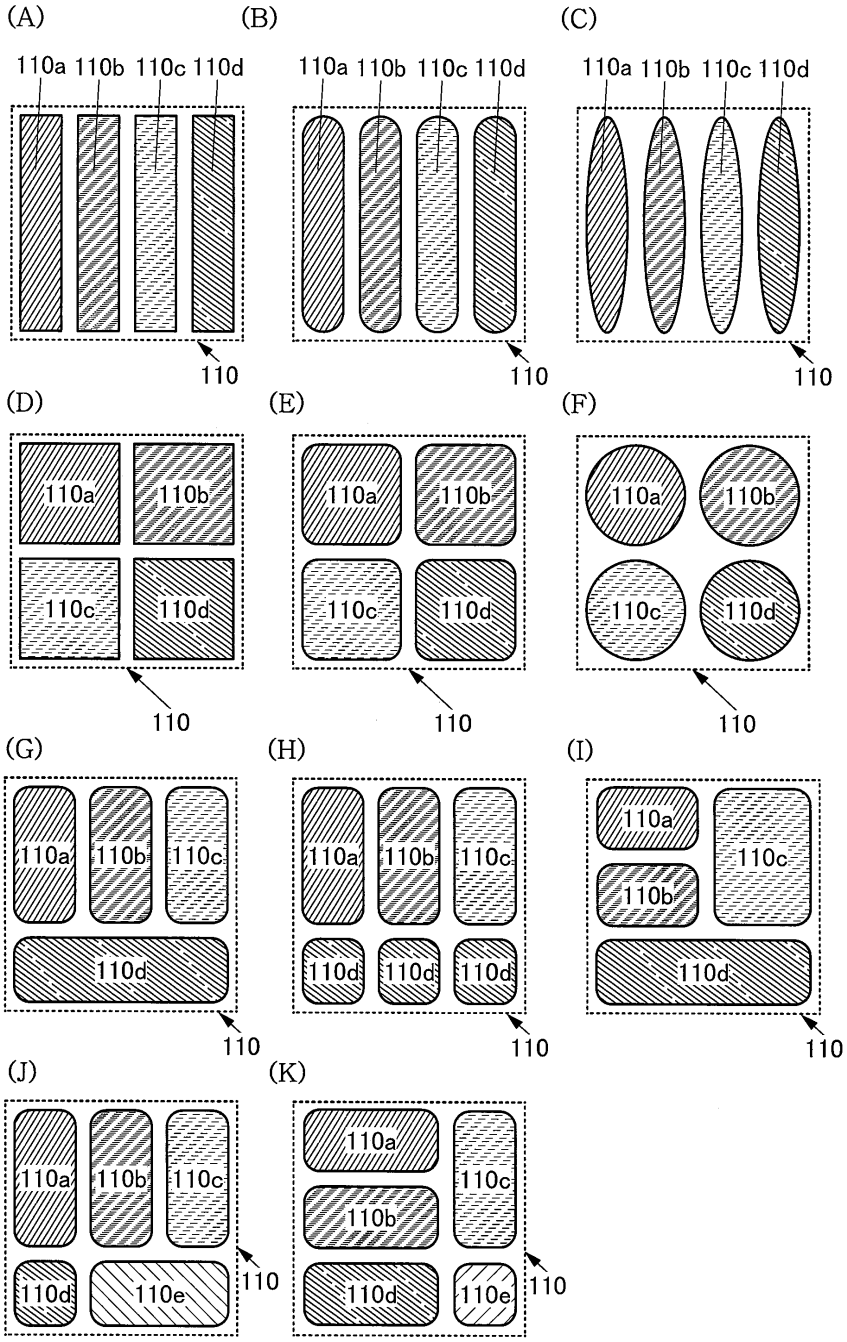
도면37


(A)
(B)
123
119B
118B
131
114
115
113B
111B
125
119G
118G
113G
111G
127
119R
118R
113R
111R
205B
210
205G
218
235
205R
222b
225
223
231
222a
239
151
X1
X2
Y1
Y2

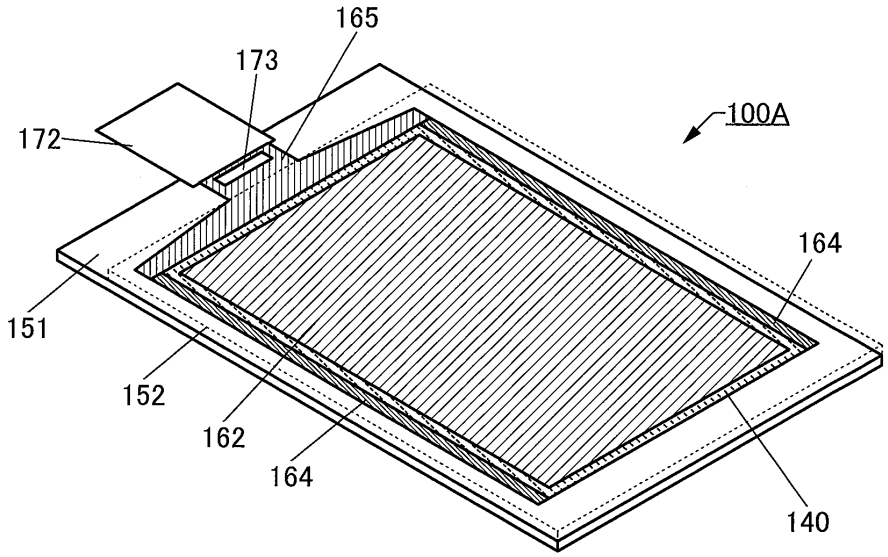
도면38


(A)
110a
110c
110b
110
(B)
110a
110c
110b
110
(C)
110A
110a
110c
110b
110b
110c
110a
110b
110b
110B
(D)
110B
110a
110b
110c
110c
110a
110b
110A
(E)
110B
110a
110b
110c
110c
110a
110b
110A
(F)
110a
110b
110c
110B
110A
110c
110a
110b
(G)
110a
110b
110c
110b
110a
110c
110b

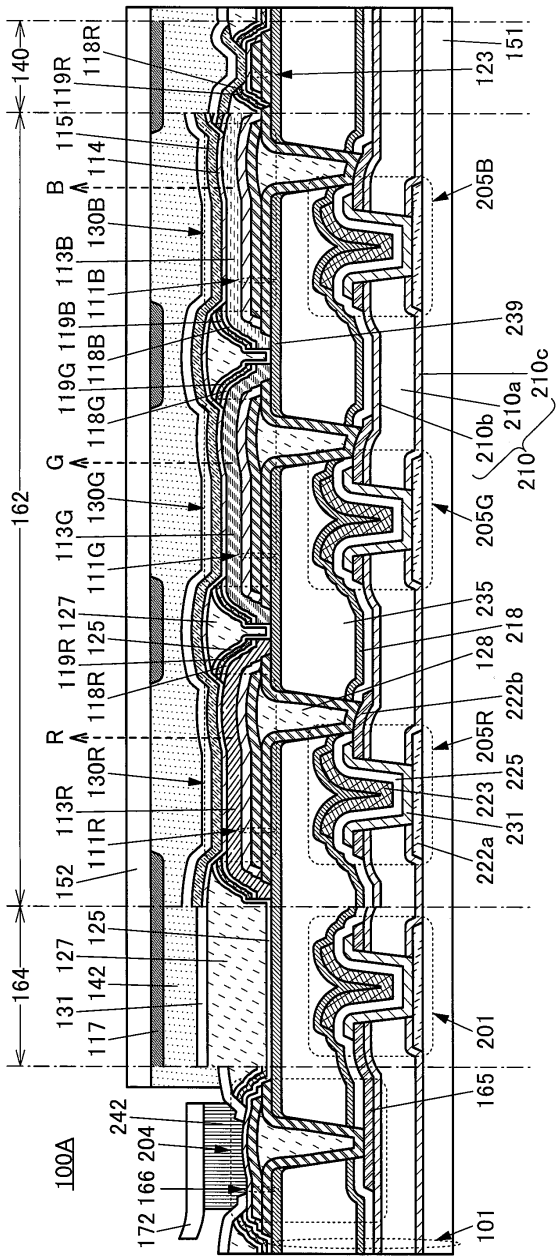
도면39


(A)
110a 110b 110c 110d
110
(B)
110a 110b 110c 110d
110
(C)
110a 110b 110c 110d
110
(D)
110a
110b
110c
110d
110
(E)
110a
110b
110c
110d
110
(F)
110a
110b
110c
110d
110
(G)
110a
110b
110c
110d
110
(H)
110a
110b
110c
110d
110d
110d
110
(I)
110a
110b
110c
110d
110
(J)
110a
110b
110c
110d
110e
110
(K)
110a
110b
110c
110d
110e
110

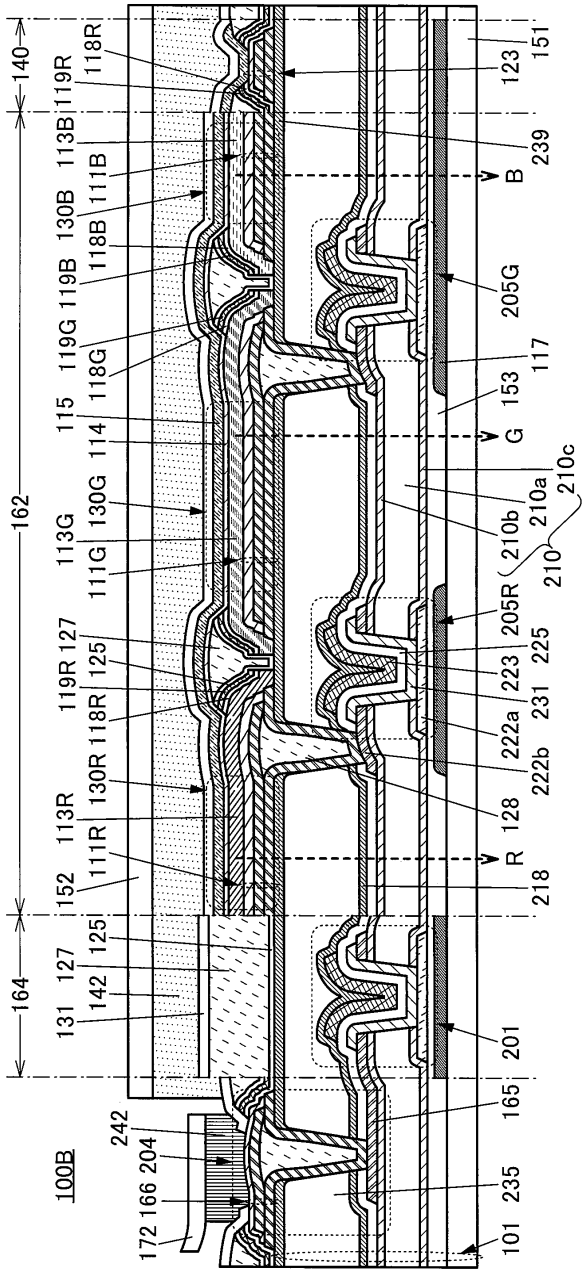
도면40



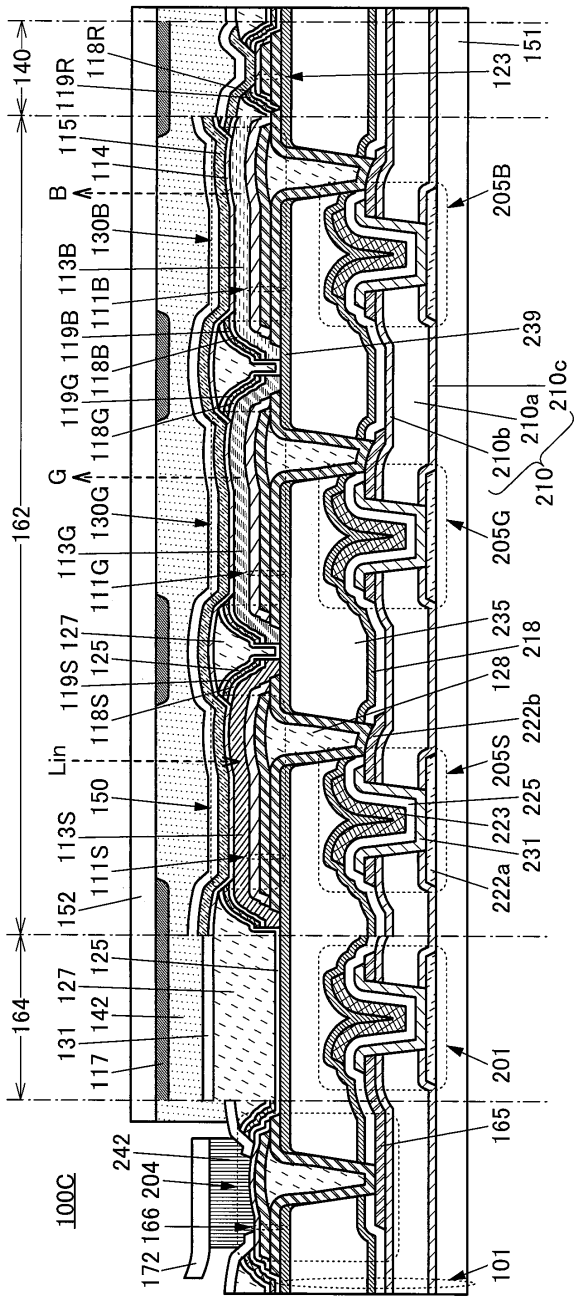
도면41


140
162
164
100A
B
G
R
118R
119R
115
114
130B
113B
111B
119B
118B
119G
118G
130G
113G
111G
127
125
119R
118R
130R
113R
111R
152
127
125
131
142
117
242
204
166
172
123
151
205B
239
210c
210a
210b
210
205G
235
218
128
222b
205R
225
223
231
222a
201
165
101

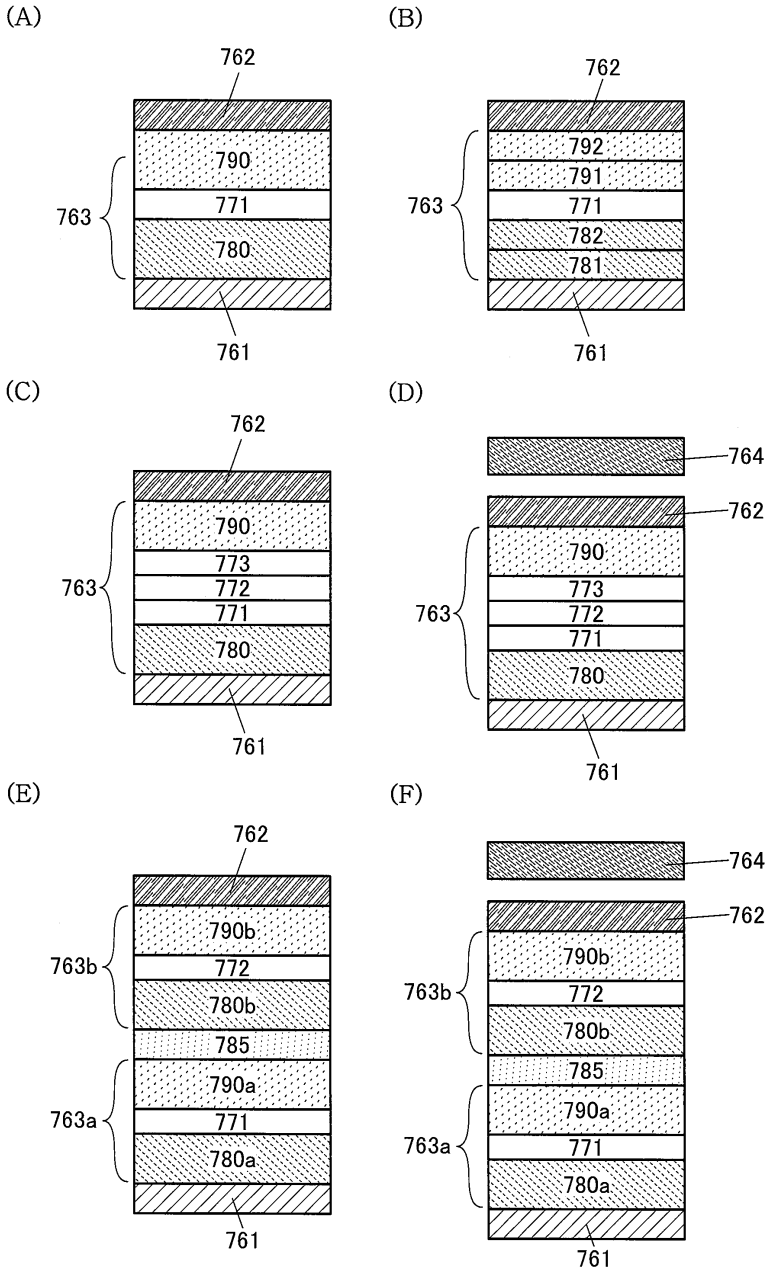
도면42


140
162
164
100B
118R
119R
113B
111B
130B
118B
119B
118G
119G
115
114
113G
130G
111G
119R
127
125
118R
130R
113R
111R
152
125
127
142
131
242
204
166
172
151
123
239
B
205G
117
153
G
210c
210a
210b
210
205R
225
223
231
222a
222b
128
R
218
201
165
235
101

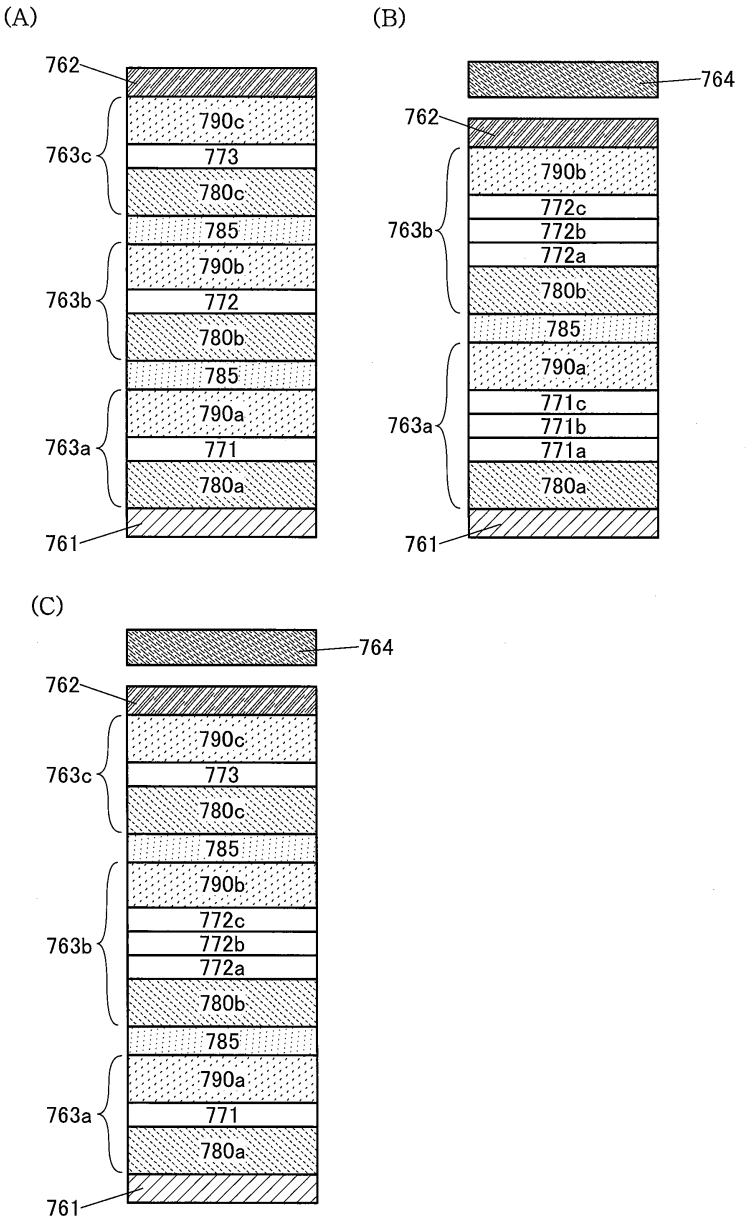
도면43


140
162
164
100C
B
G
Lin
118R
119R
115
114
130B
113B
111B
119B
118B
119G
118G
130G
113G
111G
127
125
119S
118S
150
113S
111S
152
125
127
142
131
117
242
204
166
172
123
151
205B
239
210c
210a
210b
210
205G
235
218
128
222b
205S
225
223
231
222a
201
165
101

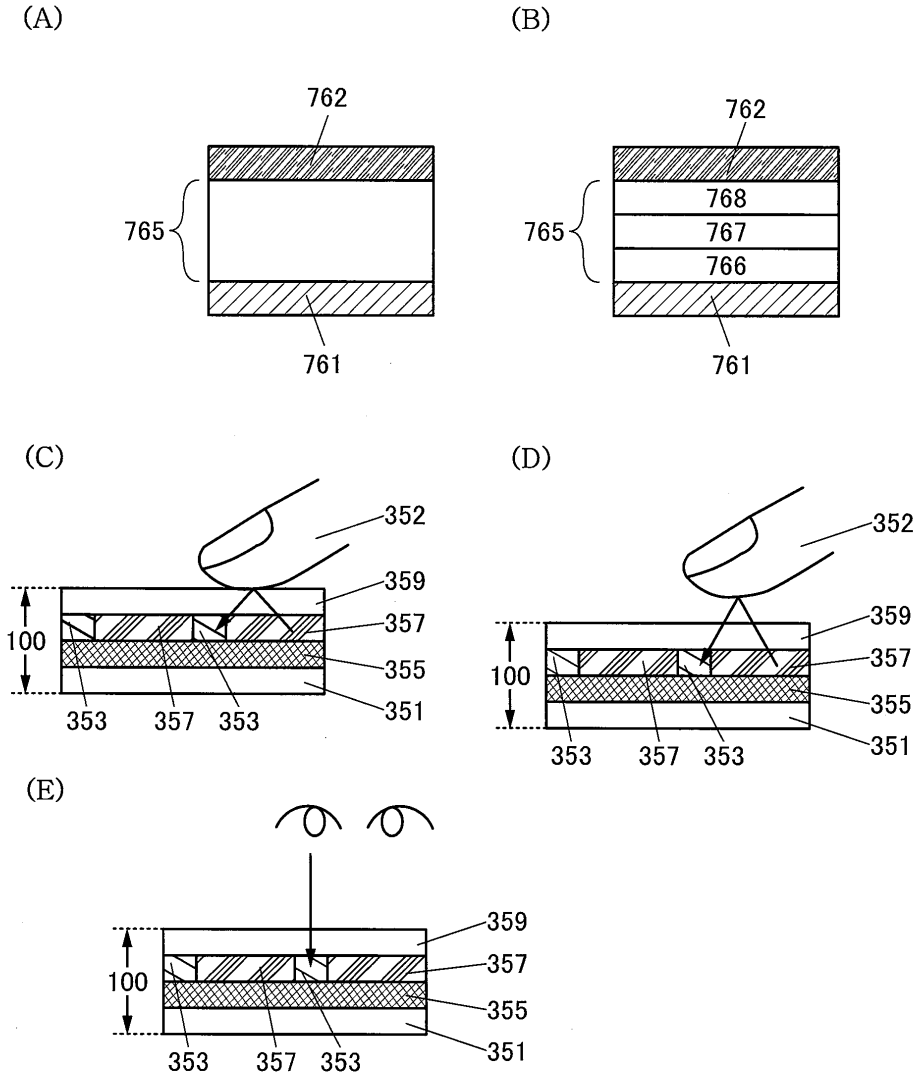
도면44


(A)
762
790
771
780
763
761
(B)
762
792
791
771
782
781
763
761
(C)
762
790
773
772
771
780
763
761
(D)
764
762
790
773
772
771
780
763
761
(E)
762
790b
772
780b
785
790a
771
780a
763b
763a
761
(F)
764
762
790b
772
780b
785
790a
771
780a
763b
763a
761

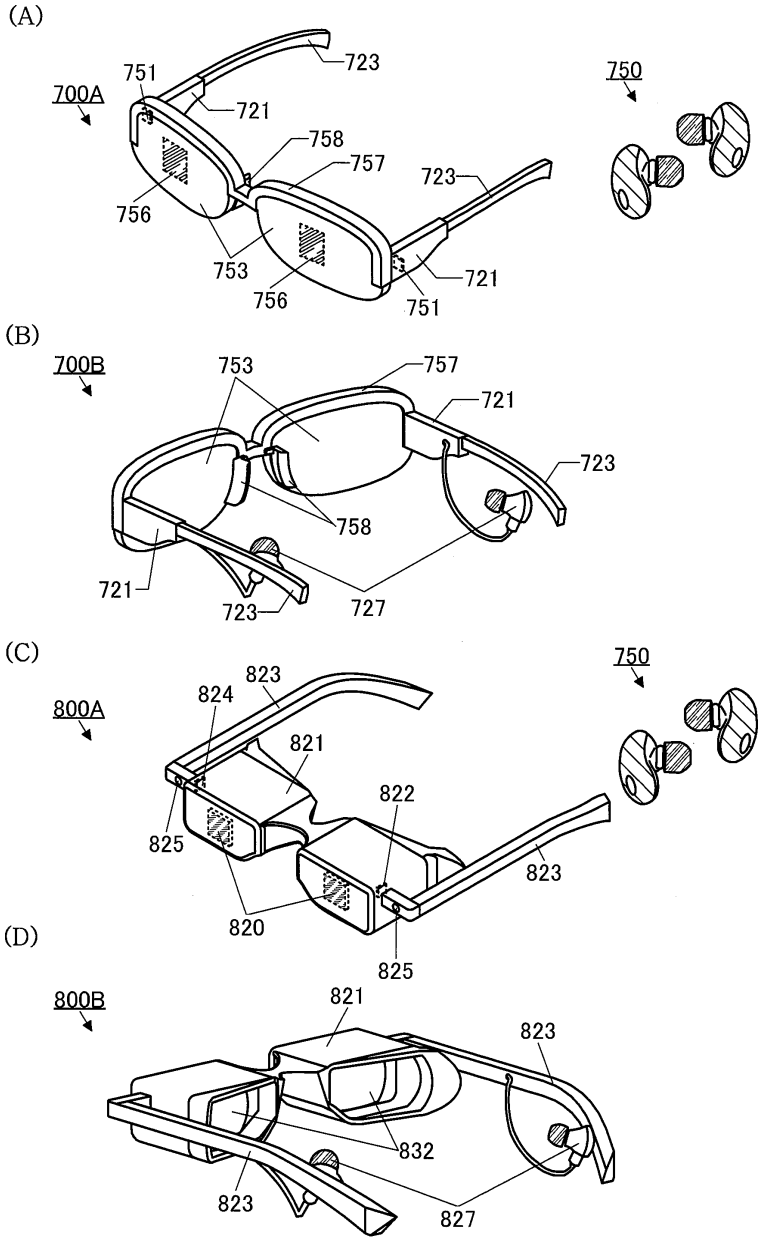
도면45


(A)
762
763c
790c
773
780c
785
763b
790b
772
780b
785
763a
790a
771
780a
761
(B)
764
762
763b
790b
772c
772b
772a
780b
785
763a
790a
771c
771b
771a
780a
761
(C)
764
762
763c
790c
773
780c
785
763b
790b
772c
772b
772a
780b
785
763a
790a
771
780a
761

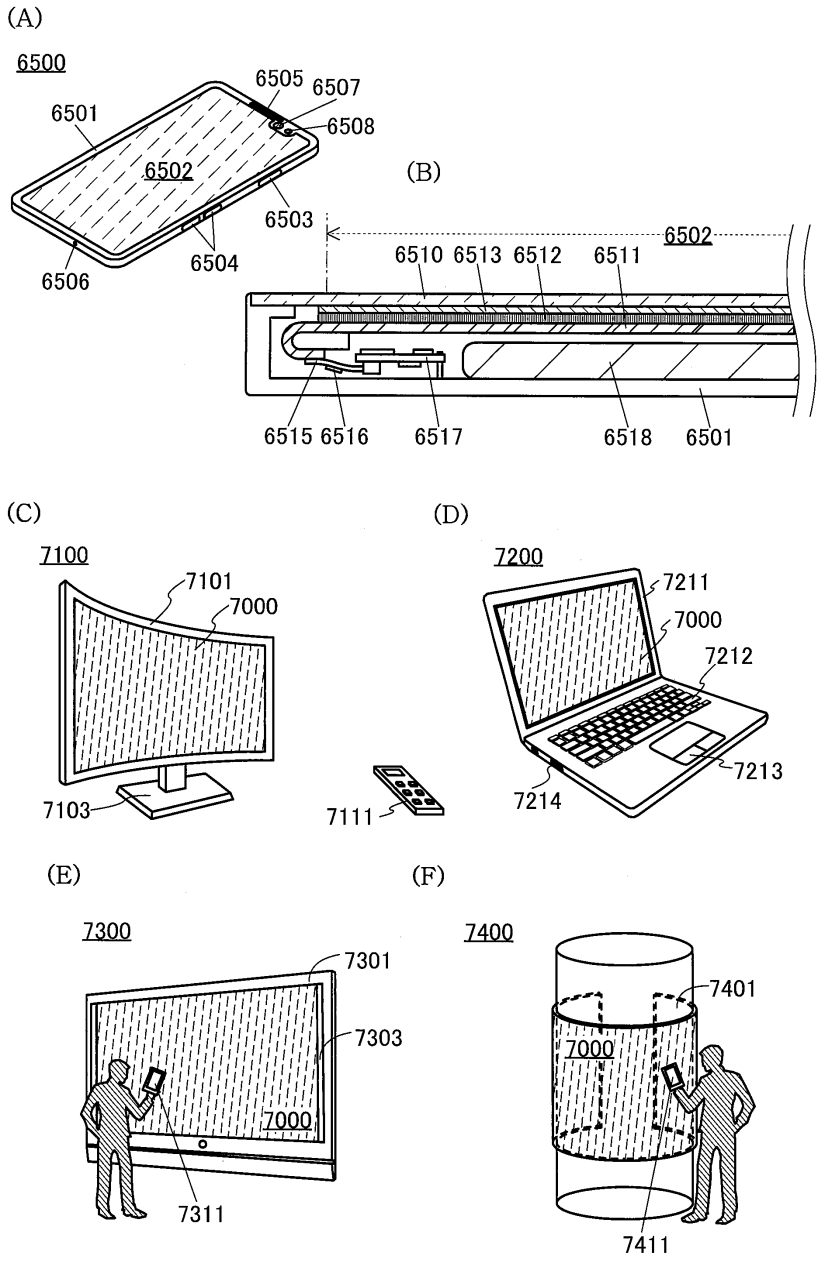
도면46


(A)
762
765
761
(B)
762
768
767
766
765
761
(C)
352
359
357
355
351
100
353
357
353
(D)
352
359
357
355
351
100
353
357
353
(E)
359
357
355
351
100
353
357
353

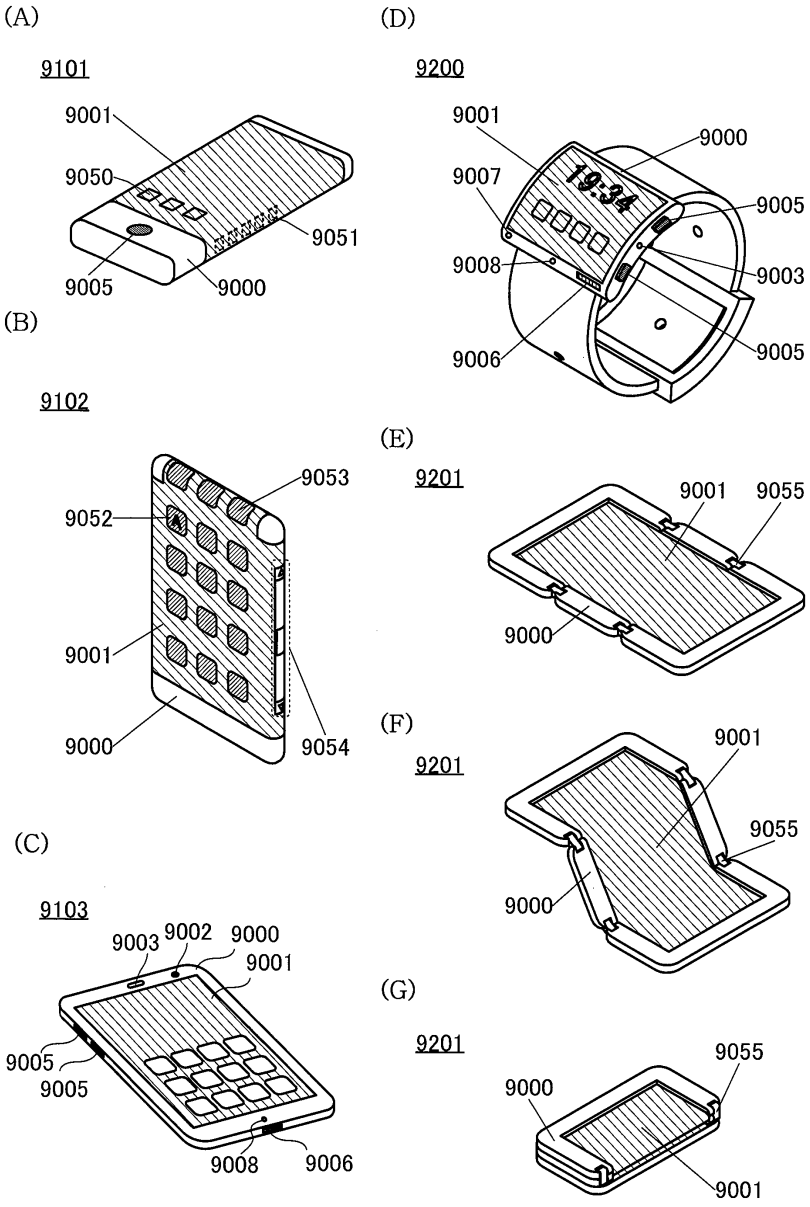
도면47


(A)
700A
751
723
721
758
757
723
750
756
753
756
751
721
(B)
700B
753
757
721
723
758
721
723
727
(C)
800A
824
823
821
822
825
823
820
825
750
(D)
800B
821
823
832
823
827

도면48


(A)
6500
6505
6507
6501
6508
6502
6503
6504
6506
(B)
6502
6510 6513 6512 6511
6515 6516
6517
6518
6501
(C)
7100
7101
7000
7103
7111
(D)
7200
7211
7000
7212
7213
7214
(E)
7300
7301
7303
7000
7311
(F)
7400
7401
7000
7411

도면49


(A)
9101
9001
9050
9051
9005
9000
(B)
9102
9053
9052
9001
9000
9054
(C)
9103
9003
9002
9000
9001
9005
9005
9008
9006
(D)
9200
9001
9000
9007
9005
9008
9003
9006
9005
(E)
9201
9001
9055
9000
(F)
9201
9001
9055
9000
(G)
9201
9055
9000
9001