



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0036312
(43) 공개일자 2011년04월07일

(51) Int. Cl.

H01L 21/8238 (2006.01)

(21) 출원번호 10-2009-0093902

(22) 출원일자 2009년10월01일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이덕형

서울 서초구 방배3동 1031-9번지 은하빌라 505호

홍수진

경기 구리시 인창동 일신건영아파트 602동 1803호

정성훈

경상남도 마산시 양덕2동 배진@1306호

(74) 대리인

박영우

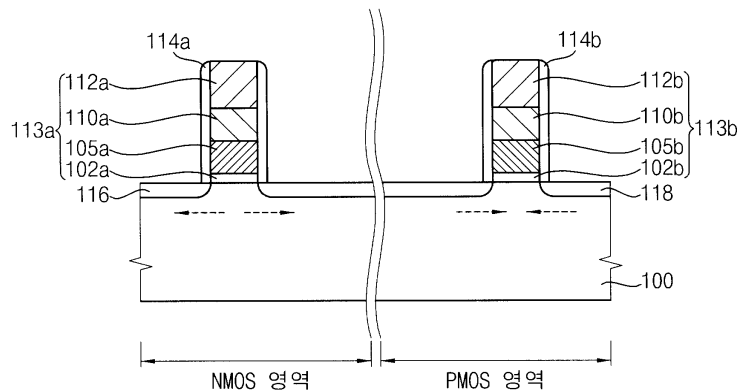
전체 청구항 수 : 총 10 항

(54) 반도체 소자 및 그 제조 방법

(57) 요약

반도체 소자 및 그 제조 방법에서, 상기 반도체 소자는 인장 스트레스를 갖는 기판 상에, 제1 게이트 산화막 패턴, 실리콘보다 큰 크기의 원자가 함유된 제1 폴리실리콘 패턴 및 제1 하드 마스크 패턴을 포함하는 제1 게이트 구조물이 구비된다. 상기 제1 게이트 구조물 양 측의 기판 표면 아래에는 N형 불순물 영역들이 구비된다. 압축 스트레스를 갖는 기판 상에, 제2 게이트 산화막 패턴, 실리콘보다 작은 크기의 원자가 함유된 제2 폴리실리콘 패턴 및 제2 하드 마스크 패턴을 포함하는 제2 게이트 구조물이 구비된다. 또한, 상기 제2 게이트 구조물 양 측의 기판 표면 아래에는 P형 불순물 영역들이 구비된다. 상기 반도체 소자는 우수한 동작 특성을 갖는다.

대표도 - 도1



특허청구의 범위

청구항 1

인장 스트레스를 갖는 제1 영역의 기판 상에, 제1 게이트 산화막 패턴, 실리콘보다 큰 크기의 원자가 함유된 제1 폴리실리콘 패턴 및 제1 하드 마스크 패턴을 포함하는 제1 게이트 구조물;

상기 제1 게이트 구조물 양 측의 기판 표면 아래에 구비되는 N형 불순물 영역들;

압축 스트레스를 갖는 제2 영역의 기판 상에, 제2 게이트 산화막 패턴, 실리콘보다 작은 크기의 원자가 함유된 제2 폴리실리콘 패턴 및 제2 하드 마스크 패턴을 포함하는 제2 게이트 구조물; 및

상기 제2 게이트 구조물 양 측의 기판 표면 아래에 구비되는 P형 불순물 영역들을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2

제1항에 있어서, 상기 제1 폴리실리콘 패턴 및 제1 하드 마스크 패턴 사이와, 상기 제2 폴리실리콘 패턴 및 제2 하드 마스크 패턴 사이에 각각 금속을 포함하는 도전 패턴이 개재되는 것을 특징으로 하는 반도체 소자.

청구항 3

제1항에 있어서, 상기 제1 폴리실리콘 패턴에는 게르마늄이 포함되고, 상기 제2 폴리실리콘 패턴에는 탄소가 포함되는 것을 특징으로 하는 반도체 소자.

청구항 4

제1 및 제2 영역으로 구분되는 기판 상에 게이트 산화막을 형성하는 단계;

상기 제1 영역의 게이트 산화막 상에 실리콘보다 큰 크기의 원자가 함유된 제1 폴리실리콘막과, 상기 제2 영역의 게이트 산화막 상에 실리콘보다 작은 크기의 원자가 함유된 제2 폴리실리콘막을 각각 형성하는 단계;

상기 제1 및 제2 폴리실리콘막 상에 각각 제1 및 제2 하드 마스크 패턴을 형성하는 단계;

상기 제1 및 제2 폴리실리콘막과 게이트 산화막을 패터닝하여, 제1 게이트 산화막 패턴, 제1 게이트 전극, 제2 게이트 산화막 패턴 및 제2 게이트 전극을 형성하는 단계;

상기 제1 게이트 전극 양 측의 기판 표면 아래에 N형 불순물을 주입하여, N형 불순물 영역들을 형성하는 단계; 및

상기 제2 게이트 전극 양 측의 기판 표면 아래에 P형 불순물을 주입하여, P형 불순물 영역들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5

제4항에 있어서, 상기 제1 폴리실리콘 패턴에는 게르마늄이 포함되고, 상기 제2 폴리실리콘 패턴에는 탄소가 포함되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 6

제5항에 있어서, 상기 제1 폴리실리콘막에는 상기 게르마늄이 1 내지 30 원자 비율(%)로 포함되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 7

제5항에 있어서, 상기 제2 폴리실리콘막에는 상기 탄소가 0.1 내지 5 원자 비율(%)로 포함되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 8

제4항에 있어서,

상기 제1 및 제2 폴리실리콘막 상에 금속을 포함하는 도전막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9

제4항에 있어서, 상기 제1 및 제2 폴리실리콘막을 형성하는 단계는,

상기 게이트 산화막 상에 비정질 실리콘막을 형성하는 단계;

상기 제1 영역에 형성된 비정질 실리콘막 상에 선택적으로 실리콘보다 큰 원자를 이온주입하는 단계;

상기 제2 영역에 형성된 비정질 실리콘막 상에 선택적으로 실리콘보다 작은 원자를 이온주입하는 단계; 및

상기 비정질 실리콘막을 열처리하여 비정질 실리콘을 결정화함으로써 제1 및 제2 폴리실리콘막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 10

제9항에 있어서, 상기 제1 영역의 비정질 실리콘막에는 N형 불순물을 도핑하고, 상기 제2 영역의 비정질 실리콘막에는 P형 불순물을 도핑하는 공정을 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자 및 그 제조 방법에 관한 것이다. 보다 상세하게는, 동작 특성이 향상된 CMOS 트랜지스터를 포함하는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 메모리 회로 또는 로직 회로를 구성하는 기본적인 단위 소자로서 전계 효과 모오스 트랜지스터(MOSFET, 이하, 트랜지스터)를 예로 들 수 있다. 상기 트랜지스터는 저전압에서 고속 동작을 할 수 있으며, 소형화, 집적화되는 방향으로 발전되고 있다.

[0003] 최근에, 고속으로 동작하는 트랜지스터를 형성하기 위한 방법 중 하나로서, 인장 또는 압축 스트레스를 갖는 실리콘 상에 트랜지스터의 채널 영역이 위치하도록 하는 방법이 도입되고 있다. 일 예로, 채널 영역에 스트레스를 변화시키기 위하여 실리콘 질화물을 증착하고 열처리하는 SMT(stress memorization technique) 방법을 사용하고 있다. 그러나, 상기 방법을 사용하는 경우, 게이트 전극으로 사용되는 폴리실리콘 패턴 상에 금속 패턴이나 하드 마스크 패턴을 적층시키기가 어렵다. 때문에, 상기 방법은 디램과 같은 메모리 소자에는 적용하기가 어려워서 다양한 반도체 소자에 적용할 수 없는 단점이 있다.

발명의 내용

해결하고자하는 과제

[0004] 본 발명의 목적은 고성능을 갖는 CMOS 트랜지스터를 포함하는 반도체 소자를 제공하는데 있다.

[0005] 본 발명의 다른 목적은 상기한 반도체 소자의 제조 방법을 제공하는데 있다.

과제 해결수단

[0006] 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자는, 인장 스트레스를 갖는 제1 영역의 기판 상에, 제1 게이트 산화막 패턴, 실리콘보다 큰 크기의 원자가 함유된 제1 폴리실리콘 패턴 및 제1 하드 마스크 패턴을 포함하는 제1 게이트 구조물이 구비된다. 상기 제1 게이트 구조물 양 측의 기판 표면 아래에는 N형 불순물 영역들이 구비된다. 또한, 압축 스트레스를 갖는 제2 영역의 기판 상에, 제2 게이트 산화막 패턴, 실리콘보다 작은 크기의 원자가 함유된 제2 폴리실리콘 패턴 및 제2 하드 마스크 패턴을 포함하는 제2 게이트 구조물이 구비된다. 상기 제2 게이트 구조물 양 측의 기판 표면 아래에는 P형 불순물 영역들이 구비된다.

- [0007] 본 발명의 일 실시예로, 상기 제1 폴리실리콘 패턴 및 제1 하드 마스크 패턴 사이와, 상기 제2 폴리실리콘 패턴 및 제2 하드 마스크 패턴 사이에 각각 금속을 포함하는 도전 패턴이 개재될 수 있다.
- [0008] 본 발명의 일 실시예로, 상기 제1 폴리실리콘 패턴에는 게르마늄이 포함되고, 상기 제2 폴리실리콘 패턴에는 탄소 포함될 수 있다.
- [0009] 상기 제1 폴리실리콘 패턴에는 상기 게르마늄이 1 내지 30 원자 비율(%)로 포함될 수 있다.
- [0010] 상기 제2 폴리실리콘 패턴에는 상기 탄소가 0.1 내지 5 원자 비율(%)로 포함될 수 있다.
- [0011] 상기 제2 폴리실리콘 패턴에는 산소, 질소 중 적어도 하나가 더 포함될 수 있다.
- [0012] 본 발명의 일 실시예로, 상기 제1 폴리실리콘 패턴에는 N형 불순물이 더 포함되고, 상기 제2 폴리실리콘 패턴에는 P형 불순물이 더 포함될 수 있다.
- [0013] 상기한 다른 목적을 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법으로, 제1 및 제2 영역으로 구분되는 기판 상에 게이트 산화막을 형성한다. 상기 제1 영역의 게이트 산화막 상에 실리콘보다 큰 크기의 원자가 함유된 제1 폴리실리콘막과, 상기 제2 영역의 게이트 산화막 상에 실리콘보다 작은 크기의 원자가 함유된 제2 폴리실리콘막을 각각 형성한다. 상기 제1 및 제2 폴리실리콘막 상에 각각 제1 및 제2 하드 마스크 패턴을 형성한다. 상기 제1 및 제2 폴리실리콘막과 게이트 산화막을 패터닝하여, 제1 게이트 산화막 패턴, 제1 게이트 전극, 제2 게이트 산화막 패턴 및 제2 게이트 전극을 형성한다. 상기 제1 게이트 전극 양 측의 기판 표면 아래에 N형 불순물을 주입하여, N형 불순물 영역들을 형성한다. 또한, 상기 제2 게이트 전극 양 측의 기판 표면 아래에 P형 불순물을 주입하여, P형 불순물 영역들을 형성한다.
- [0014] 본 발명의 일 실시예로, 상기 제1 폴리실리콘 패턴에는 게르마늄이 포함되고, 상기 제2 폴리실리콘 패턴에는 탄소가 포함될 수 있다.
- [0015] 상기 제1 폴리실리콘막에는 상기 게르마늄이 1 내지 30 원자 비율(%)로 포함될 수 있다.
- [0016] 상기 제2 폴리실리콘막에는 상기 탄소가 0.1 내지 5 원자 비율(%)로 포함될 수 있다.
- [0017] 본 발명의 일 실시예로, 상기 제1 및 제2 폴리실리콘막 상에 금속을 포함하는 도전막을 형성하는 공정을 더 포함할 수 있다.
- [0018] 본 발명의 일 실시예로, 상기 제1 및 제2 폴리실리콘막을 형성하기 위하여, 상기 게이트 산화막 상에 비정질 실리콘막을 형성한다. 상기 제1 영역에 형성된 비정질 실리콘막 상에 선택적으로 실리콘보다 큰 원자를 이온주입한다. 상기 제2 영역에 형성된 비정질 실리콘막 상에 선택적으로 실리콘보다 작은 원자를 이온주입한다. 그리고, 상기 비정질 실리콘막을 열처리하여 비정질 실리콘을 결정화함으로써 제1 및 제2 폴리실리콘막을 형성한다.
- [0019] 상기 제1 영역의 비정질 실리콘막에는 N형 불순물을 도핑하고, 상기 제2 영역의 비정질 실리콘막에는 P형 불순물을 도핑하는 공정을 더 포함할 수 있다.
- [0020] 상기 이온 주입 공정은 빔 라인, 클러스터, 플라즈마 도핑 중에서 선택된 어느 하나로 수행될 수 있다.
- [0021] 본 발명의 일 실시예로, 상기 제1 및 제2 폴리실리콘막을 형성하기 위하여, 상기 게이트 산화막 상에 도핑되지 않은 하부 비정질 실리콘막을 형성한다. 상기 하부 비정질 실리콘막 상에 실리콘보다 큰 원자가 포함된 제1 비정질 실리콘막을 증착한다. 상기 제2 영역에 위치하는 제1 비정질 실리콘막에 선택적으로 실리콘보다 작은 원자를 이온주입하여 제2 비정질 실리콘막을 형성한다. 또한, 상기 제1 및 제2 비정질 실리콘막과 하부 비정질 실리콘막을 열처리하여 비정질 실리콘을 결정화함으로써 제1 및 제2 폴리실리콘막을 형성한다.
- [0022] 상기 제1 비정질 실리콘막을 형성하기 위하여, 실리콘을 포함하는 전구체와, 게르마늄을 포함하는 전구체를 반응기에 유입시켜 600℃ 이하의 온도에서 증착 공정을 수행한다.
- [0023] 본 발명의 일 실시예로, 상기 제1 및 제2 폴리실리콘막을 형성하기 위하여, 상기 게이트 산화막 상에 도핑되지 않은 하부 비정질 실리콘막을 형성한다. 상기 하부 비정질 실리콘막 상에 실리콘보다 작은 원소가 포함된 제2 폴리실리콘막을 증착한다. 상기 제1 영역의 게이트 산화막 상에 위치하는 제2 폴리실리콘막에 선택적으로 실리콘보다 큰 원소를 이온주입하여 제1 폴리실리콘막을 형성한다. 또한, 상기 제1 및 제2 비정질 실리콘막과 하부 비정질 실리콘막을 열처리하여 비정질 실리콘을 결정화함으로써 제1 및 제2 폴리실리콘막을 형성한다.

[0024] 상기 제1 비정질 실리콘막을 형성하기 위하여, 실리콘을 포함하는 전구체와, 탄소를 포함하는 전구체를 반응기에 유입시켜 600℃ 이하의 온도에서 증착 공정을 수행한다.

[0025] 본 발명의 일 실시예로, 상기 제2 폴리실리콘막에 산소, 질소 중 적어도 하나가 더 포함될 수 있다.

효 과

[0026] 설명한 것과 같이, 본 발명에 따른 반도체 소자는 N형 트랜지스터 및 P형 트랜지스터의 게이트 전극으로 제공되는 폴리실리콘에 서로 다른 원소가 포함되어 있다. 따라서, 상기 폴리실리콘에 의해 각 트랜지스터의 채널 영역에 각각 서로 다른 스트레스가 가해지게 된다. 이로써, N형 및 P형 트랜지스터의 캐리어 이동도가 증가되어 반도체 소자의 성능이 향상된다.

[0027] 또한, 상기 N형 및 P형 트랜지스터의 게이트 전극은 폴리실리콘 상에 금속을 포함하는 도전 패턴 및 하드 마스크 패턴이 더 구비될 수 있다. 때문에, 본 발명의 반도체 소자는 디램을 포함하는 다양한 메모리 소자에 폭넓게 적용될 수 있다.

발명의 실시를 위한 구체적인 내용

[0028] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

[0029] 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.

[0030] 본 발명에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0031] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0032] 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴 또는 구조물들이 대상체, 기판, 각 층(막), 영역, 전극 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 또는 패턴들 위에 형성되거나 또는 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴 또는 다른 구조물들이 대상체나 기판 상에 또는 아래에 추가적으로 형성될 수 있다.

[0033] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.

[0034] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0035] 실시예 1

[0036] 도 1은 본 발명의 실시예 1에 따른 CMOS 트랜지스터를 나타내는 단면도이다.

[0037] 도 1을 참조하면, 반도체 물질로 이루어진 기판(100)이 마련된다. 상기 기판(100)은 단결정 실리콘을 포함할 수 있다.

[0038] 상기 기판(100)은 NMOS 트랜지스터 형성 영역(이하, NMOS 영역) 및 PMOS 트랜지스터 형성 영역(이하, PMOS 영역)이 구분되어 있다. 또한, 상기 기판(100)은 액티브 영역 및 소자 분리 영역이 구분되어 있다.

[0039] 상기 NMOS 영역의 기판(100) 상에는 제1 게이트 산화막 패턴(102a), 제1 폴리실리콘 패턴(105a), 제1 도전 패턴

(110a) 및 제1 하드 마스크 패턴(112a)이 적층된다. 상기 제1 게이트 산화막 패턴(102a), 제1 폴리실리콘 패턴(105a), 제1 도전 패턴(110a) 및 제1 하드 마스크 패턴(112a)의 적층 구조는 제1 게이트 구조물(113a)이라 한다.

- [0040] 상기 제1 게이트 산화막 패턴(102a)은 실리콘 산화물로 이루어진다.
- [0041] 상기 제1 폴리실리콘 패턴(105a)에는 N형 불순물이 포함되어 있다. 또한, 상기 제1 폴리실리콘 패턴(105a)에는 실리콘보다 큰 크기의 원자가 함유되어 있다.
- [0042] 상기 제1 폴리실리콘 패턴(105a)에 포함되는 N형 불순물은 상기 제1 폴리실리콘 패턴이 NMOS 트랜지스터의 게이트 전극으로 사용되기에 적합한 일함수를 갖도록 하기 위하여 함유된 것이다.
- [0043] 또한, 상기 제1 폴리실리콘 패턴(105a)에 포함되는 실리콘보다 큰 크기의 원자는 폴리실리콘의 격자 상수를 증가시키기 위하여 함유된 것이다. 그러므로, 상기 원자는 실리콘과의 결합이 용이하고, 실질적으로 상기 폴리실리콘의 격자 상수를 증가시킬 수 있는 것으로 선택된다.
- [0044] 본 실시예에서, 상기 제1 폴리실리콘 패턴(105a) 내에는 게르마늄(Ge)이 함유된다. 상기 제1 폴리실리콘 패턴(105a)에 1 원자 비율(atom %) 이내의 게르마늄이 포함되는 경우 폴리실리콘의 격자 상수를 증가시키기 어렵고, 상기 제1 폴리실리콘 패턴(105a)에 30 원자 비율(atom %)보다 많은 게르마늄이 포함되는 경우 결합되지 않는 게르마늄이 많아지게 되어 바람직하지 않다. 그러므로, 상기 제1 폴리실리콘 패턴(105a) 내에는 1 내지 30 원자 비율의 게르마늄이 포함된다. 상기 제1 폴리실리콘 패턴(105a)에 포함된 게르마늄에 의해, 상기 제1 폴리실리콘 패턴(105a) 내의 폴리실리콘의 격자 상수가 증가된다.
- [0045] 설명한 것과 달리, 상기 제1 폴리실리콘 패턴(105a) 내에는 실리콘의 격자 상수가 커지도록 유도하는 다른 원소가 포함될 수도 있다. 일 예로, 상기 제1 폴리실리콘 패턴(105a) 내에 게르마늄 뿐 아니라, 인 또는 비소가 더 포함될 수 있다. 또 다른 예로, 상기 제1 폴리실리콘 패턴(105a) 내에 게르마늄이 포함되지 않고, 인 또는 비소만 포함될 수도 있다. 이 때, 상기 인 또는 비소는 상기 제1 폴리실리콘 패턴(105a)의 일함수를 조절하기 위하여 도핑되는 양보다 더 많은 양으로 도핑되어 있어, 상기 제1 폴리실리콘 패턴(105a) 내의 폴리실리콘의 격자 상수를 증가시킨다.
- [0046] 상기 제1 도전 패턴(110a)은 금속을 포함한다. 상기 제1 도전 패턴(110a)의 예로는 텅스텐, 텅스텐 실리사이드 등을 들 수 있다. 이들은 단독으로 사용되거나 적층된 형상을 가질 수도 있다. 상기 제1 도전 패턴(110a)이 구비됨으로써, 게이트 전극의 저항이 감소된다.
- [0047] 상기 제1 하드 마스크 패턴(112a)은 실리콘 질화물로 이루어질 수 있다.
- [0048] 상기 제1 게이트 구조물(113a) 양 측벽에는 제1 스페이서(114a)가 구비된다. 상기 제1 스페이서(114a)와 제1 게이트 구조물(113a) 사이에 오프셋 스페이서(도시안됨)가 더 구비될 수도 있다. 상기 제1 스페이서(114a)는 실리콘 질화물로 이루어질 수 있다.
- [0049] 상기 제1 게이트 구조물(113a) 양 측의 기판 표면 아래에는 소오스/드레인으로 제공되는 제1 불순물 영역(116)들이 구비된다. 상기 제1 불순물 영역(116)은 N형 불순물이 도핑되어 있다. 상기 제1 불순물 영역(116)들은 저농도 도핑 영역 및 고농도 도핑 영역을 포함하는 LDD 구조를 가질 수도 있다.
- [0050] 설명한 것과 같이, 상기 NMOS 영역의 기판에는 NMOS 트랜지스터가 구비된다. 상기 NMOS 트랜지스터는 게이트 전극으로써 상기 폴리실리콘의 격자 상수가 커지도록 유도하는 원자들이 포함된 제1 폴리실리콘 패턴(105a)이 구비된다. 이 때, 기판과 대향하면서 상기 기판에 의해 접촉되어 있는 상기 제1 폴리실리콘 패턴(105a)은 압축 스트레스(compressive stress)를 받게되고, 상기 제1 폴리실리콘 패턴(105a)과 대향하는 상기 NMOS 영역의 기판은 반대로 인장 스트레스(tensile stress)를 받게된다. 이와같이, NMOS 트랜지스터의 채널 영역으로 제공되는 기판이 인장 스트레스가 가해지게 되어, NMOS 트랜지스터의 캐리어로 제공되는 전자의 이동도가 향상된다. 이로 인해, 상기 NMOS 트랜지스터의 온 전류가 증가하고, 동작 특성이 양호해진다.
- [0051] 상기 PMOS 영역의 기판(100) 상에는 제2 게이트 산화막 패턴(102b), 제2 폴리실리콘 패턴(105b), 제2 도전 패턴(110b) 및 제2 하드 마스크 패턴(112b)이 적층된다. 상기 제2 게이트 산화막 패턴(102b), 제2 폴리실리콘 패턴(105b), 제2 도전 패턴(110b) 및 제2 하드 마스크 패턴(112b)의 적층 구조는 제2 게이트 구조물(113b)이라 한다.
- [0052] 상기 제2 게이트 산화막 패턴(102b)은 실리콘 산화물로 이루어진다.

- [0053] 상기 제2 폴리실리콘 패턴(105b)에는 P형 불순물이 포함되어 있다. 또한, 상기 제2 폴리실리콘 패턴(105b)에는 실리콘보다 작은 크기의 원자가 함유되어 있다.
- [0054] 상기 제2 폴리실리콘 패턴(105b)에 포함되는 P형 불순물은 상기 제2 폴리실리콘 패턴(105b)이 PMOS 트랜지스터의 게이트 전극으로 사용되기에 적합한 일 함수를 갖도록 하기 위하여 함유된 것이다.
- [0055] 또한, 상기 제2 폴리실리콘 패턴(105b)에 포함되는 실리콘보다 작은 크기의 원자는 실리콘의 격자 상수를 감소시키기 위하여 함유된 것이다. 그러므로, 상기 원자는 폴리실리콘과의 결합이 용이하여, 실질적으로 상기 폴리실리콘의 격자 상수를 감소시킬 수 있는 것으로 선택된다.
- [0056] 본 실시예에서, 상기 제2 폴리실리콘 패턴(105b) 내에는 탄소가 포함된다. 상기 제2 폴리실리콘 패턴(105b)에 1 원자 비율(%) 이내로 탄소가 포함되는 경우, 폴리실리콘의 격자 상수를 감소시키기가 어렵고, 상기 제2 폴리실리콘 패턴(105b)에 5 원자 비율보다 많은 탄소가 포함되는 경우 결합되지 않은 탄소가 많아지게 되어 바람직하지 않다. 그러므로, 상기 제2 폴리실리콘 패턴(105b) 내에는 1 내지 5 원자 비율의 탄소가 포함된다. 상기 제2 폴리실리콘 패턴(105b)에 포함된 탄소에 의해, 상기 제2 폴리실리콘 패턴(105b) 내의 폴리실리콘의 격자 상수가 감소된다.
- [0057] 이와는 달리, 상기 제2 폴리실리콘 패턴(105b) 내에는 폴리실리콘의 격자 상수가 커지도록 유도하는 다른 원소가 포함될 수도 있다. 일 예로, 상기 제2 폴리실리콘 패턴(105b) 내에 탄소 뿐 아니라, 질소 또는 산소가 더 포함될 수 있다. 또 다른 예로, 상기 제2 폴리실리콘 패턴(105b) 내에 탄소는 포함되지 않으면서, 질소 또는 산소가 포함될 수 있다.
- [0058] 상기 제2 도전 패턴(110b)은 금속을 포함할 수 있다. 또한, 상기 제2 도전 패턴(110b)은 상기 제1 도전 패턴(110a)과 동일한 물질로 이루어질 수 있다. 상기 제2 도전 패턴(110b)이 구비됨으로써, 게이트 전극의 저항이 감소된다.
- [0059] 상기 제2 하드 마스크 패턴(112b)은 상기 제1 하드 마스크 패턴(112a)과 동일한 물질로 이루어질 수 있다. 일 예로, 상기 제2 하드 마스크 패턴(112b)은 실리콘 질화물로 이루어질 수 있다.
- [0060] 상기 제2 게이트 구조물(113b) 양 측벽에는 제2 스페이서(114b)가 구비된다. 상기 제2 스페이서(114b)와 제2 게이트 구조물(113b) 사이에 오프셋 스페이서(도시안됨)가 더 구비될 수도 있다. 상기 제2 스페이서(114b)는 실리콘 질화물로 이루어질 수 있다.
- [0061] 상기 제2 게이트 구조물(113b) 양 측의 기판 표면 아래에는 소오스/드레인으로 제공되는 제2 불순물 영역(118)들이 구비된다. 상기 제2 불순물 영역(118)은 P형 불순물이 도핑되어 있다. 상기 제2 불순물 영역(118)들은 저농도 도핑 영역 및 고농도 도핑 영역을 포함하는 LDD 구조를 가질 수도 있다.
- [0062] 설명한 것과 같이, 상기 PMOS 영역의 기판에는 상기 폴리실리콘의 격자 상수가 감소되도록 유도하는 원자들이 포함된 제2 폴리실리콘 패턴이 구비된다. 그러므로, 상기 PMOS 영역의 기판과 접촉하여 고정되어 있는 상기 제2 폴리실리콘 패턴은 인장 스트레스를 받게 되고, 상기 제2 폴리실리콘 패턴과 대향하는 기판은 반대로 압축 스트레스를 받게 된다. 따라서, PMOS 트랜지스터의 채널로 제공되는 PMOS 영역의 기판에 인장 스트레스가 가해지게 되어, PMOS 트랜지스터의 캐리어로 제공되는 홀의 이동도가 향상된다. 이로 인해, 상기 PMOS 트랜지스터의 동작 특성이 양호해진다.
- [0063] 이와같이, NMOS 트랜지스터 및 PMOS 트랜지스터의 채널 영역으로 제공되는 각 기판에서 서로 다른 스트레스를 갖도록 함으로써, 각 트랜지스터의 캐리어의 이동도가 증가된다. 때문에, 상기 NMOS 및 PMOS 트랜지스터의 동작 특성이 양호해진다.
- [0064] 도 2 내지 도 9는 도 1에 도시된 CMOS 트랜지스터의 제조 방법을 나타내는 단면도들이다.
- [0065] 도 2를 참조하면, 반도체 물질로 이루어지고, NMOS 영역 및 PMOS 영역이 구분된 기판(100)이 마련된다. 상기 기판(100)은 단결정 실리콘을 포함할 수 있다. 상기 기판(100) 표면을 산화시켜 게이트 산화막(102)을 형성한다. 상기 게이트 산화막(102)은 실리콘 산화물로 이루어질 수 있다.
- [0066] 상기 게이트 산화막(102) 상에 불순물이 도핑되지 않은 비정질 실리콘막(104)을 형성한다. 상기 비정질 실리콘막(104)은 형성하고자 하는 폴리실리콘 패턴과 실질적으로 동일한 높이로 형성한다.

- [0067] 상기 비정질 실리콘막(104)을 증착하는 공정은 실리콘을 함유하는 전구체를 반응 가스로 사용하는 화학기상증착법에 의해 수행된다. 상기 비정질 실리콘막(104)을 증착하기 위한 증착 온도는 600℃이하인 것이 바람직하다. 상기 증착 온도가 600℃ 이상이면, 결정질의 실리콘막이 증착될 수 있어서 바람직하지 않다. 상기 반응 가스로써 사용될 수 있는 물질의 예로는 디클로로 실란(DCS, SiCl₂H₂), SiH₄, Si₂H₆ 등을 들 수 있다.
- [0068] 다음에, 상기 비정질 실리콘막(104) 상에 제1 포토레지스트막을 코팅하고, 사진 공정을 통해 상기 제1 포토레지스트막을 패터닝하여 제1 포토레지스트 패턴(106)을 형성한다. 상기 제1 포토레지스트 패턴(106)은 상기 NMOS 영역의 비정질 실리콘막(104)을 선택적으로 노출시키고, 상기 PMOS 영역의 비정질 실리콘막(104)을 마스크한다.
- [0069] 도 3을 참조하면, 상기 제1 포토레지스트 패턴(106)을 이온 주입 마스크로 사용하여 상기 노출된 비정질 실리콘막(104)에, 실리콘에 비해 큰 크기의 원자를 이온 주입한다. 이 때, 이온 주입 깊이를 조절하여 상기 원자가 상기 게이트 산화막과 직접 접촉되지 않도록 하는 것이 바람직하다.
- [0070] 본 실시예에서는, 상기 비정질 실리콘막(104)에 게르마늄(Ge) 이온을 주입한다. 이 때, 상기 비정질 실리콘막(104)에 포함되는 게르마늄 이온의 원자 비율은 1 내지 30%가 되도록 한다.
- [0071] 상기 비정질 실리콘막(104)에 상기 게르마늄 이온을 주입하는 방법에 대해서는 한정하지 않는다. 일 예로, 상기 게르마늄 이온은 빔 라인, 클러스터, 플라즈마 도핑 등의 방법을 통해 주입될 수 있다.
- [0072] 도 4를 참조하면, 상기 제1 포토레지스트 패턴(106)을 이온 주입 마스크로 사용하여 상기 비정질 실리콘막(104)에 N형 불순물을 주입한다. 상기 N형 불순물을 주입함으로써, 상기 비정질 실리콘막(104)은 NMOS 트랜지스터의 게이트에서 요구하는 일함수를 갖게된다. 상기 N형 불순물은 비소, 인 등을 들 수 있다. 상기 공정을 통해, NMOS 영역에는 NMOS 트랜지스터의 게이트 전극으로 제공되기 위한 제1 비정질 실리콘막(104a)이 형성된다.
- [0073] 상기 N형 불순물을 주입하는 공정에서, 상기 제1 비정질 실리콘막(104a)의 일함수를 조절하기 위하여 주입되는 불순물의 양보다 더 많은 양의 N형 불순물을 주입할 수도 있다. 이 경우, 과잉 주입된 상기 N형 불순물도 상기 제1 비정질 실리콘막(104a)의 격자 상수를 증가시키게 된다. 한편, N형 불순물이 과잉 주입되더라도 계속적으로 일함수가 낮아지는 않기 때문에, 상기 N형 불순물을 이용하여 제1 비정질 실리콘막(104a)의 격자 상수를 조절할 수 있다.
- [0074] 다음에, 상기 제1 포토레지스트 패턴(106)을 에칭 및 스트립 공정을 통해 제거한다.
- [0075] 상기 비정질 실리콘막(104)에 게르마늄을 이온 주입한 다음, N형 불순물을 이온 주입하여 제1 비정질 실리콘막(104a)을 형성하는 것으로 설명하였으나, 순서를 바꾸어 상기 비정질 실리콘막(104)에 N형 불순물을 이온 주입한 다음, 상기 게르마늄을 이온 주입할 수도 있다.
- [0076] 또한, 상기 게르마늄을 이온 주입하는 공정 및 N형 불순물을 이온 주입하는 공정은 인 시투로 진행할 수 있다.
- [0077] 도 5를 참조하면, 상기 제1 비정질 실리콘막(104a) 및 비정질 실리콘막(104) 상에 제2 포토레지스트막을 코팅하고, 사진 공정을 통해 상기 제2 포토레지스트막을 패터닝하여 제2 포토레지스트 패턴(108)을 형성한다. 상기 제2 포토레지스트 패턴(108)은 상기 PMOS 영역의 비정질 실리콘막(104)을 선택적으로 노출시키고, 상기 NMOS 영역의 제1 비정질 실리콘막(104a)을 마스크한다.
- [0078] 다음에, 상기 제2 포토레지스트 패턴(108)을 이온 주입 마스크로 사용하여 실리콘에 비해 작은 크기의 원자를 이온 주입한다. 이 때, 이온 주입 깊이를 조절하여 상기 원자가 상기 게이트 산화막(102)과 직접 접촉되지 않도록 하는 것이 바람직하다.
- [0079] 본 실시예에서는, 상기 비정질 실리콘막(104)에 탄소 이온을 주입한다. 이 때, 상기 비정질 실리콘막(104)에 포함되는 탄소 이온의 원자 비율은 1 내지 5%가 되도록 한다.
- [0080] 설명한 것과 달리, 상기 비정질 실리콘막(104)에, 상기 탄소 이온 뿐 아니라, 질소 또는 산소 이온을 더 첨가할 수도 있다. 또한, 본 실시예와는 달리, 상기 비정질 실리콘막(104)에, 상기 탄소 이온 대신에, 질소 또는 산소 이온을 주입할 수도 있다.
- [0081] 상기 비정질 실리콘막(104)에 상기 탄소 이온을 주입하는 방법에 대해서는 한정하지 않는다. 일 예로, 상기 탄소 이온은 빔 라인, 클러스터, 플라즈마 도핑 등의 방법을 통해 주입될 수 있다.
- [0082] 도 6을 참조하면, 상기 제2 포토레지스트 패턴(108)을 이온 주입 마스크로 사용하여 상기 노출된 비정질 실리콘막(104)에 P형 불순물을 주입한다. 상기 P형 불순물의 예로는 붕소를 들 수 있다. 상기 P형 불순물을 주입함으로써

로써, 상기 비정질 실리콘막(104)은 PMOS 트랜지스터의 게이트에서 요구하는 4.6 내지 4.9eV의 일함수를 갖게 된다. 상기 공정을 통해, PMOS 영역에는 PMOS 트랜지스터의 게이트 전극으로 제공되기 위한 제2 비정질 실리콘막(104b)이 형성된다.

- [0083] 다음에, 상기 제2 포토레지스트 패턴(108)을 에칭 및 스트립 공정을 통해 제거한다.
- [0084] 상기 비정질 실리콘막(104)에 탄소를 이온 주입한 다음, P형 불순물을 이온 주입하는 것으로 설명하였으나, 순서를 바꾸어 상기 비정질 실리콘막(104)에 P형 불순물을 이온 주입한 다음, 상기 탄소를 이온 주입할 수도 있다.
- [0085] 또한, 상기 비정질 실리콘막(104)에 이온 주입 공정을 수행하는 순서는 서로 달라질 수 있다. 즉, 상기에서 설명한 것과 다른 순서로, PMOS 영역의 비정질 실리콘막에 탄소 및 P형 불순물 이온 주입 공정을 먼저 수행한 다음에, NMOS 영역의 비정질 실리콘막에 게르마늄 및 N형 불순물 이온 주입 공정을 수행할 수도 있다.
- [0086] 도 7을 참조하면, 상기 제1 및 제2 비정질 실리콘막(104a, 104b)을 열처리하여 상기 제1 및 제2 비정질 실리콘막(104a, 104b)에 포함된 불순물들을 활성화한다. 또한, 상기 열처리 공정을 수행하면, 제1 및 제2 비정질 실리콘막(104a, 104b)은 결정질의 제1 및 제2 폴리실리콘막(104c, 104d)으로 변하게 된다.
- [0087] 상기 열처리 온도는 850℃보다 낮으면 불순물의 활성화 및 실리콘의 결정화 효율이 좋지 않고, 1000℃보다 높으면 하부 막 및 기판이 열화될 수 있다. 그러므로, 상기 열처리는 850 내지 1000℃로 수행되는 것이 바람직하다.
- [0088] 상기 열처리 공정을 통해 상기 제1 비정질 실리콘막(104a)이 결정화되면, 상기 제1 비정질 실리콘막(104a) 내에 포함되어 있는 게르마늄 원자에 의해 상기 제1 폴리실리콘막(104c)은 격자 상수가 증가하게 된다. 따라서, 상기 제1 폴리실리콘막(104c) 자체는 압축 스트레스를 받게 되고, 상기 제1 폴리실리콘막(104c)과 대향하는 기판(100)은 반대로 인장 스트레스를 받게된다.
- [0089] 또한, 상기 열처리 공정을 통해 상기 제2 비정질 실리콘막(104b)이 결정화되면, 상기 제2 비정질 실리콘막(104b) 내에 포함되어 있는 탄소 원자에 의해 상기 제2 폴리실리콘막(104d)은 격자 상수가 감소하게 된다. 따라서, 상기 제2 폴리실리콘막(104d) 자체는 인장 스트레스를 받게 되고, 상기 제2 폴리실리콘막(104d)과 대향하는 기판은 반대로 압축 스트레스를 받게된다.
- [0090] 도 8을 참조하면, 상기 제1 및 제2 폴리실리콘막(104c, 104d) 상에 도전막(110)을 형성한다. 상기 도전막(110)은 금속 물질을 포함할 수 있다. 상기 도전막(110)으로 사용될 수 있는 물질의 예로는 텅스텐, 텅스텐 실리사이드 등을 들 수 있다. 이들은 단독으로 사용되거나 적층된 형상을 가질 수도 있다.
- [0091] 상기 도전막(110) 상에 하드 마스크막(112)을 형성한다. 상기 하드 마스크막(112)은 실리콘 질화물을 증착시켜 형성할 수 있다.
- [0092] 설명한 것과 같이, 제1 및 제2 폴리실리콘막(104c, 104d)을 형성한 이 후에, 상기 제1 및 제2 폴리실리콘막(104c, 104d) 상에 추가적으로 도전막(110) 및 하드 마스크막(112)을 증착하는 공정이 수행된다. 이와같이, 상기 제1 및 제2 폴리실리콘막(104c, 104d) 상에 도전막(110) 및 하드 마스크막(112)을 증착함으로써, 상기 막을 증착하는 공정이 수행하는 동안에 상기 기판(100)에 가해진 스트레스가 계속 유지된다. 이와는 달리, 상기 도전막(110) 및 하드 마스크막(112)을 형성하지 않은 상태에서 바로 상기 제1 및 제2 폴리실리콘막(104c, 104d)을 패터닝하면, 상기 기판(100)에 가해진 스트레스가 유지되지 않을 수도 있다.
- [0093] 도 9를 참조하면, 상기 하드 마스크막(112)을 사진 식각 공정을 통해 패터닝함으로써, 제1 및 제2 하드 마스크 패턴(112a, 112b)을 형성한다.
- [0094] 상기 제1 및 제2 하드 마스크 패턴(112a, 112b)을 식각 마스크로 사용하여 상기 도전막(110), 제1 및 제2 폴리실리콘막(104c, 104d) 및 게이트 산화막(102)을 패터닝한다. 이로써, 상기 NMOS 영역에는 제1 게이트 산화막 패턴(102a), 제1 폴리실리콘 패턴(105a), 제1 도전 패턴(110a) 및 제1 하드 마스크 패턴(112a)이 적층된 제1 게이트 구조물을 형성한다. 또한, 상기 PMOS 영역에는 제2 게이트 산화막 패턴(102b), 제2 폴리실리콘 패턴(105b), 제2 도전 패턴(110b) 및 제2 하드 마스크 패턴(112b)이 적층된 제2 게이트 구조물을 형성한다.
- [0095] 다음에, 도 1을 참조하면, 상기 기판(100), 제1 및 제2 게이트 구조물 표면을 따라 스페이서막(도시안됨)을 형성한다. 상기 스페이서막은 실리콘 질화물을 화학기상증착 공정을 통해 형성할 수 있다.
- [0096] 상기 스페이서막을 이방성으로 식각함으로써, 상기 제1 게이트 구조물의 측벽에는 제1 스페이서(114a)를 형성하고, 상기 제2 게이트 구조물의 측벽에는 제2 스페이서(114b)를 형성한다.

- [0097] 상기 NMOS 영역을 선택적으로 노출하는 제3 포토레지스트 패턴을 형성한다. 상기 제3 포토레지스트 패턴을 이온 주입 마스크로 사용하여 기판(100)에 N형 불순물을 주입시킴으로써 제1 불순물 영역(116)을 형성한다. 이 후, 상기 제3 포토레지스트 패턴을 제거한다. 이로써, 상기 NMOS 영역에 NMOS 트랜지스터가 완성된다.
- [0098] 또한, 상기 PMOS 영역을 선택적으로 노출하는 제4 포토레지스트 패턴을 형성한다. 상기 제4 포토레지스트 패턴을 이온 주입 마스크로 사용하여 기판에 P형 불순물을 주입시킴으로써 제2 불순물 영역(118)을 형성한다. 이로써, 상기 PMOS 영역에 PMOS 트랜지스터가 완성된다.
- [0099] 실시예 2
- [0100] 이하에서 설명하는 실시예 2에 따른 CMOS 트랜지스터는 도 1에 도시된 CMOS 트랜지스터와 동일한 구성을 갖는다. 다만, 실시예 1에서 설명한 것과 다른 방법을 통해 형성된다.
- [0101] 도 10은 본 발명의 실시예 2에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도이다.
- [0102] 이하에서 설명하는 실시예 2에 따른 CMOS 트랜지스터 제조 방법은, N형 불순물을 인시튜 도핑하면서 비정질 실리콘막을 증착한다는 점을 제외하고는, 상기 도 2 내지 도 9를 참조로 설명한 실시예 1의 제조 방법과 동일하다.
- [0103] 도 10을 참조하면, NMOS 영역 및 PMOS 영역이 구분된 기판(100) 상에 게이트 산화막(102)을 형성한다. 상기 게이트 산화막(102)은 실리콘 산화물로 이루어질 수 있다.
- [0104] 상기 게이트 산화막 상에 N형 불순물이 도핑된 제1 비정질 실리콘막(103)을 형성한다. 즉, 상기 제1 비정질 실리콘막(103)을 형성하는 공정에서 인시튜로 N형 불순물을 도핑시킨다.
- [0105] 상기 제1 비정질 실리콘막(103) 상에 상기 NMOS 영역의 제1 비정질 실리콘막(103)을 선택적으로 노출시키고, 상기 PMOS 영역의 제1 비정질 실리콘막(103)을 마스크하는 포토레지스트 패턴을 형성한다.
- [0106] 이 후, 상기 제1 포토레지스트 패턴(106)을 이온 주입 마스크로 사용하여 상기 노출된 제1 비정질 실리콘막(103)에, 실리콘에 비해 큰 크기의 원자를 이온 주입한다. 본 실시예에서는, 상기 비정질 실리콘막(104)에 게르마늄(Ge) 이온을 주입한다. 상기 게르마늄 이온을 주입하는 공정은 도 3을 참조로 설명한 것과 동일하다.
- [0107] 본 실시예의 경우, 증착 공정 시에 N형 불순물이 인시튜로 비정질 실리콘막에 도핑되었으므로, 별도의 N형 불순물 도핑을 위한 이온 주입 공정은 생략된다.
- [0108] 다음에, 도 5 내지 도 9 및 도 1을 참조로 설명한 것과 동일한 공정을 수행함으로써, 도 1에 도시된 CMOS 트랜지스터를 형성한다.
- [0109] 실시예 3
- [0110] 도 11은 본 발명의 실시예 3에 따른 CMOS 트랜지스터를 나타내는 단면도이다.
- [0111] 도 11을 참조하면, 반도체 물질로 이루어진 기판(100)이 마련된다. 상기 기판(100)은 단결정 실리콘을 포함할 수 있다.
- [0112] 상기 기판(100)은 NMOS 트랜지스터 형성 영역(이하, NMOS 영역) 및 PMOS 트랜지스터 형성 영역(이하, PMOS 영역)이 구분되어 있다. 또한, 상기 기판(200)은 액티브 영역 및 소자 분리 영역이 구분되어 있다.
- [0113] 상기 NMOS 영역의 기판(100) 상에는 제1 게이트 산화막 패턴(102a), 제1 하부 폴리실리콘 패턴(131a), 실리콘보다 큰 크기의 원자가 함유된 제1 상부 폴리실리콘 패턴(133a), 제1 도전 패턴(134a) 및 하드 마스크 패턴(138)이 적층된다. 상기 제1 게이트 산화막 패턴(102a), 제1 하부 폴리실리콘 패턴(131a), 제1 상부 폴리실리콘 패턴(133a), 제1 도전 패턴(134a) 및 하드 마스크 패턴(138)의 적층 구조는 제1 게이트 구조물(137a)이라 한다.
- [0114] 상기 제1 게이트 산화막 패턴(102a)은 실리콘 산화물로 이루어진다.
- [0115] 상기 제1 하부 폴리실리콘 패턴(131a)에는 N형 불순물이 포함되어 있다. 상기 제1 하부 폴리실리콘 패턴(131a)에 포함되는 N형 불순물은 상기 제1 하부 폴리실리콘 패턴(131a)이 NMOS 트랜지스터의 게이트 전극으로 사용되기 적합한 일함수를 갖도록 하기 위하여 함유된 것이다. 그러나, 상기 제1 하부 폴리실리콘 패턴(131a)에는

상기 제1 상부 폴리실리콘 패턴(133a)과 달리 실리콘보다 큰 크기의 원자가 함유되어 있지 않다.

- [0116] 상기 제1 하부 폴리실리콘 패턴(131a)은 스트레스 유발을 위해 주입되는 원소에 의해 일함수 및 게이트 산화막의 특성 변화를 발생시키지 않도록 하기 위해 제공되는 버퍼막이다. 즉, 상기 제1 하부 폴리실리콘 패턴(131a)에 의해, 상기 제1 게이트 산화막 패턴(102a)과 상기 스트레스 유발을 위하여 주입되는 원소가 직접적으로 접촉되지 않는다.
- [0117] 상기 제1 하부 폴리실리콘 패턴(131a)이 30Å보다 얇으면 상기 버퍼막으로써의 기능을 수행하기가 어렵고, 상기 제1 하부 폴리실리콘 패턴(131a)이 100Å보다 두꺼우면 제2 하부 실리콘 패턴과 기판간의 이격되는 거리가 증가하여 기판에 스트레스를 유발시키기 어렵다. 그러므로, 상기 제1 하부 폴리실리콘 패턴(131a)은 30 내지 100Å의 두께를 갖는다.
- [0118] 상기 제1 상부 폴리실리콘 패턴(133a)은 N형 불순물이 포함되어 있다. 또한, 상기 제1 상부 폴리실리콘 패턴(133a)은 실리콘보다 큰 크기의 원자가 함유되어 있다.
- [0119] 본 실시예에서, 상기 제1 상부 폴리실리콘 패턴(133a) 내에는 게르마늄(Ge)이 함유된다. 상기 제1 상부 폴리실리콘 패턴(133a) 내에는 1 내지 30 원자 비율의 게르마늄이 포함된다. 설명한 것과 달리, 상기 제1 폴리실리콘 패턴(133a) 내에는 실리콘의 격자 상수가 커지도록 유도하는 다른 원소가 포함될 수도 있다.
- [0120] 상기 제1 도전 패턴(134a)은 금속을 포함한다. 상기 제1 도전 패턴(134a)의 예로는 텅스텐, 텅스텐 실리사이드 등을 들 수 있다.
- [0121] 상기 하드 마스크 패턴(138)은 실리콘 질화물로 이루어질 수 있다. 상기 제1 게이트 구조물(137a) 양 측벽에는 제1 스페이서(140)가 구비된다.
- [0122] 상기 제1 게이트 구조물(137a) 양 측의 기판 표면 아래에는 소오스/드레인으로 제공되는 제1 불순물 영역(144a)들이 구비된다. 상기 제1 불순물 영역(144a)은 N형 불순물이 도핑되어 있다.
- [0123] 설명한 것과 같이, 상기 NMOS 영역의 기판에는 NMOS 트랜지스터가 구비된다.
- [0124] 상기 PMOS 영역의 기판(100) 상에는 제2 게이트 산화막 패턴(102b), 제2 하부 폴리실리콘 패턴(131b), 제2 상부 폴리실리콘 패턴(133b), 제2 도전 패턴(134b) 및 하드 마스크 패턴(138)이 적층된다. 상기 제2 게이트 산화막 패턴(102b), 제2 하부 폴리실리콘 패턴(131b), 제2 상부 폴리실리콘 패턴(133b), 제2 도전 패턴(134b) 및 하드 마스크 패턴(138)의 적층 구조는 제2 게이트 구조물(137b)이라 한다.
- [0125] 상기 제2 게이트 산화막 패턴(102b)은 실리콘 산화물로 이루어진다.
- [0126] 상기 제2 하부 폴리실리콘 패턴(131b)에는 P형 불순물이 포함되어 있다. 그러나, 상기 제2 하부 폴리실리콘 패턴(131b)에는 상기 제2 상부 폴리실리콘 패턴(133b)과 달리 실리콘보다 작은 크기의 원자가 함유되어 있지 않다. 상기 제2 하부 폴리실리콘 패턴(131b)은 스트레스 유발을 위해 주입되는 원소에 의해 일함수 및 게이트 산화막의 특성 변화를 발생시키지 않도록 하기 위해 제공되는 버퍼막이다. 상기 제2 하부 폴리실리콘 패턴(131b)은 30 내지 100Å의 두께를 갖는다.
- [0127] 상기 제2 상부 폴리실리콘 패턴(133b)에는 P형 불순물이 포함되어 있다. 또한, 상기 제2 상부 폴리실리콘 패턴(133b)에는 실리콘보다 작은 크기의 원자가 함유되어 있다. 본 실시예에서, 상기 제2 상부 폴리실리콘 패턴(133b) 내에는 탄소가 포함된다. 상기 제2 상부 폴리실리콘 패턴(133b) 내에는 1 내지 5 원자 비율의 탄소가 포함된다. 이와는 달리, 상기 제2 상부 폴리실리콘 패턴(133b) 내에는 폴리실리콘의 격자 상수가 커지도록 유도하는 다른 원소가 포함될 수도 있다.
- [0128] 상기 제2 도전 패턴(134b)은 금속을 포함할 수 있다. 또한, 상기 제2 도전 패턴(134b)은 상기 제1 도전 패턴(134a)과 동일한 물질로 이루어질 수 있다.
- [0129] 상기 제2 게이트 구조물(113b) 양 측벽에는 제2 스페이서(142)가 구비된다. 상기 제2 스페이서(142)는 실리콘 질화물로 이루어질 수 있다.
- [0130] 상기 제2 게이트 구조물(137b) 양 측의 기판 표면 아래에는 소오스/드레인으로 제공되는 제2 불순물 영역(144b)들이 구비된다. 상기 제2 불순물 영역(144b)은 P형 불순물이 도핑되어 있다. 상기 제2 불순물 영역(118)들은 저농도 도핑 영역 및 고농도 도핑 영역을 포함하는 LDD 구조를 가질 수도 있다.
- [0131] 설명한 것과 같이, NMOS 트랜지스터 및 PMOS 트랜지스터의 채널 영역으로 제공되는 각 기판에서 서로 다른 스트

레스를 갖도록 함으로써, 각 트랜지스터의 캐리어의 이동도가 증가된다. 때문에, 상기 NMOS 및 PMOS 트랜지스터의 동작 특성이 양호하다.

- [0132] 도 12 내지 도 15는 도 11에 도시된 CMOS 트랜지스터의 제조 방법을 나타내는 단면도들이다.
- [0133] 도 12를 참조하면, 반도체 물질로 이루어지고, NMOS 영역 및 PMOS 영역이 구분된 기판(100)이 마련된다. 상기 기판(100) 표면을 산화시켜 게이트 산화막(102)을 형성한다. 상기 게이트 산화막(102)은 실리콘 산화물로 이루어질 수 있다.
- [0134] 상기 게이트 산화막(102) 상에 불순물이 도핑되지 않은 하부 비정질 실리콘막(104)을 형성한다. 상기 하부 비정질 실리콘막(104)은 30 내지 100Å의 두께로 형성한다. 상기 하부 비정질 실리콘막을 증착하는 공정은 실리콘을 함유하는 전구체를 반응 가스로 사용하는 화학기상증착법에 의해 수행된다. 상기 하부 비정질 실리콘막을 증착하기 위한 증착 온도는 600°C 이하인 것이 바람직하다. 상기 증착 온도가 600°C 이상이면, 결정질의 실리콘막이 증착될 수 있어 바람직하지 않다. 상기 반응 가스로써 사용될 수 있는 물질의 예로는 디클로로 실란(DCS, SiCl₂H₂), SiH₄, Si₂H₆ 등을 들 수 있다.
- [0135] 상기 하부 비정질 실리콘막 상에 실리콘보다 큰 크기의 원자를 포함하는 상부 비정질 실리콘막(132)을 증착한다. 즉, 막을 증착하는 공정을 수행할 때, 상기 실리콘보다 큰 크기의 원자를 포함하는 소오스 가스를 함께 유입함으로써, 상기 실리콘보다 큰 크기의 원자를 포함하는 상부 비정질 실리콘막(132)을 증착한다. 상기 상부 비정질 실리콘막(132)에 포함되어 있는 실리콘보다 큰 크기의 원자는 기판에 인장 스트레스를 유발시킨다.
- [0136] 본 실시예에서는, 게르마늄을 포함하는 상부 비정질 실리콘막(132)을 형성한다. 이 때, 상기 상부 비정질 실리콘막(132)에 포함되는 게르마늄의 원자 비율은 1 내지 30%가 되도록 한다.
- [0137] 상기 상부 비정질 실리콘막(132)을 증착하는 공정은 실리콘을 함유하는 전구체 및 게르마늄을 포함하는 전구체를 반응 가스로 사용하는 화학기상증착법에 의해 수행된다. 상기 상부 비정질 실리콘막(132)을 증착하기 위한 증착 온도는 600°C 이하인 것이 바람직하다. 상기 반응 가스로써 사용될 수 있는 실리콘을 함유하는 전구체의 예로는 디클로로 실란(DCS, SiCl₂H₂), SiH₄, Si₂H₆ 등을 들 수 있다. 또한, 상기 반응 가스로써 사용될 수 있는 게르마늄을 포함하는 전구체의 예로는 GeH₄를 들 수 있다.
- [0138] 상기 하부 비정질 실리콘막(130) 및 상부 비정질 실리콘막(132)을 형성하는 공정은 인시튜로 진행할 수 있다. 또한, 상기 게이트 산화막(102) 상에 상기 게르마늄이 함유되지 않은 비도핑된 하부 비정질 실리콘막(130)이 형성됨으로써, 상기 게르마늄이 함유된 상부 비정질 실리콘막과 게이트 산화막이 직접적으로 접촉하지 않는다. 때문에, 상기 게르마늄과 게이트 산화막이 직접 접촉함으로써 발생하는 문제를 감소시킬 수 있다.
- [0139] 도 13을 참조하면, 상기 상부 비정질 실리콘막(132) 상에 제1 포토레지스트막을 코팅하고, 사진 공정을 통해 상기 제1 포토레지스트막을 패터닝하여 제1 포토레지스트 패턴(135)을 형성한다. 상기 제1 포토레지스트 패턴(135)은 상기 NMOS 영역의 상부 비정질 실리콘막(132)을 선택적으로 노출시키고, 상기 PMOS 영역의 상부 비정질 실리콘막(132)을 마스크한다.
- [0140] 상기 제1 포토레지스트 패턴(135)을 이온 주입 마스크로 사용하여 상기 상부 비정질 실리콘막(132)에 N형 불순물을 주입함으로써, 제1 상부 비정질 실리콘막(132a)을 형성한다. 상기 N형 불순물을 주입함으로써, 상기 NMOS 영역 상에 위치하는 상기 제1 상부 비정질 실리콘막(132a) 및 하부 비정질 실리콘막(130)은 NMOS 트랜지스터의 게이트에서 요구하는 일함수를 갖게된다.
- [0141] 다음에, 상기 제1 포토레지스트 패턴(135)을 에칭 및 스트립 공정을 통해 제거한다.
- [0142] 상기 설명한 것과 다른 실시예로, 상기 게르마늄을 포함하는 상부 비정질 실리콘막(132)을 증착할 때, N형 불순물을 인시튜로 주입할 수도 있다. 이 경우에, 증착된 상부 비정질 실리콘막(132)에 N형 불순물이 이미 도핑된 상태이므로, 상기 상부 비정질 실리콘막에 별도로 N형 불순물을 더 주입할 필요가 없다. 그러므로, 상기 도 13에서 설명한 제1 포토레지스트 패턴 형성 및 N형 불순물 주입 공정을 생략할 수 있다.
- [0143] 도 14를 참조하면, 상기 제1 상부 비정질 실리콘막(132a) 및 상부 비정질 실리콘막(132) 상에 제2 포토레지스트막을 코팅하고, 사진 공정을 통해 상기 제2 포토레지스트막을 패터닝하여 제2 포토레지스트 패턴(136)을 형성한다. 상기 제2 포토레지스트 패턴(136)은 상기 PMOS 영역의 상부 비정질 실리콘막(132)을 선택적으로

노출시킨다.

- [0144] 상기 제2 포토레지스트 패턴(136)을 이온 주입 마스크로 사용하여 실리콘에 비해 작은 크기의 원자를 이온 주입한다. 본 실시예에서는, 상기 상부 비정질 실리콘막(132)에 탄소 이온을 주입한다. 이 때, 상기 상부 비정질 실리콘막(132)에 포함되는 탄소 이온의 원자 비율은 1 내지 5%가 되도록 한다. 설명한 것과 달리, 상기 상부 비정질 실리콘막(132)에, 상기 탄소 이온 뿐 아니라, 질소 또는 산소 이온을 더 첨가할 수도 있다. 또한, 본 실시예와는 달리, 상기 상부 비정질 실리콘막(132)에, 상기 탄소 이온 대신에, 질소 또는 산소 이온을 주입할 수도 있다.
- [0145] 또한, 상기 제2 포토레지스트 패턴(136)을 이온 주입 마스크로 사용하여 상기 노출된 상부 비정질 실리콘막(132)에 P형 불순물을 주입한다. 상기 P형 불순물의 예로는 붕소를 들 수 있다.
- [0146] 상기 공정을 수행함으로써, PMOS 영역에 P형 불순물 및 탄소를 포함하는 제2 상부 비정질 실리콘막(132b)이 형성된다.
- [0147] 다음에, 상기 제2 포토레지스트 패턴(136)을 에칭 및 스트립 공정을 통해 제거한다.
- [0148] 도 15를 참조하면, 상기 제1 및 제2 상부 비정질 실리콘막(132a, 132b), 하부 비정질 실리콘막(130)을 열처리하여 상기 비정질 실리콘막들에 포함된 불순물들을 활성화하고, 결정질의 폴리실리콘막으로 변화시킨다. 따라서, 상기 열처리에 의해, 상기 NMOS 영역에는 제1 하부 폴리실리콘막(130a) 및 제1 상부 폴리실리콘막(132c)이 형성되고, 상기 PMOS 영역에는 제2 하부 폴리실리콘막(130b) 및 제2 상부 폴리실리콘막(132d)이 형성된다. 상기 열처리는 도 7을 참조로 설명한 것과 동일한 공정으로 수행될 수 있다.
- [0149] 상기 제1 및 제2 상부 폴리실리콘막(132c, 132d) 상에 도전막(134)을 형성한다. 상기 도전막(134)은 금속 물질을 포함할 수 있다. 상기 도전막(134)상에 하드 마스크막을 형성한다. 상기 하드 마스크막은 실리콘 질화물을 증착시켜 형성할 수 있다. 상기 하드 마스크막을 사진 식각 공정을 통해 패터닝함으로써, 하드 마스크 패턴(138)을 형성한다.
- [0150] 다음에, 도 11을 참조하면, 상기 하드 마스크 패턴(138)을 식각 마스크로 사용하여 상기 도전막(134), 제1 및 제2 상부 폴리실리콘막(132c, 132d), 제1 및 제2 하부 폴리실리콘막(130a, 130b) 및 게이트 산화막(102)을 패터닝한다.
- [0151] 이로써, 상기 NMOS 영역에는 제1 게이트 산화막 패턴(102a), 제1 하부 폴리실리콘 패턴(131a), 제1 상부 폴리실리콘 패턴(133a), 제1 도전 패턴(134a) 및 하드 마스크 패턴(138)이 적층된 제1 게이트 구조물을 형성한다. 또한, 상기 PMOS 영역에는 제2 게이트 산화막 패턴(102b), 제2 하부 폴리실리콘 패턴(131b), 제2 상부 폴리실리콘 패턴(133b), 제2 도전 패턴(134b) 및 하드 마스크 패턴(138)이 적층된 제2 게이트 구조물을 형성한다.
- [0152] 상기 제1 게이트 구조물의 측벽에는 제1 스페이서(140)를 형성하고, 상기 제2 게이트 구조물의 측벽에는 제2 스페이서(142)를 형성한다. 그리고, 상기 제1 게이트 구조물 양 측의 NMOS 영역의 기판에 N형 불순물을 주입시킴으로써 제1 불순물 영역(144a)을 형성한다. 또한, 상기 제2 게이트 구조물 양 측의 PMOS 영역의 기판에 P형 불순물을 주입시킴으로써 제2 불순물 영역(144b)을 형성한다.
- [0153] 상기 공정을 수행함으로써, 도 11에 도시된 CMOS 트랜지스터가 완성된다.
- [0154] 실시예 4
- [0155] 이하에서 설명하는 실시예 4에 따른 CMOS 트랜지스터는 도 11에 도시된 CMOS 트랜지스터와 동일한 구성을 갖는다. 다만, 실시예 3에서 설명한 것과 다른 방법을 통해 형성된다.
- [0156] 도 16 내지 도 19는 본 발명의 실시예 4에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.
- [0157] 도 16을 참조하면, 반도체 물질로 이루어지고, NMOS 영역 및 PMOS 영역이 구분된 기판(100)이 마련된다. 상기 기판(100) 표면을 산화시켜 게이트 산화막(102)을 형성한다. 상기 게이트 산화막(102)은 실리콘 산화물로 이루어질 수 있다.
- [0158] 상기 게이트 산화막(102) 상에 불순물이 도핑되지 않은 하부 비정질 실리콘막(130)을 형성한다. 상기 하부 비정질 실리콘막(130)은 30 내지 100Å의 두께로 형성한다.
- [0159] 상기 하부 비정질 실리콘막(130) 상에 실리콘보다 작은 크기의 원자를 포함하는 상부 비정질 실리콘막(146)을

증착한다. 즉, 막을 증착하는 공정을 수행할 때, 상기 실리콘보다 작은 크기의 원자를 포함하는 소오스 가스를 함께 유입함으로써, 상기 실리콘보다 작은 크기의 원자를 포함하는 상부 비정질 실리콘막(146)을 증착한다. 상기 상부 비정질 실리콘막(146)에 포함되어 있는 실리콘보다 작은 크기의 원자는 기판에 압축 스트레스를 유발시킨다.

- [0160] 본 실시예에서는, 탄소를 포함하는 상부 비정질 실리콘막(146)을 형성한다. 이 때, 상기 상부 비정질 실리콘막(146)에 포함되는 탄소의 원자 비율은 1 내지 5%가 되도록 한다.
- [0161] 상기 상부 비정질 실리콘막(146)을 증착하는 공정은 실리콘을 함유하는 전구체 및 탄소를 포함하는 전구체를 반응 가스로 사용하는 화학기상증착법에 의해 수행된다. 상기 상부 비정질 실리콘막(146)을 증착하기 위한 증착 온도는 600°C 이하인 것이 바람직하다. 상기 반응 가스로써 사용될 수 있는 실리콘을 함유하는 전구체의 예로는 디클로로 실란(DCS, SiCl₂H₂), SiH₄, Si₂H₆ 등을 들 수 있다. 또한, 상기 반응 가스로써 사용될 수 있는 탄소를 포함하는 전구체의 예로는 CF₄, CH₃ 등을 들 수 있다.
- [0162] 상기 하부 비정질 실리콘막(130) 및 상부 비정질 실리콘막(146)을 형성하는 공정은 인시튜로 진행할 수 있다.
- [0163] 도 17을 참조하면, 상기 상부 비정질 실리콘막(146) 상에 제1 포토레지스트막을 코팅하고, 사진 공정을 통해 상기 제1 포토레지스트막을 패터닝하여 제1 포토레지스트 패턴(148)을 형성한다. 상기 제1 포토레지스트 패턴(148)은 상기 NMOS 영역의 상부 비정질 실리콘막(146)을 선택적으로 노출시키고, 상기 PMOS 영역의 상부 비정질 실리콘막(14)을 마스크한다.
- [0164] 상기 제1 포토레지스트 패턴(148)을 이온 주입 마스크로 사용하여 실리콘에 비해 큰 크기의 원자를 이온 주입한다. 본 실시예에서는, 상기 상부 비정질 실리콘막(146)에 게르마늄 이온을 주입한다. 이 때, 상기 상부 비정질 실리콘막(146)에 포함되는 게르마늄 이온의 원자 비율은 1 내지 30%가 되도록 한다. 설명한 것과 달리, 상기 상부 비정질 실리콘막(146)에, 상기 탄소 이온 뿐 아니라, 질소 또는 산소 이온을 더 첨가할 수도 있다. 또한, 본 실시예와는 달리, 상기 상부 비정질 실리콘막(146)에, 상기 탄소 이온 대신에, 질소 또는 산소 이온을 주입할 수도 있다.
- [0165] 또한, 상기 제1 포토레지스트 패턴(106)을 이온 주입 마스크로 사용하여 상기 상부 비정질 실리콘막(146)에 N형 불순물을 주입함으로써, 제1 상부 비정질 실리콘막(146a)을 형성한다.
- [0166] 상기 설명한 것과 다른 실시예로, 상기 탄소를 포함하는 상부 비정질 실리콘막(146)을 증착할 때, N형 불순물을 인시튜로 주입할 수도 있다. 이 경우에, 증착된 상부 비정질 실리콘막(146)에 N형 불순물이 이미 도핑된 상태이므로, 상기 상부 비정질 실리콘막(146)에 별도로 N형 불순물을 더 주입할 필요가 없다. 그러므로, 상기 상부 비정질 실리콘막에 N형 불순물을 주입하는 공정 및 제1 포토레지스트 패턴 형성 공정을 생략할 수 있다.
- [0167] 다음에, 상기 제1 포토레지스트 패턴(148)을 에칭 및 스트립 공정을 통해 제거한다.
- [0168] 도 18을 참조하면, 상기 제1 상부 비정질 실리콘막(146a) 및 상부 비정질 폴리실리콘막(146) 상에 제2 포토레지스트막을 코팅하고, 사진 공정을 통해 상기 제2 포토레지스트막을 패터닝하여 제2 포토레지스트 패턴(150)을 형성한다. 상기 제2 포토레지스트 패턴(150)은 상기 PMOS 영역의 제1 상부 비정질 실리콘막(146a)을 선택적으로 노출시킨다.
- [0169] 상기 제2 포토레지스트 패턴(150)을 이온 주입 마스크로 사용하여 상기 노출된 상부 비정질 실리콘막(146)에 P형 불순물을 주입한다. 상기 P형 불순물의 예로는 붕소를 들 수 있다.
- [0170] 상기 공정을 수행함으로써, PMOS 영역에 P형 불순물 및 탄소를 포함하는 제2 상부 비정질 실리콘막(146b)이 형성된다.
- [0171] 다음에, 상기 제2 포토레지스트 패턴(150)을 에칭 및 스트립 공정을 통해 제거한다.
- [0172] 도 19를 참조하면, 상기 제1 및 제2 상부 비정질 실리콘막(146a, 146b), 하부 비정질 실리콘막(130)을 열처리하여 상기 비정질 실리콘막들에 포함된 불순물들을 활성화하고, 결정질의 폴리실리콘막으로 변화시킨다. 따라서, 제1 및 제2 하부 폴리실리콘막(130a, 130b), 제1 및 제2 상부 폴리실리콘막(146c, 146d)이 각각 형성된다.
- [0173] 상기 제1 및 제2 상부 폴리실리콘막(146c, 146d) 상에 도전막(134)을 형성한다. 상기 도전막(134)은 금속 물질을 포함할 수 있다. 상기 도전막(134) 상에 하드 마스크막을 형성한다. 상기 하드 마스크막은 실리콘 질화물을 증착시켜 형성할 수 있다. 상기 하드 마스크막을 사진 식각 공정을 통해 패터닝함으로써, 하드 마스크 패턴

(138)을 형성한다.

- [0174] 다음에, 도 11을 참조하면, 상기 하드 마스크 패턴(138)을 식각 마스크로 사용하여 상기 도전막(134), 제1 및 제2 상부 폴리실리콘막(146c, 146d), 제1 및 제2 하부 폴리실리콘막(130a, 130b) 및 게이트 산화막(102)을 패터닝한다.
- [0175] 이로써, 상기 NMOS 영역에는 제1 게이트 산화막 패턴(102a), 제1 하부 폴리실리콘 패턴(131a), 제1 상부 폴리실리콘 패턴(133a), 제1 도전 패턴(134a) 및 하드 마스크 패턴(138)이 적층된 제1 게이트 구조물(137a)을 형성한다. 또한, 상기 PMOS 영역에는 제2 게이트 산화막 패턴(102b), 제2 하부 폴리실리콘 패턴(131b), 제2 상부 폴리실리콘 패턴(133b), 제2 도전 패턴(134b) 및 하드 마스크 패턴(138)이 적층된 제2 게이트 구조물(137b)을 형성한다.
- [0176] 상기 제1 게이트 구조물(137a)의 측벽에는 제1 스페이서(140)를 형성하고, 상기 제2 게이트 구조물(137b)의 측벽에는 제2 스페이서(142)를 형성한다. 그리고, 상기 제1 게이트 구조물(137a) 양 측의 NMOS 영역의 기판에 N형 불순물을 주입시킴으로써 제1 불순물 영역(144a)을 형성한다. 또한, 상기 제2 게이트 구조물(137b) 양 측의 PMOS 영역의 기판에 P형 불순물을 주입시킴으로써 제2 불순물 영역(144b)을 형성한다.
- [0177] 상기 공정을 수행함으로써, 도 11에 도시된 CMOS 트랜지스터가 완성된다.
- [0178] 실시예 5
- [0179] 도 20은 본 발명의 실시예 5에 따른 디램 소자를 나타내는 단면도이다.
- [0180] 실시예 5에 따른 디램 소자는, 페리 회로 영역에 CMOS 트랜지스터가 형성된다. 페리 회로 영역에 형성되는 CMOS 트랜지스터는 실시예 1의 CMOS 트랜지스터와 동일하다.
- [0181] 도 20을 참조하면, 반도체 물질로 이루어진 기판(100)이 마련된다. 상기 기판(100)은 단결정 실리콘을 포함할 수 있다.
- [0182] 상기 기판(100)은 디램의 셀들이 형성되는 셀 영역과 주변 회로들이 형성되는 페리 회로 영역으로 구분된다. 또한, 상기 페리 회로 영역은 NMOS 트랜지스터 형성 영역(이하, 페리 NMOS 영역) 및 PMOS 트랜지스터 형성 영역(이하, 페리 PMOS 영역)이 구분되어 있다. 또한, 상기 기판(100)은 액티브 영역 및 소자 분리 영역이 구분되어 있다.
- [0183] 상기 페리 NMOS 영역에는 도 1에 도시된 NMOS 트랜지스터가 구비된다. 또한, 상기 페리 PMOS 영역에는 도 1에 도시된 PMOS 트랜지스터가 구비된다. 상기 페리 회로 영역에 형성되는 상기 NMOS 트랜지스터는 인장 스트레스가 가해진 기판에 형성되어 있어, 전자의 이동도가 높다. 또한, 상기 페리 회로 영역에 형성되는 상기 PMOS 트랜지스터는 압축 스트레스가 가해진 기판에 형성되어 있어, 홀의 이동도가 높다. 때문에, 상기 페리 회로 영역에 형성되는 상기 NMOS 및 PMOS 트랜지스터는 동작 특성이 양호하다.
- [0184] 상기 페리 회로 영역의 NMOS 트랜지스터 및 PMOS 트랜지스터를 덮는 층간 절연막(252)이 구비되고, 상기 NMOS 트랜지스터 및 PMOS 트랜지스터의 불순물 영역들(116, 118) 및 게이트 전극(105, 110a, 105b, 110b)과 전기적으로 연결되는 콘택(270) 및 배선이 구비될 수 있다.
- [0185] 디램의 단위 셀은 하나의 셀 트랜지스터 및 하나의 커패시터로 구현된다. 그러므로, 상기 셀 영역의 기판(100)에는 디램 셀을 구현하기 위한 셀 트랜지스터 및 커패시터들이 포함된다. 상기 셀 트랜지스터는 NMOS 트랜지스터이다.
- [0186] 상기 셀 영역에 형성되는 셀 트랜지스터는 제3 게이트 산화막 패턴(102c), N형 불순물이 도핑된 제3 폴리실리콘 패턴(105c), 제3 도전 패턴(110c) 및 제3 하드 마스크 패턴(112c)을 포함하는 제3 게이트 구조물(113c)이 구비된다. 또한, 상기 제3 게이트 구조물(113c)의 양 측 기판에는 N형 불순물이 도핑된 제3 불순물 영역(250)이 구비된다. 상기 제3 도전 패턴(110c)은 페리 회로 영역에 형성되는 트랜지스터들에 포함되는 제1 및 제2 도전 패턴(110a, 110b)과 동일한 물질로 이루어질 수 있다. 또한, 상기 제3 하드 마스크 패턴(112c)은 상기 제1 및 제2 하드 마스크 패턴(112a, 112b)과 동일한 물질로 이루어질 수 있다.
- [0187] 상기 제3 폴리실리콘 패턴(105c)에는 기판(100)에 스트레스를 가하기 위한 원자들이 포함되어 있지 않다. 그러므로, 셀 영역의 기판에는 어떠한 스트레스도 가해지지 않은 상태가 된다.

- [0188] 상기 셀 트랜지스터의 양 측에 위치하는 제3 불순물 영역들과 전기적으로 연결되는 패드 콘택 플러그들(254)이 구비된다. 상기 패드 콘택 플러그들(254) 중 어느 하나와 전기적으로 연결되는 비트 라인 콘택(256) 및 비트 라인(258)이 구비된다. 또한, 상기 패드 콘택 플러그들(254) 중 나머지 하나와 전기적으로 연결되는 스토리지 노드 콘택(260) 및 커패시터(262)가 구비된다.
- [0189] 설명한 것과 같이, 실시예 5에 따른 디램 소자는 페리 회로 영역에 고성능을 갖는 CMOS 트랜지스터가 구비된다. 그러므로, 상기 디램 소자는 빠른 신호 처리 속도를 갖는다.
- [0190]
- [0191] 도 21 내지 도 24는 도 20에 도시된 디램 소자의 제조 방법을 나타내는 단면도들이다.
- [0192] 도 21을 참조하면, 반도체 물질로 이루어지고, 셀 영역, 페리 NMOS 영역 및 페리 PMOS 영역이 구분된 기판(100)이 마련된다. 상기 기판(100)은 단결정 실리콘을 포함할 수 있다. 상기 기판(100) 표면을 산화시켜 게이트 산화막(102)을 형성한다. 상기 게이트 산화막(102)은 실리콘 산화물로 이루어질 수 있다. 이 때, 상기 셀 영역, 페리 NMOS 영역 및 페리 PMOS 영역에 형성되는 게이트 산화막은 각각 서로 다른 두께를 가질 수 있다.
- [0193] 상기 게이트 산화막(102) 상에 불순물이 도핑되지 않은 비정질 실리콘막(104)을 형성한다. 상기 비정질 실리콘막(104)은 형성하고자 하는 폴리실리콘 패턴과 실질적으로 동일한 높이로 형성한다.
- [0194] 다음에, 상기 비정질 실리콘막(104) 상에 제1 포토레지스트막을 코팅하고, 사진 공정을 통해 상기 제1 포토레지스트막을 패터닝하여 제1 포토레지스트 패턴(106)을 형성한다. 상기 제1 포토레지스트 패턴(106)은 상기 페리 NMOS 영역의 비정질 실리콘막(104)을 선택적으로 노출시키고, 상기 페리 PMOS 영역 및 셀 영역의 비정질 실리콘막(104)을 마스크한다.
- [0195] 상기 제1 포토레지스트 패턴(106)을 이온 주입 마스크로 사용하여 상기 노출된 비정질 실리콘막(104)에, 실리콘에 비해 큰 크기의 원자를 이온 주입한다. 이 때, 이온 주입 깊이를 조절하여 상기 원자가 상기 게이트 산화막과 직접 접촉되지 않도록 하는 것이 바람직하다. 본 실시예에서는, 상기 비정질 실리콘막(104)에 게르마늄(Ge) 이온을 주입한다. 이 때, 상기 비정질 실리콘막(104)에 포함되는 게르마늄 이온의 원자 비율은 1 내지 30%가 되도록 한다.
- [0196] 또한, 상기 제1 포토레지스트 패턴(200)을 이온 주입 마스크로 사용하여 상기 비정질 실리콘막(104)에 N형 불순물을 주입한다. 상기 공정에 의해, 페리 NMOS 영역에는 제1 비정질 실리콘막(104a)이 형성된다.
- [0197] 다음에, 상기 제1 포토레지스트 패턴(200)을 에칭 및 스트립 공정을 통해 제거한다.
- [0198] 도 22를 참조하면, 상기 제1 비정질 실리콘막(104a)상에 제2 포토레지스트막을 코팅하고, 사진 공정을 통해 상기 제2 포토레지스트막을 패터닝하여 제2 포토레지스트 패턴(202)을 형성한다. 상기 제2 포토레지스트 패턴(202)은 상기 페리 PMOS 영역의 비정질 실리콘막(104)을 선택적으로 노출시키고, 상기 페리 NMOS 영역 및 셀 영역의 비정질 실리콘막(104)을 마스크한다.
- [0199] 다음에, 상기 제2 포토레지스트 패턴(202)을 이온 주입 마스크로 사용하여 실리콘에 비해 작은 크기의 원자를 이온 주입한다. 이 때, 이온 주입 깊이를 조절하여 상기 원자가 상기 게이트 산화막(102)과 직접 접촉되지 않도록 하는 것이 바람직하다. 본 실시예에서는, 상기 비정질 실리콘막(104)에 탄소 이온을 주입한다. 상기 비정질 실리콘막(104)에 포함되는 탄소 이온의 원자 비율은 1 내지 5%가 되도록 한다.
- [0200] 또한, 상기 제2 포토레지스트 패턴(202)을 이온 주입 마스크로 사용하여 상기 노출된 비정질 실리콘막(104)에 P형 불순물을 주입한다. 상기 공정에 의해, 페리 PMOS 영역에는 제2 비정질 실리콘막(104b)이 형성된다.
- [0201] 다음에, 상기 제2 포토레지스트 패턴(108)을 에칭 및 스트립 공정을 통해 제거한다.
- [0202] 도 23을 참조하면, 상기 제1 및 제2 비정질 실리콘막(104a, 104b)과 비정질 실리콘막(104)상에 제3 포토레지스트막을 코팅하고, 사진 공정을 통해 상기 제3 포토레지스트막을 패터닝하여 제3 포토레지스트 패턴(204)을 형성한다. 상기 제3 포토레지스트 패턴(204)은 상기 셀 영역의 비정질 실리콘막(104)을 선택적으로 노출시키고, 상기 페리 NMOS 영역 및 페리 PMOS 영역의 제1 및 제2 비정질 실리콘막(104a, 104b)을 마스크한다.
- [0203] 다음에, 상기 제3 포토레지스트 패턴(204)을 이온 주입 마스크로 사용하여 N형 불순물을 주입한다. 이 때, 상기 셀 영역에 형성되는 셀 트랜지스터의 게이트에서 요구되는 일함수를 갖도록 상기 N형 불순물을 주입한다. 즉, 상기 셀 영역 및 페리 NMOS 영역에서 요구하는 일함수가 서로 다르므로, 상기 N형 불순물을 주입하는 공정이 각

각 수행된다. 이로써, 상기 셀 영역에는 제3 비정질 실리콘막을 형성한다.

- [0204] 도 24를 참조하면, 열처리 공정을 통해 불순물을 활성화시키고, 상기 제1 내지 제3 비정질 실리콘막(104a, 104b, 104c)을 제1 내지 제3 폴리실리콘막으로 변화시킨다.
- [0205] 상기 제1 내지 제3 폴리실리콘막 상에 도전막을 형성한다. 상기 도전막 상에 하드 마스크막을 형성하고 패터닝 함으로써, 제1 내지 제3 하드 마스크 패턴(112a, 112b, 112c)을 형성한다.
- [0206] 상기 제1 내지 제3 하드 마스크 패턴(112a, 112b, 112c)을 식각 마스크로 사용하여 상기 도전막, 폴리실리콘막 및 게이트 산화막을 패터닝한다. 이로써, 상기 페리 NMOS 영역에는 제1 게이트 산화막 패턴(102a), 제1 폴리실리콘 패턴(105a), 제1 도전 패턴(110a) 및 제1 하드 마스크 패턴(112a)이 적층된 제1 게이트 구조물(113a)을 형성한다. 상기 페리 PMOS 영역에는 제2 게이트 산화막 패턴(102b), 제2 폴리실리콘 패턴(105b), 제2 도전 패턴(110b) 및 제2 하드 마스크 패턴(112b)이 적층된 제2 게이트 구조물(113b)을 형성한다. 또한, 셀 영역에는 제3 게이트 산화막 패턴(102c), 제3 폴리실리콘 패턴(105c), 제3도전 패턴(110c) 및 제3 하드 마스크 패턴(112c)이 적층된 제3 게이트 구조물(113c)을 형성한다.
- [0207] 다시, 도 20을 참조하면, 상기 제1 내지 제3 게이트 구조물(113a, 113b, 113c)의 측벽에 각각 제1 내지 제3 스페이서(114a, 114b, 114c)를 형성한다. 또한, 상기 제1 내지 제3 게이트 구조물(113a, 113b, 113c) 양 측의 기판 표면 아래로 각각 제1 내지 제3 불순물 영역(116, 118, 250)을 형성한다. 상기 제1 및 제3 불순물 영역(116, 250)은 N형 불순물이 도핑되고, 상기 제2 불순물 영역(118)은 P형 불순물이 도핑된다.
- [0208] 이로써, 셀 영역에 셀 트랜지스터, 페리 NMOS 영역에는 NMOS 트랜지스터 및 페리 PMOS 영역에는 PMOS 트랜지스터를 각각 형성한다.
- [0209] 다음에, 상기 NMOS 트랜지스터, PMOS 트랜지스터 및 셀 트랜지스터를 덮는 층간 절연막(252)을 형성한다.
- [0210] 이 후, 상기 셀 트랜지스터의 불순물 영역들과 전기적으로 연결되는 패드 콘택 플러그(254)를 형성한다. 상기 패드 콘택 플러그(254) 중 어느 하나와 전기적으로 연결되도록 비트 라인 콘택(256) 및 비트 라인(258)을 형성한다. 상기 패드 콘택 플러그(254) 중 나머지 하나와 전기적으로 연결되는 스토리지 노드 콘택(260) 및 커패시터(262)를 형성한다. 또한, 상기 페리 NMOS 트랜지스터 및 페리 PMOS 트랜지스터의 불순물 영역들 및 게이트 전극들과 전기적으로 연결되는 콘택(270) 및 배선을 형성한다.
- [0211] 상기 공정을 통해, 도 20에 도시된 디램 소자를 제조할 수 있다.
- [0212] 실시예 6
- [0213] 도 25는 본 발명의 실시예 6에 따른 NAND 플래시 메모리 소자를 나타내는 단면도이다.
- [0214] 실시예 6에 따른 플래시 메모리 소자는, 페리 회로 영역에 CMOS 트랜지스터가 형성된다. 페리 회로 영역에 형성되는 CMOS 트랜지스터는 실시예 1의 CMOS 트랜지스터와 동일하다.
- [0215] 도 25를 참조하면, 반도체 물질로 이루어진 기관(300)이 마련된다. 상기 기관(300)은 단결정 실리콘을 포함할 수 있다.
- [0216] 상기 기관(300)은 플래시 메모리 소자의 셀들이 형성되는 셀 영역과 주변 회로들이 형성되는 페리 회로 영역으로 구분된다. 또한, 상기 페리 회로 영역은 NMOS 트랜지스터 형성 영역(이하, 페리 NMOS 영역) 및 PMOS 트랜지스터 형성 영역(이하, 페리 PMOS 영역)이 구분되어 있다. 또한, 상기 기관(300)은 액티브 영역 및 소자 분리 영역이 구분되어 있다.
- [0217] NAND 플래시 메모리의 단위 스트링은 복수의 셀 트랜지스터가 직렬로 연결된다. 그러므로, 상기 셀 영역의 기관(300)에는 플래시 메모리 셀을 구현하기 위한 셀 트랜지스터들이 포함된다. 상기 셀 트랜지스터는 터널 산화막 패턴(302a), 제1 폴리실리콘 패턴(307a), 유전막 패턴(312a), 제4 폴리실리콘 패턴(316d), 제1 도전 패턴(318a) 및 제1 하드 마스크 패턴(320a)이 적층된 제1 게이트 구조물을 포함한다. 또한, 상기 제1 게이트 구조물 양 측의 기관에는 제1 불순물 영역(322)들이 구비된다.
- [0218] 상기 제1 폴리실리콘 패턴(307a)은 플로팅 게이트로 제공된다. 상기 제4 폴리실리콘 패턴(316d) 및 제1 도전 패턴(318a)은 콘트롤 게이트로 제공된다. 상기 제1 폴리실리콘 패턴(307a)에는 기관에 스트레스를 가하기 위한 원자들이 포함되어 있지 않다. 그러므로, 셀 영역의 기관에는 어떠한 스트레스도 가해지지 않은 상태가 된다.

- [0219] 상기 페리 NMOS 영역에는 도 1에 도시된 NMOS 트랜지스터가 구비된다. 또한, 상기 페리 PMOS 영역에는 도 1에 도시된 PMOS 트랜지스터가 구비된다.
- [0220] 상기 페리 NMOS 영역에 형성되는 제2 게이트 구조물은 제2 게이트 산화막 패턴(304a), 제2 및 제5 폴리실리콘 패턴(307e, 316e), 제2 도전 패턴(318b) 및 제2 하드 마스크 패턴(320b)이 적층된다. 상기 제2 및 제5 폴리실리콘 패턴(307e, 316e)은 게르마늄 원자가 포함되어 있다. 상기 제2 게이트 구조물 양 측의 기판에는 N형 불순물이 도핑된 제2 불순물 영역이 구비된다.
- [0221] 상기 페리 PMOS 영역에 형성되는 제3 게이트 구조물은 제3 게이트 산화막 패턴(304b), 제3 및 제6 폴리실리콘 패턴(307f, 316f), 제3 도전 패턴(318c) 및 제3 하드 마스크 패턴(320c)이 적층된다. 상기 제3 및 제6 폴리실리콘 패턴(307f, 316f)은 탄소 원자가 포함되어 있다. 상기 제3 게이트 구조물 양 측의 기판에는 P형 불순물이 도핑된 제3 불순물 영역이 구비된다.
- [0222] 따라서, 상기 페리 NMOS 영역의 기판에는 인장 스트레스가 가해지고, 상기 기판에 형성된 NMOS 트랜지스터는 전자의 이동도가 높다. 또한, 상기 페리 PMOS 영역의 기판에는 압축 스트레스가 가해지고, 상기 기판에 형성된 PMOS 트랜지스터는 홀의 이동도가 높다. 때문에, 상기 페리 회로 영역에 형성되는 상기 NMOS 및 PMOS 트랜지스터는 동작 특성이 양호하다.
- [0223] 상기 제1 내지 제3 도전 패턴(318a, 318b, 318c)은 동일한 물질로 이루어질 수 있다. 또한, 상기 제1 내지 제3 하드 마스크 패턴(320a, 320b, 320c)은 동일한 물질로 이루어질 수 있다.
- [0224] 설명한 것과 같이, 실시예 6에 따른 NAND 플래시 메모리 소자는 페리 회로 영역에 고성능을 갖는 CMOS 트랜지스터가 구비된다. 그러므로, 상기 NAND 플래시 메모리 소자는 빠른 신호 처리 속도를 갖는다.
- [0225] 도 26 내지 도 30은 도 25에 도시된 NAND 플래시 메모리 소자의 제조 방법을 나타내는 단면도들이다.
- [0226] 도 26을 참조하면, 반도체 물질로 이루어지고, 셀 영역, 페리 NMOS 영역 및 페리 PMOS 영역이 구분된 기판(300)이 마련된다. 상기 기판(300)은 단결정 실리콘을 포함할 수 있다. 상기 셀 영역의 기판 표면을 산화시켜 터널 산화막(302)을 형성한다. 또한, 상기 페리 NMOS 영역 및 페리 PMOS 영역의 기판(300) 표면을 산화시켜 게이트 산화막(304)을 형성한다.
- [0227] 상기 터널 산화막(302) 및 게이트 산화막(304) 상에 불순물이 도핑되지 않은 비정질 실리콘막(306)을 형성한다.
- [0228] 다음에, 도 21을 참조로 설명한 것과 동일한 공정을 수행한다. 즉, 상기 페리 NMOS 영역의 비정질 실리콘막을 선택적으로 노출하는 제1 포토레지스트 패턴(308)을 형성한다. 상기 제1 포토레지스트 패턴(308)을 이온 주입 마스크로 상기 페리 NMOS 영역의 비정질 실리콘막에 선택적으로 실리콘에 비해 큰 크기의 원자를 이온 주입한다. 또한, 상기 제1 포토레지스트 패턴(308)을 이온 주입 마스크로 사용하여 상기 비정질 실리콘막(306)에 N형 불순물을 주입한다. 이로써, 페리 NMOS 영역의 기판(300)에 제1 비정질 실리콘막(306a)을 형성한다.
- [0229] 도 27을 참조하면, 상기 페리 PMOS 영역의 비정질 실리콘막(306)을 선택적으로 노출하는 제2 포토레지스트 패턴(310)을 형성한다. 상기 제2 포토레지스트 패턴(310)을 이온 주입 마스크로 상기 페리 NMOS 영역의 비정질 실리콘막(306)에 선택적으로 실리콘에 비해 작은 크기의 원자를 이온 주입한다. 또한, 상기 제2 포토레지스트 패턴(310)을 이온 주입 마스크로 사용하여 상기 비정질 실리콘막(306)에 P형 불순물을 주입한다. 이로써, 페리 PMOS 영역의 기판(300)에 제1 비정질 실리콘막(306b)을 형성한다.
- [0230] 상기 설명한 공정들은 도 22를 참조로 설명한 것과 동일하다.
- [0231] 도 28을 참조하면, 상기 제1 비정질 실리콘막(306)상에 셀 영역의 비정질 실리콘막(306)을 선택적으로 노출하는 제3 포토레지스트 패턴(도시안됨)을 형성한다. 다음에, 상기 제3 포토레지스트 패턴을 이온 주입 마스크로 사용하여 N형 불순물을 주입한다.
- [0232] 이 후, 열처리 공정을 통해 불순물을 활성화시키고 상기 비정질 실리콘막들을 폴리실리콘막으로 변화시킨다. 상기 공정들을 수행함으로써, 상기 셀 영역에 제1 폴리실리콘막(307a), 페리 NMOS 영역에 제2 폴리실리콘막(307b) 및 페리 NMOS 영역에 제3 폴리실리콘막(307c)을 형성한다.
- [0233] 다음에, 상기 제1 내지 제3 폴리실리콘막(307a, 307b, 307c) 상에 유전막(312)을 형성한다. 사진 식각 공정을 통해, 상기 페리 NMOS 영역 및 페리 PMOS 영역의 제2 및 제3 폴리실리콘막(307b, 307c) 상에 형성된 유전막

(312)을 선택적으로 제거한다.

- [0234] 상기 유전막(312) 및 제2 및 제3 폴리실리콘막(307b, 307c) 상에 불순물이 도핑되지 않은 상부 비정질 실리콘막(314)을 형성한다.
- [0235] 도 29를 참조하면, 상기 상부 비정질 폴리실리콘막(314)에 대해 상기 도 26, 도 27 및 도 23을 참조로 설명한 도핑 공정들을 수행한다.
- [0236] 즉, 도 26에서 설명한 것과 같이, 페리 NMOS 영역의 상부 비정질 실리콘막(314)에 실리콘에 비해 큰 크기의 원자를 이온 주입한다. 또한, 상기 페리 NMOS 영역의 상부 비정질 실리콘막(314)에 N형 불순물을 주입한다. 도 27에서 설명한 것과 같이, 상기 페리 PMOS 영역의 상부 비정질 실리콘막(314)에 선택적으로 실리콘에 비해 작은 크기의 원자를 이온 주입한다. 또한, 상기 페리 PMOS 영역의 상부 비정질 실리콘막(314)에 P형 불순물을 주입한다. 도 23을 참조로 설명한 것과 같이, 상기 셀 영역의 상부 비정질 실리콘막(314)에 선택적으로 N형 불순물을 주입한다.
- [0237] 상기 열처리 공정을 통해 불순물을 활성화시키고 상기 상부 비정질 실리콘막(314)들을 폴리실리콘막으로 변화시킨다. 상기 공정들을 수행함으로써, 상기 셀 영역에 제4 폴리실리콘막(316a), 페리 NMOS 영역에 제5 폴리실리콘막(316b) 및 페리 NMOS 영역에 제6 폴리실리콘막(316c)을 형성한다.
- [0238] 도 30을 참조하면, 상기 제4 내지 제6 폴리실리콘막(316a, 316b, 316c) 상에 도전막(318)을 형성한다. 상기 도전막(318) 상에 하드 마스크막을 형성하고 패터닝함으로써, 제1 내지 제3 하드 마스크 패턴(320a, 320b, 320c)을 형성한다.
- [0239] 다시, 도 25를 참조하면, 상기 제1 내지 제3 하드 마스크 패턴(320a, 320b, 320c)을 식각 마스크로 사용하여 상기 도전막(318), 제 3 내지 제6 폴리실리콘막(316a, 316b, 316c), 유전막(312), 게이트 산화막(304) 및 터널 산화막(302)을 패터닝한다.
- [0240] 이로써, 셀 영역에는 터널 산화막 패턴(302a), 제1 폴리실리콘 패턴(307d), 유전막 패턴(312a), 제4 폴리실리콘 패턴(316d), 제1 도전 패턴(318a) 및 제1 하드 마스크 패턴(320a)이 적층된 제1 게이트 구조물을 형성한다. 상기 제1 폴리실리콘 패턴(307d)은 플로팅 게이트로 사용되고, 상기 제4 폴리실리콘 패턴(316d) 및 제1 도전 패턴(318a)은 콘트롤 게이트로 사용된다.
- [0241] 상기 페리 NMOS 영역에는 제2 게이트 산화막 패턴(304a), 제2 및 제5 폴리실리콘 패턴(307e, 316e), 제2 도전 패턴(318b) 및 제2 하드 마스크 패턴(320b)이 적층된 제2 게이트 구조물을 형성한다. 상기 페리 PMOS 영역에는 제3 게이트 산화막 패턴(304b), 제3 및 제6 폴리실리콘 패턴(307f, 316f), 제3 도전 패턴(318c) 및 제3 하드 마스크 패턴(320c)이 적층된 제3 게이트 구조물을 형성한다.
- [0242] 또한, 상기 제1 내지 제3 게이트 구조물 양 측의 기판(300) 표면 아래로 각각 제1 내지 제3 불순물 영역(322, 324, 326)을 형성한다. 상기 셀 영역 및 페리 NMOS 영역의 기판(300)에는 N형 불순물을 각각 도핑하여 제1 및 제2 불순물 영역(322, 324)을 형성한다. 또한, 상기 페리 PMOS 영역의 기판(300)에는 P형 불순물을 도핑하여 제3 불순물 영역(326)을 형성한다.
- [0243] 이로써, 도 25에 도시된 것과 같이, 셀 영역에 셀 트랜지스터, 페리 NMOS 영역에는 NMOS 트랜지스터 및 페리 PMOS 영역에는 PMOS 트랜지스터를 포함하는 플래시 메모리 소자를 제조할 수 있다.
- [0244] PMOS 트랜지스터 동작 특성 실험
- [0245] 본 발명의 CMOS 트랜지스터에 포함된 PMOS 트랜지스터의 동작 특성을 실험하였다.
- [0246] 본 발명의 방법에 의해 PMOS 트랜지스터의 샘플들을 제조하였다. PMOS 트랜지스터의 게이트는 질소가 도핑된 폴리실리콘으로 이루어진다. 각 샘플들의 게이트 길이는 0.063 μm 이다. 샘플 1 및 2의 질소 도핑 농도 및 이온 주입 에너지는 다음과 같다.

	질소 도핑농도	이온주입 에너지
샘플 1	9E14at/cm ²	20KeV
샘플 2	1E15at/cm ²	20KeV

[0247]

[0248] 샘플 1 및 2와 비교하기 위한 비교 샘플로써, 게이트에 질소를 도핑하지 않은 PMOS 트랜지스터를 제조하였다. 그러나, 비교 샘플은 게이트에 질소가 도핑되지 않는 것을 제외한 나머지는 동일한 조건으로 제조되었다.

[0249] 도 31은 각 샘플들에 대한 Gm(trans conductance)를 측정한 그래프이다.

[0250] 도 31에서, 도면부호 340은 비교 샘플1에서 측정한 것이고, 도면부호 342는 샘플1에서 측정한 것이고, 도면부호 344는 샘플2에서 측정한 것이다.

[0251] 도 31을 참조하면, 질소 도핑 농도가 증가할수록 트랜스 컨덕턴스가 증가됨을 알 수 있다. 즉, 상기 게이트에 질소 도핑 농도가 증가될수록 캐리어의 이동도가 증가되고, 온 전류가 높아짐을 알 수 있다.

[0252] 도 32는 본 발명의 CMOS 트랜지스터를 포함하는 시스템을 도시한 블록 다이어그램이다.

[0253] 도 32를 참조하면, 시스템(350)은 CPU(central processing unit, 352) 및 메모리(354)를 내장한다. 상기 메모리(354)는 본 발명의 일 실시예에 따른 DRAM 또는 플래시 메모리를 포함할 수 있다. 이외에도, 페리 회로에 본 발명의 일 실시예에 따른 CMOS 트랜지스터를 포함하는 다른 메모리(354)를 사용할 수 있다. 상기 메모리(354)는 바로 CPU와 연결될 수 있고 버스(BUS) 등을 통해서 연결될 수 있다.

산업이용 가능성

[0254] 본 발명에 따른 CMOS 트랜지스터는 반도체 소자의 회로들을 구성하는데 다양하게 적용할 수 있다. 특히, 반도체 메모리 소자의 페리 회로 영역에 포함되는 각 트랜지스터들에 사용될 수 있다.

도면의 간단한 설명

[0255] 도 1은 본 발명의 실시예 1에 따른 CMOS 트랜지스터를 나타내는 단면도이다.

[0256] 도 2 내지 도 9는 도 1에 도시된 CMOS 트랜지스터의 제조 방법을 나타내는 단면도들이다.

[0257] 도 10은 본 발명의 실시예 2에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도이다.

[0258] 도 11은 본 발명의 실시예 3에 따른 CMOS 트랜지스터를 나타내는 단면도이다.

[0259] 도 12 내지 도 15는 도 11에 도시된 CMOS 트랜지스터의 제조 방법을 나타내는 단면도들이다.

[0260] 도 16 내지 도 19는 본 발명의 실시예 4에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.

[0261] 도 20은 본 발명의 실시예 5에 따른 디램 소자를 나타내는 단면도이다.

[0262] 도 21 내지 도 24는 도 20에 도시된 디램 소자의 제조 방법을 나타내는 단면도들이다.

[0263] 도 25는 본 발명의 실시예 6에 따른 NAND 플래시 메모리 소자를 나타내는 단면도이다.

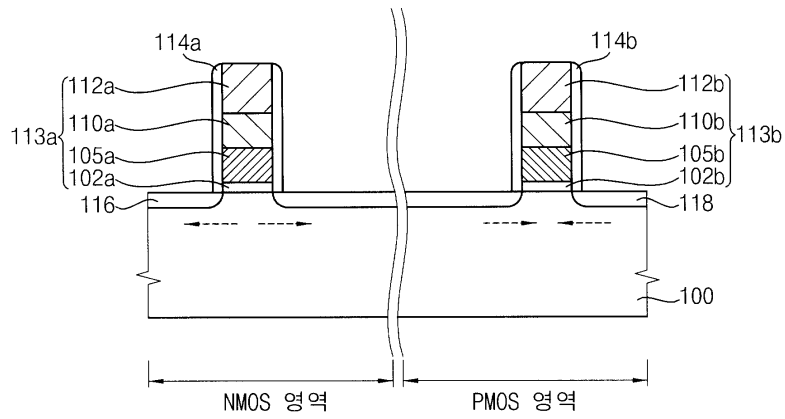
[0264] 도 26 내지 도 30은 도 25에 도시된 NAND 플래시 메모리 소자의 제조 방법을 나타내는 단면도들이다.

[0265] 도 31은 각 샘플들에 대한 Gm(trans conductance)를 측정한 그래프이다.

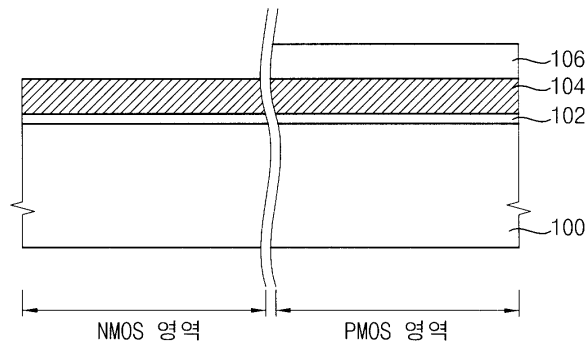
[0266] 도 32는 본 발명의 CMOS 트랜지스터를 포함하는 시스템을 도시한 블록 다이어그램이다.

도면

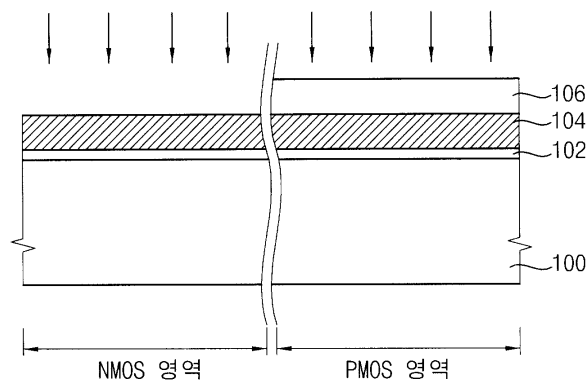
도면1



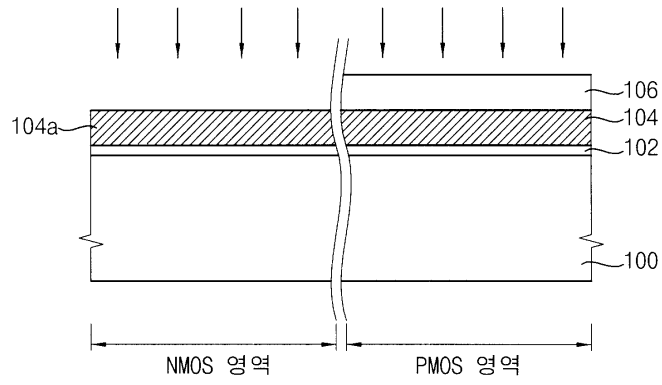
도면2



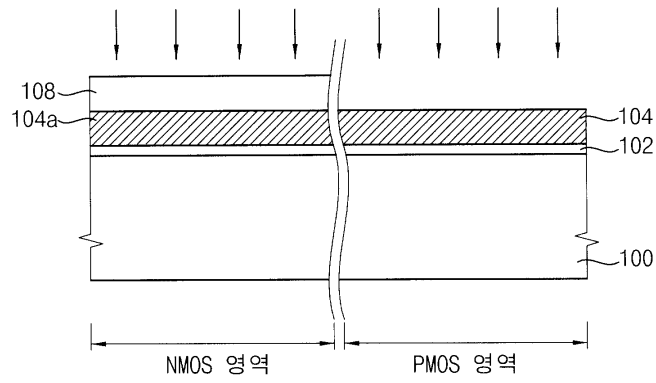
도면3



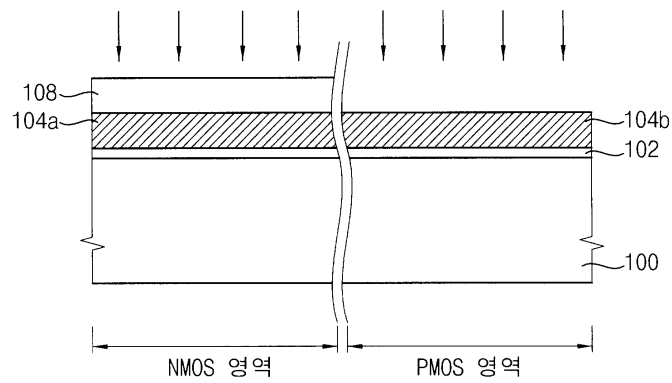
도면4



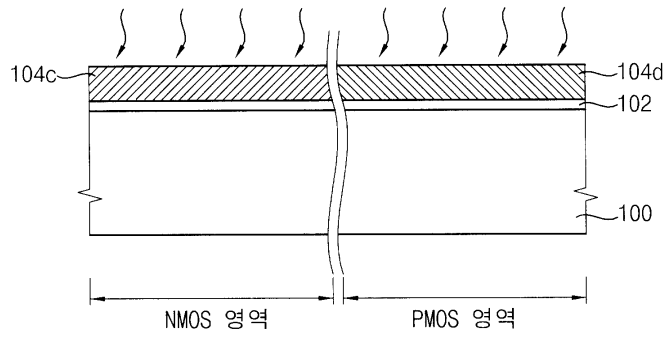
도면5



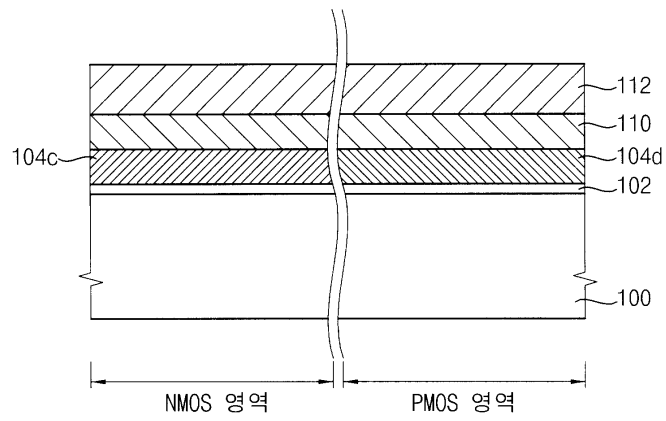
도면6



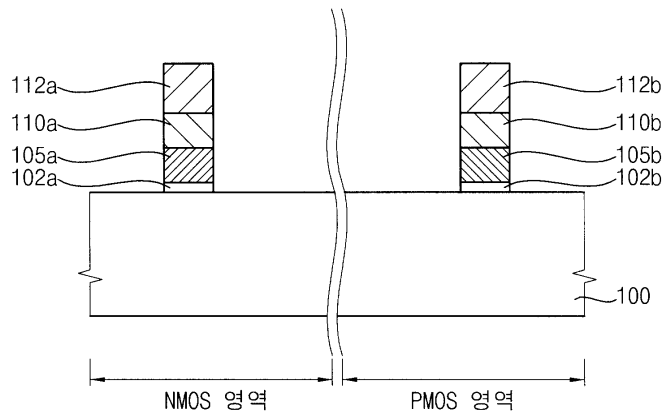
도면7



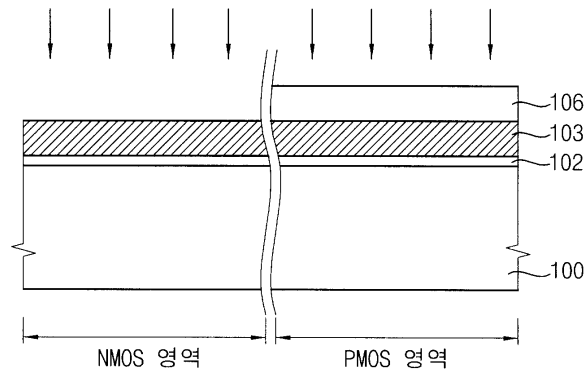
도면8



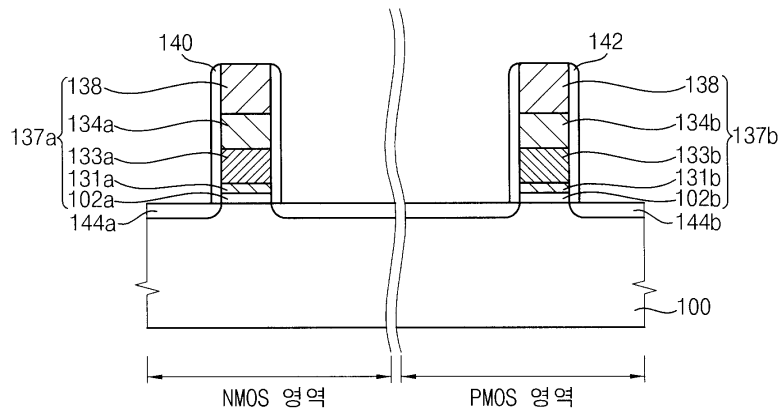
도면9



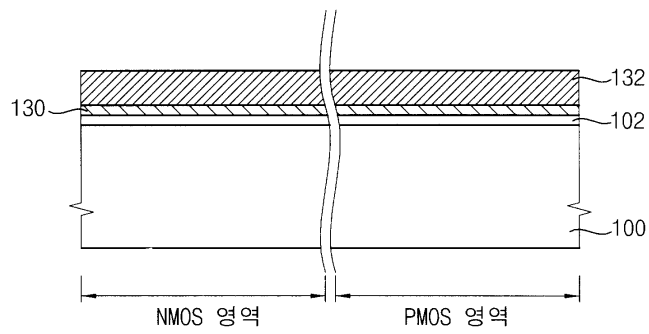
도면10



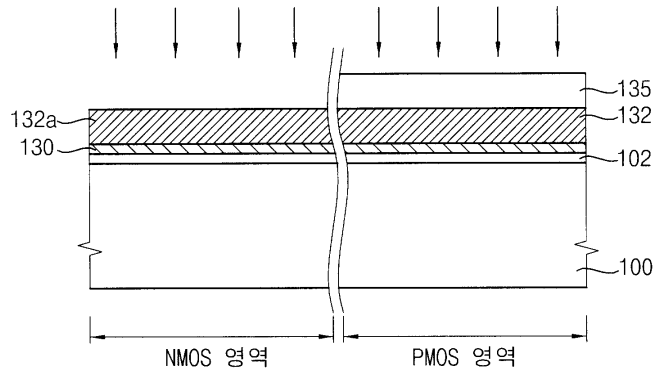
도면11



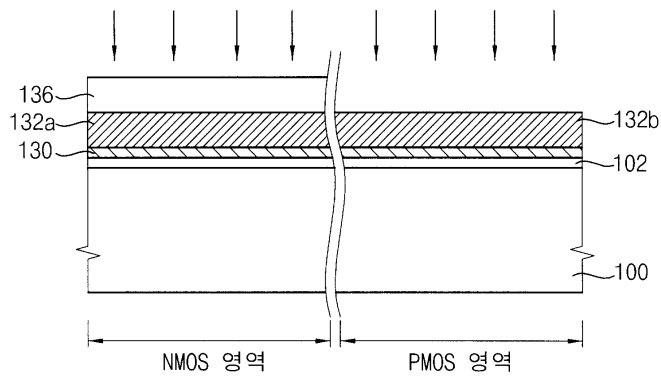
도면12



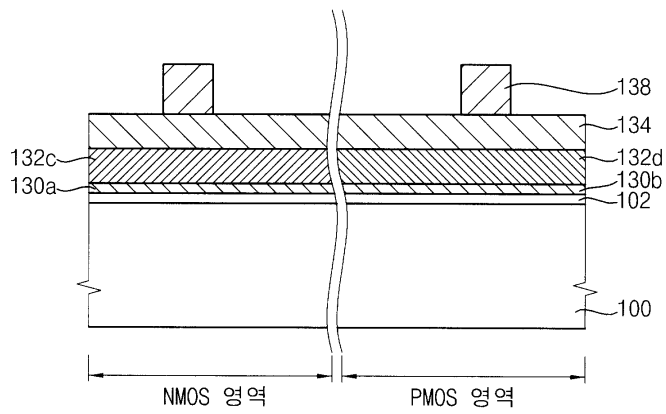
도면13



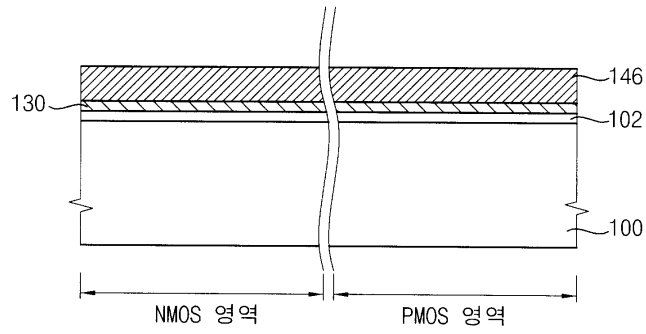
도면14



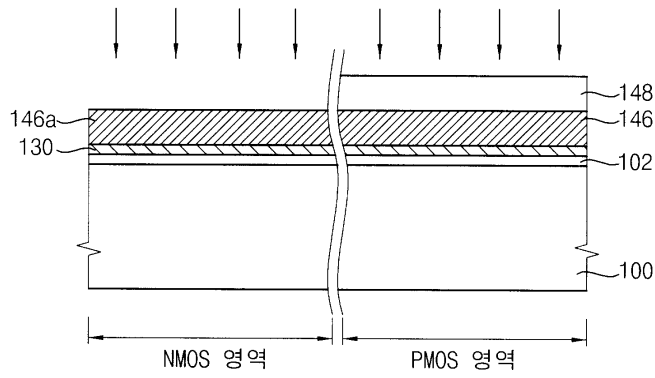
도면15



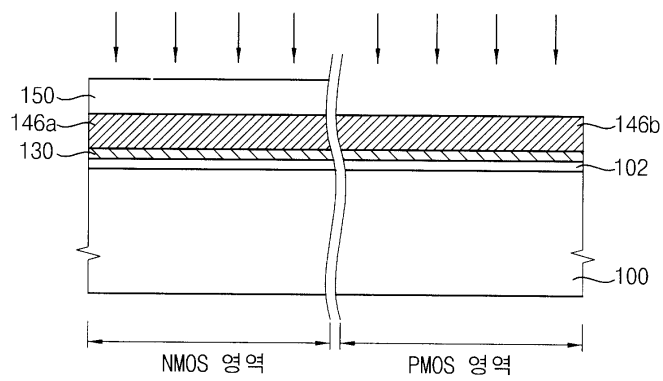
도면16



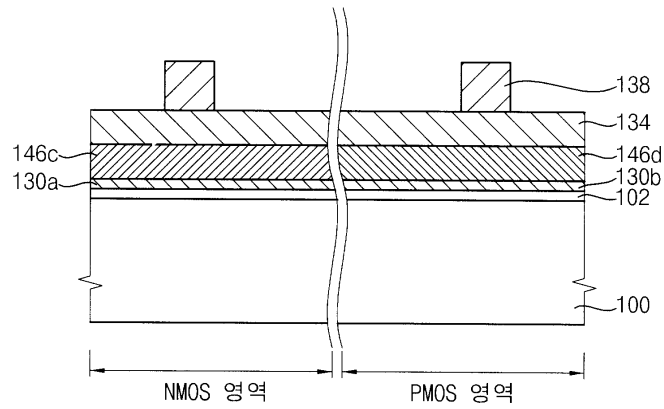
도면17



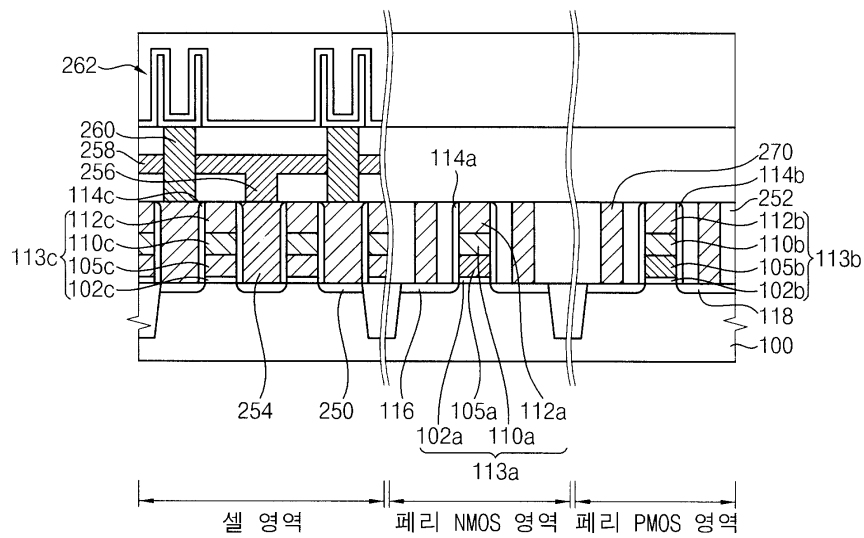
도면18



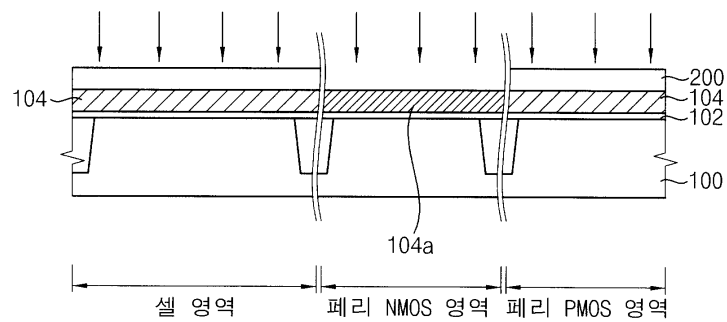
도면19



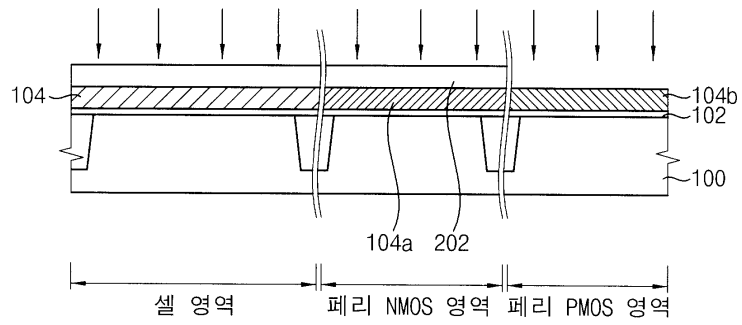
도면20



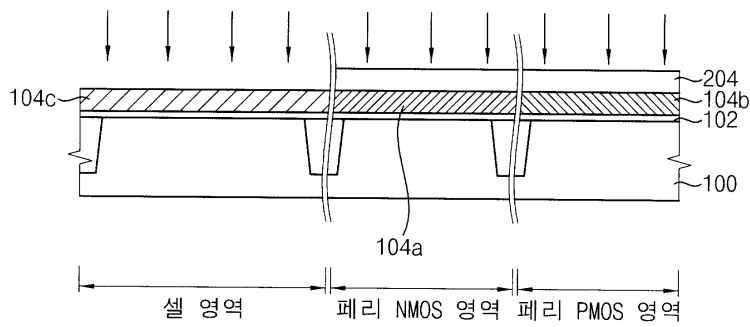
도면21



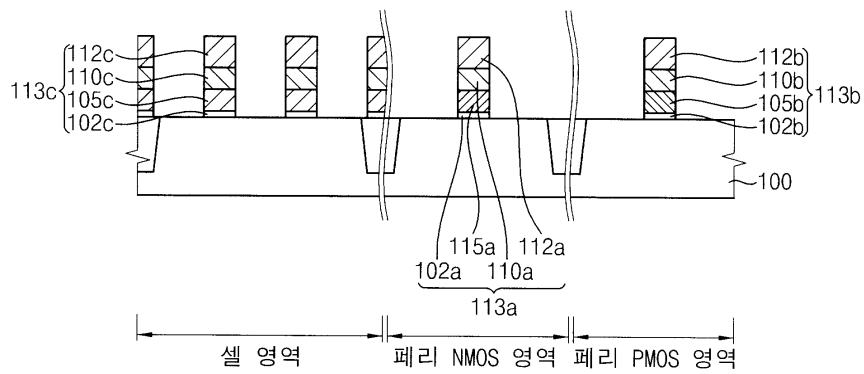
도면22



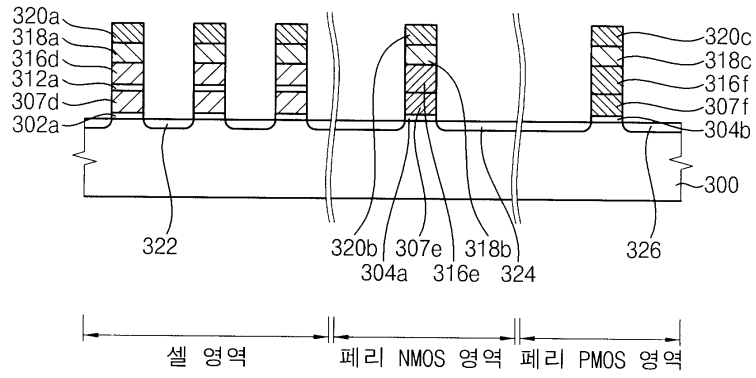
도면23



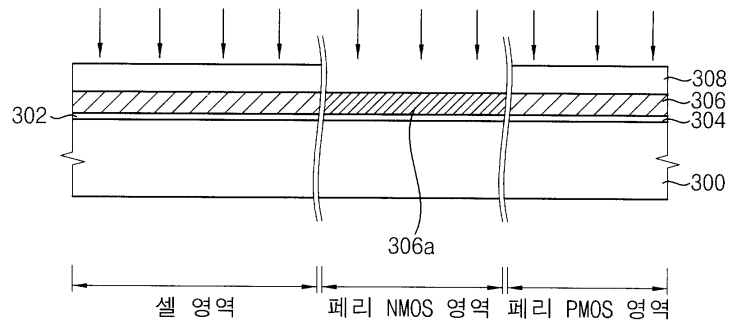
도면24



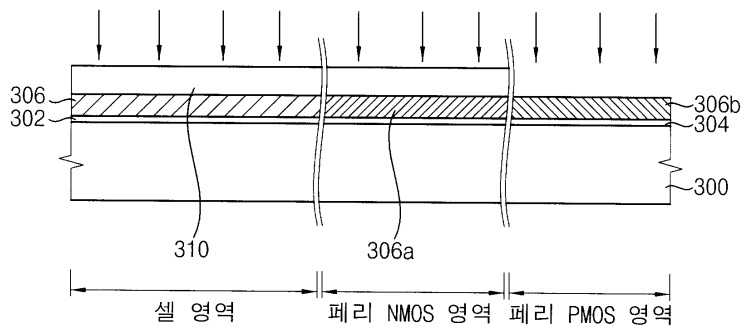
도면25



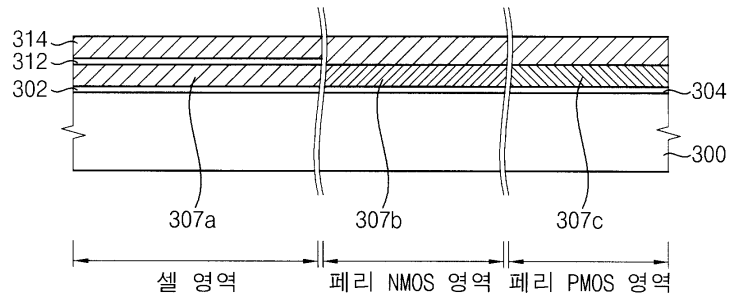
도면26



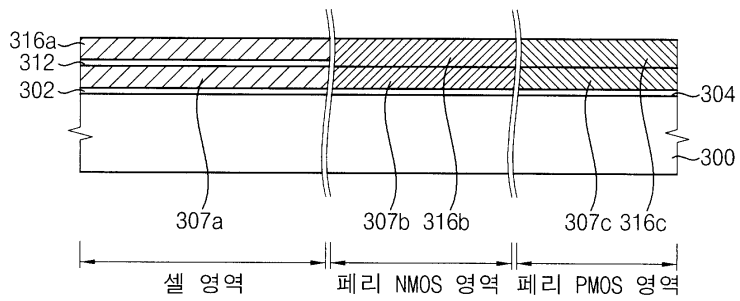
도면27



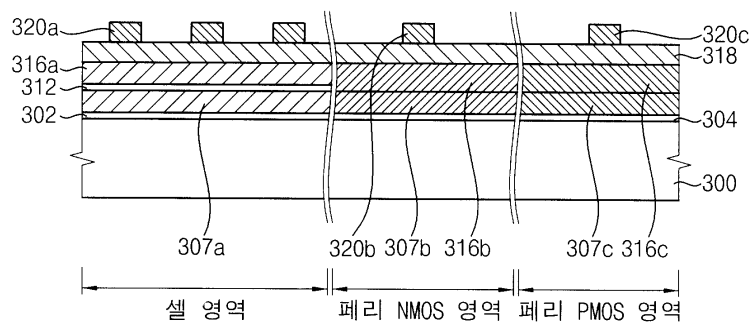
도면28



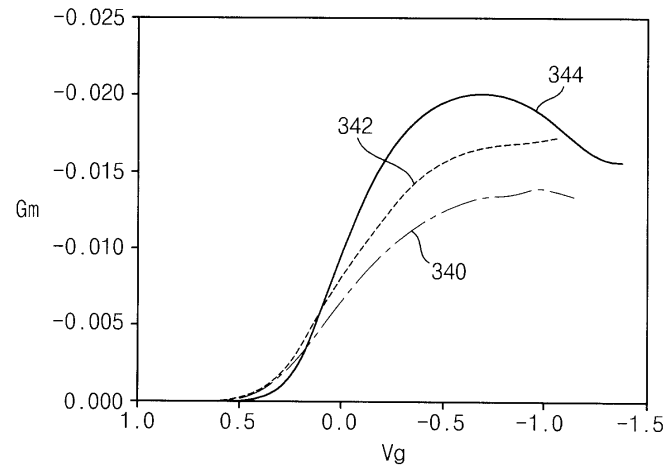
도면29



도면30



도면31



도면32

