



[12] 发明专利说明书

专利号 ZL 200510018889.7

[45] 授权公告日 2009年1月14日

[11] 授权公告号 CN 100452800C

[22] 申请日 2005.6.9

[21] 申请号 200510018889.7

[73] 专利权人 烽火通信科技股份有限公司

地址 430074 湖北省武汉市洪山区邮科院路88号

[72] 发明人 杨旭 周箴

[56] 参考文献

US6901072B1 2005.3.31

CN1581812A 2005.2.16

CN1564502A 2005.1.12

审查员 胡锐先

[74] 专利代理机构 武汉宇晨专利事务所
代理人 黄瑞棠

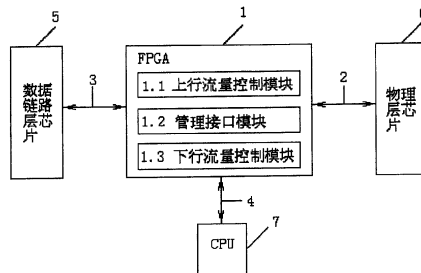
权利要求书2页 说明书5页 附图3页

[54] 发明名称

基于现场可编程门阵列器件的快速以太网端口带宽控制系统

[57] 摘要

本发明公开了一种基于现场可编程门阵列器件的快速以太网端口带宽控制系统，涉及一种快速以太网端口带宽控制系统。本发明由现场可编程门阵列器件1、第一MII总线2、第二MII总线3、地址和数据总线4、数据链路层芯片5、物理层芯片6、CPU7组成；现场可编程门阵列器件1分别通过第二MII总线3与数据链路层芯片5连接，通过第一MII总线2与物理层芯片6连接，通过地址和数据总线4与CPU7连接；所述的现场可编程门阵列器件1有三个模块：上行流量控制模块1.1、下行流量控制模块1.3和管理接口模块1.2。本发明使用硬件方式，带宽控制有效可靠，简单易实现；通过带宽控制能够灵活地规划网络带宽，提高网络的效率。由于性能价格比高，因此有着广阔的应用前景。



1、一种基于现场可编程门阵列器件的快速以太网端口带宽控制系统，其特征在于：

由现场可编程门阵列器件(1)、第一MII总线(2)、第二MII总线(3)、地址和数据总线(4)、数据链路层芯片(5)、物理层芯片(6)、CPU(7)组成；现场可编程门阵列器件(1)分别通过第二MII总线(3)与数据链路层芯片(5)连接，通过第一MII总线(2)与物理层芯片(6)连接，通过地址和数据总线(4)与CPU(7)连接；

所述的现场可编程门阵列器件(1)有三个模块：上行流量控制模块(1.1)、下行流量控制模块(1.3)和管理接口模块(1.2)；

所述的上行流量控制模块(1.1)、下行流量控制模块(1.3)由第一MII接口模块(8)、第一双时钟先入先出存储器(9)、第二双时钟先入先出存储器(10)、第二MII接口模块(11)、分频电路(12)组成；第一MII接口模块(8)、第一双时钟先入先出存储器(9)、第二双时钟先入先出存储器(10)、第二MII接口模块(11)依次连接；第一双时钟先入先出存储器(9)、第二双时钟先入先出存储器(10)分别与分频电路(12)连接；

所述的管理接口模块(1.2)是提供接口与地址和数据总线(4)连接的模块；

CPU(7)通过数据和地址总线(4)访问管理接口模块(1.2)内部的控制寄存器，上、下行流量控制模块(1.1、1.3)根据控制寄存器的内容相应地调整接口带宽，并将高于带宽设置的包全部丢掉，分别实现上行流量和下行流量的数据带宽控制，三个模块协调工作，将网络端口的通信带宽控制在设定的范围之内。

2、按权利要求1所述的一种基于现场可编程门阵列器件的快速以太网端口带宽控制系统，其特征在于：

现场可编程门阵列器件(1)选用Altera公司的EP2S15；

数据链路层芯片(5)选用MARVELL公司的GT48510A；

物理层芯片(6)选用Intel公司的LXT971；

CPU(7)选用Freescale公司的PC850或MPC850；

第一MII接口模块(8)、第二MII接口模块(11)选用Mentor Graphics - Inventra公司的PE-MACMII - 10/100 Ethernet Media Access Controller；

第一双时钟先入先出存储器（9）、第二双时钟先入先出存储器（10）使用现场可编程门阵列器件（1）芯片内部集成的 M512 RAM blocks;

分频电路（12）使用现场可编程门阵列器件（1）芯片内部集成的 Enhanced PLLs。

基于现场可编程门阵列器件的快速以太网端口带宽控制系统

技术领域

本发明涉及一种快速以太网端口带宽控制系统,具体地说,是通过硬件方式——现场可编程门阵列器件(FPGA)对快速以太网数据链路层芯片与物理层芯片之间的 IEEE802.3 标准的媒体无关总线(MII)进行控制,实现对快速以太网端口带宽的灵活控制,从而方便地实现以太网设备组网时带宽的合理分配,提高网络运行的效率和稳定性。

背景技术

以太网技术是当今应用最广泛的一种局域网技术,在接入网也得到了越来越多的应用。但是标准的 IEEE802.3 快速以太网的端口,只能提供 10M、100M 两种接口速率可选,而不能根据需求灵活设置每个端口的速率。同时,实际网络中的网络接口的实际带宽不可预测,从而在网络使用中很容易产生瓶颈效应,造成网络堵塞,降低了网络运行的效率和稳定性。另外,以太网端口带宽控制技术还可以满足网络运营的管理和计费的要求。

目前以太网带宽控制的解决方案,都是由以太网交换芯片(ASIC)提供的带宽控制功能实现。各种交换芯片的实现带宽控制功能都不尽相同,带宽控制功能缺乏灵活性,只提供几种带宽模式设计,并且在一些特殊的以太网应用中,也不可能通过现有以太网交换芯片(ASIC)实现以太网带宽控制功能。

发明内容

本发明的目的是克服上述以太网带宽控制系统的缺点和不足,提出一种基于现场可编程门阵列器件的快速以太网端口带宽控制系统。

本发明的目的是这样实现的:

使用硬件方案——现场可编程门阵列器件(FPGA)1,使以太网带宽控制效率和精度都很高。该硬件是增加在快速以太网数据链路层芯片5与物理层芯片

6 间的媒体无关总线 (MII) 的一套外部电路, 可以灵活增加到各种以太网接入设备中。随着大规模的 FPGA 芯片的降价, 本发明成本也比较低。通过对以太网接口的实际通信带宽进行灵活的控制, 从而在组网时能够通过网络管理手段合理规划 and 分配网络中各接口的带宽, 消除网络瓶颈, 避免网路堵塞, 从而提高网络的运行效率和稳定性, 方便快速以太网接入技术在非企业网环境中的应用。

采用现场可编程门阵列器件 (FPGA) 1, 改造以太网的数据链路层芯片 5 与物理层芯片 6 的 MII 之间符合 IEEE 802.3 标准的以太网接口的 MII。物理层芯片 6 的主要功能为提供网络物理接口, 完成实际的信号传输。而数据链路层芯片 5 的功能是在两个主机上建立数据链路连接, 并向物理层芯片 6 传输数据信号。所以通过控制 MII 总线, 也就控制数据链路层芯片 5 的实际收发带宽, 而网络端口的输出流量取决于物理层芯片 6 从数据链路层芯片 5 收到的数据流量, 网络端口的输入流量取决于数据链路层芯片 5 从物理层芯片 6 收到的数据流量, 最终完成对网络端口输入和输出最高带宽的控制。

由图 1 可知, 本发明由现场可编程门阵列器件 (FPGA) 1、第一 MII 总线 2、第二 MII 总线 3、地址和数据总线 4、数据链路层芯片 5、物理层芯片 6、CPU7 组成; 现场可编程门阵列器件 (FPGA) 1 分别通过第二 MII 总线 3 与数据链路层芯片 5 连接, 通过第一 MII 总线 2 与物理层芯片 6 连接, 通过地址和数据总线 4 与 CPU7 连接。

所述的现场可编程门阵列器件(FPGA)1 有三个模块: 上行流量控制模块 1.1、下行流量控制模块 1.3 和管理接口模块 1.2。

由图 2 可知, 上行流量控制模块 1.1 由第一 MII 接口模块 8、第一双时钟先入先出存储器 9、第二双时钟先入先出存储器 10、第二 MII 接口模块 11、分频电路 12 组成; 第一 MII 接口模块 8、第一双时钟先入先出存储器 9、第二双时钟先入先出存储器 10、第二 MII 接口模块 11 依次连接; 第一双时钟先入先出存储器 9、第二双时钟先入先出存储器 10 分别与分频电路 12 连接。

上行流量控制模块 1.1 的数据依次流向第一 MII 接口模块 8、第一双时钟先入先出存储器 9、第二双时钟先入先出存储器 10、第二 MII 接口模块 11;

下行流量控制模块 1.3 的原理与上行流量控制模块 1.1 完全相同, 只是数据流向相反, 不再赘叙。

管理接口模块 1.2 提供接口与地址和数据总线 4 连接, CPU7 通过地址和数

据总线 4 可以与管理接口模块 1.2 通信。

本发明的工作原理是：

FPGA1 的三个模块中，上、下行流量控制模块 1.1、1.3 是直接和第一、第二 MII 总线 2、3 相连接的，由于第一、第二 MII 总线 2、3 是全双工工作，采用上、下行流量控制模块 1.1、1.3，分别控制第一、第二 MII 总线 2、3 从物理层芯片 6 到数据链路层芯片 5 和从数据链路层芯片 5 到物理层芯片 6 的流量；这两个模块的原理相同，都是在 FPGA1 内部的两级传输，即在 FPGA1 的内部跨两个时域的数据处理；管理接口模块 1.2 与 CPU7 的地址和数据总线 4 连接，CPU7 通过数据和地址总线 4 可以访问管理接口模块 1.2 内部的控制寄存器，上、下行流量控制模块 1.1、1.3 根据控制寄存器的内容相应地调整接口带宽，CPU7 的管理接口，就可以完成网络端口带宽控制配置。三个模块协调工作，即可实现实时检测通过该端口的流量带宽，并禁止超过设定带宽的数据流量通过，就将网络端口的通信带宽控制在设定的范围之内。

上行流量控制模块 1.1：提供接口电路，连接数据链路层芯片 5 的 MII 接口的收电路与物理层芯片 6 的 MII 接口的发电路，这两个接口电路的带宽都是 100M，但是两个接口电路之间的带宽受内部带宽控制寄存器的控制，从物理层芯片 6 的 MII 接口发电路接收到的流量高于带宽设置的包全部丢掉，从而实现上行数据带宽控制；

下行流量控制模块 1.3：提供接口电路，连接数据链路层芯片 5 的 MII 接口的发电路与物理层芯片 6 的 MII 接口的收电路，这两个接口电路的带宽都是 100M，但是两个接口电路之间的带宽受内部带宽控制寄存器的控制，从数据链路层芯片 5 的 MII 接口发电路接收到的流量高于带宽设置的包全部丢掉，从而实现下行数据带宽控制。

管理接口模块 1.2：可以通过 FPGA1 的通用引脚构成用 8Bit 的地址总线和 8Bit 的数据总线，以及片选信号。再与 CPU7 的数据和地址总线 4 相接，8Bit 的地址总线最大可与寻址 FPGA1 内部的 256 个寄存器，CPU7 通过 8Bit 的地址总线和片选信号，就可以对 FPGA1 内部的这 256 个寄存器分别寻址读写，这 256 个寄存器可以部分用作控制寄存器，部分用于状态寄存器，部分可作为预留寄存器。我们将其中的一个寄存器定义为带宽控制寄存器，通过读写带宽控制寄存器，控制分频电路 12，就可以分别设置快速以太网数据流上、下行流量控制模块 1.1、

1.3 的带宽。管理接口模块 1.2 的具体实现中,CPU7 可以采用 Motorola 的 MPC860 系列。CPU 系统的设计不在本发明讨论范围。

本发明具有以下的优点和积极效果:

- ①使用硬件方式, 带宽控制有效可靠, 简单易实现;
- ②通过带宽控制能够灵活地规划网络带宽, 提高网络的效率。

由于性能价格比高, 因此有着广阔的应用前景。

附图说明

图 1—本系统组成框图;

图 2—上、下行流量控制模块组成框图;

图 3—第一 MII 接口模块 8、第二 MII 接口模块 11 组成框图;

其中:

1—现场可编程门阵列器件 (FPGA),

1.1—上行流量控制模块, 1.2—管理接口模块, 1.3—下行流量控制模块;

2—第一 MII 总线;

3—第二 MII 总线;

4—地址和数据总线;

5—数据链路层芯片;

6—物理层芯片;

7—CPU;

8—第一 MII 接口模块;

9—第一双时钟先入先出存储器 (dcfifo1);

10—第二双时钟先入先出存储器 (dcfifo2);

11—第二 MII 接口模块;

12—分频电路。

具体实施方式

下面结合实施例进一步说明:

现场可编程门阵列器件 (FPGA) 1, 可选用 Altera 公司的 EP2S15 等;

数据链路层芯片 5, 可选用 MARVELL 公司的 GT48510A 等;

物理层芯片 6, 可选用 Intel 公司的 LXT971 等;

CPU7, 可选用 Freescale 公司的 PC850 或 MPC850 等;

第一 MII 接口模块 8、第二 MII 接口模块 11, 可选用 Mentor Graphics - Inventra 公司的 PE-MACMII - 10/100 Ethernet Media Access Controller, 如图 3;

第一双时钟先入先出存储器 9、第二双时钟先入先出存储器 10, 使用现场可编程门阵列器件 1 芯片内部集成的 M512 RAM blocks;

分频电路 12, 使用现场可编程门阵列器件 1 芯片内部集成的 Enhanced PLLs。

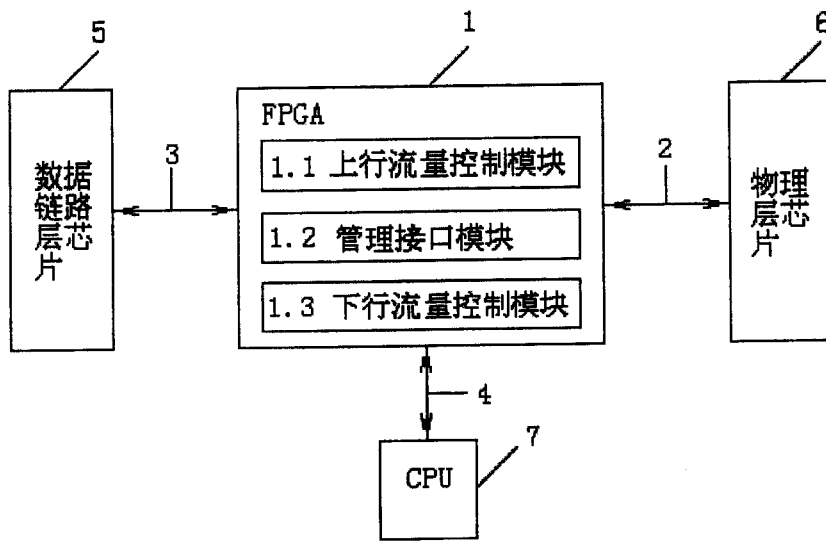


图 1

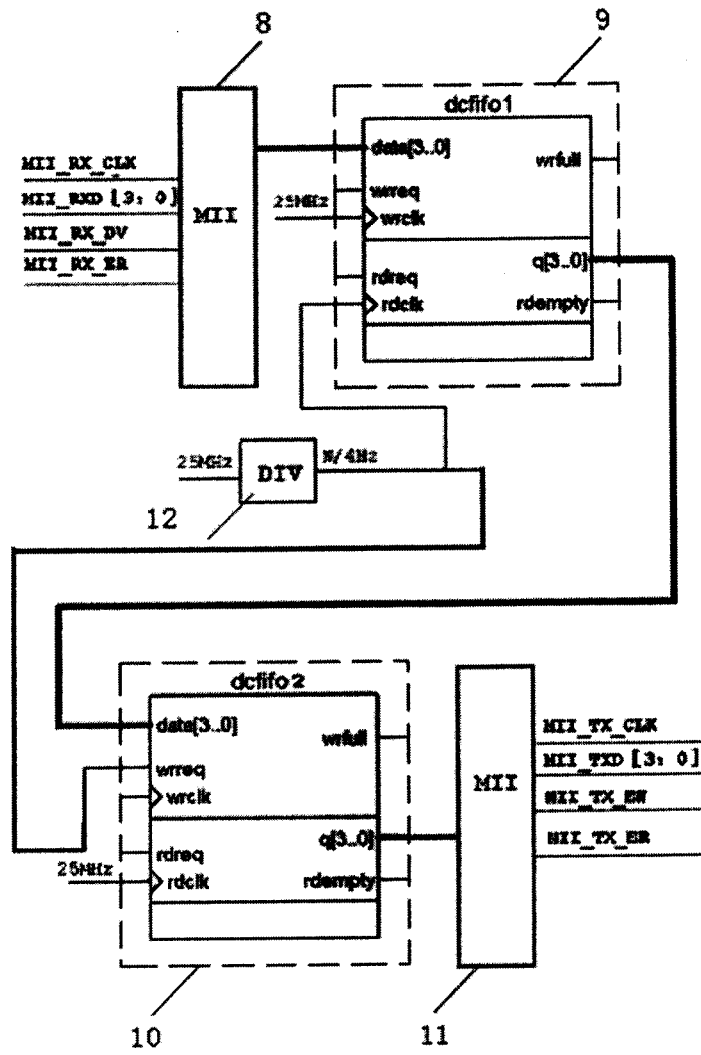


图 2

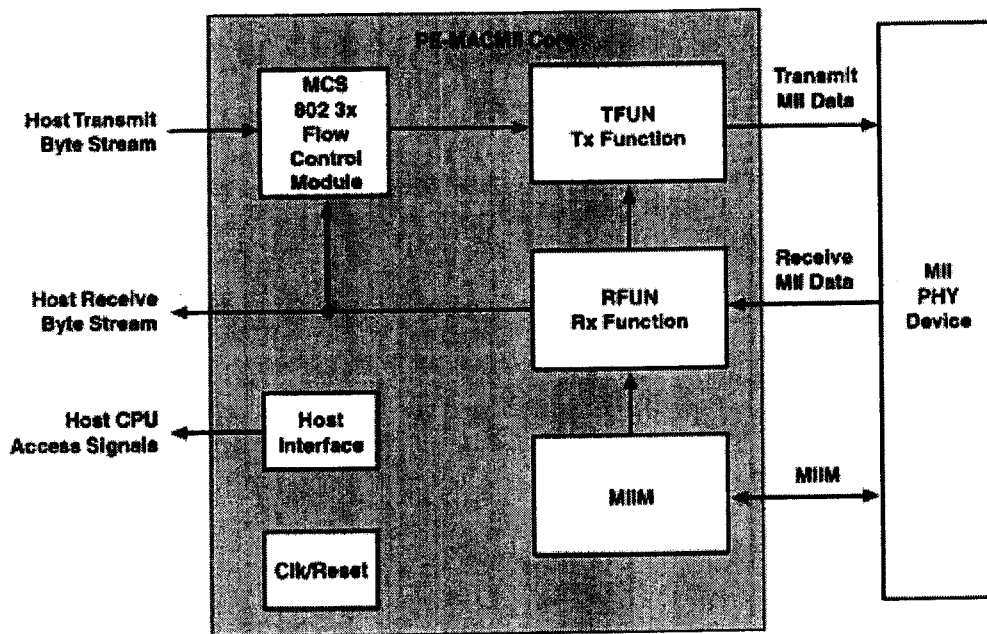


图 3