

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/12 (2006.01)

H01L 23/60 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510092277.2

[45] 授权公告日 2009 年 6 月 17 日

[11] 授权公告号 CN 100502017C

[22] 申请日 2005.7.14

[21] 申请号 200510092277.2

[30] 优先权

[32] 2004.7.14 [33] JP [31] 207225/04

[73] 专利权人 精工电子有限公司

地址 日本千叶县千叶市

[72] 发明人 长谷川尚 吉田宜史

[56] 参考文献

JP8-181219A 1996.7.12

US6469351B1 2002.10.22

US2002/0084487A1 2002.7.4

审查员 潘 军

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 梁 永

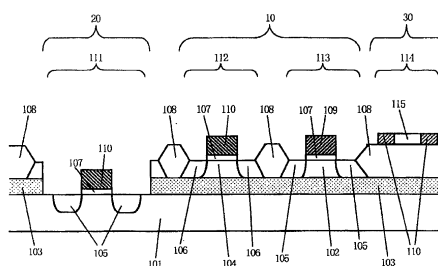
权利要求书 2 页 说明书 8 页 附图 9 页

[54] 发明名称

半导体集成电路器件

[57] 摘要

提供一种结构，其中在半导体薄膜上形成的完全耗尽 SOI CMOS 电路的 NMOS 晶体管的栅极电极具有 N 型导电性，同时在半导体支撑衬底上形成的 ESD 输入/输出保护元件的保护 NMOS 晶体管的栅极电极具有 P 型导电性，可能保护输入/输出端，特别是完全耗尽 SOI CMOS 器件的输出端，其减弱 ESD 噪音，同时确保足够的 ESD 击穿强度。



1、一种半导体集成电路器件，包括：

CMOS 元件包含栅极电极具有N型导电性的第一N沟道MOS 晶体管和栅极电极具有P型导电性的第一P沟道MOS 晶体管，两者设置在包括半导体支撑衬底的SOI 衬底的半导体薄膜中，设置在半导体支撑衬底上的掩埋绝缘膜，以及设置在掩埋绝缘膜上的半导体薄膜；

设置在SOI 衬底中的电阻器；以及

栅极电极具有P型导电性的第二N沟道MOS 晶体管，在所述半导体支撑衬底上形成，以及用作具有静电放电能力并且保护输入端或输出端之一的ESD 保护元件。

2、根据权利要求1的半导体集成电路器件，其中作为ESD 保护元件的第二N沟道MOS 晶体管设置在通过移除部分半导体薄膜和SOI 衬底的掩埋绝缘膜而暴露的半导体支撑衬底中。

3、根据权利要求1的半导体集成电路器件，其中第一N沟道MOS 晶体管的N型栅极电极、第一P沟道MOS 晶体管的P型栅极电极、作为ESD 保护元件的第二N沟道MOS 晶体管的P型栅极电极由第一多晶硅形成。

4、根据权利要求2的半导体集成电路器件，其中第一N沟道MOS 晶体管的N型栅极电极、第一P沟道MOS 晶体管的P型栅极电极、作为ESD 保护元件的第二N沟道MOS 晶体管的P型栅极电极由第一多晶硅形成。

5、根据权利要求1的半导体集成电路器件，其中第一N沟道MOS 晶体管的N型栅极电极、第一P沟道MOS 晶体管的P型栅极电极、作为ESD 保护元件的第二N沟道MOS 晶体管的P型栅极电极具有由第一多晶硅和高熔点金属硅化物叠层结构形成的多层（polycide）结构。

6、根据权利要求2的半导体集成电路器件，其中第一N沟道MOS 晶体管的N型栅极电极、第一P沟道MOS 晶体管的P型栅极电极、作为ESD 保护元件的第二N沟道MOS 晶体管的P型栅极电极具有由第一多晶硅和高熔点金属硅化物的叠层结构形成的多层（polycide）结构。

7、根据权利要求1的半导体集成电路器件，其中电阻器由第二多晶硅形成，第二多晶硅的厚度不同于形成第一N沟道MOS 晶体管和第一P沟道MOS 晶体

管、和第二N沟道MOS晶体管栅极电极的第一多晶硅。

8、根据权利要求2的半导体集成电路器件，其中电阻器由第二多晶硅形成，第二多晶硅的厚度不同于形成第一N沟道MOS晶体管和第一P沟道MOS晶体管、和第二N沟道MOS晶体管栅极电极的第一多晶硅。

9、根据权利要求1的半导体集成电路器件，其中电阻器由包括半导体薄膜的单晶硅形成。

10、根据权利要求2的半导体集成电路器件，其中电阻器由包括半导体薄膜的单晶硅形成。

11、根据权利要求1的半导体集成电路器件，其中电阻器由Ni-Cr合金、或硅化铬、硅化钼，或 β 硅化铁形成。

12、根据权利要求2的半导体集成电路器件，其中电阻器由Ni-Cr合金、或硅化铬、硅化钼，或 β 硅化铁形成。

13、根据权利要求1的半导体集成电路器件，其中形成SOI衬底的半导体薄膜具有 $0.05\mu\text{m}$ 到 $0.2\mu\text{m}$ 的厚度。

14、根据权利要求2的半导体集成电路器件，其中形成SOI衬底的半导体薄膜具有 $0.05\mu\text{m}$ 到 $0.2\mu\text{m}$ 的厚度。

15、根据权利要求1的半导体集成电路器件，其中形成SOI衬底的绝缘膜具有 $0.1\mu\text{m}$ 到 $0.5\mu\text{m}$ 的厚度。

16、根据权利要求2的半导体集成电路器件，其中形成SOI衬底的绝缘膜具有 $0.1\mu\text{m}$ 到 $0.5\mu\text{m}$ 的厚度。

17、根据权利要求1的半导体集成电路器件，其中形成SOI衬底的绝缘膜由绝缘材料制成，包括玻璃、蓝宝石、或包括氧化硅或氮化硅的陶瓷。

18、根据权利要求2的半导体集成电路器件，其中形成SOI衬底的绝缘膜由绝缘材料制成，包括玻璃、蓝宝石、或包括氧化硅或氮化硅的陶瓷。

半导体集成电路器件

技术领域

本发明涉及一种半导体集成电路器件，更具体地，涉及用于 SOI 结构的静电放电（ESD）保护器件。

背景技术

半导体集成电路器件包括由多晶硅或类似物组成电阻器的电阻电路，由二极管或通常的组成的输入或输出保护元件，MOS 晶体管设置在内部电路和外部输入/输出端之间以避免当从外部静电流入电路的额外电流造成包含内部电路的内部元件击穿。

图 2A 到 2C 示出具有保护电路的常规半导体集成电路器件中输入/输出电路单元的例子。在图 2A 中，由 N 沟道 MOS 晶体管 113 和 P 沟道 MOS 晶体管 112 组成的 CMOS 反相器作为 CMOS 结构的内部元件 10。提供 N 沟道 MOS 晶体管作为在 CMOS 反相器以及输入端 301 和输出端 302 之间，以及在 Vdd 线 303 和 Vss 线 304 之间的保护元件 20。注意到示出的内部元件的电路结构作为 CMOS 反相器用于解释情况。

上述结构，当负过电压施加在输入或输出端时，例如，在保护元件 s20 的 NMOS 晶体管的 PN 结获得正过电压，因此电流在保护 NMOS 晶体管流过以便保护内部元件。相反，当施加正过电压时，通过保护元件 s20 中保护 NMOS 晶体管的 PN 结的雪崩击穿，电流在一个保护 NMOS 晶体管中流动。在该方法中，过电流通过输入/输出保护元件直导向接地衬底，因此阻止在内部元件中流动。

用于 NMOS 晶体管 113 的包括在图 2B 中的内部元件 10 的输入/输出保护装置，和用于 PMOS 晶体管 112 的包括图 2C 中的内部元件 10 的输入/输出保护装置。以相同的方式直接与 ESD 保护装置相连。

由于埋藏绝缘膜和隔离绝缘膜包围薄膜 SOI 衬底，通常在 SOI 衬底上形成器件元件，特别地，在薄膜 SOI 衬底形成器件元件容易被过电流产生的热量击穿，以及其具有低热耗散能力。因此，SOI 器件结构上相对于 ESD 是弱的。

接着在 SOI 半导体薄膜上形成的 ESD 保护元件容易击穿的。为了克服该问

题, 至今已经制造了用于获得足够 ESD 强度的各种器件。例如, 在 SOI 衬底上形成在 CMOS 缓冲 ESD 保护电路的半导体集成电路器件中作为用于内部元件的输入保护元件, 另外在 CMOS 缓冲 ESD 保护电路前提供 PNP 或 NPN 二极管以增加 ESD 强度 (例如见 JP3447372B (第 6 页, 图 2))。

如上所述, 在 SOI 衬底上形成的 ESD 保护元件包括增大的保护元件或增加保护元件数量以获得足够 ESD 强度, 但是不利于保护电路和芯片区域的增加。

例如, 同时, 作为一种获得足够 ESD 强度的方法, JP04-345064A(第 9 页, 图 1)和 JP08-181219A(第 5 页, 图 1)公开了内部元件 10 形成在 SOI 半导体薄膜中以及在半导体支持衬底上形成输入保护元件的半导体集成电路器件。

然而, 当部分移除 SOI 衬底的半导体薄膜或掩埋绝缘膜以暴露半导体支持衬底时, 以及在暴露部分上形成保护元件时, 保护元件自身能保证足够的 ESD 强度但是会出现内部电路容易击穿的问题。

这是因为在常规的电路设计中, 当 ESD 噪音进入时, 假定噪音经过 ESD 保护元件预先到内部元件。然而, 当在半导体支持衬底上的 ESD 保护元件的耐压过高时, 保护元件不能与来自输出端 302 的 ESD 噪音反应, 以及噪音进入在 SOI 半导体薄膜上的内部元件导致内部元件击穿, 因此在半导体支持衬底上的 ESD 保护元件应该设计成在单向上确保高击穿强度, 以及保持 ESD 保护装置的耐压低于内部元件的耐压。

发明内容

为了解决上述问题, 本发明使用了以下的方法

(1) 半导体集成电路器件包括: 由第一 N 沟道 MOS 晶体管和第一 P 沟道 MOS 晶体管组成的 CMOS 元件形成在半导体支持衬底上的绝缘膜上的半导体薄膜上, 半导体薄膜和绝缘膜的半导体支持衬底组成了绝缘层上的硅 (SOI) 衬底; 电阻器; 第二 N 沟道 MOS 晶体管用作具有静电放电能力以及保护输入端和输出端之一的 ESD 保护元件, 其中作为有源元件并且形成在半导体薄膜的第一 N 沟道 MOS 晶体管的栅极具有 N 型导电性, 第一 P 沟道 MOS 晶体管栅极具有 P 型导电性, 以及作为 ESD 保护元件的第二 N 沟道 MOS 晶体管的栅极具有 P 型导电性。

(2) 在半导体集成电路器件中, 作为 ESD 保护元件的第二 N 沟道 MOS 晶体管形成在通过移除部分 SOI 衬底的半导体薄膜和埋藏绝缘膜而暴露的半导

体薄膜上。

(3) 在半导体集成电路器件中, 作为 ESD 保护元件的第一 N 沟道 MOS 晶体管的 N 型栅极, 第一 P 沟道 MOS 晶体管的 P 型栅极, 以及第二 N 沟道 MOS 晶体管的栅极由第一多晶硅形成。

(4) 根据 (1) 或 (2) 的半导体集成电路器件中, 作为 ESD 保护元件的第一 N 沟道 MOS 晶体管的 N 型栅极, 第一 P 沟道 MOS 晶体管的 P 型栅极, 以及第二 N 沟道 MOS 晶体管的 P 型栅极具有作为第一多晶硅和高熔点金属硅化物叠层结构的多层 (polycide) 结构。

(5) 在半导体集成电路器件中, 电阻器由第二多晶硅形成, 该第二多晶硅的厚度不同于形成作为有源元件的第一 N 沟道 MOS 晶体管以及第一 P 型 MOS 晶体管以及作为 ESD 保护元件的第二 N 沟道 MOS 晶体管的栅极的第一多晶硅。

(6) 在半导体集成电路器件中, 电阻器由用于半导体薄膜的单晶硅形成。

(7) 在半导体集成电路器件中, 电阻器是由 Ni-Cr 合金、或硅化铬、硅化钼、或 β 硅化铁 (β -ferrite silicide) 组成的薄膜金属电阻器。

(8) 在半导体集成电路器件中, 形成 SOI 衬底的半导体薄膜具有 $0.05\ \mu\text{m}$ 到 $0.2\ \mu\text{m}$ 的厚度。

(9) 在半导体集成电路器件中, 形成 SOI 衬底的绝缘膜具有 $0.1\ \mu\text{m}$ 到 $0.5\ \mu\text{m}$ 的厚度。

(10) 在半导体集成电路器件中, 形成 SOI 衬底的绝缘膜由包括玻璃、蓝宝石或包含氧化硅或氮化硅的陶瓷形成。

如上所述, 在半导体集成电路器件中, 作为形成在半导体薄膜上的内部元件的 NMOS 晶体管的栅极电极具有 N 型导电性, 同时作为形成在半导体支持衬底上的 ESD 输入/输出保护元件的保护 NMOS 晶体管的栅极电极具有 P 型导电性, 可能减小漏电流并且缩短保护 NMOS 晶体管的栅极长度。确保由于在支撑衬底上构造的高 ESD 击穿强度, 保护 NMOS 晶体管吸收 ESD 噪音以保护在半导体薄膜上内部元件的输入/输出端。其减弱 ESD 噪音。更具体地, 以保护输出端。更具体地, 保护效应可以大量地施加在功率控制半导体集成电路器件中或其中电输入/输出特性是重要的模拟半导体集成电路器件。

附图说明

在附图中：

图 1 是根据本发明一个实施例示出半导体集成电路器件的截面图。

图 2A 到 2C 是示出用于内部元件保护电路的电路图。

图 3 是示出根据本发明另一个实施例的半导体集成电路器件的截面图。

图 4 是示出根据本发明另一个实施例的半导体集成电路器件的截面图。

图 5 是示出根据本发明另一个实施例的半导体集成电路器件的截面图。

图 6 示出是根据本发明另一个实施例的半导体集成电路器件的截面图。

图 7 是示出根据本发明另一个实施例的半导体集成电路器件的截面图。

图 8 是示出常规半导体集成电路器件的截面图；以及

图 9 是示出常规半导体集成电路器件的截面图。

具体实施方式

以下，将结合附图描述本发明的实施例。图 1 是示出根据本发明一个实施例的半导体集成电路器件的截面图。绝缘层上的硅（SOI）衬底由，例如，单晶形成的 P 型导电性的半导体支撑衬底 101，掩埋绝缘膜 103，以及由单晶形成并用于形成元件的 P 型导电性半导体薄膜 102 组成。在 P 型半导体薄膜 102 上形成的是由第一 N 沟道 MOS 晶体管（这里缩写为“NMOS”）113 和第一 P 沟道 MOS 晶体管（这里缩写为“PMOS”）112 组成的用作内部元件 10 的 CMOS 反相器，以及由多晶硅组成作为电阻器元件 30 的 P 电阻器 114。然而，内部元件 10 不局限为 CMOS 反相器，而可以设定为仲裁(arbitral)。

进一步形成在半导体支撑衬底 101 上的是由作为保护元件 111 的第二 NMOS 晶体管元件组成的 ESD 保护晶体管(这里称作“保护 NOMS 晶体管”)，从而完成半导体集成电路器件。

薄膜 SOI 器件，特别是完全耗尽（FD）SOI 器件，其对于低电压操作或低功率消耗是理想的，采用用于 CMOS 结构的所谓同极栅极结构。同极栅极结构由 N+多晶硅 109 形成 NMOS 晶体管 113 的栅极电极，以及 P+多晶硅形成 PMOS 晶体管 112 的栅极电极。在之后示出的图 1 的 CMOS 反相器具有相似的结构。这里，通过例子的方法在 FD 结构的 SOI 器件上作描述。形成晶体管栅极的多晶硅定义为第一多晶硅。

首先，例如，NMOS 晶体管 113 由作为源/漏区并且形成在 P 型半导体薄膜 102 中的 N+杂质扩散层 105 组成，以及由 N+多晶硅 109 形成的栅极电极形成

在作为氧化硅膜的栅极绝缘膜 107 上。PMOS 晶体管 112 由作为在形成在 P 型半导体薄膜中的 N 型阱中形成的源/漏区的 P+杂质扩散层 106, 以及由在例如, 氧化硅物形成的栅极绝缘膜 107 上形成的 P+多晶硅 110 形成的栅极电极组成。NMOS 晶体管 113 和 PMOS 晶体管 112 被通过, 例如硅局部氧化 (LOCOS 方法) 形成的场绝缘膜 108, 以及掩埋绝缘膜 103 彼此完全隔离。

另外, 高电阻的 P 电阻器组成的电阻器元件 30 形成在场绝缘膜上, 例如, 其用于分压的分频电路, 该分频电路作为用于设置时间常数的模拟电路或 CR 电路。在该实施例中, P 电阻器由多晶硅组成。

接着, 形成的保护元件 20 的保护 NMOS 晶体管 111 是由作为形成在暴露半导体支撑衬底上的源/漏区的 N+杂质扩散层 105 组成, 其中部分移除半导体薄膜 102 和掩埋绝缘膜 103 以暴露半导体支撑衬底 101, 以及栅极电极由多晶硅 (P+多晶硅 110) 形成, 其导电性与在配置在由例如氧化膜组成的栅极绝缘膜 107 上的内部元件的 NMOS 晶体管 113 的导电性相反。

在图 8 的常规结构中, 内部元件的保护 NMOS 晶体管 211 和 NMOS 晶体管 213 具有相同的栅极结构, 因为栅极电极由 N+多晶硅 209 形成。结果, 保护 NMOS 晶体管 211 的阈值电压实质上与作为 FD SOI 器件内部元件的 NMOS 晶体管 213 相同, 例如, 大约 0 到 0.3V。因此, 为了减小在 ESD 保护元件中的漏电流不与有源元件作用, 通过离子注入将杂质掺杂到沟道区中以增加衬底的杂质浓度, 以设置保护 NMOS 晶体管 211 的阈值电压到 1V 或更高。

相反, 在图 1 的实施例中, P+多晶硅 110 用作保护 NMOS 晶体管 111 的栅极电极, 由于栅极和半导体薄膜之间的工作函数的不同, 由此甚至在没有沟道掺杂的情况下, 阈值电压容易设置到 1V 或更高。。因为通过增加的沟道掺杂可以进一步增加阈值电压, 所以可以在不增加漏电流的情况下减小保护 NMOS 晶体管 111 的栅极长度, 以及在到达由 FD 结构的 SOI 器件组成的内部元件之前通过穿通首先耗散 ESD 噪音。

注意到形成 P-型栅极电极的 P+多晶硅 110 包含受主杂质例如浓度在 1×10^{18} 原子/cm³ 或更高的硼或 BF₂。形成 N 型栅极电极的 N+多晶硅 109 包含施主杂质例如浓度在 1×10^{18} 原子/cm³ 或更高的磷或砷。

作为内部元件 10 的 NMOS 晶体管 113 和保护元件 20 的保护 NMOS 晶体管 111 的源/漏区的 N+杂质扩散层 105 包含在浓度为 1×10^{19} 原子/cm³ 或更高的

磷或砷。同时, NMOS 晶体管 113 和保护 NMOS 晶体管 111 的 N+杂质扩散层 105 都由磷或砷形成。换句话说, NMOS 晶体管 113 的 N+扩散层 105 可以由砷形成, 同时保护 NMOS 晶体管 111 的 N+杂质扩散层 105 可以由磷, 反之亦然。

作为 PMOS 晶体管 112 的源/漏区的 P+杂质扩散层 106 是由 1×10^{19} 原子/cm³ 或更高浓度的硼或 BF₂ 形成。

半导体薄膜 102 和 SOI 衬底的掩埋绝缘膜 103 的厚度根据其操作电压确定。掩埋绝缘膜 103 主要由厚度为 0.1 μm 到 0.5 μm 的氧化硅膜形成。注意到掩埋绝缘膜由玻璃、蓝宝石、氮化硅膜或类似物形成。半导体薄膜 102 的厚度根据作为薄膜 SOI 器件的完全耗散 (FD) SOI 器件的功能和性能决定, 并且设定为 0.05 μm 到 0.2 μm。

进一步, 在图 1 的实施例中, 在模拟电路中使用的电阻器元件 30 的 P⁺电阻器 114 由厚度比栅极电极更薄的第二多晶硅形成, 形成栅极电极不同于使用多晶硅 109 和多晶硅 110 形成 CMOS 反相器栅极电极的步骤。例如, 栅极电极的厚度设置为大约 2000 到 6000 Å, 同时 P⁺电阻器 114 的厚度设置成 500 到 2500 Å。这是因为更小厚度的多晶硅形成的电阻器能实现更高的薄层电阻和更好的温度特性以用于更高精确度。虽然依靠电阻器使用变化, 在常规电压分压器电路中薄层电阻设置为几 kΩ/□到几十 kΩ/□。同时, 作为杂质掺杂的硼或 BF₂ 的浓度大约在 1×10^{14} 原子/cm³ 到 9×10^{18} 原子/cm³。图 1 示出 P⁺电阻 114, 但是考虑到这些电阻器特性和用于半导体产品需要的特性可以使用低电阻的 P⁺电阻器或相反杂质极性的 N-型电阻器。注意到通过在输入端 301 或输出端 302 之间设置电阻器元件 30 和图 2A 到 2C 的内部元件 10 可以增强 ESD 强度。

图 3 是示出根据本发明另一个实施例的半导体集成电路器件的截面图。在图 1 所示的本发明的实施例中, 栅极电极由多晶硅的单层形成。在这种情况下更具体地, 通过 P⁺多晶硅 110 的单层实现的薄层电阻大约为 100 Ω/□, 其阻止了对于在需要高频高速下操作的半导体器件的应用。为了避免该缺点, 设计了图 3 的结构, 其中栅极电极具有所谓的多层结构, 在多层结构中高熔点的金属硅化物 116 例如硅化钨、硅化钼、硅化钛或硅化铂沉积在 N⁺多晶硅 109 和 P⁺多晶硅 110 上以减小栅极电阻。在厚度在 500 Å 到 2500 Å 范围的条件下, 标准的薄层电阻是几 Ω/□到十 Ω/□, 虽然它依靠高熔点金属硅化物的膜厚度和类型变化。

然而,如图9中所示,在多层栅极结构的常规半导体器件中,NMOS晶体管213和保护NMOS晶体管211具有相同的栅极结构,其中栅极电极由N+多晶硅209形成。根据图3所示的本发明,因为NMOS晶体管113具有N+型栅极电极,同时保护NMOS晶体管仅有P+型栅极电极,可以减小保护NMOS晶体管111的栅极长度。因此,在不击穿内部元件的情况下,同时耗散ESD噪音。

另外,MOS晶体管本身的操作依靠半导体薄膜以及N+多晶硅109和P+多晶硅110之间的工作功能的不同,从而改善半导体器件的性能,从而降低栅极电极电阻。

参考图4到7,根据图1到3所示的本发明的实施例描述了半导体集成电路器件的另一个结构。图4是如图1所示的本发明的半导体集成电路器件的另一个结构的截面图。

图4所示的结构也包括作为内部元件的CMOS反相器11,保护元件20由P+栅极保护NMOS晶体管111组成,以对准ESD保护用于内部元件的输入/输出端,以及电阻器元件30用在本发明基本元件的模拟电路中,但是不同于图1电阻器元件30,例如,P电阻器114由半导体薄膜的单晶硅形成,不是多晶硅。

因为通过分压器电压分压器(bleeder voltage divider)电路的高精确分压在模拟电路中是需要的,在电阻率中需要用于分压器电阻的高精度。例如,利用电压传感器(这里,称为“VD”)等,电阻电路占用了与整个芯片区相关的非常大的面积。因此,如果可以高精度地减小电阻元件的面积,芯片面积因此减小,从而降低成本。

当使用SOI衬底的半导体薄膜作为单晶硅形成电阻器时,在电阻器中不存在晶粒边界的,因此电阻器根据晶粒边界的电阻变化是完全自由的,以及可能同时增加电阻器的电阻和减小电阻器的面积。因此,这样的电阻器有效地工作。注意到根据图4所示的本发明实施例的半导体集成电路器件具有相同的功能和如图1的半导体集成电路器件的效应。

图5是图3所示的本发明的半导体集成电路器件的另一结构的截面图。这个结构与图4的电阻器元件30相似,例如,P电阻器114由半导体薄膜的单晶硅而不是多晶硅形成。如图5所示的半导体集成电路器件具有与图3的半导体集成电路相同的功能和效应,以及与图4所示的单晶硅形成的电阻器相同的优点。

图6是如图1所示的本发明半导体集成电路器件的另一个结构的截面图。

图6示出的结构包括作为内部元件的CMOS反相器11,由对准用于内部元件输入/输出端的ESD保护的P+栅极保护NMOS晶体管111构成的保护元件20,以及在本发明的基本元件的模拟电路中使用电阻器元件30,但是不同于图1中的是,使用薄膜金属电阻器118作为电阻器元件30,而不是多晶硅。

在图6的所示的实施例中,硅化铬119用作薄膜金属电阻器118,但是可以用Ni-Cr合金,或金属硅化物例如硅化钼或 β 硅化铁。硅化铬在金属硅化物中的电阻高,因此如果沉积膜到大约100 Å到300 Å,能作为电阻器使用。薄膜金属电阻器118用多晶硅替代,从而减小电压分压电路的电阻率和电阻值变化以及温度系数。注意到根据在图6所示的本发明实施例的半导体集成电路具有与图1的半导体集成电路相同的功能和效应。

图7是根据图3所示的本发明的半导体集成电路器件的另一个结构的截面图。该结构与图6相似,在于使用薄膜金属电阻器118作为电阻器元件30而代替了多晶硅。注意到图6所示的半导体集成电路器件具有与图3的半导体集成电路相同的功能和效应,以及与图5所示薄膜金属形成的电阻器相同的优点。

通过使用由P型半导体支撑衬底和P型半导体薄膜组成的SOI衬底的实施例描述了本发明的实施例。但是,可以使用由N型半导体支撑衬底和N型半导体薄膜组成的SOI衬底。这时,有可能设置用于ESD保护的耐压比用于薄膜SOI器件的内部元件的耐压低,同时确保高ESD击穿强度,以及耗散首先来自用于保护NMOS晶体管的上述原理或例子中的内部元件的噪音,该NMOS晶体管包括N型衬底、P型阱,和形成在N型半导体支撑衬底上的P+栅极。

另外,SOI衬底的例子包括通过键合半导体薄膜形成元件制造键合SOI衬底,以及通过注入氧离子到半导体衬底中制造SIMOX衬底,接着通过热处理形成掩埋氧化膜,两者都用在本发明中。进一步,在使用键合SOI衬底的情况下,半导体薄膜和半导体衬底在导电性上是不同的。

本发明可以用于改善包括电阻器电路的完全耗尽SOI CMOS半导体器件的静电(ESD)击穿特性。更具体地,本发明可以用于改善功率控制半导体集成电路器件和模拟半导体集成电路器件的静电(ESD)特性。该功率控制半导体集成电路器件例如是电压传感器(VD)、电压调节器(这里称作“VR”)、开关调节器(这里称作“SWR”)、或开关电容,以及模拟半导体集成电路器件例如运算放大器或比较器。

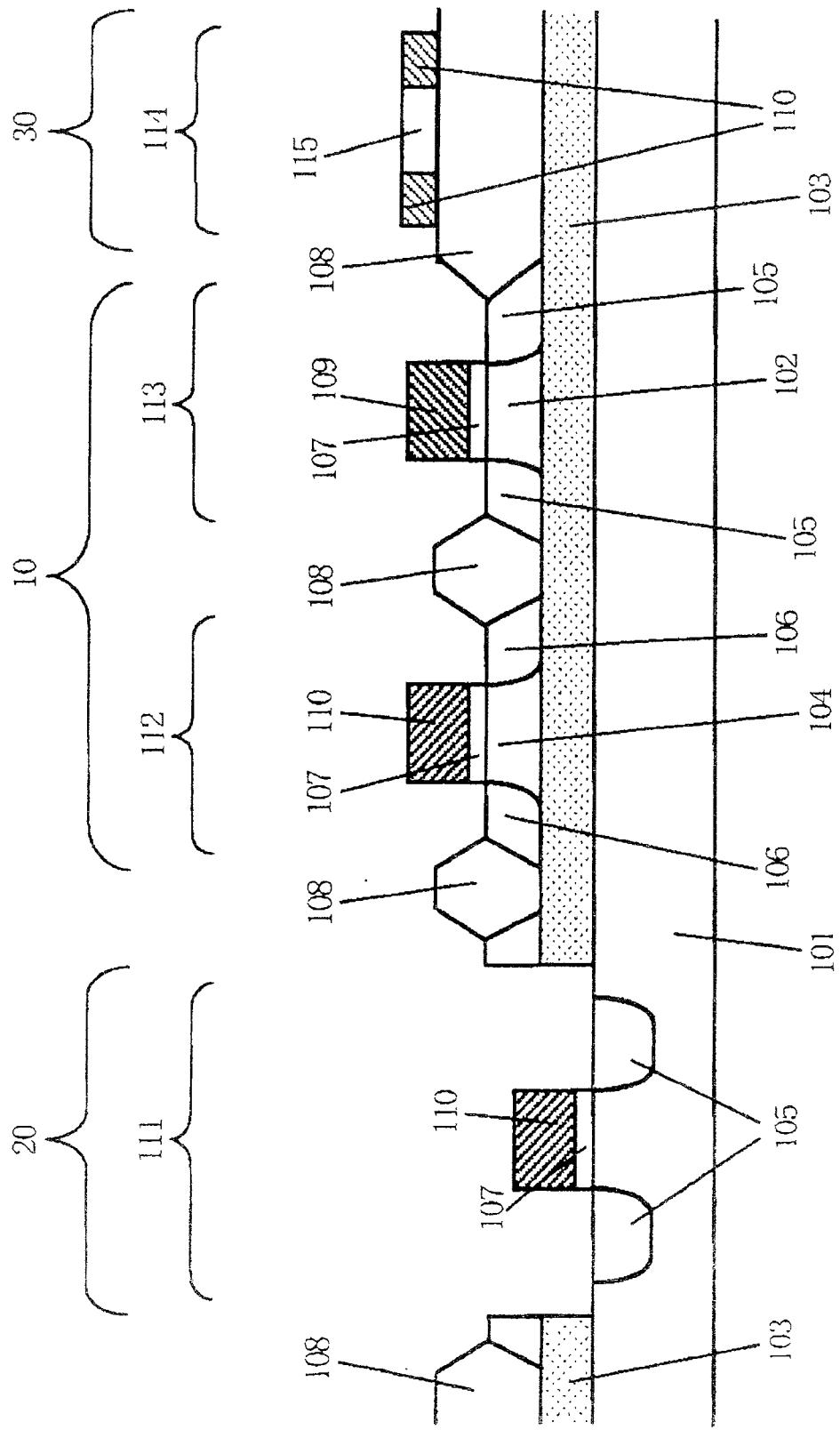


图 1

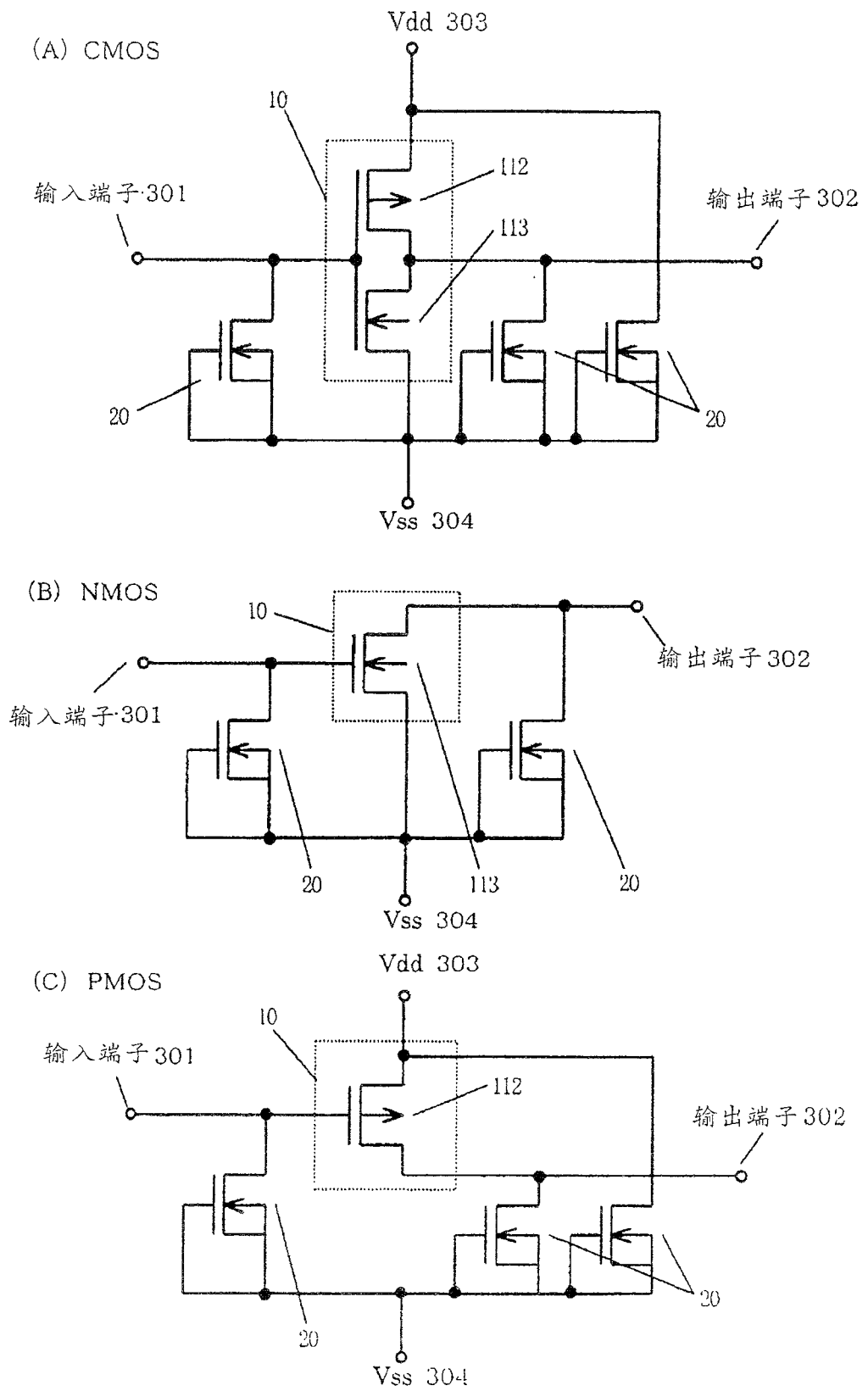
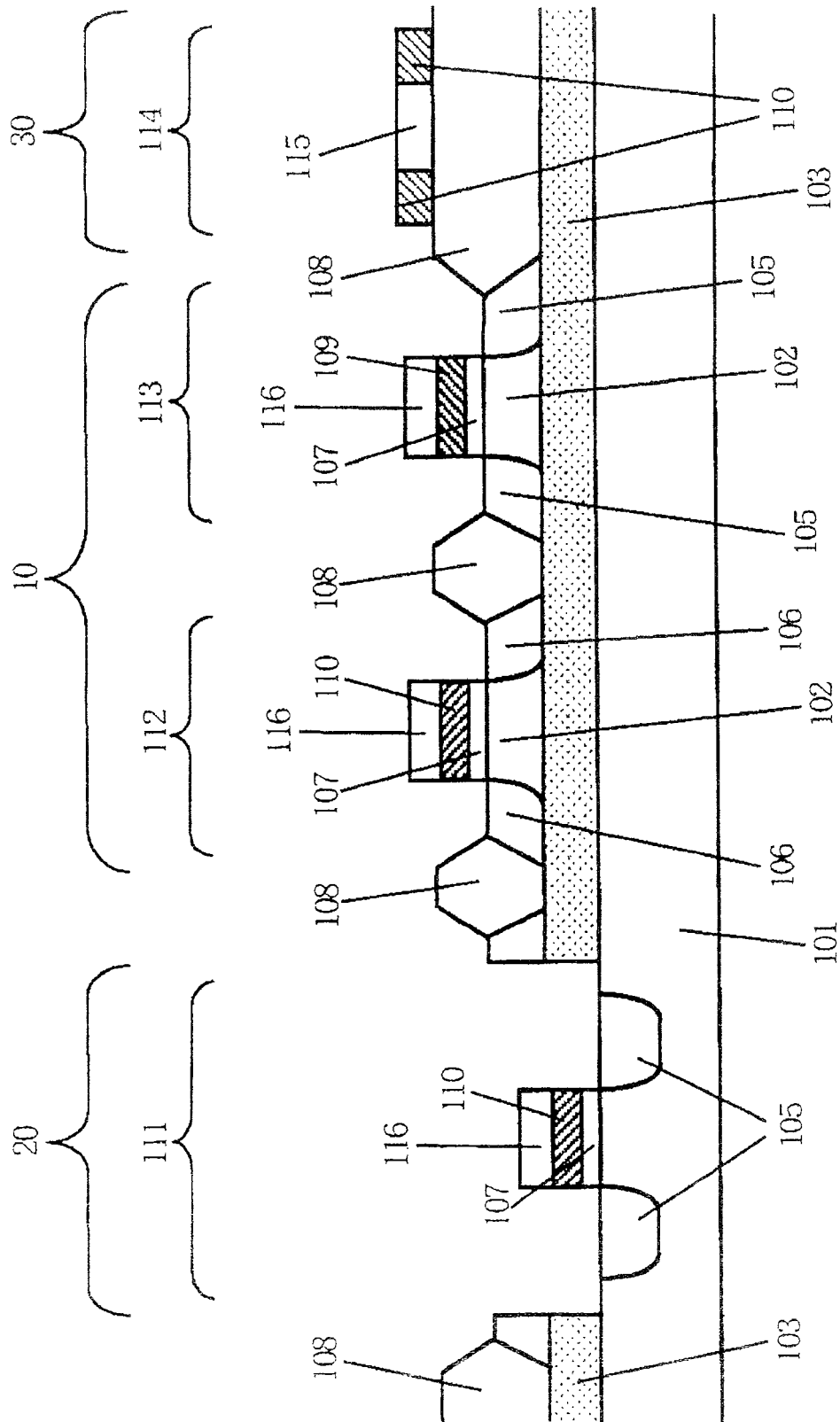
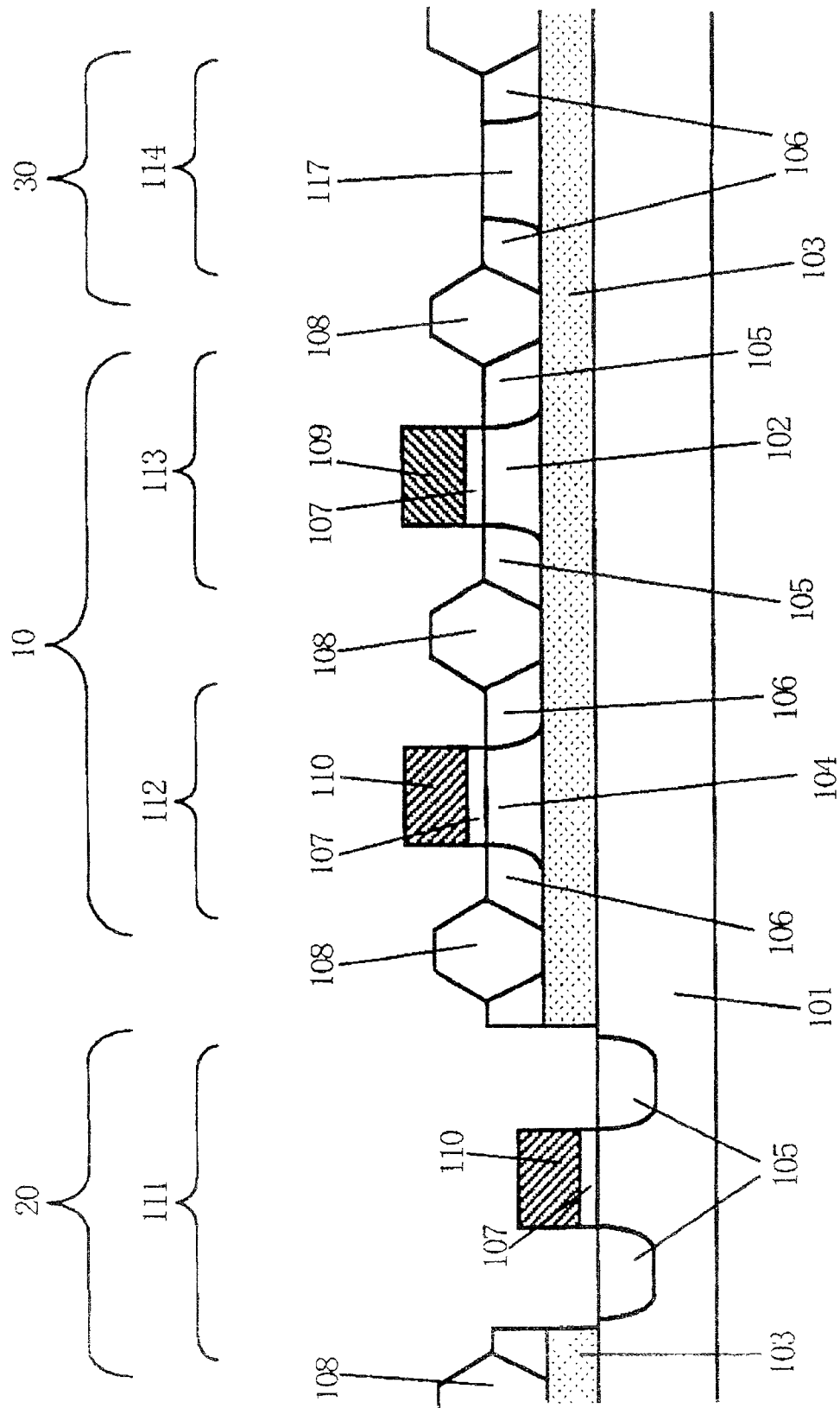


图 2



三



四

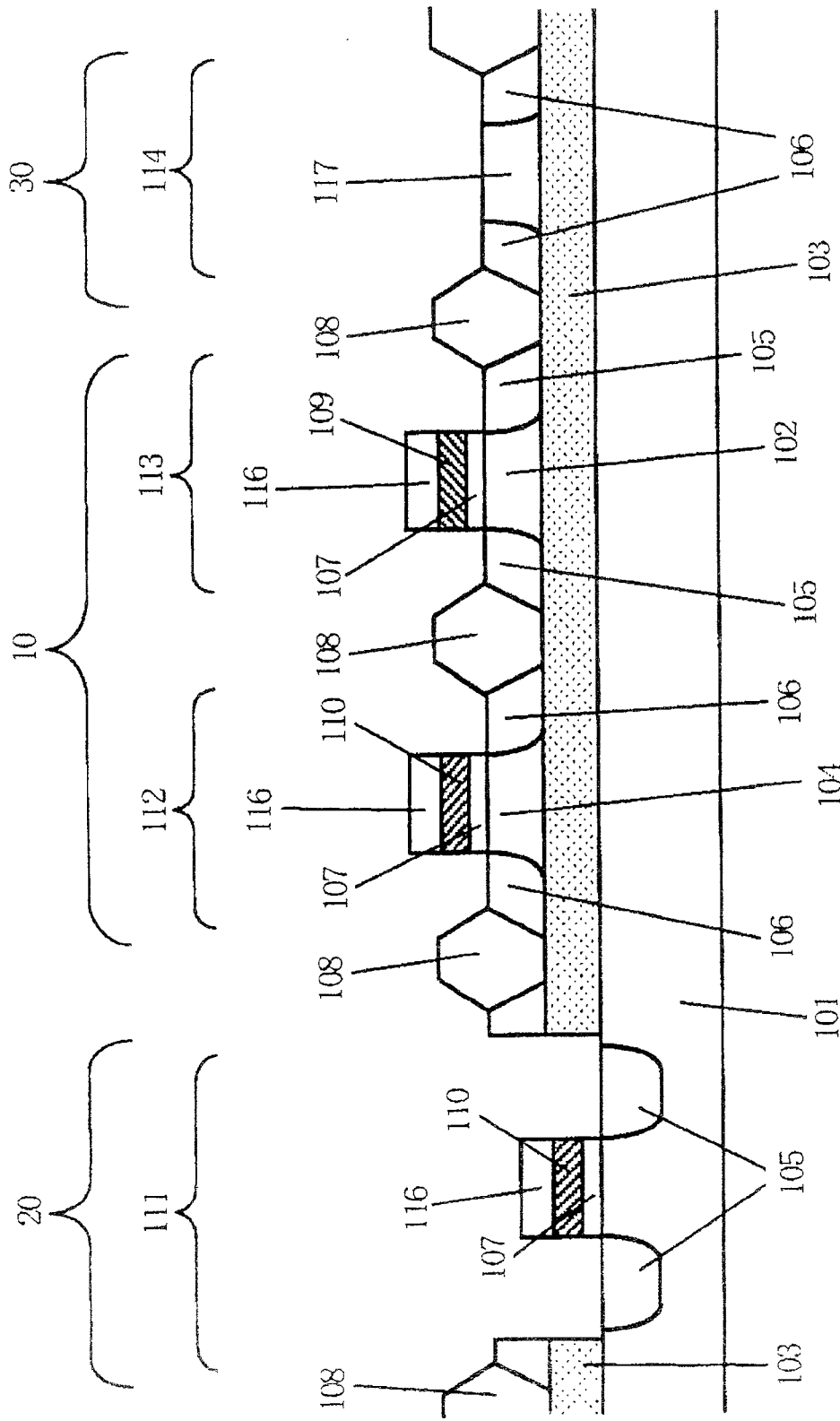


图 5

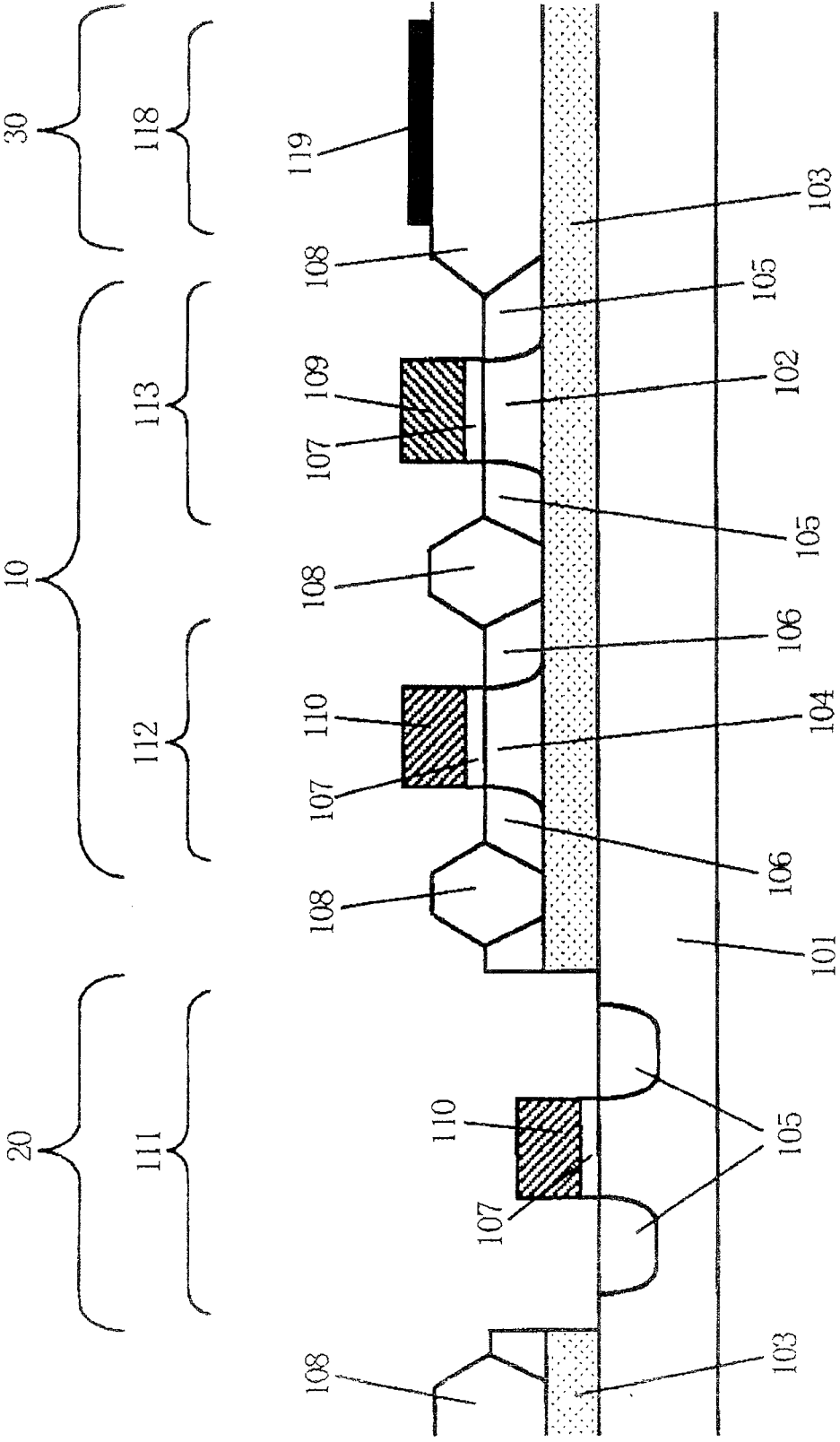


图 6

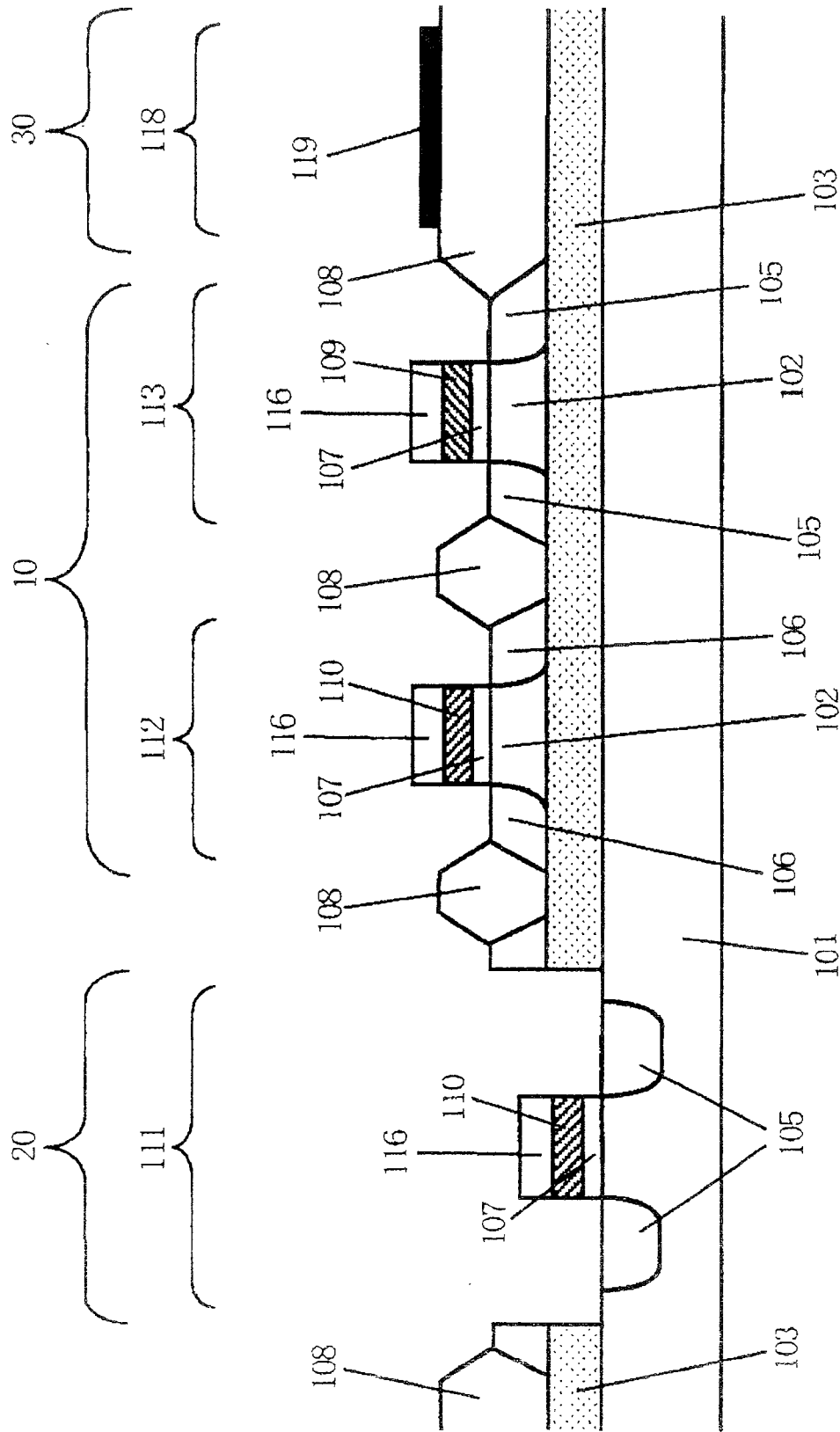
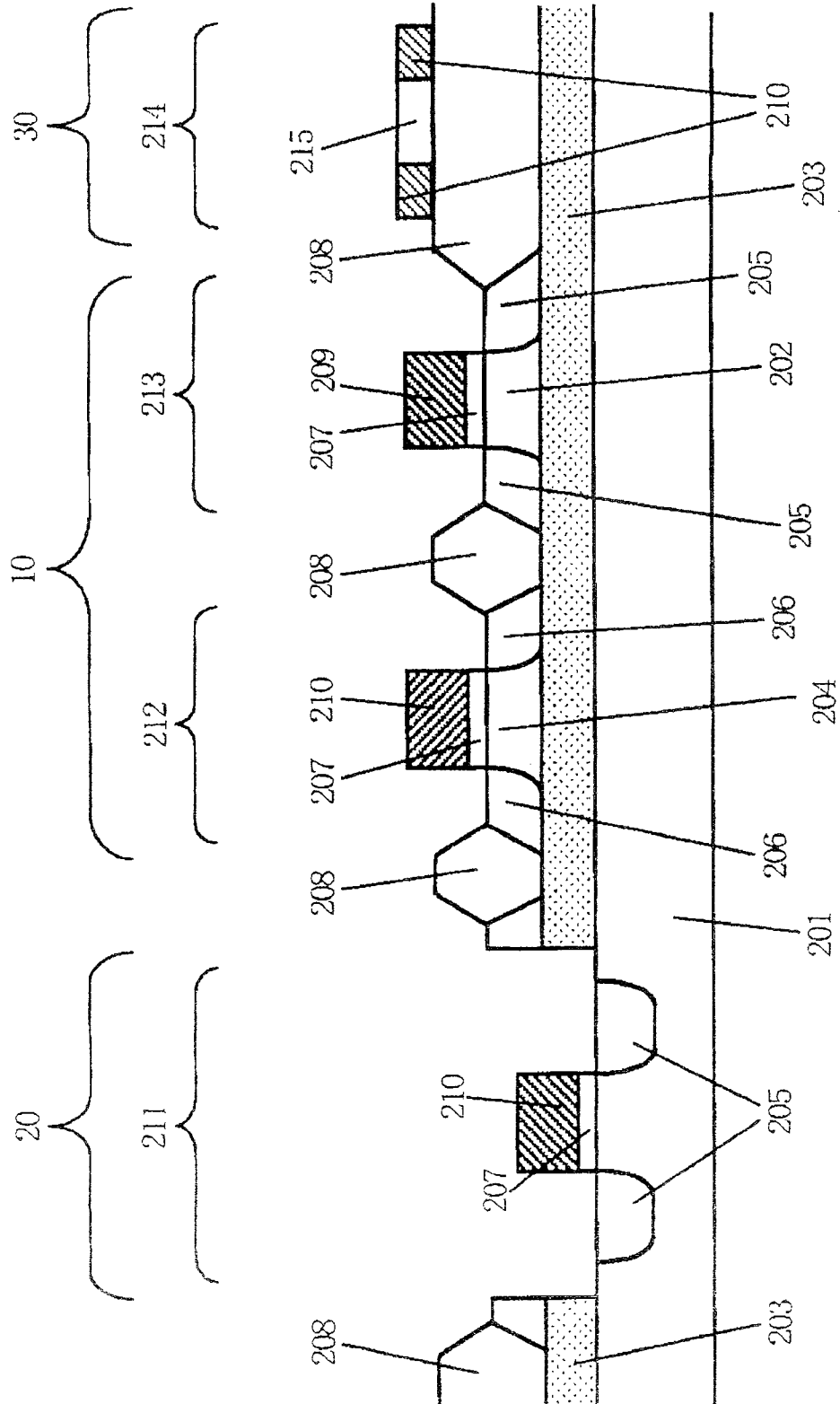
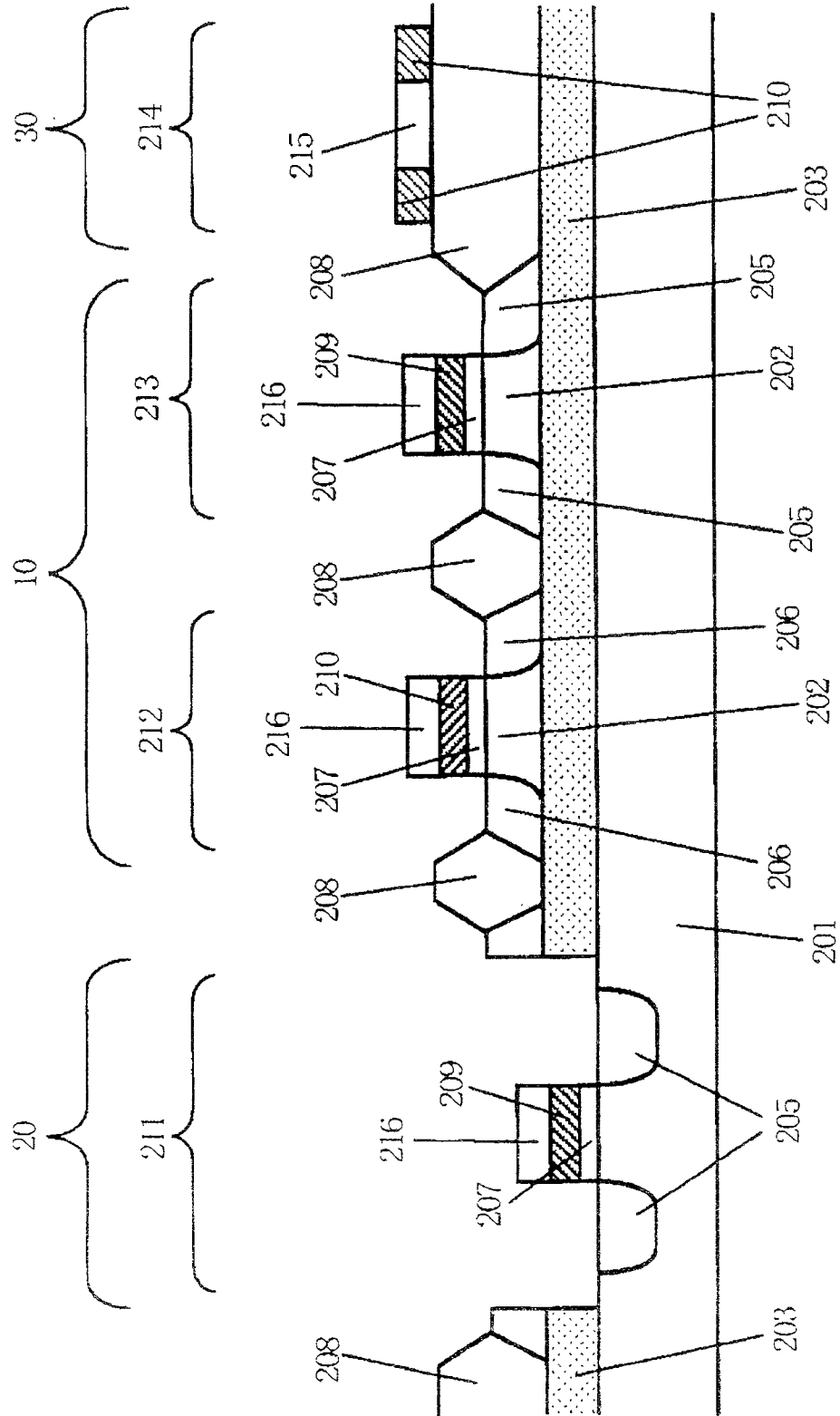


图 7



8
[X]



9
[A]