

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-539404

(P2005-539404A)

(43) 公表日 平成17年12月22日(2005.12.22)

(51) Int.Cl.⁷

H01L 27/10

G11C 13/00

H01L 21/3205

H01L 29/06

F I

H01L 27/10

G11C 13/00

H01L 29/06

H01L 21/88

451

Z

601N

M

テーマコード (参考)

5F033

5F083

審査請求 未請求 予備審査請求 未請求 (全 34 頁)

(21) 出願番号 特願2005-501049 (P2005-501049)
 (86) (22) 出願日 平成15年7月24日 (2003.7.24)
 (85) 翻訳文提出日 平成17年3月23日 (2005.3.23)
 (86) 国際出願番号 PCT/US2003/023199
 (87) 国際公開番号 W02004/034467
 (87) 国際公開日 平成16年4月22日 (2004.4.22)
 (31) 優先権主張番号 60/398, 943
 (32) 優先日 平成14年7月25日 (2002.7.25)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 60/400, 394
 (32) 優先日 平成14年8月1日 (2002.8.1)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 60/415, 176
 (32) 優先日 平成14年9月30日 (2002.9.30)
 (33) 優先権主張国 米国 (US)

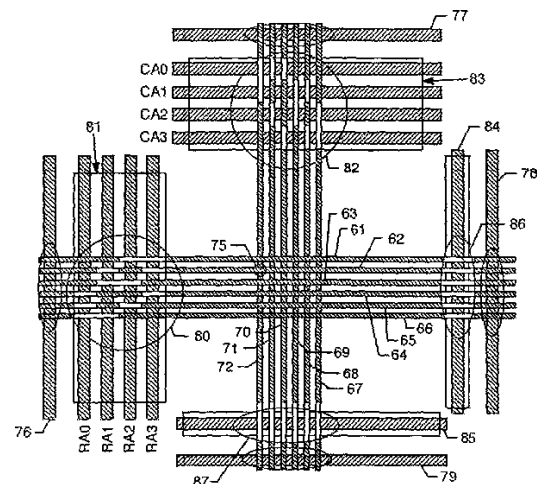
(71) 出願人 505028406
 カリフォルニア インスティテュート オ
 ヴ テクノロジー
 アメリカ合衆国 カリフォルニア州 91
 125 パサディナ イースト・カリフォ
 ルニア・ブールヴァード 1200 エム
 /シー 201-85
 (71) 出願人 505028576
 プレジデント アンド フェロウズ オヴ
 ハーヴァード カレッジ
 アメリカ合衆国 マサチューセッツ州 O
 2138 ケンブリッジ クインシー・ス
 トリート 17

最終頁に続く

(54) 【発明の名称】 サブパターン転写ナノスケールメモリ構造

(57) 【要約】

ナノスケール配線を有するメモリ配列について示した。
 ナノスケール配線は、ナノスケール配線の軸方向および
 /または半径方向に沿って分布する制御可能領域によっ
 てアドレス指定される。1次元のメモリ配列の場合、メ
 モリ位置は、ナノスケール配線とミクロスケール配線の
 交差部によって定められる。2次元のメモリ配列の場合
 、メモリ位置は、直交するナノスケール配線同士の交差
 部によって定められる。3次元のメモリ配列の場合、メ
 モリ位置は、異なる垂直層に設置されたナノスケール配
 線同士の交差部によって定められる。



【特許請求の範囲】

【請求項 1】

第 1 のナノスケール配線組と、
該第 1 のナノスケール配線組と交差する第 2 のナノスケール配線組であって、前記第 1 の組と第 2 の組の間の交差部がメモリ配置を定める、第 2 のナノスケール配線組と、
を有するメモリ配列において、
当該メモリ配置は、前記第 1 のナノスケール配線組のうちいずれか一方のナノスケール配線と、前記第 2 のナノスケール配線組のうちいずれか一方のナノスケール配線とを選択することによりアドレス指定され、前記第 1 のナノスケール配線組および前記第 2 のナノスケール配線組は、ナノスケール配線の軸方向に沿って分布する制御可能領域を持ち、第 1 の制御可能領域組は第 1 の物理的特性を示し、第 2 の制御可能領域組は前記第 1 の制御可能領域組とは異なる第 2 の物理的特性を示し、さらに
第 1 の複数のアドレス配線であって、該第 1 の複数のアドレス配線の各々は、前記第 1 のナノスケール配線組の一連の領域に接続された、第 1 の複数のアドレス配線と、
第 2 の複数のアドレス配線であって、前記第 2 の複数のアドレス配線の各々は、前記第 2 のナノスケール配線組の一連の領域に接続された、第 2 の複数のアドレス配線と、
を有するメモリ配列。

【請求項 2】

第 1 の組の各領域が第 1 の閾値よりも小さな値の信号で制御された場合、または信号で制御されない場合には、前記第 1 の制御可能領域組において、ナノスケール配線に沿った電気伝導が可能となることを特徴とする請求項 1 に記載のメモリ配列。

【請求項 3】

第 1 の組の各領域が第 1 の閾値よりも大きな値の信号で制御された場合、前記第 1 の制御可能領域組において、ナノスケール配線に沿った電気伝導が可能となることを特徴とする請求項 1 に記載のメモリ配列。

【請求項 4】

第 1 の物理的特性と第 2 の物理的特性間の差異は、前記制御可能領域のドーピング量の差に起因することを特徴とする請求項 1 に記載のメモリ配列。

【請求項 5】

第 1 の物理的特性と第 2 の物理的特性間の差異は、制御可能領域の材質の差に起因することを特徴とする請求項 1 に記載のメモリ配列。

【請求項 6】

アドレス配線は、メモリを複数の状態のいずれかに設定することが可能な、請求項 1 に記載のメモリ配列。

【請求項 7】

アドレス配線は、メモリを読み出し状態にすることが可能な、請求項 1 に記載のメモリ配列。

【請求項 8】

メモリが読み出し状態のときにメモリ位置がアドレス指定されることを特徴とする請求項 1 に記載のメモリ配列。

【請求項 9】

メモリが記録状態のときにメモリ位置がアドレス指定されることを特徴とする請求項 1 に記載のメモリ配列。

【請求項 10】

さらに、オーム接続として作用するミクロスケール配線を有することを特徴とする請求項 1 に記載のメモリ配列。

【請求項 11】

さらに、ナノスケール配線に信号を伝送しないミクロスケール配線を有することを特徴とする請求項 1 に記載のメモリ配列。

【請求項 12】

10

20

30

40

50

ミクロスケール配線は、F E Tの制御可能領域を制御することを特徴とする請求項 1 に記載のメモリ配列。

【請求項 1 3】

メモリ位置は、第 1 の組および第 2 の組の間のプログラム化ダイオード式交差部によって定められることを特徴とする請求項 1 に記載のメモリ配列。

【請求項 1 4】

メモリ位置は、第 1 の組および第 2 の組の間の F E T 式交差部によって定められることを特徴とする請求項 1 に記載のメモリ配列。

【請求項 1 5】

ナノスケール配線の第 1 の組および第 2 の組のうち、いずれかの組のナノスケール配線は、ナノスケール配線の半径方向に沿って分布する制御可能ドープ領域を有し、該半径方向に分布する制御可能ドープ領域は、メモリ位置で情報を記憶させることが可能な、請求項 1 に記載のメモリ配列。 10

【請求項 1 6】

第 1 および第 2 の組は、異なる材料で構成されることを特徴とする請求項 1 に記載のメモリ配列。

【請求項 1 7】

アドレス配線はミクロスケール配線であることを特徴とする請求項 1 に記載のメモリ配列。

【請求項 1 8】

アドレス配線はナノスケール配線であることを特徴とする請求項 1 に記載のメモリ配列。 20

【請求項 1 9】

ナノスケール配線の第 1 の組は、より大きなナノスケール配線組の一部であり、前記第 1 の組は、オーム接続として作用するミクロスケール配線によって前記より大きな組から選択されることを特徴とする請求項 1 に記載のメモリ配列。

【請求項 2 0】

ナノスケール配線の第 1 の組および第 2 の組は、より大きなナノスケール配線組の一部であり、前記第 1 および第 2 の組は、オーム接続として作用するミクロスケール配線によって前記より大きな組から選択されることを特徴とする請求項 1 に記載のメモリ配列。 30

【請求項 2 1】

複数のナノスケール配線の中から一つのナノスケール配線を選択する回路において、ミクロスケールオーム接続であって、各オーム接続は複数のナノスケール配線の異なるサブ集合に接続され複数のナノスケール配線の中の特定のサブ集合を選択する、ミクロスケールオーム接続と、

複数のナノスケール配線の異なるサブ集合に接続され、一旦特定のサブ集合が選択された場合、ナノスケール配線の特定のサブ集合の中からナノスケール配線を選択するアドレス配線と、

を有する回路。

【請求項 2 2】

アドレス配線はミクロスケール配線であることを特徴とする請求項 2 1 に記載の回路。 40

【請求項 2 3】

アドレス配線はナノスケール配線であることを特徴とする請求項 2 1 に記載の回路。

【請求項 2 4】

ミクロスケールオーム接続は、ミクロスケールオーム接続同士間の間隔が、アドレス指定されないナノワイヤのサブパターン転写寸法間隔よりも小さくなるように設計されることを特徴とする請求項 2 1 に記載の回路。

【請求項 2 5】

ミクロスケールオーム接続は互いに千鳥状に設置されることを特徴とする請求項 2 1 または 2 4 に記載の回路。 50

【請求項 26】

複数のナノスケール配線と、

該ナノスケール配線と交差する第1のミクロスケール配線組であって、該第1のミクロスケール配線組とナノスケール配線との交差部は、複数のナノスケール配線の中から1または2以上のナノスケール配線をアドレス指定するアドレス指定位置を定める、第1のミクロスケール配線組と、

ナノスケール配線と交差する第2のミクロスケール配線組であって、該第2のミクロスケール配線組とナノスケール配線との交差部はメモリ位置を定める、第2のミクロスケール配線組と、

を有するメモリ配列。

10

【請求項 27】

メモリ位置は、1のナノスケール配線と、第2のミクロスケール配線の組のうち1のミクロスケール配線とを選定することにより選択されることを特徴とする請求項26に記載のメモリ配列。

【請求項 28】

ナノスケール配線は、ナノスケール配線の軸方向に沿って分布する制御可能領域を有し、第1の制御可能領域組は、第1の物理的特性を持ち、第2の制御可能領域組は、第1の物理的特性とは異なる第2の物理的特性を持つことを特徴とする請求項26に記載のメモリ配列。

【請求項 29】

第1の物理的特性と第2の物理的特性の間の差異は、前記制御可能領域のドーピング量の差に基づくことを特徴とする請求項26に記載のメモリ配列。

20

【請求項 30】

第1の物理的特性と第2の物理的特性の間の差異は、前記制御可能領域の材質の差に基づくことを特徴とする請求項28に記載のメモリ配列。

【請求項 31】

第1の制御可能領域組によって、第1の組の各領域が第1の閾値よりも小さな値の信号で制御された場合、あるいは信号で制御されない場合には、ナノスケール配線に沿った電気伝導が可能となることを特徴とする請求項28に記載のメモリ配列。

【請求項 32】

第1の制御可能領域組によって、第1の組の各領域が第1の閾値よりも大きな値の信号で制御された場合、ナノスケール配線に沿った電気伝導が可能となることを特徴とする請求項28に記載のメモリ配列。

30

【請求項 33】

メモリが読み出し状態のときにメモリ位置がアドレス指定されることを特徴とする請求項26に記載のメモリ配列。

【請求項 34】

メモリが記録状態のときにメモリ位置がアドレス指定されることを特徴とする請求項26に記載のメモリ配列。

【請求項 35】

さらに、ミクロスケールオーム接続を有し、各オーム接続は、複数のナノスケール配線のうち別個のサブ集合に接続され、複数のナノスケール配線の中から特定のサブ集合を選択することを特徴とする請求項26に記載のメモリ配列。

40

【請求項 36】

ミクロスケールオーム接続は、互いに千鳥状に設置されることを特徴とする請求項35に記載のメモリ配列。

【請求項 37】

複数のナノスケール配線層であって、ナノスケール配線の第1の層と、該第1の層と隣接するナノスケール配線の第2の層の交差部はメモリ位置を定める、複数のナノスケール配線層と、

50

ナノスケール配線の異なるナノスケール配線の層と接続された複数のミクロスケール接続部と、

を有する３次元メモリ配列において、

ナノスケール配線は、ナノスケール配線の軸方向に沿って分布する制御可能領域を有し、第１の制御可能領域組は第１の物理的特性を示し、第２の制御可能領域組は第１の物理的特性とは異なる第２の物理的特性を示すことを特徴とする３次元メモリ配列。

【請求項３８】

ナノスケール配線層は隣接する層の組が繰り返されるように設置され、隣接する層の組は、

メモリ位置を定めるナノスケール配線の第１の層と、

10

メモリ位置を定めるナノスケール配線の第２の層と、

ナノスケール配線を絶縁する層と

を有することを特徴とする請求項３７に記載の３次元メモリ配列。

【請求項３９】

異なる層上に配置され、ミクロスケール接続を共有するナノスケール配線は、互いに独立にアドレス指定されることを特徴とする請求項３７に記載の３次元メモリ配列。

【請求項４０】

ナノスケール配線群は独立してアドレス指定され、配列内のナノワイヤの大部分は、全ナノスケール配線群に含まれることを特徴とする請求項３７に記載の３次元メモリ配列。

【請求項４１】

20

ミクロスケール配線とナノスケール配線を有するロジック配置の製造プロセスであって、

ミクロスケール配線を提供するステップと、

該ミクロスケール配線のアドレス位置を定めるステップと、

ミクロスケール配線の上に整列された第１のナノスケール配線組を転写するステップと、

ミクロスケール配線および第１のナノスケール配線組の上に、該第１のナノスケール配線組と直交するように整列された第２のナノスケール配線組を転写するステップと、

で構成される製造プロセス。

【請求項４２】

30

ナノスケール配線の第１の組と第２の組の位置合わせは、ＬＢフロー技術によって行われることを特徴とする請求項４１に記載のプロセス。

【請求項４３】

さらに、ナノスケール配線の軸方向にドーピングを行うステップを有することを特徴とする請求項４１に記載のプロセス。

【請求項４４】

さらに、ナノスケール配線の半径方向にドーピングを行うステップを有することを特徴とする請求項４１に記載のプロセス。

【請求項４５】

さらに、ナノスケール配線の軸方向および半径方向にドーピングを行うステップを有することを特徴とする請求項４１に記載のプロセス。

40

【請求項４６】

さらに、ナノスケール配線から半径方向にドーピングされた部分をエッチング除去するステップを有することを特徴とする請求項４５に記載のプロセス。

【請求項４７】

さらに、ナノスケール配線内の遮断部をエッチング除去するステップを有することを特徴とする請求項４１に記載のプロセス。

【発明の詳細な説明】

【技術分野】

【０００１】

50

本発明は、電子回路のサブパターン転写加工の分野に関する。特に、サブパターン転写ナノスケールインターフェースの確率的組立体およびサブパターン転写ナノスケールメモリ構造のような、パターン転写配線およびナノスケール配線により、ナノスケール配線上の電気伝導を制御する方法および装置について開示する。

【背景技術】

【0002】

ナノスケールの交差部を形成する技術は既に知られている。図1には、従来技術による浮遊ナノチューブ導体1の概略的断面図を示す。複数の低炭素ナノチューブに結合されたまたは複数の支柱5によって分離されたシリコンナノスケール導線2、3、4が示されている。支柱は誘電体材料で構成され、例えば二酸化珪素である。この方法ではナノチューブ・ナノチューブ（またはナノチューブ・ナノスケール線）ジャンクション接合部が形成される。ジャンクション接合部は2状態のエネルギー障壁のいずれに対しても安定である。第1の状態では、チューブ1-2および1-4からわかるように、チューブは離れており、機械的な力が上部線1を支持し、下側の線2、4にまで落下することを抑制する。この距離では交差した導体間のトンネル電流は小さいため、導体間は極めて高抵抗（ギガオーム）となる。第2の状態ではチューブ1-3からわかるように、チューブは接触して、あるいはほぼ接触して、分子間力を介して保持される。この状態では、チューブ間の抵抗は小さい（100k）。チューブ間に電圧を印加すると、電圧がそれらを同じまたは反対の極性に帯電され、電荷の引力/斥力により、2安定状態間のジャンクション接合部のエネルギーギャップが交差し、接続プログラムが有効に設定またはリセットされるようになる。これらのジャンクション接合部は、接続状態がPNダイオード整流挙動を示すように調整することができる。分子電子PN接合は、例えばY、CuiおよびC. M. Lieberの「ブロックを構成するシリコンナノスケール線を用いて組み立てられた機能的ナノスケール電子デバイス」サイエンス、291巻、p851-853、2001年によって示されている。

【0003】

ナノスケール配線列の交点で非揮発性メモリビットに情報を記憶させる技術は、例えばC. P. Collier、E. W. Wong、M. Belohradsky、F. M. Raymo、J. F. Stoddard、P. J. Kuekes、R. S. Williams、J. R. Heathの「電子構造分子基論理ゲート」サイエンス、285巻、p391-394、1999年で知られる。個々の交差接合部に大電圧を印加することでビットは容易にプログラム化することができる。各交点の状態は、ジャンクション接合部を通る電流の流れを観測することにより読み取ることができる。「オン」にプログラム化されたジャンクション接合部は、低抵抗経路として作用し、「オフ」にプログラム化されたジャンクション接合部は、高抵抗経路として作用する。

【0004】

ドーパされたシリコンナノスケール配線を電界効果トランジスタ（FET）として作動させる方法は、従来技術として知られる。図2には従来技術による概略的な透視図を示す。シリコンナノスケール配線11を覆う酸化物10は、例えばカーボンナノチューブまたはシリコンナノスケール配線のような交差した導体12が直接電氣的に接触することを防止する。一方の線の電界は他方の線の「ゲート」として用いられ、担体のドーパされたシリコンナノスケール配線の局部的回避領域の電気伝導を防ぐ。FET抵抗はからGまで変化する。同時にカーボンナノチューブはFET挙動を示す。例えばYu Huang、Xiangfeng Duan、Yi Cui、Lincoln Lauhon、Kevin Kim、Charles M. Lieberの「ロジックゲートおよびブロックを構成する組み立てられたナノスケール配線からの計算」サイエンス、294巻、91313-1317、2001年、V. Derycke、R. Martel、J. Appenzeller、Ph. Avourisの「カーボンナノチューブ相互、および分子内ロジックゲート」ナノレター、9巻、p435-456、2001年、およびJ. Trans、Alwin R. M. Verschueren、Cees Dekk

10

20

30

40

50

erの「単一カーボンナノチューブに基づく室温トランジスタ」ネーチャー、393巻、p49-51、5月7日を参照のこと。

【0005】

ナノスケール配線の軸方向の次元に沿ったドーピングプロファイルまたは材料組成は制御することができ、これはMarks S. Gudiksen、Lincoln J. Lauhon、Jianfang Wang, David C. Smith、Charles M. Lieberの「ナノスケールフォトニクスおよびエレクトロニクスのナノワイヤ超格子構造」ネーチャー、415巻、p617-620、2002年2月、Yiyi Wu、Rong Fan、Peidong Yangの「単結晶Si/SiGe超格子ナノワイヤのブロックバイブロック成長」、ナノレター、2巻、2号、p83-86、2002年2月、およびM. T. Bjork、B. J. Ohlsson、T. Sass、A. I. Persson、C. Thelander、M. H. Magnusson、K. Depper、L. R. Wallenberg、L. Samuelsonの「起動電子の1次元障壁」ナノレター、2巻、2号p87-89、2002年2月に示されている。

10

【0006】

さらにナノスケール配線の規則配置（配線の平行配列、交差、直交構造）が知られている。横の配線は通常、スイッチの配列として定められ、スイッチの配列は平行配線の第1の組の各線を、第1の組と交差する第2組の平行線の各配線に接続する。通常、2組の配線は相互に垂直である。「オン」の位置ではスイッチは、水平配線を垂直配線に接続し、「オフ」の位置では、2配線は未接続のままである。その結果、スイッチ状態を記憶させることが可能となり、交点領域でスイッチが切り替えられる。すなわち切替え装置自体はその状態を維持する。従って本技術においては余分なコストを生じさせずに、横配線を十分に高密度に配置させることができる。これは欠陥に対する許容性が要求される場合、特に有益である。例えばKuekes、WilliamsおよびStanleyの米国特許第6,256,767号を参照のこと。

20

【0007】

さらにナノスケールと同等の緻密な（サブ転写技術の）配線間隔で非揮発性メモリを構成することができる。Kuekes、Williams、StanleyおよびHealthの米国特許第6,128,214号参照のこと。

30

【0008】

しかしながらこれらの交点のプログラム化または読み出しのため、個々のナノスケール配線に制御電圧を印加して、単一のナノスケール配線から選択的な読み出しを行う方法が求められている。これは、全ナノスケールメモリおよびロジック配列において臨界的な弱い連結でインターフェースを構成して、ミクロスケール配線からナノスケール配線に個別にアドレス指定を行うことで可能となる。

【0009】

不規則に塗布された金のナノ粒子を基本とするデコーダで、ミクロスケール-ナノスケールの隙間をブリッジする方法は、米国特許第6,256,767号に記載されている。金の粒子は、制御配線とアドレス線の交差点の全領域に塗布しなければならない。この従来技術の方法は、交差点の半分を覆うように塗布された粒子密度の分布精度に依存する。さらに本手法は各交差点の量子化接合の状態に強く依存する。一方、不規則に分布された金のナノ粒子は、中間的な状態となり接続配線の発見を難しくする。結果的に、従来技術の手法では、製作段階でのリスクがある。

40

【0010】

従ってナノスケール配線を個々にアドレス指定する方法より優れた方法が必要となる。本発明は単一のナノスケール配線を個々に制御することのできる装置および方法を提供する。制御はミクロスケールおよびナノスケールの両レベルで行われる。従って個々の交点をプログラム化し、アドレス指定することができる。

【0011】

50

本発明においては、ミクロンスケール（またはミクロスケール）という用語は、約 0.1 μm から約 2 μm の寸法を表す。ナノメートルスケール（またはナノスケール）という用語は、約 0.1 nm から約 50 nm (0.05 μm) の寸法を表すが、好ましい範囲は 0.5 nm から 5 nm である。

【特許文献 1】米国特許第 6,128,214 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明は、ナノスケール配線上の電気伝導を制御する方法および装置を提供することを課題とする。

10

【課題を解決するための手段】

【0013】

ミクロスケールまたはナノスケールの制御配線は、多数のナノスケール配線のうちのいずれかを選択的に活性化するように用いられる。別個のナノスケール配線のアドレス指定は、別々にコード化されたナノスケール配線によって行われる。

【0014】

特にパターン転写スケールとサブパターン転写の配線をブリッジする技術が提供され、転写パターンスケール配線束は、サブパターン転写間隔で緻密に配置されたサブパターン転写スケール配線束から単一のサブパターン転写スケール配線を独立して選定することができる。

20

【0015】

また本発明は、修飾された（変調ドーピングされた、または超格子ヘテロ構造の）ナノスケール配線に基づくサブパターン転写スケールのロジックを構成し集積する加工プロセスに関する。

【0016】

さらに本発明は、サブパターン転写スケールのアドレスデコーダを構成するプロセス、およびサブパターン転写スケールのメモリに関し、このメモリはパターン転写スケール配線からのアドレス指定、読み出し、記録ができる。

【0017】

第 1 の態様によれば、ナノスケール配線の電気伝導を制御する方法において、ナノスケール配線の軸方向に沿って分布する第 1 の複数の制御可能領域を持つナノスケール配線を提供するステップであって、各領域が第 1 の閾値よりも小さな値の信号で制御された場合、あるいは信号で制御されない場合には、前記領域によって、ナノスケール配線に沿った電気伝導が可能となる、ステップと、

30

前記領域を制御してまたは制御しないで、ナノスケール配線の電気伝導を可能にし、あるいは遮断するステップと、

を有する方法が提供される。

【0018】

第 2 の態様によれば、ナノスケール配線の電気伝導を制御する方法において、ナノスケール配線の軸方向に沿って分布する第 1 の複数の制御可能領域を持つナノスケール配線を提供するステップであって、各領域が第 1 の閾値よりも大きな値の信号で制御された場合、前記領域によって、ナノスケール配線に沿った電気伝導が可能となる、ステップと、

40

前記領域を制御してまたは制御しないで、ナノスケール配線の電気伝導を可能にし、あるいは遮断するステップと、

を有する方法が提供される。

【0019】

第 3 の態様によれば、複数のナノスケール配線の電気伝導を制御する方法において、ナノスケール配線の軸方向に沿って分布する第 1 の複数の制御可能領域を持つ各ナノスケール配線を提供するステップであって、各領域が第 1 の閾値よりも小さな値の信号で制

50

御された場合、あるいは信号で制御されない場合には、前記領域によって、ナノスケール配線に沿った電気伝導が可能となる、ステップと、

複数の制御配線を提供するステップであって、各制御配線は第1の複数の一連の領域に接続され、前記一連の領域を制御する制御信号を伝送することが可能である、ステップと

、
制御配線に沿って制御信号を提供するステップであって、複数のナノスケール配線のうち単一のナノスケール配線は電気伝導を示し、複数のナノスケール配線のうちの残りのナノスケール配線は電気伝導を示さないようにする、ステップと、

を有する方法が提供される。

【0020】

10

第4の態様によれば、複数のナノスケール配線の電気伝導を制御する方法において、

ナノスケール配線の軸方向に沿って分布する第1の複数の制御可能領域を持つ各ナノスケール配線を提供するステップであって、各領域が第1の閾値よりも大きな値の信号で制御された場合、前記領域によって、ナノスケール配線に沿った電気伝導が可能となる、ステップと、

複数の制御配線を提供するステップであって、各制御配線は第1の複数の一連の領域に接続され、前記一連の領域を制御する制御信号を伝送することが可能である、ステップと

、
制御配線に沿って制御信号を提供するステップであって、複数のナノスケール配線のうち単一のナノスケール配線は電気伝導を示し、複数のナノスケール配線のうちの残りのナノスケール配線は電気伝導を示さないようにする、ステップと、

20

を有する方法が提供される。

【0021】

第5の態様によれば、複数のナノスケール配線内のナノスケール配線をアドレス指定する方法であって、

ナノスケール配線の軸方向に沿って分布する制御可能領域を持つ各ナノスケール配線を提供するステップと、

大きなナノスケール配線組から複数のナノスケール配線を確率的に選択して、複数のナノスケール配線を構成するステップと、

を有する方法が提供される。

30

【0022】

第6の態様によれば、

軸方向に沿って分布する第1の複数の制御可能領域を持つナノスケール配線であって、各領域が第1の閾値よりも小さな値の信号で制御された場合、あるいは信号で制御されない場合には、前記領域によって、ナノスケール配線に沿った電気伝導が可能となる、ナノスケール配線と、

前記ナノスケール配線に沿った電気伝導を制御する手段と、

を有する配置が提供される。

【0023】

第7の態様によれば、軸方向に沿って分布する第1の複数の制御可能領域を持つナノスケール配線であって、第1の組の各領域が第1の閾値よりも大きな値の信号で制御された場合、前記領域によって、ナノスケール配線に沿った電気伝導が可能となる、ナノスケール配線と、

40

前記ナノスケール配線に沿った電気伝導を制御する手段と、

を有する配置が提供される。

【0024】

第8の態様によれば、

複数のナノスケール配線であって、各ナノスケール配線は、ナノスケール配線の軸方向に沿って分布する第1の制御可能領域組を有し、各領域が第1の閾値よりも小さな値の信号で制御された場合、あるいは信号で制御されない場合には、前記制御可能領域によって

50

、ナノスケール配線に沿った電気伝導が可能となる、複数のナノスケール配線と、
複数の制御配線であって、各制御配線は、一連の制御可能領域に接続され、該一連の制御可能領域を制御する信号を送送することの可能な、複数の制御配線と、
を有する装置が提供される。

【0025】

第8の態様によれば、

複数のナノスケール配線であって、各ナノスケール配線は、ナノスケール配線の軸方向に沿って分布する第1の制御可能領域組を有し、各領域が第1の閾値よりも小さな値の信号で制御された場合、あるいは信号で制御されない場合には、前記制御可能領域によって、
ナノスケール配線に沿った電気伝導が可能となる、複数のナノスケール配線と、
複数の制御配線であって、各制御配線は、一連の制御可能領域に接続され、該一連の制御可能領域を制御する信号を送送することの可能な、複数の制御配線と、
を有する装置が提供される。

10

【0026】

第9の態様によれば、

複数のナノスケール配線であって、各ナノスケール配線は、ナノスケール配線の軸方向に沿って分布する第1の制御可能領域組を有し、各領域が第1の閾値よりも大きな値の信号で制御された場合、前記制御可能領域によって、ナノスケール配線に沿った電気伝導が可能となる、複数のナノスケール配線と、
複数の制御配線であって、各制御配線は、一連の制御可能領域に接続され、該一連の制御可能領域を制御する信号を送送することの可能な、複数の制御配線と、
を有する装置が提供される。

20

【0027】

第10の態様によれば、複数のナノスケール配線内の単一のナノスケール配線を単独でアドレス指定する装置であって、
ナノスケール配線の軸方向に沿って分布する制御可能領域を持つ各ナノスケール配線を提供する手段と、
複数のナノスケール配線から、制御されるナノスケール配線のサブ集合を確率的に選択して、サブ集合を形成する手段と、
ナノスケール配線のサブ集合のナノスケール配線上の制御可能領域を制御して、または制御しないで、ナノスケール配線のサブ集合の中から単一のナノスケール配線を選択する手段と、
を有する装置が提供される。

30

【0028】

第11の態様によれば、

第1のナノスケール配線組と、
該第1のナノスケール配線組と交差する第2のナノスケール配線組であって、前記第1の組と第2の組の間の交差部がメモリ配置を定める、第2のナノスケール配線組と、
を有するメモリ配列において、
当該メモリ配置は、前記第1のナノスケール配線組のうちいずれか一方のナノスケール配線と、前記第2のナノスケール配線組のうちいずれか一方のナノスケール配線とを選択することによりアドレス指定され、前記第1のナノスケール配線組および前記第2のナノスケール配線組は、ナノスケール配線の軸方向に沿って分布する制御可能領域を持ち、第1の制御可能領域組は第1の物理的特性を示し、第2の制御可能領域組は前記第1の制御可能領域組とは異なる第2の物理的特性を示し、さらに
第1の複数のアドレス配線であって、該第1の複数のアドレス配線の各々は、前記第1のナノスケール配線組の一連の領域に接続された、第1の複数のアドレス配線と、
第2の複数のアドレス配線であって、前記第2の複数のアドレス配線の各々は、前記第2のナノスケール配線組の一連の領域に接続された、第2の複数のアドレス配線と、
を有するメモリ配列が提供される。

40

50

【 0 0 2 9 】

第 1 2 の態様によれば、複数のナノスケール配線の中から一つのナノスケール配線を選択する回路において、

ミクロスケールオーム接続であって、各オーム接続は複数のナノスケール配線の異なるサブ集合に接続され複数のナノスケール配線の中の特定のサブ集合を選択する、ミクロスケールオーム接続と、

複数のナノスケール配線の異なるサブ集合に接続され、一旦特定のサブ集合が選択された場合、ナノスケール配線の特定のサブ集合の中からナノスケール配線を選択するアドレス配線と、

を有する回路が提供される。

10

【 0 0 3 0 】

第 1 3 の態様によれば、

複数のナノスケール配線と、

該ナノスケール配線と交差する第 1 のミクロスケール配線組であって、該第 1 のミクロスケール配線組とナノスケール配線との交差部は、複数のナノスケール配線の中から 1 または 2 以上のナノスケール配線をアドレス指定するアドレス指定位置を定める、第 1 のミクロスケール配線組と、

ナノスケール配線と交差する第 2 のミクロスケール配線組であって、該第 2 のミクロスケール配線組とナノスケール配線との交差部はメモリ位置を定める、第 2 のミクロスケール配線組と、

20

を有するメモリ配列が提供される。

【 0 0 3 1 】

第 1 4 の態様によれば、

複数のナノスケール配線層であって、ナノスケール配線の第 1 の層と、該第 1 の層と隣接するナノスケール配線の第 2 の層の交差部はメモリ位置を定める、複数のナノスケール配線層と、

ナノスケール配線の異なるナノスケール配線の層と接続された複数のミクロスケール接続部と、

を有する 3 次元メモリ配列において、

ナノスケール配線は、ナノスケール配線の軸方向に沿って分布する制御可能領域を有し、第 1 の制御可能領域組は第 1 の物理的特性を示し、第 2 の制御可能領域組は第 1 の物理的特性とは異なる第 2 の物理的特性を示すことを特徴とする 3 次元メモリ配列が提供される。

30

【 0 0 3 2 】

第 1 5 の態様によれば、ミクロスケール配線とナノスケール配線を有するロジック配置の製造プロセスであって、

ミクロスケール配線を提供するステップと、

該ミクロスケール配線のアドレス位置を定めるステップと、

ミクロスケール配線の上に整列された第 1 のナノスケール配線組を転写するステップと、

40

ミクロスケール配線および第 1 のナノスケール配線組の上に、該第 1 のナノスケール配線組と直交するように整列された第 2 のナノスケール配線組を転写するステップと、

で構成される製造プロセスが提供される。

【 0 0 3 3 】

アドレスデコーダは、不規則に混成した異なるコードのナノスケール配線によって、ナノスケール寸法の転写パターンとは別個に組立てることができ、それらを既に存在するミクロスケール配列に対して直交する平行配列で自己アセンブリすることができる。本発明の方法では、ミクロスケール - ナノスケールインターフェースによって、上部からのパターン転写プロセスと、底部からの自己アセンブリとのブリッジ化が可能となる。本発明による別個にコード化されたナノスケール配線基アドレスデコーダは、ナノスケールプログ

50

ラム化コンピュータ配列に固有の特性を持たせることができ、ナノスケール配線にずれが生じた場合の欠陥に対する許容度があり、信頼性のあるナノスケールメモリデバイスとすることができる。従ってそのようなデコーダ内のコードは、適切な確度で見出すことができる。米国特許第6,256,767号明細書の方法とは明らかに異なる本発明のアドレス指定方法は、緻密なアドレスエンコードを提供し、その際には革新的なプロセスは必要なく、標準的な半導体分野の材料およびドーパントを用いることができる。

【発明を実施するための最良の形態】

【0034】

本発明は、以下の詳細な説明および添付図面を参照することでより明らかとなる。

【0035】

ドーピングナノスケール配線は、電界効果トランジスタ(FET)として作用し、これは Yu Huang、Xiangfeng Duan、Yi Cui、Lincoln Lauhon、Kevin KimおよびCharles M. Lieberの「ブロックを構成する組み立てナノワイヤからのロジックゲートおよび計算」サイエンス、294巻、p1313-1317、2001年に示されている。特にナノスケール配線の全長方向の電気伝導は、印加電圧によって制御することができる。欠乏モードがp型のデバイスの場合、低電圧(または電位印加なし)の印加により良好な電気伝導が生じるが、一方、高印加電圧ではドーピングされた半導体からキャリアが排出され、ナノスケール配線の全長方向に沿った電気伝導は妨げられる。このようにして、結合ロジックが構成され、いくつかの導体が、図3に示すように、ドーピングされたナノスケール配線と交差する。特に図3ではナノスケール配線300は、ミクロスケール制御配線301-303、および電源とつながるミクロスケールオーム接続304と交差している。また酸化物層305はナノスケール配線をミクロスケール配線から分離する。制御ミクロ配線301-303の全てに対する入力小さい場合、交差したナノスケール配線300の一方から他方に電気伝導経路が形成される。ミクロ配線301-303のいずれかの入力大きい場合、電気伝導経路は生じない。

【0036】

またn型のナノワイヤを製作することも可能である。n型ナノワイヤは、印加電圧が所定の閾値よりも大きいときのみ導電性を有し、印加電圧が閾値よりも小さい場合は非導電性となる。従ってこの場合も、結合ロジックが提供される。この場合、制御ゲートはp型ナノワイヤとは反対の極性を示し、電気伝導のためにはn型ナノワイヤに沿った全ての制御入力値を高くしなければならない。

【0037】

ナノスケール配線を修飾する別の方法は、異なる材料領域を設けることである。M. T. Bjork、B. J. Ohlsson、T. Sass、A. I. Persson、C. Thelander、M. H. Magnusson、K. Depper、L. R. Wallenberg、L. Samuelsonの「電子起動の1次元障壁」ナノレター、2巻、2号、p87-89、2002年2月、にはInAsおよびInPのナノワイヤヘテロ構造の繰り返し結合が示されている。InAsおよびInPは異なる導電特性(例えば異なる電気伝導閾値)を有する。同様にYiyi Wu、Rong Fan、Peidong Yangの「単結晶Si/SiGe超格子ナノワイヤのブロックパイブロック成長」ナノレター、2巻、2号、p83-86には、SiとSiGe領域が交互に繰り返される縞状のヘテロ構造が示されている。

【0038】

導入部で述べたように、ナノスケール配線の軸方向に沿ってドーピングプロファイルまたは材料組成を制御する方法は既に知られている。

【0039】

従ってシリコンナノスケール配線は、ナノスケール配線方向の長さの関数として異なる電気伝導閾値を有する。ナノスケール配線のドーピングプロファイルを制御する技術は、変調ドーピングと呼ばれる。ドーピングプロファイルを制御することにより、FETの閾

10

20

30

40

50

値電圧を効果的に制御することができる。すなわち、高ドーピングの場合、チャンネルからのキャリアの欠乏は生じにくく、配線の電気伝導は遮断されにくい。結果的に閾値電圧は高くなる。低ドーピングの場合、キャリアは少なく、低電圧でチャンネルの欠乏が生じ、電気伝導が遮断される。従ってある範囲ではゲート化され、他の範囲ではゲート化されない配線を構成することができる。ナノスケール配線の長さ方向の成長は、時間制御することができる。ナノスケール配線結晶は、一端で格子内に新しい原子が侵入されて成長する。ドーパントプロファイルを制御するには、ナノスケール配線の成長環境におけるドーパント濃度を時間で制御する。結果として各ドーピング領域の幅は、成長反応速度および成長環境におけるドーパントの導入を適切な時間で制御することにより正確に制御される。従ってドーピング領域の幅は、全くパターン転写プロセスを用いずに定めることができる。

10

【0040】

図4には変調ドーピングされたSiナノスケール配線14を示す。Siナノスケール配線14は3の異なる領域15、16および17を有する。領域15および17は、領域16より高濃度でドーピングされる。領域15および17は非FET制御領域である。領域16は、FET制御領域である。結果的に、領域15および17は、領域16の電圧範囲よりも広い電圧範囲において電気伝導を示す。例えば領域15および17は、0乃至5Vの範囲のいかなる印加電圧でも電気伝導を示し、領域16は0乃至1Vの範囲の印加電圧でしか電気伝導を示さない。変調ドーピングはナノスケール配線にアドレス領域を形成することを可能にする。ナノスケール配線が、欠乏モードがp型のドーピングシリコンナノスケール配線である場合、低印加電圧で電流が流れ、所定のドーピングに対する閾値よりも高い電圧印加によって電流を遮断することができる。n型ドーピングシリコンナノスケール配線の場合、電流はある閾値よりも高い電圧が印加されたときに生じ、電流は閾値以下の電圧の印加によって遮断することができる。本発明はアドレス指定の仕組みを改良し、複数のミクロスケールまたはナノスケール配線が、複数のナノスケール配線を制御し、複数のナノスケール配線の中からナノスケール配線を選定することができる。

20

【0041】

例えば変調ドーピングによってナノスケール配線を装飾する場合、コード言語をナノスケール配線に割り当てることができる。各ナノスケール配線は、FET制御形式または非制御形式のドーピング領域にセグメント化される。コード化されたナノスケール配線が1組のミクロスケール配線を横断するように配列された場合、ナノスケール配線を流れる電流を制御することができる。適正な低電圧がFET制御領域に印加されると、ナノスケール配線は電気伝導を示す。FET制御領域のいずれかに高電圧が印加されると、ナノスケール配線は電気伝導を示さない。高電圧を非FET制御領域に印加しても、電気伝導に変化はない。ある実施例では、制御電圧はミクロ配線の制御に提供され、これはアドレス指定ナノスケール配線と直交する。従ってナノスケール配線上のアドレス領域は、各領域に用いられる電圧を制御することによりナノスケール配線上の他の領域から区別される。

30

【0042】

図5にはp型ドーピングナノスケール配線のアドレス指定の仕組みの一例を示す。ナノスケール配線21、22および23の各々は、それぞれ低閾値ドーピング領域210、220および230を有する。図にはさらにアドレス配線24、25および26が示されている。配線24に低電圧が印加され、配線25および26に高電圧が印加される場合、ナノスケール配線21が選択される。特に低電圧印加配線24は、ナノスケール配線21を選択してナノスケール配線21の電気伝導状態を維持し、高電圧印加配線25と26はナノスケール配線22と23の電気伝導を遮断する。領域220と230は、これらの配線上の他の2の領域に高電圧が印加されているため、電気伝導性を示さないからである。同様に配線25に低電圧が印加され、配線24および26に高電圧で印加される場合、ナノスケール配線22が選択され、ナノスケール配線21、23は選択されない。さらに配線26が低電圧で選択され、配線24および25に高電圧が印加される場合、ナノスケール配線23が選択され、ナノスケール配線21、22は選択されない。同様の仕組みは、n型ドーピングナノスケール配線にも利用することができる。

40

50

【0043】

ナノスケール配線を制御する仕組みはkホットと呼ばれ、ナノスケール配線がnの電位制御領域を有する場合、kの制御可能な領域が形成される。本願の参照文献でもある仮出願60/441,995において、出願人は $k = n/2$ のkホットでは、独立にNのナノスケール配線がアドレス指定され、 $n = 1 + \log_2(N) + 3$ アドレスビットしか必要ないことを示している。結果的に配列が十分に大きな場合、制御配線に接続する高架線は、それがアドレスするナノスケールロジックまたはメモリの寸法に比べて小さくなる。高架線は、 $n/2$ よりも小さなkのkホットアドレスが用いられても、小さなままである。

【0044】

10

別の実施例では、(ミクロスケール配線24-26の代わりに)ナノスケール配線がナノスケール配線を制御するために提供され、全体がナノスケールのシステムが提供される。例えばナノワイヤ配列からのナノワイヤ出力は、ここで参照文献として利用される米国特許出願第10/347,121号に開示されたものと似ており、本願によるデコーダへの制御/アドレス入力として利用することができる。

(確率的組立体)

ナノスケール配線の問題はそれらが極めて接近された間隔で設けられているため、パターン転写配線との直接的な接触で個々のナノワイヤを選択することは難しいことである。しかしながら現在、直交する1組の平行配線に区分化できないナノスケール配線を形成することは可能である。本発明の好適実施例によると、上述の図4および5に示された変調技術でコード化されたナノスケール配線は、最初に相互に混成され、ランダムな秩序のコード化ナノワイヤが形成され、さらに1組の平行配線として形成される。その結果、所与の配列から1組の配線が確率的に選択される。2002年6月25日の仮出願60/398,943において出願人は、ほぼ全てのコードが独立化され得る、そのようなナノスケール配線の十分に大きな集合体からコード化ナノスケール配線を確率的に選択する方法を示している。例えば同じコードを持つ配線数が 10^6 であり、その中に10の配線の小さな配列を形成するための、 10^6 の異なるコードのコード空間を考慮することができる。 10^{12} の全配線から各配線がランダムに選択される場合、全10配線が独立となる99.995%の確率がある。これは少なくとも9の独立配線を得る可能性はより高い。従ってコード化配線をランダムに選定することができ、所望の独立ナノスケールのアドレス指定を行うことができ、特定の配列に含まれるナノスケール配線を選定したいという要望を満たすことができる。

20

30

【0045】

出願人は、Cと1配列中のナノスケール配線数(N)を、単独に高い識別確率で関連付ける方法を示し、これは例えば2003年1月23日の仮出願60/441,995に示されている。

【0046】

例えば出願人はほぼ全ての独立コードを得るには、コード空間 $C = 100 \times N^2$ で十分であることを示している。独立コードが得られない確率は1%に満たない。出願人によると、他のコード選択の基準も重要である。非独立コードの確率が高くなると、コード空間は小さくなる。同様に数コードが複製されると、許容される集合が発見される確率は小さなコード空間でも高くなる。上述の解析は、重複のないことを保証する。さらに仮出願60/429,010においては分離解析が出願人によって提供されており、C、Nおよびdの関係を計算することができる。ここでdは重複したNの配線の集合において区別できるコード数である。この選択の基準を用いると、通常の配列サイズ(例えば $N = 10$ 乃至 $N = 1000$)で $C = N$ のとき、 $d > 0.5 \times N$ であることを示すことができる。

40

【0047】

従って本願によると、制御ナノスケール配線は、独立列領域または独立してアドレス指定される1組の列領域を有する。全てのナノスケール配線がkホットの場合、独立列は独自にアドレス指定することができる。

50

【 0 0 4 8 】

出願人はさらに、複数のナノスケール配線を制御する制御配線数がCよりも小さいこと、例えば $k = 1$ の場合、常に $O(\log(N))$ または

【 0 0 4 9 】

【 数 1 】

$$O(\sqrt{N})$$

であることを示している。

10

【 0 0 5 0 】

従って本願は、各ナノスケール配線にナノスケール配線に沿って分布する制御領域を提供することにより、複数のナノスケール配線において単一のナノスケール配線を独立してアドレス指定する方法を示し、この方法では、複数のナノスケール配線からサブ集合を確率的に選択することにより、制御されるナノスケール配線のサブ集合が形成され、ナノスケール配線のサブ集合のナノスケール配線の制御可能領域が制御され、または制御されないことにより、ナノスケール配線のサブ集合から単一のナノスケール配線が選択される。

【 0 0 5 1 】

代わりに、ナノスケール配線の全てを電源に接続させて、あるいは電源からそれら全てを非接続にしてアドレスを指定し、全てのナノスケール配線を選択すること、あるいはサブ集合のナノスケール配線を全く選択しないことができる。

20

(位置調整)

ミクロスケール配線とナノスケール配線間の位置調整は図5に示されている。実際には、ナノスケール配線を相互に完全に揃える方法はない。ナノスケール配線の位置を揃える方法はないが、制御ミクロスケール配線の幅(制御ビットピッチ)のばらつきによって、およびそのようなビットピッチの確率によって、それらは結局非整列となる。従って「ばらつき」および「確率」による非整列の組み合わせとして、各種非整列が生じる。

(制御ビットピッチのばらつきによる非整列)

制御ミクロスケール配線およびナノスケール配線が制御ビットピッチのばらつきによって非整列となった場合、1または2以上の制御ミクロスケール配線は、この非整列を緩和しないと、ナノスケール配線の対応する「1」または「0」ドープ領域のいかなる部分とも「交差」しない。

30

【 0 0 5 2 】

この問題に対処する第1の方法は、ナノスケール配線の全長に沿ってコードを複数回繰り返すことである。図6には、 n ビット $n/2$ ホットコードを伝送するナノスケール配線30を示す。図6の例では、基本コード33の複数の複製31、32がナノスケール配線30に鎖状に繋がれる。4ビットコードの場合、4のミクロスケール配線でナノスケール配線の対応ビットの全てをアドレス指定する必要がある。いったんコードがナノスケール配線に沿って繰り返されると、全てのミクロスケール配線は、ナノスケール配線のビット位置を常にアドレス指定することができる。ミクロスケール配線とナノスケール配線間のランダムな非配列は、コード34または35のような、選択される基本コード(0110)33とは異なるオフセットコードを生じさせる。しかしながら、この交互の選択は許容できる。そのようなオフセットコード(1001)または(0011)は、本実施例の2-ホットコード空間においては有効なコードであるからである。

40

【 0 0 5 3 】

しかしながら全長に沿ったコード化には、付加的な制御領域が、メモリ配列群のようなナノスケール配線を制御する必要のない場所に設けられるという影響がある。これにより配線は、無意図的に所望のナノスケール配線と交差してしまう。

【 0 0 5 4 】

ある実施例では、これは問題とはならない。ナノワイヤ群が容易にドープされる場合(

50

本願の以下の「半径方向変調ドーブ」を参照)、半径方向構造はシリコンの電気伝導が遮断されることを防止する。この場合アドレス端は、それらが配列に組み込まれた後、表面のエッチングによって露出される。従って意図したアドレス領域のみが、エッチングによって直接露出された半径方向構造を有する。

【0055】

さらにアドレス制御電圧と比べて低い作動電圧をメモリ内部に用いることにより、無意図的な遮断を回避することができる。メモリ内の作動電圧が常に制御領域の閾値以下である場合、配線は常時メモリ内で電気伝導を示す。アドレス制御配線は、メモリ外部にのみ存在し、より高い電圧で、例えば閾値を超える電圧 ($V_{ctrl_high} > V_{mode_oper_threshold} > V_{memory_high}$) で、駆動することができるため、これらの電圧で電気伝導を制御することができる。

【0056】

アドレス制御電圧の上昇を抑えるという問題に対処する別の方法は、まずミクロスケール配線(アドレス領域)によって、アドレス領域ではないナノスケール配線の一部を露出させたままにして、ナノスケール配線のこの領域をマスクせず、次にマスクングのため、バルクのドーブされる領域にのみ、アドレス領域外部の領域のバルクのドーブ相をドーピングして、アドレス指定領域として作用しない領域を設けるものである。この方法ではアドレス指定領域のみが制御されるため、アドレス指定領域は自己配列される。

【0057】

問題に対処する第3の方法は、予想される非整列と等しい距離だけ、部分的にコード(またはその比率)を繰り返すことである。これは2ビットの部分的な繰り返しを有するナノスケール配線として図7(A)乃至(C)に示されており、±1ビットのずれを許容する。これは、最後の0110コードの2ビットがコードの左に繰り返され、0110コードの最初の2ビットがコードの右に繰り返されることを意味する。図7(A)には、非整列のない場合およびコード0110がミクロスケール配線41乃至44によって制御される場合が示されている。図7(A)にはさらに整列禁止領域45の拡張部が示されている。図7(B)にはナノスケール配線40のコードが左に1ビット移動して、ミクロスケール配線41乃至44によってコード1100が制御される場合が示されている。図7(C)にはナノスケール配線のコードが左に2ビット移動して、ミクロスケール配線41乃至44によってコード1001が制御される場合が示されている。この第3の方法では、ナノスケール配線40は、電圧が印加されない場合、コード領域を横断して電気伝導する。この方法では、制御可能なビットコード領域は、制御ミクロ配線41-44のいずれかの側で閉じられており、信号の伝達が継続される。

(ビットピッチの比率による非整列)

ミクロスケール配線でナノスケール配線のコード領域を制御するため、ミクロスケール配線のフィールドとナノスケール配線のドーブされた制御可能領域間を重複させる必要がある。

【0058】

図8には3のミクロスケール配線51-53の断面を示す。欠乏モードのナノスケール配線50での電気伝導を遮断させるため、キャリアは、ナノスケール配線50の軸に沿った小さな領域においてのみ欠乏させる必要がある。重複領域54($W_{overlap}$)は5nm以下すなわちナノスケール配線50の径の1乃至2倍以下であることが好ましい。 $W_{overlap}$ の領域の幅は、ミクロスケール配線フィールドの影響部56に依存する。従って0乃至 $W_{overlap}$ の幅の重複領域は、これらが部分的にしか電気伝導しないため作動せず、結果的に中間程度の電流が流れる。図8には、ミクロスケール配線51および52のような、隣接するミクロスケール制御配線のフィールド間に非制御領域55が示されている。本発明の好適実施例では、ドーブされた制御可能領域の長さは、ナノスケール配線と $W_{overlap}$ の2倍の値を加えた非制御領域の長さと同じ。この方法では、少なくとも $W_{overlap}$ の長さの隣接する制御フィールドのいずれかの影響下にある領域が常に存在し、その領域は左または右の隣接ミクロスケール配線によって制御

される。当然、0乃至 $W_{overlap}$ の長さの領域が左または右の隣接ミクロスケール配線双方に渡って配置されるという、好ましくない場合があり得る。しかしこのことが生じる確立は小さく、通常は10%未満である。

【0059】

従って制御配線および制御配線と対応するナノスケール配線の領域間が、ミクロスケール配線幅よりも小さな距離で非整列となっている場合は、制御領域の長さまたはプロファイルの技術的もしくは設計的対応によって対処することができる。

【0060】

図8には制御領域が2のフィールドで重複する例を示す。制御領域が複数のフィールドで重複する場合、通常のkホットアドレス空間には、ナノワイヤに沿って電気伝導することのできるコードはない。これは、非整列ナノワイヤが少なくとも正確に揃えられたナノワイヤの動作に影響を及ぼさないことを示しており、好都合である。

【0061】

通常のkホットコード空間の外部のコードを用いることでも、配線をアドレス指定することができる。例えば非整列1100コードは、第2および第3の配線で制御される第3の位置と、第3および第4の配線で制御される第4の位置を有する。配列に1100および1001コードがない場合、1000アドレス（すなわち2-ホットコード空間外のアドレス）がこの配線を選択し、これを利用することができる。しかしながら1100または1001が配列中に存在する場合、他のコードの選択をしないで、そのような1000配線を選択することはできない。結果的にほとんどの利用の場合、好適実施例はこれらを単なる非アクセス化配線として取り扱う。

（アドレス制御用のナノワイヤの利用）

別の実施例では、ナノスケール配線はナノスケール配線を制御するように提供され、前述のように全てがナノスケールシステムで構成される。これは、デコーダへのアドレス指定が、ナノPLAのようなナノスケール回路からされるときに有益である。

【0062】

図9にはこの実施例を示すが、酸化物でコーティングしたナノワイヤ501-504は、複数のナノワイヤ505-510を制御する。ナノワイヤ505-510はオーム接続511に接続され、図には示されていない電源と接続される。2組のナノワイヤの間の酸化物分離は、図に示すように制御配線を被覆する酸化物によって達成される。あるいは酸化物分離は、パターン転写およびナノワイヤの第1層とナノワイヤの第2層間に酸化物を成長させて、あるいは制御領域、すなわち制御ナノワイヤ501-504とナノワイヤ505-510が交差する領域の周囲を酸化物で被覆することで行うことも可能である。

【0063】

図9の実施例では制御配線ピッチ幅が、ナノワイヤピッチ($W_{bitpitch}$)と同間隔であることに留意する必要がある。制御重複領域 $W_{overlap}$ は $W_{bitpitch}$ と概略的に等しい寸法である。これにより、図6-8とは異なる整列の対処法が必要となる。

【0064】

第1のステップは、ナノスケール配線505-510のコード領域を少なくとも $W_{bitpitch} + 2 * W_{overlap} < 2 * W_{bitpitch}$ とすることである。この場合、全てのコード領域が常にあるナノスケール配線で制御される。

【0065】

さらにナノスケール配線505-510の制御領域は、元来的間隔の2倍の間隔、すなわち2の物理的ビット位置とし、2倍の制御ナノワイヤを利用する。この分の制御ナノワイヤが追加されても、制御配線数はデコーダの配線数の対数のままである。

【0066】

図10A-10Cにはこの実施例をより明確に示す。図10Aには元のコードが示されており、垂直配線はビット領域を示し、配線間隔は1ビットピッチ間隔を示す。図10Bには二重コード化を行う場合の例を示す。コード領域の長さは正確に2ビットピッチであ

10

20

30

40

50

る。図 10C には別の例を示す。この場合コード領域の長さは、2 ビットピッチから、前述の少なくとも $W_{bitpitch} + 2 * W_{overlap}$ だけ短い。

【0067】

図 10D には、同じナノワイヤ 520 の 10 のオフセット 520 - 1、...、520 - 10 を示す。各制御領域は上述の関係を満たしている。配線の各オフセットは次の表に従っている。

【0068】

【表 1】

520-1	11100110
520-2	11001100
520-3	11001100
520-4	11001100
520-5	11001100
520-6	10011001
520-7	10011001
520-8	10011001
520-9	10011001
520-10	00110011

10

20

最初の 5 のオフセットは、コード 01000100 でアドレス指定され得ることに留意する必要がある。次の 4 のオフセットはコード 10001000 (すなわち前の 01000100 コードの 1 ビット回転) でアドレス指定され得る。また最後のオフセットはコード 00010001 (すなわち前コードからの別のビット回転) でアドレス指定され得る。従って本発明は、以下のステップによって制御ナノワイヤを用いて、ナノワイヤをアドレス指定する方法を示す：

30

- 1) $W_{bitpitch} + 2 * W_{overlap} < 2 * W_{bitpitch}$ の長さのコード領域で制御されるナノワイヤを提供するステップ、
- 2) 制御されるナノワイヤのコードを二重化、すなわち制御されるナノワイヤの制御領域を元の間隔の 2 倍に広げるステップ
- 3) 制御ナノワイヤのコードを用いて、制御されるナノワイヤのコードに生じる「11」を「01」または「10」で置き換え、そのコードを回転したコードを提供するステップ。

(メモリへの利用)

さらに、上述のデコーダによってアドレス指定されるプログラム化メモリが提供される。ナノスケール配線配列の交差部に非揮発性メモリビットを設置する技術は、本願の背景で示したように、既に従来技術として知られている。

40

(ナノスケールメモリ配列)

図 11 には、変調ドープアドレスデコーダを用いてインターフェース化されるナノスケールメモリ配列を示す。図には明確化のため数本のナノスケール配線しか示されていない。特に 6×6 のナノスケール配線配列が示されている。通常配列は、24 - 30 のミクロスケール配線のみによってアドレス指定される 100 - 1000 ナノスケール配線を有する。

【0069】

図 11 にはアドレス指定可能なナノスケール配線行 61 - 66 およびナノスケール配線

50

列 6 7 - 7 2 が示されている。これらのアドレス指定可能なナノスケール配線を用いて、正確に例えばナノスケール配線 6 2 のような 1 のナノスケール配線行、あるいはナノスケール配線 7 2 のようなナノスケール配線列を、プログラム化電圧を例えば交点 7 5 のような単一の交点に印加することにより、アドレス指定することができる。行プログラム化電圧はオーム接続 7 6 により提供され、列プログラム化電圧はオーム接続 7 7 によって提供される。オーム接続 7 8 および 7 9 は、それぞれ行と列の公称電圧を提供する。

【 0 0 7 0 】

従って交点 7 5 は、プログラム化電圧の印加されるナノスケール配線行 6 2 とナノスケール配線列 7 2 の両方を有し、1 のナノスケール配線のみプログラム化電圧の印加された、あるいはプログラム化電圧の印加されないナノスケール配線からなる他の交点に比べて、大きな電子差が生じる。この交点はさらに、プログラム化配列に部分的に寄生回路が生じないように、ダイオードとして作用するように配置することも可能である。

10

【 0 0 7 1 】

記録時にはナノスケール配線行 6 2 の選定は変調ドープデコーダ 8 0 によって行われ、このデコーダはミクロスケール配線列 R A 0 - R A 3 と、ナノスケール配線 6 1 - 6 6 の変調ドープ領域とを有し、変調ドープ領域は酸化物層 8 1 によりミクロスケール配線 R A 0 - R A 3 から分離される。ナノスケール配線列 7 2 の選定は変調ドープデコーダ 8 2 によって行われ、これはミクロスケール配線行 C A 0 - C A 3 と、ナノスケール配線 6 7 - 7 2 の変調ドープ領域とを有し、変調ドープ領域は酸化物層 8 3 によりミクロスケール配線 C A 0 - C A 3 から分離される。従ってアドレス指定配線は、複数の状態のうちのいずれかにメモリ部を設定することができる。

20

【 0 0 7 2 】

読み出し時には、制御ビットを適切に設置することによって、単一の行および列のデータビットが読み出される。高電圧が共通配線行 7 7 に印加され、共通配線列 7 6 に電圧が観測される。この方法では、配線行 7 7 に高い入力を印加した場合、および共通配線列 7 6 へ経路の抵抗が低い場合、対象交点、例えば交点 7 5 のみを、検知することができる。交点を「オン」にプログラム化した場合、配線列電圧が生じて、選択配線列からの電流を観測することが可能となる。交点を「オフ」にプログラム化した場合、電流はほとんど流れない。

【 0 0 7 3 】

上述の簡単な読み出しの場合、配列が多くなると読み出し動作が遅くなる。特にダイオードメモリ点は、読み出し配線列（列 6 2 ないし 7 2 のいずれか）を全ての配線行（配線 6 1 - 6 6 ）に結合して、配線列で全ての配線行を充電し、単一のビットを読み出す。この方法では読み出し時間は、行数と列数の合計ではなく積で定められる。

30

【 0 0 7 4 】

上記のような読み出し動作時の好ましくない結合の可能性を避けるため、読み出し時間を、配線の行と列の積ではなく、合計で定まるようにすることが可能である。全ての配線行 6 1 - 6 6 は高電圧で予備充電される。これには、全てのナノワイヤを同時に選択するアドレス指定ができるという利点がある。配線列は平行に駆動され、予備充電には単一の配線行を充電する場合の時間しかかからない。その後単一の配線行が読み出されて放電される。次に読み出し動作が前述のように行われる。さらに読み出されないビットと対応する配線行は、既に充電されており、対象配線行を駆動する間の充電は不要である。

40

【 0 0 7 5 】

メモリ配列はさらにミクロスケール配線 8 4、8 5 を有し、これらはそれぞれ、行または列の公称電圧を遮断することが可能である。特にミクロスケール配線 8 4 と 8 5 の双方は、F E T 制御可能領域 8 6、8 7 を有し、そのような電圧を遮断することができる。

（ハイブリッド制御メモリ）

上述のメモリの欠点は、メモリが極めて広いアドレス空間を必要とし、極めて大きなコード化ナノスケール配線集合を必要とすることである。例えば 5 0 0 × 5 0 0 の配列の場合、2 5 百万のナノスケール配線のコード空間が必要となる。

50

【0076】

しかしながらハイブリッド制御体系によって、より少ない数のナノスケール配線を用いることができる。1組のナノスケール配線はまず、変調ドープデコーダを用いずに、ミクロスケール配線オーム接続によって選択され、次に選択された1組のナノスケール配線が、図12-15に示すようにミクロスケール配線によってアドレス指定される。

【0077】

図12において、オーム接続100は、パターン転写の精度でナノスケール配線集合101をその終端で選択的に活性化させる。オーム接続100の幅102は90nmであって、ナノスケール配線は10nmの幅103であり、オーム接続は独立して9のナノスケール配線群をアドレス指定することができる。そのようなナノスケール配線は、12のミクロスケール配線A0、...A11を介して12ビットコードでアドレス指定される。特に6-ホット、12ビットコードは942のコード言語を有する。942のコード言語を用いる場合、全部で9の集合配線を独立コードとする可能性は96%以上である。

【0078】

この実施例の問題は、ミクロスケール配線ピッチ、すなわちミクロスケール配線間の必要最小距離、例えば図8の単位59である。本発明はそのような問題を図13の実施例により解消する。この例では、千鳥状の隣接ミクロスケール配線接続110-112が設けられる。千鳥状隣接ミクロスケール配線接続によって、各ミクロスケール配線群の端部で1の配線も無駄にすることなく、緻密なナノスケール配線ピッチを維持することができる。

【0079】

図14には千鳥状のオーム接続を制御する第1の実施例を示す。4のミクロスケール配線701-704とインターフェースロジック705が提供される。ミクロスケール配線702は、動作を記録動作と読み出し動作間で制御し、オーム接続へのまたはオーム接続からの導通を確保する。動作が読み出し動作の場合、信号は出力配線701に読み出される。接続110-112は配線703、704によって選択される。通常 $\log_2 N$ の選択配線が必要である。

【0080】

図15には千鳥状のオーム接続を制御する第2の実施例を示す。この場合、高速アクセスよりもデコーダへの効率的なアクセスがより重要である。この実施例では、1のミクロスケール配線801-804が必要である。ミクロスケール配線801は、シフト信号を伝送し、ミクロスケール配線802はクロック信号を伝送し、ミクロスケール配線803はシフト入力信号を伝送し、ミクロスケール配線804はシフト出力信号を伝送する。接続数が増え、必要な時間およびフリップフロップ数が増えるが、ミクロスケール配線数は増大しない。

【0081】

ハイブリッド制御の場合、制御配線はミクロスケール配線(図示されている)またはナノスケール配線いずれであっても良い。

(1次元メモリ)

図11の実施例は2次元メモリである。本願ではさらに、図16に示す単一のナノワイヤ層を用いる1次元メモリの実施例を提供する。

【0082】

図16は図13と同様であるが、千鳥状ミクロスケール配線接続110-112は、ナノスケール配線集合と、アドレスミクロスケール配線A0-A_{n-1}を端部で活性化する。さらにメモリミクロスケール配線D0-D_{n-1}が提供される。

【0083】

ミクロスケール配線D0-D_{n-1}は、図11の2次元メモリにおける垂直デコーダ82と同じ役割を果たす。記録を行う場合、適当な電圧が配線D0-D_{n-1}に印加され、適切な抵抗接続群および配線A0-A_{n-1}によって単一のナノスケール配線が選定され、それに電圧が印加される。従って選択されたナノスケール配線とD0-D_{n-1}配線

10

20

30

40

50

間には電圧差が生じ、選択されたナノスケール配線と関連の D_i 配線間の交点をプログラム化することが可能となる。単一の D_i 配線は、従来のパターン転写デコーダが駆動される方法と同様の方法でデコードされ駆動される。さらに1次元の場合、直接ミクロスケール制御が行われるため、多数のビットを同時に同じ設定にプログラム化することができる。これは単に適切なプログラム化電圧をプログラム化される多数の D_i 配線に印加することで行われ、複数のビットが従来のメモリに書き込まれるのと同様の方法で、瞬時にそれらの全てがプログラム化される。従来のプログラム化法との違いは、プログラム化されるビット組が同じ状態でなければならないことであり、所与の適当なミクロスケールを制御して、いかなるサブセットもプログラム化することができる。従って2の書き込み周期（または交点が m の状態を持つ場合の m の書き込み周期）によって、いかなる言語 $D_0 \dots D_{n-1}$ もプログラム化することができる。最初の周期では、選択されたナノスケール配線と関連する全言語 $D_0 \dots D_{n-1}$ がある状態で記録される（例えばオン）。第2の周期では、オフにする必要のある全てのビットが、オフの位置にプログラム化される。

【0084】

読み出し周期も同様である。一旦 D_i のいずれかが「高」値に駆動され、 D_i を用いて単一のナノワイヤに電気伝導が生じると、 D_i 、 A_i と対応する値を各オーム接続群に対するオーム接続出力で読み出すことが可能となる。

【0085】

あるいは多数のビットを同時に読み出すことも可能である。特に単一のナノスケール配線上の A_i を介して対応するオーム接続群に「高」値が加えられると、プログラム化される交点が充電され、全ての関連する D_i が交点でプログラム化される。この場合、全 $D_0 \dots D_{n-1}$ が1周期で読み出される。しかしながら読み出し動作は遅くなる。これはナノスケール接続で、ミクロスケール配線の容量を駆動する必要があるからである。読み出し動作時にメモリを作動する方法は、製造段階で定める必要がある。すなわちメモリ内のダイオードの整流の向きを、ミクロスケール D_i からナノスケール配線の向きのような第1の場合、ナノスケール配線からミクロスケール D_i の向きのような第2の場合、を定める必要がある。

（3次元メモリ）

図17および18には、それぞれ3次元メモリの実施例の概略断面図および斜視図を示す。ミクロスケール配線201-204には、第1のナノスケール配線層の組205-207、およびこれと直交する第2のナノスケール配線層の組208-210が設けられる。図11の2次元の場合と同様に、各層のデコード領域が領域211-214に設けられる。領域211-214におけるナノスケール層は酸化層215で被覆され、変調ドープデコード領域が被覆される。

【0086】

3次元メモリの実施例における興味ある事実は、ミクロスケール配線が、メモリの異なる層上のナノワイヤによって共有されることである。2次元の場合と同じ確率的選択技術を用いて、ミクロワイヤ接続の各共通群に対して、1組の独立したコード化配線が形成され、垂直面内の各配線を単独で選択することが可能となる。

【0087】

好適実施例では、図17に示すようにナノスケール配線の層は、隣接する層の組の順番が繰り返されるように配置される。隣接する層の組は、第1のナノスケール層208と、第1のナノスケール層208と協働してメモリ位置を定め、第1のナノスケール層と直交する第2のナノスケール層205と、絶縁用ナノスケール層209とで構成される。

（半径方向変調ドープ）

ナノスケール配線の軸に沿った変調ドープに加えて、ナノスケール配線の半径方向に沿って変調ドープを行う技術が、Lincoln J. Lauhon、Mark S. Gudiksen、Deli Wang、Charles M. Lieberの「エピタキシャルコア殻およびコア-多殻ナノワイヤヘテロ構造」、ネーチャー、420巻、p 57-612002年11月、で知られている。

10

20

30

40

50

【 0 0 8 8 】

半径方向の変調ドーブ技術の興味ある事実は、ナノスケール配線が半径方向と軸方向に変調ドーブされることである。特にナノスケール配線の所定の部分が、1)ドーブされず、2)軸方向にドーブされ、3)半径方向にドーブされ、または4)軸方向および半径方向にドーブされる。図11-18に示すメモリでは、ナノスケール配線に両方の変調ドーブ技術を用いることができる。

【 0 0 8 9 】

より明確には、全ナノワイヤは形成時に半径方向にドーブさせることができる。その後基板上に配線を形成して、スリーブが半径ドーブナノワイヤ部分から半径方向に選択的にエッチングされる。この方法では以下のナノワイヤが得られる。すなわちナノワイヤは第1の一連の部分をも有し、この一連の部分は軸方向および半径方向にドーブされ、ナノワイヤは第2の一連の部分をも有し、この一連の部分は軸方向にのみドーブされる。従って第1および第2の部分は製造後に定められるという利点があり、その後パターン転写基板に対してナノワイヤをどのように配置するかが定められる。

(図11のメモリの実施例におけるナノスケール配線構造)

図11に示すナノスケール配線72のような垂直ナノスケール配線を参照することにより、いくつかの別個の領域が観測される：

- a) ミクロスケール配線77に電氣的に接続される領域、
- b) (絶縁体83のような)絶縁体によってミクロスケールアドレス配線CA0 - CA3から分離する必要があるアドレス領域、
- c) 水平ナノスケール配線61 - 66と交差する領域のような、記録または読み出し情報を含むコア領域、
- d) ミクロスケール配線85から絶縁体によって分離する必要がある制御可能領域、
- e) ミクロスケール配線79に電氣的に接続される領域。

【 0 0 9 0 】

同様の観測は、ナノスケール配線62のような水平ナノスケール配線を参照して行うことができる。

【 0 0 9 1 】

メモリ構造形成のためには、配列内の2の(直交する)配線組のうちいずれか一方のみが、半径方向にドーブされる必要があることに留意する必要がある。

(軸方向にドーブされたナノスケール配線の製作プロセス)

軸方向にドーブされたナノスケール配線の場合、上述のように個々の交点はメモリコアとして利用される。軸方向ドーブナノスケール配線を有するメモリの製作は、以下のステップからなる。

- 1) シリコンウェハのパターン転写処理により、複数のミクロスケール配線を得るステップ、
- 2) ミクロスケール配線のアドレス指定部分に酸化物を形成するステップ。図19には、製作プロセスの最初の2のステップ後のミクロワイヤの可能な配置を示す。
- 3) 第1の軸方向ドーブナノスケール配線組を混成するステップ。ナノスケール配線同士の接触が生じないように、ナノスケール配線を混成するには、図2の酸化層10のような酸化層を各ナノワイヤの周囲に成長させる。酸化層は、相互に平行に配置された2のナノスケール配線を電気伝導領域に接触しないようにし、ダイオード接続ではなくFET制御が可能となるように酸化バリアとして機能する。
- 4) 第1のナノスケール配線組を配列して、配列された第1の組をミクロスケール配線上に転写させるステップ。図20には4つのステップ後のチップ状態を示す。ナノスケール配線の配列は、例えばラングミュア-プロドゲットフロー(LBフロー)技術によって行われる。この技術は、例えばUlman A.「有機超薄膜の導入：ラングミュア-プロドゲットから自己組織化まで」アカデミックプレス、ニューヨーク1991年、またはAlbrecht O.、Matsuda H.、Eguchi K.、Nakagiri T.の「試験的形成のためのLB成膜機構の構成と利用」Thin Solid Fi

10

20

30

40

50

1 m、284/285巻、15、9月1996年、p152 - 156参照。LBフローは基板上のナノスケール配線の緻密な配線を可能にする。

5) パターン転写エッチング技術によって、構造内に配列軸に対して垂直な遮断部を得るステップ。図21には5のステップ後の製作状態が示されている。

6) 第2の軸方向ドーブナノスケール配線組を混成するステップ。

7) 第2のナノスケール配線組を配列して、回路上に設置された第2の組を、図22に示すように、第1のナノスケール配線組と直交するように転写させるステップ。さらに分子層(図示されていない)がナノワイヤの直交組間に設置される。そのような層は、例えば Christopher L. Brown、Ulrich Jonas、Jon A. Preece、Helmut Ringsdorf、Markus Seitz、J. Fraser Stoddartの「ラングミュア膜およびラングミュア-ブロッグゲット多層膜への2-カテナンの導入。分子情報貯蔵材料の可能な対応」Langmuir 16(4)、1924-1930、2000年に示されている。

8) パターン転写エッチング技術によって、構造内に配列軸に対して垂直な遮断部を得るステップ。図23参照。

9) 図24のように、オーミック接続の領域に金属を被覆させるステップ。図25の構造が得られる。

(軸方向および半径方向にドーブされるナノスケール配線の製作プロセス)

軸方向および半径方向の双方にドーブされたナノスケール配線の場合も、製作プロセスは上述のプロセスと同様である。上述の図19-25を参照のこと。しかしながら直行する1組のナノワイヤの間に分子層を設置する必要はない。

【0092】

シリコンウェハのパターン転写プロセスによって得られるミクロスケールアドレス配線400の配置が示されている、図19のような第1のステップの次に、2組のナノスケール配線が形成される。前述の実施例とは異なり、この場合、第1の組は軸方向に変調ドーブされた後、コード化された軸の上部において半径方向に変調ドーブされる。これに対して第2の組は、軸方向にのみコード化される。

【0093】

軸方向にのみドーブされたナノスケール配線が相互に混成された後、混成されたナノスケール配線はLBフローで配列され、図20に示すようにシリコン表面を覆うように転写される。さらに図21に示すように、配置軸に垂直なサブ配列の間には所望の遮断がパターン転写エッチングによって形成される。

【0094】

軸方向および半径方向にドーブされたナノスケール配線組を混成した後、混成した組はLBフローで配列され、図22に示すように他の組と直交してシリコン基板を覆うように転写される。次にサブ配列間に所望の遮断部が、図23のように配列軸と垂直にパターン転写エッチングされる。

【0095】

前述の実施例とは異なり、本実施例は図24に示すように、アドレスウインド全体にわたりチューブの半径方向のドーブ領域をエッチング除去するステップを有する。特に図24にはアドレスウインド、すなわち図11のアドレス領域80および82のような、構成されるロジック回路のアドレス領域に対応したウインド、を有するマスク部が示されている。半径方向にドーブされたナノスケール配線を有するアドレスウインドのみを対象に、ナノスケール配線の半径方向のドーピング領域が、その領域内においてエッチング除去される。従って例えば本願の図5に示すように、ナノスケール配線のアドレス指定が可能となる。

【0096】

別のステップでは、図25に示すようにオーミック接続領域を覆うように金属部が設置される。

【0097】

10

20

30

40

50

本実施例では、図 1 の浮遊ナノチューブのような交点のヒステリシスを利用する別個の装置（例えばある分子）は不要である。半径方向のドーピング領域は、垂直ナノスケール配線の所定の部分の径に沿って情報を蓄積することができるからである。特に半径方向の変調ドーブ配線構造は、効果的にヒステリシスを利用する装置を含む。

【0098】

別の実施例では、両方の配線組が半径方向に変調ドーブされる。

【0099】

本発明のいくつかの実施例が上述のように示されたが、当業者には多くの変形および変更した実施例が容易に想到される。そのような変形および変更した実施例は、特許請求の範囲に記載の本発明の範囲を逸脱しないで行うことができる。

10

【図面の簡単な説明】

【0100】

【図 1】従来技術のナノチューブ基プログラムスイッチポイントの概略断面図である。

【図 2】従来技術のナノチューブ FET 配置の概略透視図である。

【図 3】ナノスケール結合ロジックの基本モジュールである。

【図 4】変調ドーブ化シリコンナノスケール配線を示す図である。

【図 5】アドレス指定ナノワイヤの図である。

【図 6】鎖状につながれた多数のコードの複製を有する変調ドーブ化ナノスケール配線である。

【図 7】複数の繰り返しコードを有する変調ドーブ化ナノスケール配線である。

20

【図 8】ミクロスケール - ナノスケール配置の断面図である。

【図 9】ナノスケール配線の第 1 の組を用いてナノスケール配線の第 2 の組を制御する実施例である。

【図 10A】ナノスケール配線の第 1 の組を用いてナノスケール配線の第 2 の組を制御する実施例である。

【図 10B】ナノスケール配線の第 1 の組を用いてナノスケール配線の第 2 の組を制御する実施例である。

【図 10C】ナノスケール配線の第 1 の組を用いてナノスケール配線の第 2 の組を制御する実施例である。

【図 10D】ナノスケール配線の第 1 の組を用いてナノスケール配線の第 2 の組を制御する実施例である。

30

【図 11】装飾されたナノスケール配線によって形成されたアドレスデコーダを用いてインターフェース化されたナノスケールメモリ配列である。

【図 12】ハイブリッド制御メモリ配置である。

【図 13】千鳥状オーム接続を有するハイブリッド制御メモリ配置である。

【図 14】ミクロスケール配線を有する千鳥状オーム接続をインターフェース化する方法を示す図である。

【図 15】ミクロスケール配線を有する千鳥状オーム接続をインターフェース化する方法を示す図である。

【図 16】1次元メモリ配置である。

40

【図 17】3次元メモリ配置である。

【図 18】3次元メモリ配置である。

【図 19】ミクロスケールおよびナノスケール配線を持つロジック配置の製作工程における異なるステップを示す図である。

【図 20】ミクロスケールおよびナノスケール配線を持つロジック配置の製作工程における異なるステップを示す図である。

【図 21】ミクロスケールおよびナノスケール配線を持つロジック配置の製作工程における異なるステップを示す図である。

【図 22】ミクロスケールおよびナノスケール配線を持つロジック配置の製作工程における異なるステップを示す図である。

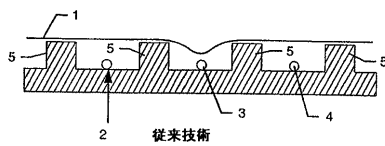
50

【図 2 3】ミクロスケールおよびナノスケール配線を持つロジック配置の製作工程における異なるステップを示す図である。

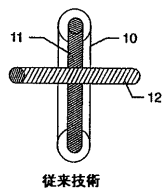
【図 2 4】ミクロスケールおよびナノスケール配線を持つロジック配置の製作工程における異なるステップを示す図である。

【図 2 5】ミクロスケールおよびナノスケール配線を持つロジック配置の製作工程における異なるステップを示す図である。

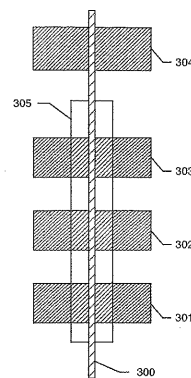
【図 1】



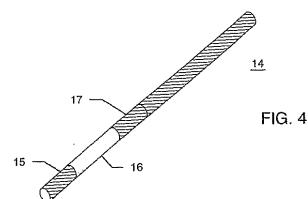
【図 2】



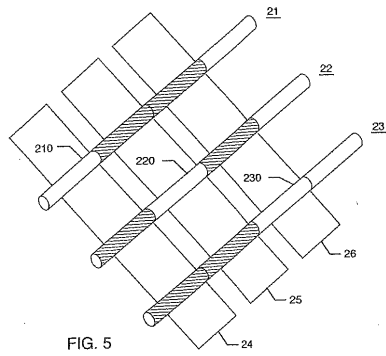
【図 3】



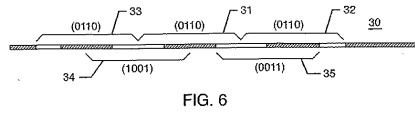
【図 4】



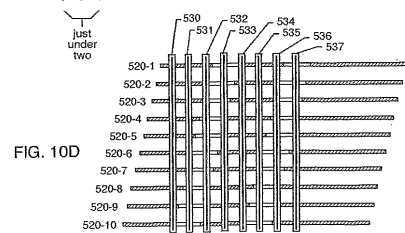
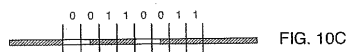
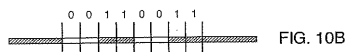
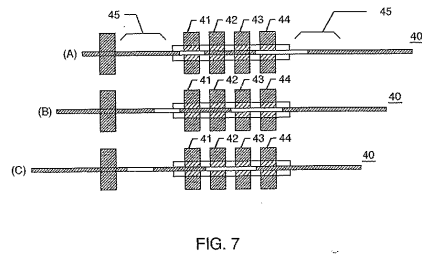
【図 5】



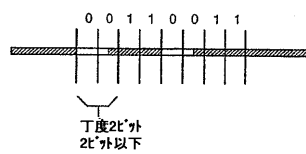
【図 6】



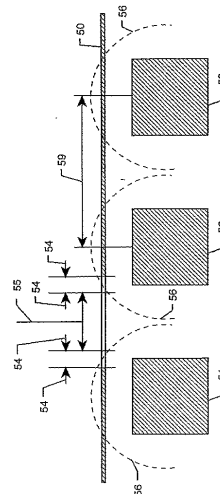
【図 7】



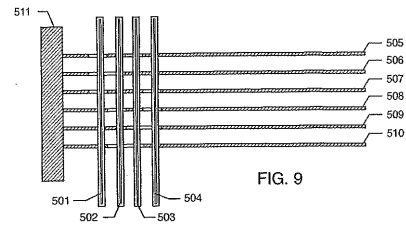
【図 10 C】



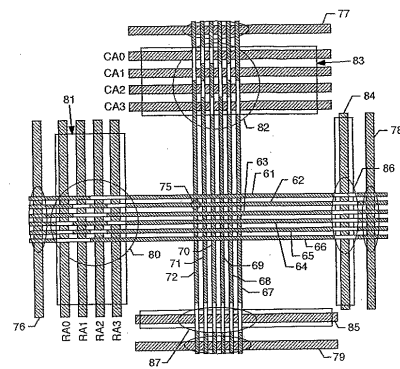
【図 8】



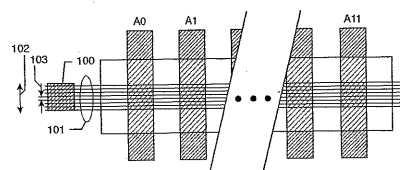
【図 9】



【図 11】



【図 12】



【図 13】

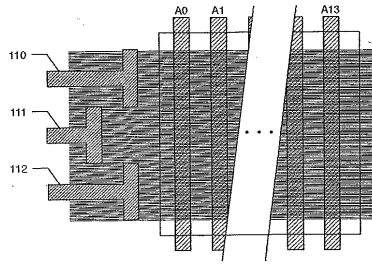
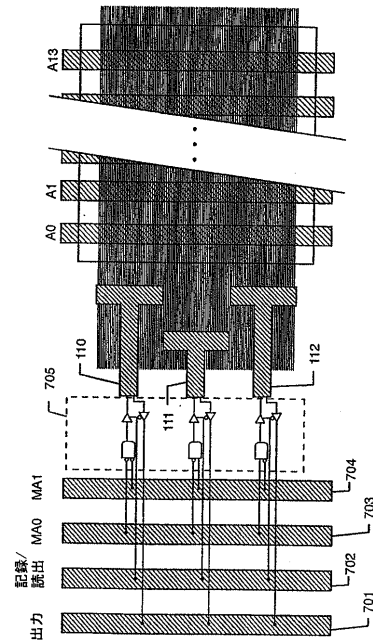
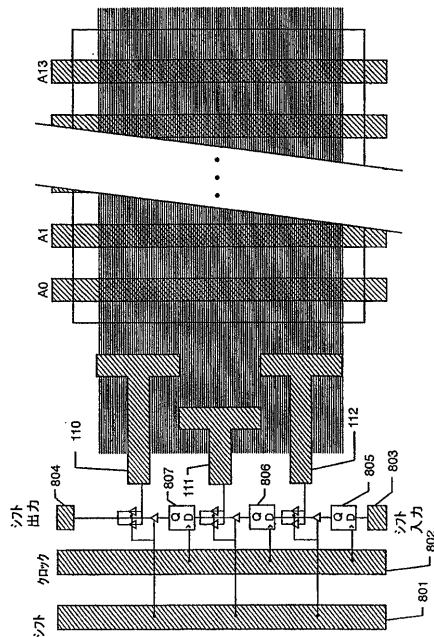


FIG. 13

【図 14】



【図 15】



【図 16】

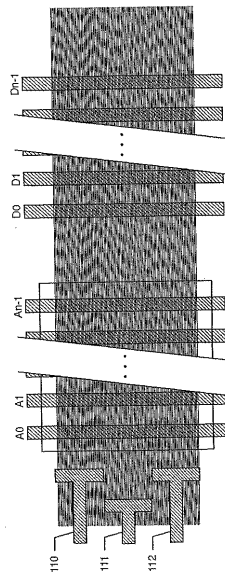


FIG. 16

【図 17】

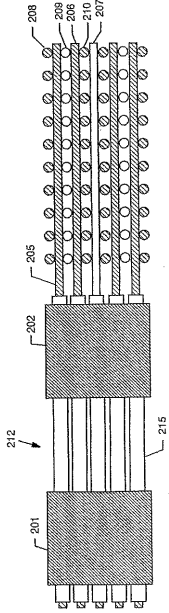


FIG. 17

【図 18】

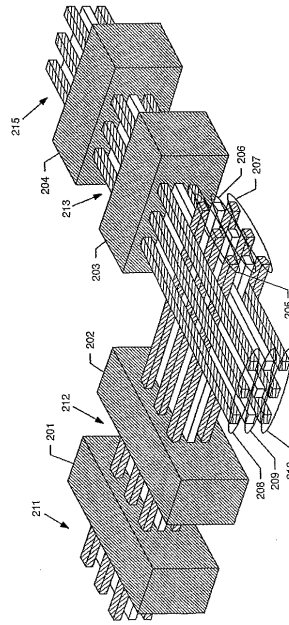


FIG. 18

【図 19】

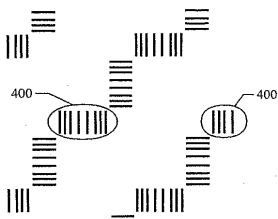


FIG. 19

【図 20】

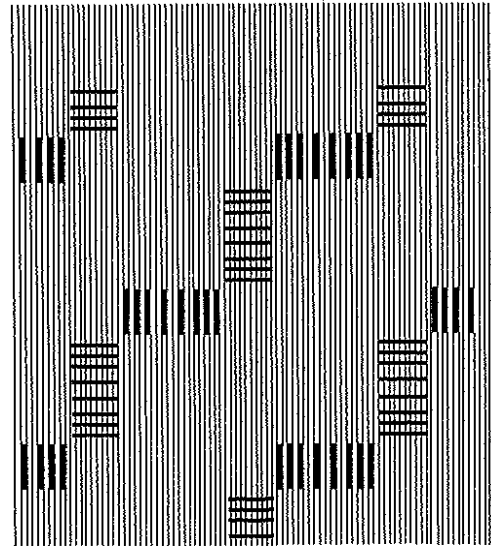


FIG. 20

【図 2 1】

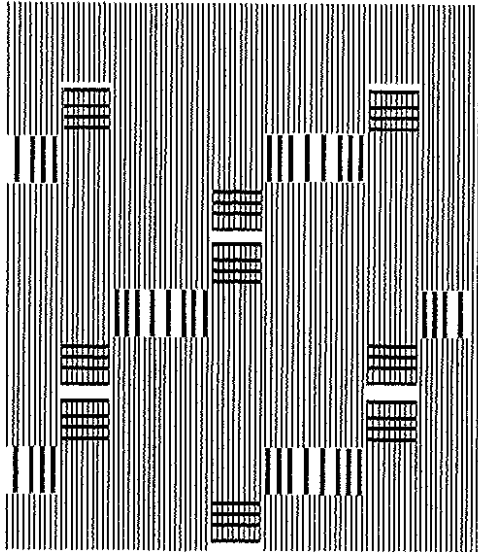


FIG. 21

【図 2 2】

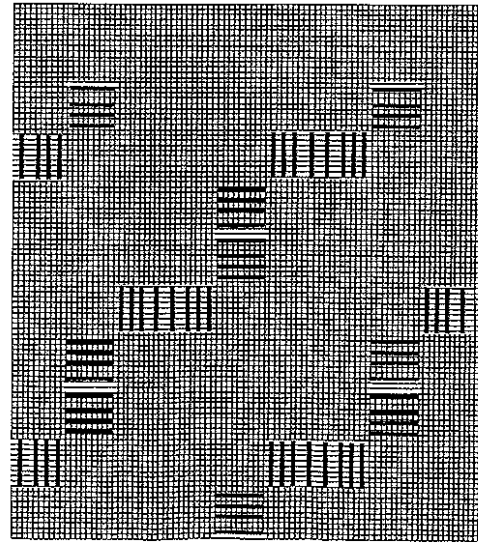


FIG. 22

【図 2 3】

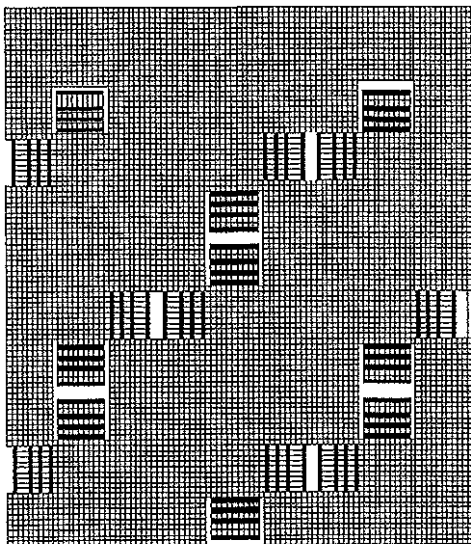


FIG. 23

【図 2 4】

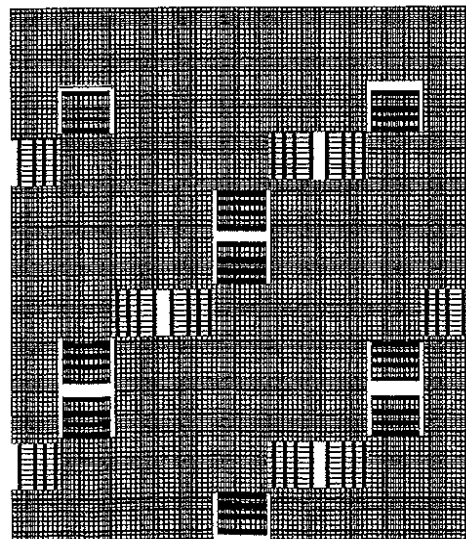


FIG. 24

【 図 25 】

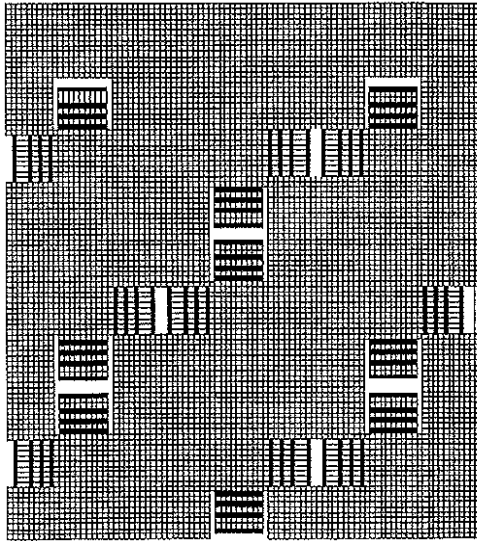


FIG. 25

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/US 03/23199
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G11C13/02 G11C8/10		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 256 767 B1 (KUEKES PHILIP J ET AL) 3 July 2001 (2001-07-03) cited in the application abstract; claim 16; figures 3-6,8-10 column 2, line 33 -column 13, line 15	1-36
Y		37-40
A		41-47
Y	US 6 314 019 B1 (HEATH JAMES R ET AL) 6 November 2001 (2001-11-06) abstract; figures 3,4 column 11, line 57-65	37-40
A		1-36
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 13 May 2004		Date of mailing of the international search report 02/06/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Trifonov, A

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 03/23199

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6256767	B1	03-07-2001	NONE
US 6314019	B1	06-11-2001	US 2003067798 A1 10-04-2003
		US 6518156 B1	11-02-2003

フロントページの続き

(31)優先権主張番号 60/429,010
 (32)優先日 平成14年11月25日(2002.11.25)
 (33)優先権主張国 米国(US)
 (31)優先権主張番号 60/441,995
 (32)優先日 平成15年1月23日(2003.1.23)
 (33)優先権主張国 米国(US)
 (31)優先権主張番号 60/465,357
 (32)優先日 平成15年4月25日(2003.4.25)
 (33)優先権主張国 米国(US)
 (31)優先権主張番号 60/467,388
 (32)優先日 平成15年5月2日(2003.5.2)
 (33)優先権主張国 米国(US)

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,M W,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA ,ZM,ZW

(71)出願人 501228071
 エスアールアイ インターナショナル
 S R I I n t e r n a t i o n a l
 アメリカ合衆国 カリフォルニア州 94025 メンロパーク レイベンスウッド アベニュー
 333
 333 Ravenswood Avenue, Menlo Park, Californi
 a 94025, U.S.A.

(71)出願人 505028587
 ブラウン ユニヴァーシティー
 アメリカ合衆国 ロードアイランド州 02912 プロヴィデンス チャールズフィールド 4
 2 ルーム・301 ボックス・1949

(74)代理人 100070150
 弁理士 伊東 忠彦

(74)代理人 100091214
 弁理士 大貫 進介

(74)代理人 100107766
 弁理士 伊東 忠重

(72)発明者 デオン, アンドレ
 アメリカ合衆国 カリフォルニア州 91106 パサディナ コルドヴァ 1270 アパート
 メント・9号

(72)発明者 リーバー, チャールズ エム
 アメリカ合衆国 マサチューセッツ州 02420 レキシントン ヘイズ・アヴェニュー 27

(72)発明者 リンカーン, パトリック ディー
 アメリカ合衆国 カリフォルニア州 94062 ウッドサイド サンライズ・ドライブ 160

(72)発明者 サヴェージ, ジョン
 アメリカ合衆国 ロードアイランド州 02906 プロヴィデンス ハムボウルト・アヴェニュー
 65

Fターム(参考) 5F033 HH03 HH36 RR03 VV06 VV16

5F083 FZ10 GA09 GA10 LA11