(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2020 年 8 月 6 日 (06.08.2020)

WIPO | PCT

(10) 国际公布号
WO 2020/155399 A1

(51) 国际专利分类号:
H01L 21/77 (2017.01) *H01L 27/12* (2006.01)

(21) 国际申请号: PCT/CN2019/082641

(22) 国际申请日: 2019 年 4 月 15 日 (15.04.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910100218.7 2019年1月31日 (31.01.2019) CN

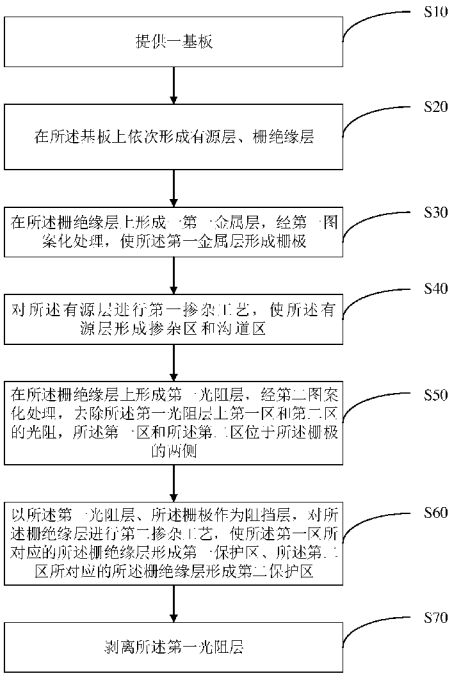
(71) 申请人: 武汉华星光电半导体显示技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。

(72) 发明人: 向 明 (XIANG, Ming); 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。 明 星 (MING, Xing); 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所（普通合伙） (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道6021号喜年中心A座1709-1711, Guangdong 518040 (CN)。

(54) **Title:** ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) **发明名称:** 阵列基板及其制作方法



S10 Provide a substrate
S20 Form an active layer and a gate insulation layer sequentially on the substrate
S30 Form a first metal layer on the gate insulation layer, and perform first patterning processing on the first metal layer to enable same to form a gate electrode
S40 Perform first doping processing on the active layer so as to enable the active layer to form a doping region and a groove region
S50 Form a first photoresist layer on the gate insulation layer, and perform second patterning processing on same to remove photoresist of a first region and a second region of the first photoresist layer, the first region and the second region being located on two sides of the gate electrode
S60 Perform second doping processing on gate insulation layers by taking the first photoresist layer and the gate electrode as barrier layers, so that the gate insulation layer corresponding to the first region forms a first protection layer, and the gate insulation layer corresponding the second region forms a second protection layer
S70 Peel off the first photoresist layer

图 1

(57) **Abstract:** The present application proposes an array substrate and a manufacturing method therefor. The array substrate comprises a substrate, an active layer located on the substrate, a gate insulation layer located on the active layer, a gate electrode located on the gate insulation layer, and a protection region located between the active layer and the gate electrode, the protection region being located on two sides of the gate electrode and being provided on the same layer as the gate insulation layer.

(57) **摘要**: 本申请提出了一种阵列基板及其制作方法，该阵列基板包括基板；位于基板上的有源层；位于有源层上的栅绝缘层；位于栅绝缘层上的栅极；位于有源层及栅极之间的保护区；保护区位于栅极两侧，且与栅绝缘层同层设置。

WO 2020/155399 A1

[见续页]

(81) 指定国(除另有指明，要求每一种可提供的国家保护)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

说明书

发明名称: 阵列基板及其制作方法

技术领域

[0001] 本申请涉及显示领域，特别涉及一种阵列基板及其制作方法。

背景技术

[0002] 在现有薄膜晶体管（TFT）结构中，为了增加薄膜晶体管器件的可靠度，减少工作状态下的漏电，通常采用轻掺杂源极/漏极的结构设计。以较低的离子注入量在源极/漏极端与沟道之间掺杂，形成一浓度缓冲区（等效串联了一个大电阻）来降低源极/漏极端边缘在此区域的电场梯度，从而降低了热载流子的产生几率。

[0003] 当高能量的离子注入到多晶硅时，容易导致多晶硅晶格受到损伤。在后续的氢化活化制程中，活化工艺能够修复受损晶格，让杂质进入活性位置，氢化工艺以氢原子填补多晶硅原子的未结合键或未饱和键，来减少不稳态数目，从而提升多晶硅的载子迁移率，以及阈值电压的均匀性。

[0004] 因此，目前亟需一种阵列基板以解决上述问题。

发明概述

技术问题

[0005] 本申请提供一种阵列基板及其制作方法，以解决现有阵列基板中多晶硅层载流子迁移率提高的技术问题。

问题的解决方案

技术解决方案

[0006] 本申请提出了一种阵列基板的制作方法，其包括步骤：

[0007] 提供一基板；

[0008] 在所述基板上依次形成有源层、栅绝缘层；

[0009] 在所述栅绝缘层上形成一第一金属层，经第一图案化处理，使所述第一金属层形成栅极；

[0010] 对所述有源层进行第一掺杂工艺，使所述有源层形成掺杂区和沟道区，

[0011] 其中，所述栅极在所述沟道区的正投影与所述沟道区重合；

[0012] 在所述栅绝缘层上形成第一光阻层，经第二图案化处理，去除所述第一光阻层上第一区和第二区的光阻，所述第一区和所述第二区位于所述栅极的两侧；

[0013] 以所述第一光阻层、所述栅极作为阻挡层，对所述栅绝缘层进行第二掺杂工艺，使所述第一区所对应的所述栅绝缘层形成第一保护区、所述第二区所对应的所述栅绝缘层形成第二保护区；

[0014] 剥离所述第一光阻层。

[0015] 在本申请的制作方法中，所述阵列基板的制作方法还包括步骤：

[0016] 在所述栅极上形成间绝缘层，并在所述间绝缘层上形成第一过孔，使部分所述掺杂区裸露；

[0017] 在所述间绝缘层上形成第二金属层，经第三图案化处理，使所述第二金属层形成源漏极；

[0018] 在所述源漏极上形成平坦层。

[0019] 在本申请的制作方法中，所述间绝缘层包括位于所述栅极上的第一间绝缘层和位于所述第一间绝缘层上的第二间绝缘层。

[0020] 在本申请的制作方法中，

[0021] 所述第一间绝缘层的材料包括氮化硅；

[0022] 所述第二间绝缘层的材料包括氧化硅。

[0023] 在本申请的制作方法中，以所述第一光阻层、所述栅极作为阻挡层，对所述栅绝缘层进行第二掺杂工艺，使所述第一区所对应的所述栅绝缘层形成第一保护区、所述第二区所对应的所述栅绝缘层形成第二保护区的步骤包括：

[0024] 以所述第一光阻层、所述栅极为阻挡层，使用含氟的等离子对所述栅绝缘层进行掺杂，使所述第一区所对应的所述栅绝缘层形成含氟的第一保护区、所述第二区所对应的所述栅绝缘层形成含氟的第二保护区；

[0025] 其中，所述第一保护区及所述第二保护区位于所述掺杂区上，且紧邻所述沟道区设置。

[0026] 在本申请的制作方法中，所述第一保护区及所述第二保护区的材料包括氮氟化硅或氟氧化硅中的一种或一种以上的组合物。

[0027] 本申请还提出了一种阵列基板，其包括：

[0028] 基板；

[0029] 位于所述基板上的有源层；

[0030] 位于所述有源层上的栅绝缘层；

[0031] 位于所述栅绝缘层上的栅极；以及

[0032] 位于所述有源层及所述栅极之间的保护区；

[0033] 所述保护区位于所述栅极两侧，且与所述栅绝缘层同层设置。

[0034] 在本申请的阵列基板中，所述有源层包括沟道区及掺杂区；

[0035] 所述掺杂区包括位于所述沟道区一侧的第一掺杂区和位于所述沟道区另一侧的第二掺杂区；

[0036] 所述栅极在所述沟道区的正投影与所述沟道区重合。

[0037] 在本申请的阵列基板中，所述保护区包括第一保护区和第二保护区；

[0038] 所述第一保护区位于所述第一掺杂区上，所述第二保护区位于所述第二掺杂区上，所述第一保护区及所述第二保护区紧邻所述沟道区设置。

[0039] 在本申请的阵列基板中，所述保护区的材料包括氮氟化硅或氟氧化硅中的一种或一种以上的组合物。

[0040] 在本申请的阵列基板中，所述阵列基板还包括位于所述栅极上的间绝缘层、位于所述间绝缘层上的源漏极及位于所述源漏极上的平坦层；

[0041] 所述间绝缘层包括位于所述栅极上的第一间绝缘层和位于所述第一间绝缘层上的第二间绝缘层；

[0042] 在本申请的阵列基板中，

[0043] 所述第一间绝缘层的材料包括氮化硅；

[0044] 所述第二间绝缘层的材料包括氧化硅。

[0045] 本申请还提出了一种阵列基板的制作方法，其包括步骤：

[0046] 提供一基板；

[0047] 在所述基板上依次形成有源层、栅绝缘层；

[0048] 在所述栅绝缘层上形成一第一金属层，经第一图案化处理，使所述第一金属层形成栅极；

[0049] 对所述有源层进行第一掺杂工艺，使所述有源层形成掺杂区和沟道区；

[0050] 在所述栅绝缘层上形成第一光阻层，经第二图案化处理，去除所述第一光阻层上第一区和第二区的光阻，所述第一区和所述第二区位于所述栅极的两侧；

[0051] 以所述第一光阻层、所述栅极作为阻挡层，对所述栅绝缘层进行第二掺杂工艺，使所述第一区所对应的所述栅绝缘层形成第一保护区、所述第二区所对应的所述栅绝缘层形成第二保护区；

[0052] 剥离所述第一光阻层。

[0053] 在本申请的制作方法中，所述阵列基板的制作方法还包括步骤：

[0054] 在所述栅极上形成间绝缘层，并在所述间绝缘层上形成第一过孔，使部分所述掺杂区裸露；

[0055] 在所述间绝缘层上形成第二金属层，经第三图案化处理，使所述第二金属层形成源漏极；

[0056] 在所述源漏极上形成平坦层。

[0057] 在本申请的制作方法中，所述间绝缘层包括位于所述栅极上的第一间绝缘层和位于所述第一间绝缘层上的第二间绝缘层。

[0058] 在本申请的制作方法中，

[0059] 所述第一间绝缘层的材料包括氮化硅；

[0060] 所述第二间绝缘层的材料包括氧化硅。

[0061] 在本申请的制作方法中，以所述第一光阻层、所述栅极作为阻挡层，对所述栅绝缘层进行第二掺杂工艺，使所述第一区所对应的所述栅绝缘层形成第一保护区、所述第二区所对应的所述栅绝缘层形成第二保护区的步骤包括：

[0062] 以所述第一光阻层、所述栅极为阻挡层，使用含氟的等离子对所述栅绝缘层进行掺杂，使所述第一区所对应的所述栅绝缘层形成含氟的第一保护区、所述第二区所对应的所述栅绝缘层形成含氟的第二保护区；

[0063] 其中，所述第一保护区及所述第二保护区位于所述掺杂区上，且紧邻所述沟道区设置。

[0064] 在本申请的制作方法中，所述第一保护区及所述第二保护区的材料包括氮氟化硅或氟氧化硅中的一种或一种以上的组合物。

发明的有益效果

有益效果

[0065] 本申请通过在将位于所述有源层上的部分区域设置为含氟的无机保护层，防止后续氢化工艺中氢原子进入有源层的掺杂区，避免了有源层载流子迁移率提高的技术问题。

对附图的简要说明

附图说明

[0066] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0067] 图1为本申请一种阵列基板的制作方法步骤图；

[0068] 图2A~2G为本申请一种阵列基板的制作方法工艺步骤图；

[0069] 图3为本申请一种阵列基板的膜层结构图。

发明实施例

本发明的实施方式

[0070] 以下各实施例的说明是参考附加的图示，用以例示本申请可用以实施的特定实施例。本申请所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本申请，而非用以限制本申请。在图中，结构相似的单元是用以相同标号表示。

[0071] 请参阅图1，图1为本申请一种阵列基板的制作方法步骤图。

[0072] 请参阅图2A~2G，图2A~2G为本申请一种阵列基板的制作方法工艺步骤图。

[0073] 所述阵列基板100的制作方法包括：

[0074] S10、提供一基板；

[0075] 请参阅图2A，在一种实施例中，所述基板101的原材料可以为玻璃基板、石英基板、树脂基板等中的一种。

[0076] 在一种实施例中，所述基板101还可以为柔性基板。所述柔性基板的材料可以为PI（聚酰亚胺）。

[0077] S20、在所述基板上依次形成有源层、栅绝缘层；

[0078] 请参阅图2A，步骤S20具体包括：

[0079] S201、在所述基板上形成一缓冲层；

[0080] 所述缓冲层102形成于所述基板101上，主要用于缓冲膜层结构之间的压力，并且还可以具有一定阻水氧的功能。

[0081] S202、在所述缓冲层102上形成一有源层；

[0082] 所述有源层103的材料为多晶硅，经图案化处理形成图2A所示的图案。

[0083] S203、在所述有源层上形成一栅绝缘层；

[0084] 所述栅绝缘层104整层设置，且将所述有源层103完全覆盖。所述栅绝缘层104用于将所述有源层103与位于所述栅绝缘层104上的金属层隔离。

[0085] 在一种实施例中，所述栅绝缘层104的材料通常为氮化硅，也可以使用氧化硅和氮氧化硅等。

[0086] S30、在所述栅绝缘层104上形成一第一金属层，经第一图案化处理，使所述第一金属层形成栅极105；

[0087] 请参阅图2B，所述栅极105的材料可以采用钼、铝、铝镍合金、钼钨合金、铬、或铜等金属中的一种，也可以使用上述几种金属材料的组合物。

[0088] 在一种实施例中，所述栅极105的金属材料可以为钼。

[0089] 在本步骤中，首先在所述栅绝缘层104上形成一所述第一金属层。通过对所述第一金属层涂布光阻层，经掩模板（未画出）曝光，显影以及蚀刻的构图工艺处理后，使所述第一金属层形成图2B所示的栅极105，并剥离该光阻层。

[0090] S40、对所述有源层103进行第一掺杂工艺，使所述有源层103形成掺杂区和沟道区；

[0091] 请参阅图2C，以所述栅极105层作为阻挡层，对所述有源层103进行第一掺杂工艺，使所述有源层103形成掺杂区和沟道区1031。所述掺杂区包括第一掺杂区1032和第二掺杂区1033，所述第一掺杂区1032和所述第二掺杂区1033位于所述沟道区1031两侧。

[0092] 在一种实施例中，所述第一掺杂工艺中所掺杂的离子为高浓度磷离子。所述沟道区1031由于所述栅极105的遮挡未进行离子掺杂。

[0093] 在一种实施例中，所述栅极105在所述沟道区1031的正投影与所述沟道区1031重合。

[0094] S50、在所述栅绝缘层104上形成第一光阻层，经第二图案化处理，去除所述第一光阻层上第一区和第二区的光阻，所述第一区和所述第二区位于所述栅极105的两侧；

[0095] 请参阅图2D，首先在所述栅绝缘层104上形成一所述第一光阻层106。所述第一光阻层106经掩模板（未画出）曝光，显影的构图工艺处理，去除所述第一光阻层106上第一区1061和第二区1062的光阻。

[0096] 在一种实施例中，所述第一区1061和所述第二区1062位于所述栅极105的两侧。所述第一区1061与所述第一掺杂区1032对应，所述第二区1062域所述第二掺杂区1033对应。

[0097] S60、以所述第一光阻层106、所述栅极105作为阻挡层，对所述栅绝缘层104进行第二掺杂工艺，使所述第一区1061所对应的所述栅绝缘层104形成第一保护区1041、所述第二区1062所对应的所述栅绝缘层104形成第二保护区1042；

[0098] 请参阅图2E，本步骤主要以所述第一光阻层106、所述栅极105作为阻挡层对所述栅绝缘层104进行第二掺杂工艺。

[0099] 由于所述第一区1061及所述第二区1062所对应的所述栅绝缘层104未被遮挡，因此所述第一区1061所对应的所述栅绝缘层104形成第一保护区1041、所述第二区1062所对应的所述栅绝缘层104形成第二保护区1042。

[0100] 所述第一保护区1041及所述第二保护区1042位于所述掺杂区上，且紧邻所述沟道区1031设置。

[0101] 在一种实施例中，所述第一保护区1041及所述第二保护区1042位于所述栅极105与所述有源层103之间。所述第一保护区1041位于所述第一掺杂区1032上，所述第一保护区1041的面积不大于所述第一掺杂区1032的面积。所述第二保护区1042位于所述第二掺杂区1033上，所述第二保护区1042的面积不大于所述第二掺杂区1033的面积。

[0102] 在一种实施例中，所述第二掺杂工艺中所掺杂的离子为氟离子。由于所述栅绝缘层104的材料一般包括氮化硅或氧化硅，经离子掺杂后形成氮氟化硅或氟氧化硅。

[0103] S70、剥离所述第一光阻层106。

[0104] S80、在所述栅极105上形成间绝缘层107，并在所述绝缘层上形成第一过孔，使部分所述掺杂区裸露。

[0105] 请参阅图2F，首先在所述栅极105上形成第一间绝缘层1071，使所述第一间绝缘层1071覆盖所述栅极105。其次在所述第一间绝缘层1071上形成第二间绝缘层1072。最后在所述第一间绝缘层1071及所述第二间绝缘层1072上形成所述第一过孔108，使部分所述掺杂区裸露。

[0106] 在一种实施例中，所述第一间绝缘层1071的材料可以包括氮化硅。所述第二间绝缘层1072的材料可以包括氧化硅。

[0107] 在后续的氢化活化制程中，所述第一间绝缘层1071中的氢原子穿过所述栅极105绝缘层进入所述第一掺杂区1032和所述第二掺杂区1033。由于所述栅极105绝缘层中的所述第一保护区1041和所述第二保护区1042含有氟原子，能够阻挡氢原子向下扩散，因而所述第一保护区1041及所述第二保护区1042所对应的多晶硅层仍保留部分晶格缺陷，成为可以降低薄膜晶体管工作状态下漏电流的“缓冲区”，避免了有源层103载流子迁移率的提高。

[0108] S90、在所述间绝缘层107上形成第二金属层，经第三图案化处理，使所述第二金属层形成源漏极；

[0109] 请参阅图2G，所述源漏极109的材料可以采用钼、铝、铝镍合金、钼钨合金、铬、或铜等金属中的一种，也可以使用上述几种金属材料的组合物。

[0110] 在一种实施例中，所述源漏极109的金属材料可以为钛铝合金。

[0111] 在本步骤中，首先在所述第二间绝缘层1072上形成一所述第二金属层。通过对所述第二金属层涂布光阻层，经掩模板（未画出）曝光，显影以及蚀刻的构图工艺处理后，使所述第二金属层形成图2G所示的源漏极109，并剥离该光阻层。

[0112] 所述源漏极109通过所述第一过孔108与所述第一掺杂区1032及所述第二掺杂区1033电连接。

[0113] S100、在所述源漏极109上形成平坦层。

[0114] 请参阅图2G，所述平坦层110位于所述源漏极109上，用于保证膜层的平整度。在一种实施例中，所述平坦层110的材料可以为有机材料。

[0115] 本申请通过在将位于所述有源层103上的部分区域设置为含氟的无机保护层，防止后续氢化工艺中氢原子进入有源层103的掺杂区，避免了有源层103载流子迁移率提高的技术问题。

[0116] 请参阅图3，图3为本申请一种阵列基板的膜层结构图。

[0117] 所述阵列基板100包括基板101及位于所述基板101上的薄膜晶体管层200。

[0118] 在一种实施例中，所述基板101的原材料可以为玻璃基板、石英基板、树脂基板等中的一种。

[0119] 在一种实施例中，所述基板101还可以为柔性基板。所述柔性基板的材料可以为PI（聚酰亚胺）。

[0120] 所述薄膜晶体管层200包括蚀刻阻挡层型、背沟道蚀刻型或顶栅薄膜晶体管型等结构，具体没有限制。例如顶栅薄膜晶体管型的所述薄膜晶体管层200包括：缓冲层102、有源层103、栅绝缘层104、栅极105、间绝缘层107、源漏极109及平坦层110。

[0121] 所述缓冲层102形成于所述基板101上，主要用于缓冲膜层结构之间的压力，并且还可以具有一定阻水氧的功能。

[0122] 所述有源层103形成于所述缓冲层102上。

[0123] 在一种实施例中，所述有源层103的材料为多晶硅。

[0124] 所述有源层103经第一掺杂工艺，形成掺杂区和沟道区1031。所述掺杂区包括第一掺杂区1032和第二掺杂区1033，所述第一掺杂区1032位于所述沟道区1031的一侧，所述第二掺杂区1033位于所述沟道区1031的另一侧。

[0125] 在一种实施例中，所述第一掺杂工艺中所掺杂的离子为高浓度磷离子。所述沟道区1031由于所述栅极105的遮挡未进行离子掺杂。

[0126] 在一种实施例中，所述栅极105在所述沟道区1031的正投影与所述沟道区1031重合。

[0127] 所述栅绝缘层104形成于所述有源层103上。所述栅绝缘层104整层设置，且将

所述有源层103完全覆盖。所述栅绝缘层104用于将所述有源层103与位于所述栅绝缘层104上的金属层隔离。

[0128] 在一种实施例中，所述栅绝缘层104的材料通常为氮化硅，也可以使用氧化硅和氮氧化硅等。

[0129] 所述栅绝缘层104上还设置有保护区。所述保护区包括第一保护区1041和第二保护区1042。所述第一保护区1041及所述第二保护区1042位于所述掺杂区上，且紧邻所述沟道区1031设置。

[0130] 在一种实施例中，所述第一保护区1041及所述第二保护区1042位于所述栅极105与所述有源层103之间。所述第一保护区1041位于所述第一掺杂区1032上，所述第一保护区1041的面积不大于所述第一掺杂区1032的面积。所述第二保护区1042位于所述第二掺杂区1033上，所述第二保护区1042的面积不大于所述第二掺杂区1033的面积。

[0131] 在一种实施例中，所述保护区由所述保护区所对应的所述栅绝缘层104经过第二掺杂工艺形成。

[0132] 在一种实施例中，所述第二掺杂工艺中所掺杂的离子为氟离子。由于所述栅绝缘层104的材料一般包括氮化硅或氧化硅，经离子掺杂后形成氮氟化硅或氟氧化硅。

[0133] 在一种实施例中，所述保护区的材料包括氮氟化硅或氟氧化硅中的一种或一种以上的组合物。

[0134] 所述栅极105形成于所述第一绝缘层304上。所述栅极105的金属材料通常可以采用钼、铝、铝镍合金、钼钨合金、铬、或铜等金属中的一种，也可以使用上述几种金属材料的组合物。

[0135] 在一种实施例中，所述栅极105的金属材料可以为钼。

[0136] 在一种实施例中，所述栅极105在所述沟道区1031的正投影与所述沟道区1031重合。

[0137] 所述间绝缘层107位于所述栅极105上。所述间绝缘层107包括位于所述栅极105上的第一间绝缘层1071和位于所述第一间绝缘层1071上的第二间绝缘层1072。

[0138] 在一种实施例中，所述第一间绝缘层1071的材料可以包括氮化硅。所述第二间

绝缘层1072的材料可以包括氧化硅。

[0139] 第一过孔108，所述第一过孔108贯穿所述第一间绝缘层1071和所述第二间绝缘层1072，使部分所述第一掺杂区1032和所述第二掺杂区1033裸露。

[0140] 所述源漏极109形成于所述第二间绝缘层1072上。所述源漏极109通过所述第一过孔108与所述第一掺杂区1032及所述第二掺杂区1033电连接。

[0141] 在一种实施例中，所述源漏极109的材料可以与所述栅极105的相同或不同。在一种实施例中，所述源漏极109的金属材料为钛铝合金。

[0142] 所述平坦层110位于所述源漏极109上，用于保证膜层的平整度。在一种实施例中，所述平坦层110的材料可以为有机材料。

[0143] 在后续的氢化活化制程中，所述第一间绝缘层1071中的氢原子穿过所述栅极105绝缘层进入所述第一掺杂区1032和所述第二掺杂区1033。由于所述栅极105绝缘层中的所述第一保护区1041和所述第二保护区1042含有氟原子，能够阻挡氢原子向下扩散，因而所述第一保护区1041及所述第二保护区1042所对应的多晶硅层仍保留部分晶格缺陷，成为可以降低薄膜晶体管工作状态下漏电流的“缓冲区”，避免了有源层103载流子迁移率的提高。

[0144] 本申请通过在将位于所述有源层103上的部分区域设置为含氟的无机保护层，防止后续氢化工艺中氢原子进入有源层103的掺杂区，避免了有源层103载流子迁移率提高的技术问题。

[0145] 本申请提出了一种阵列基板及其制作方法，所述阵列基板，包括基板；位于所述基板上的有源层；位于所述有源层上的栅绝缘层；位于所述栅绝缘层上的栅极；位于所述有源层及所述栅极之间的保护区；所述保护区位于所述栅极两侧，且与所述栅绝缘层同层设置。本申请通过在将位于所述有源层上的部分区域设置为含氟的无机保护层，防止后续氢化工艺中氢原子进入有源层的掺杂区，避免了有源层载流子迁移率提高的技术问题。

[0146] 综上所述，虽然本申请已以优选实施例揭露如上，但上述优选实施例并非用以限制本申请，本领域的普通技术人员，在不脱离本申请的精神和范围内，均可作各种更动与润饰，因此本申请的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1] 一种阵列基板的制作方法，其包括步骤：

提供一基板；

在所述基板上依次形成有源层、栅绝缘层；

在所述栅绝缘层上形成一第一金属层，经第一图案化处理，使所述第一金属层形成栅极；

对所述有源层进行第一掺杂工艺，使所述有源层形成掺杂区和沟道区，

其中，所述栅极在所述沟道区的正投影与所述沟道区重合；

在所述栅绝缘层上形成第一光阻层，经第二图案化处理，去除所述第一光阻层上第一区和第二区的光阻，所述第一区和所述第二区位于所述栅极的两侧；

以所述第一光阻层、所述栅极作为阻挡层，对所述栅绝缘层进行第二掺杂工艺，使所述第一区所对应的所述栅绝缘层形成第一保护区、所述第二区所对应的所述栅绝缘层形成第二保护区；

剥离所述第一光阻层。

[权利要求 2] 根据权利要求1所述的制作方法，其中，所述阵列基板的制作方法还包括步骤：

在所述栅极上形成间绝缘层，并在所述间绝缘层上形成第一过孔，使部分所述掺杂区裸露；

在所述间绝缘层上形成第二金属层，经第三图案化处理，使所述第二金属层形成源漏极；

在所述源漏极上形成平坦层。

[权利要求 3] 根据权利要求2所述的制作方法，其中，所述间绝缘层包括位于所述栅极上的第一间绝缘层和位于所述第一间绝缘层上的第二间绝缘层。

[权利要求 4] 根据权利要求3所述的制作方法，其中，

所述第一间绝缘层的材料包括氮化硅；

所述第二间绝缘层的材料包括氧化硅。

[权利要求 5] 根据权利要求1所述的制作方法，其中，以所述第一光阻层、所述栅极作为阻挡层，对所述栅绝缘层进行第二掺杂工艺，使所述第一区所对应的所述栅绝缘层形成第一保护区、所述第二区所对应的所述栅绝缘层形成第二保护区的步骤包括：

以所述第一光阻层、所述栅极为阻挡层，使用含氟的等离子对所述栅绝缘层进行掺杂，使所述第一区所对应的所述栅绝缘层形成含氟的第一保护区、所述第二区所对应的所述栅绝缘层形成含氟的第二保护区；

其中，所述第一保护区及所述第二保护区位于所述掺杂区上，且紧邻所述沟道区设置。

[权利要求 6] 根据权利要求1所述的制作方法，其中，所述第一保护区及所述第二保护区的材料包括氮氟化硅或氟氧化硅中的一种或一种以上的组合物。

[权利要求 7] 一种阵列基板，其中，包括：

基板；

位于所述基板上的有源层；

位于所述有源层上的栅绝缘层；

位于所述栅绝缘层上的栅极；以及

位于所述有源层及所述栅极之间的保护区；

所述保护区位于所述栅极两侧，且与所述栅绝缘层同层设置。

[权利要求 8] 根据权利要求7所述的阵列基板，其中，所述有源层包括沟道区及掺杂区；

所述掺杂区包括位于所述沟道区一侧的第一掺杂区和位于所述沟道区另一侧的第二掺杂区；

所述栅极在所述沟道区的正投影与所述沟道区重合。

[权利要求 9] 根据权利要求8所述的阵列基板，其中，所述保护区包括第一保护区和第二保护区；

所述第一保护区位于所述第一掺杂区上，所述第二保护区位于所述第

二掺杂区上，所述第一保护区及所述第二保护区紧邻所述沟道区设置。

[权利要求 10] 根据权利要求7所述的阵列基板，其中，所述保护区的材料包括氮氟化硅或氟氧化硅中的一种或一种以上的组合物。

[权利要求 11] 根据权利要求7所述的阵列基板，其中，所述阵列基板还包括位于所述栅极上的间绝缘层、位于所述间绝缘层上的源漏极及位于所述源漏极上的平坦层；

所述间绝缘层包括位于所述栅极上的第一间绝缘层和位于所述第一间绝缘层上的第二间绝缘层；

[权利要求 12] 根据权利要求11所述的阵列基板，其中，

所述第一间绝缘层的材料包括氮化硅；

所述第二间绝缘层的材料包括氧化硅。

[权利要求 13] 一种阵列基板的制作方法，其包括步骤：

提供一基板；

在所述基板上依次形成有源层、栅绝缘层；

在所述栅绝缘层上形成一第一金属层，经第一图案化处理，使所述第一金属层形成栅极；

对所述有源层进行第一掺杂工艺，使所述有源层形成掺杂区和沟道区；

在所述栅绝缘层上形成第一光阻层，经第二图案化处理，去除所述第一光阻层上第一区和第二区的光阻，所述第一区和所述第二区位于所述栅极的两侧；

以所述第一光阻层、所述栅极作为阻挡层，对所述栅绝缘层进行第二掺杂工艺，使所述第一区所对应的所述栅绝缘层形成第一保护区、所述第二区所对应的所述栅绝缘层形成第二保护区；

剥离所述第一光阻层。

[权利要求 14] 根据权利要求13所述的制作方法，其中，所述阵列基板的制作方法还包括步骤：

在所述栅极上形成间绝缘层，并在所述间绝缘层上形成第一过孔，使部分所述掺杂区裸露；

在所述间绝缘层上形成第二金属层，经第三图案化处理，使所述第二金属层形成源漏极；

在所述源漏极上形成平坦层。

[权利要求 15] 根据权利要求14所述的制作方法，其中，所述间绝缘层包括位于所述栅极上的第一间绝缘层和位于所述第一间绝缘层上的第二间绝缘层。

[权利要求 16] 根据权利要求15所述的制作方法，其中，

所述第一间绝缘层的材料包括氮化硅；

所述第二间绝缘层的材料包括氧化硅。

[权利要求 17] 根据权利要求13所述的制作方法，其中，以所述第一光阻层、所述栅极作为阻挡层，对所述栅绝缘层进行第二掺杂工艺，使所述第一区所对应的所述栅绝缘层形成第一保护区、所述第二区所对应的所述栅绝缘层形成第二保护区的步骤包括：

以所述第一光阻层、所述栅极为阻挡层，使用含氟的等离子对所述栅绝缘层进行掺杂，使所述第一区所对应的所述栅绝缘层形成含氟的第一保护区、所述第二区所对应的所述栅绝缘层形成含氟的第二保护区；

其中，所述第一保护区及所述第二保护区位于所述掺杂区上，且紧邻所述沟道区设置。

[权利要求 18] 根据权利要求13所述的制作方法，其中，所述第一保护区及所述第二保护区的材料包括氮氟化硅或氟氧化硅中的一种或一种以上的组合物。

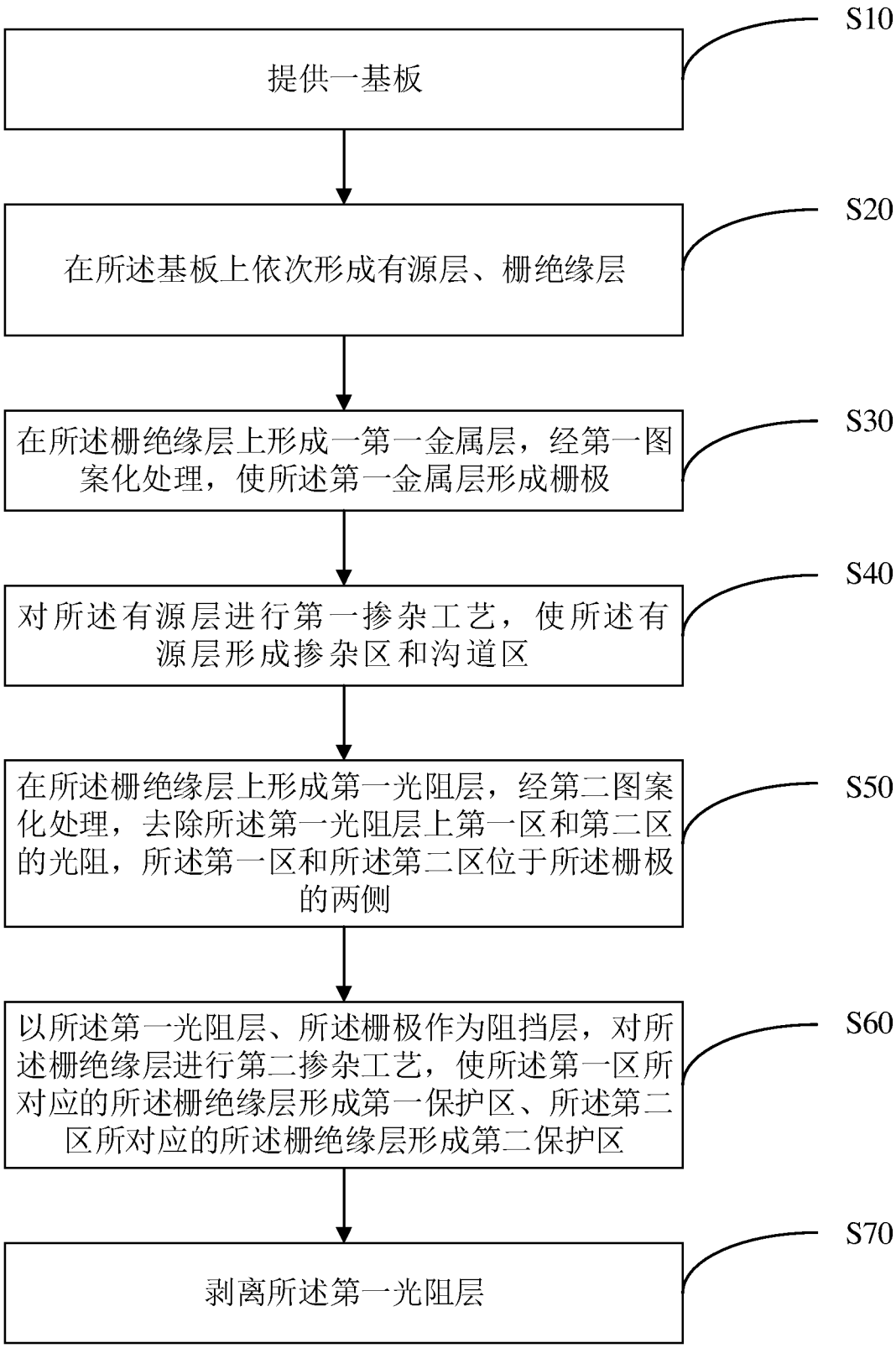

S10
提供一基板
S20
在所述基板上依次形成有源层、栅绝缘层
S30
在所述栅绝缘层上形成一第一金属层，经第一图案化处理，使所述第一金属层形成栅极
S40
对所述有源层进行第一掺杂工艺，使所述有源层形成掺杂区和沟道区
S50
在所述栅绝缘层上形成第一光阻层，经第二图案化处理，去除所述第一光阻层上第一区和第二区的光阻，所述第一区和所述第二区位于所述栅极的两侧
S60
以所述第一光阻层、所述栅极作为阻挡层，对所述栅绝缘层进行第二掺杂工艺，使所述第一区所对应的所述栅绝缘层形成第一保护区、所述第二区所对应的所述栅绝缘层形成第二保护区
S70
剥离所述第一光阻层

图 1

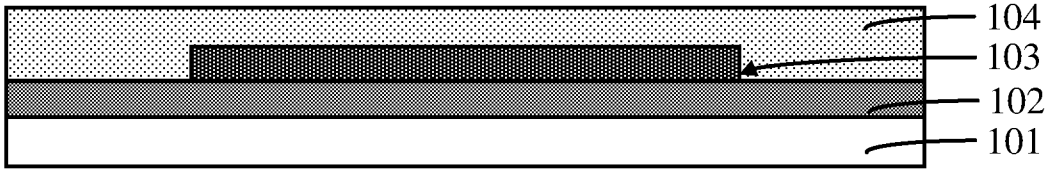

104
103
102
101

图 2A

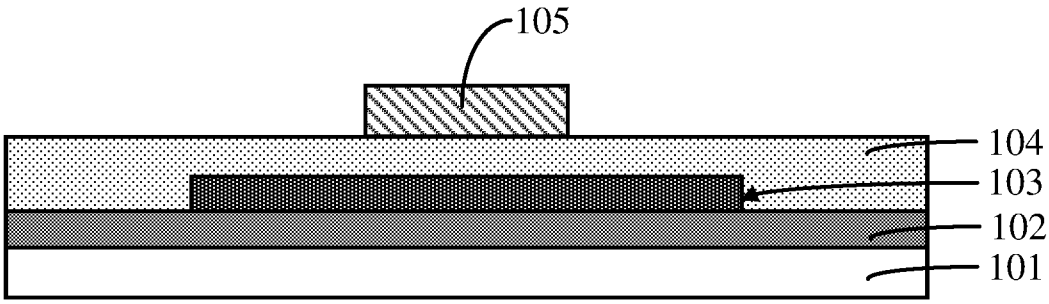

105
104
103
102
101

图 2B

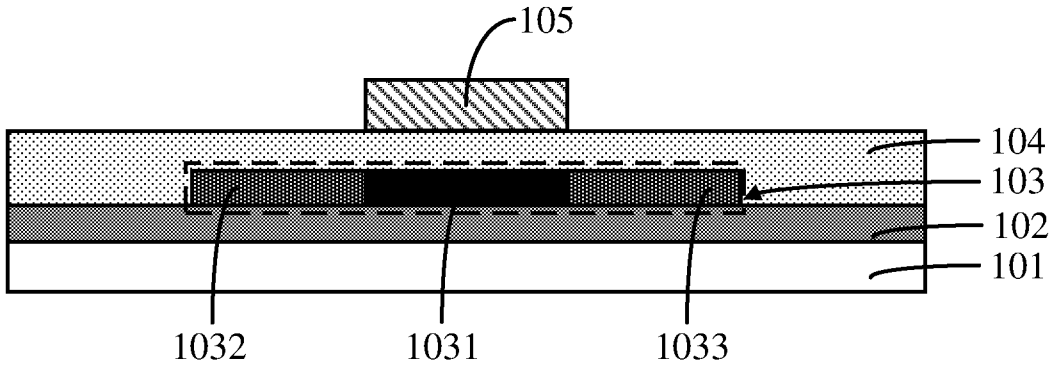

105
104
103
102
101
1032
1031
1033

图 2C

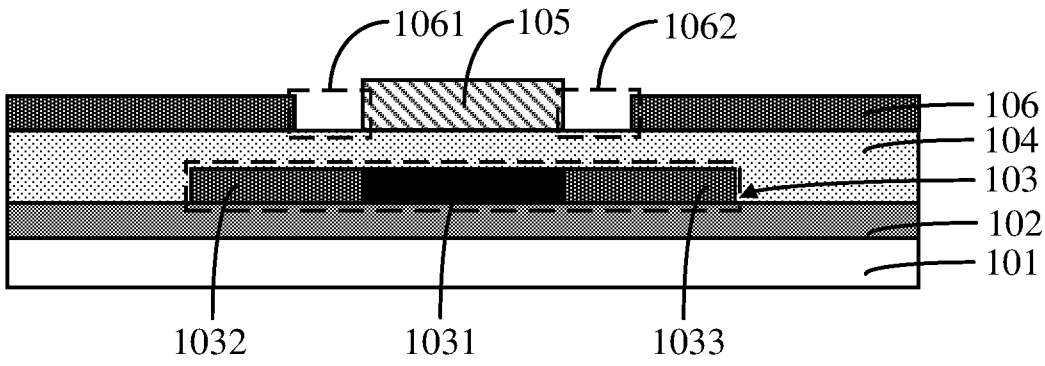

1061
105
1062
106
104
103
102
101
1032
1031
1033

图 2D

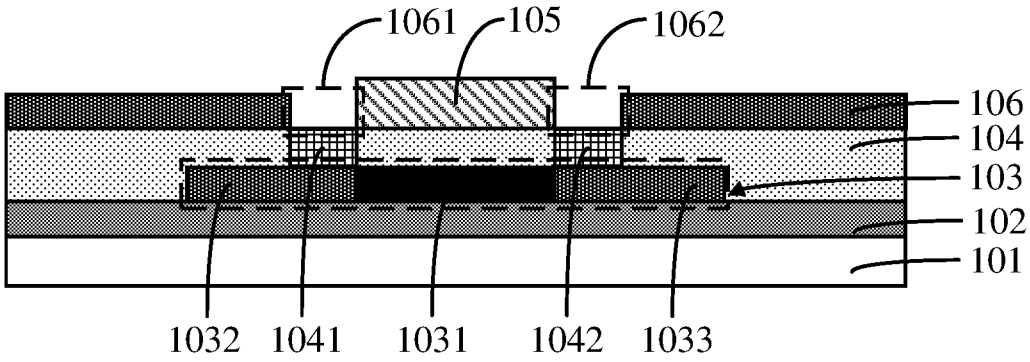

1061
105
1062
106
104
103
102
101
1032
1041
1031
1042
1033

图 2E

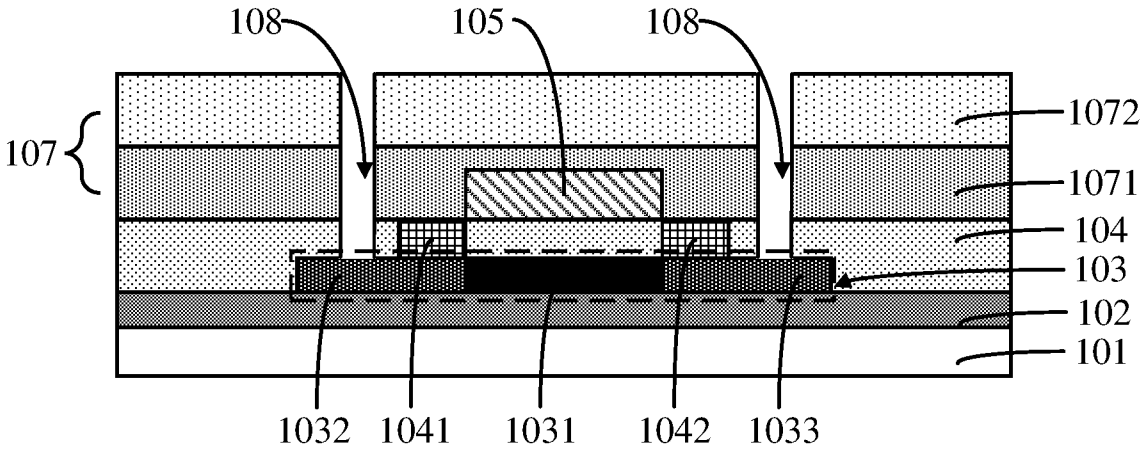

108
105
108
107
1072
1071
104
103
102
101
1032
1041
1031
1042
1033

图 2F

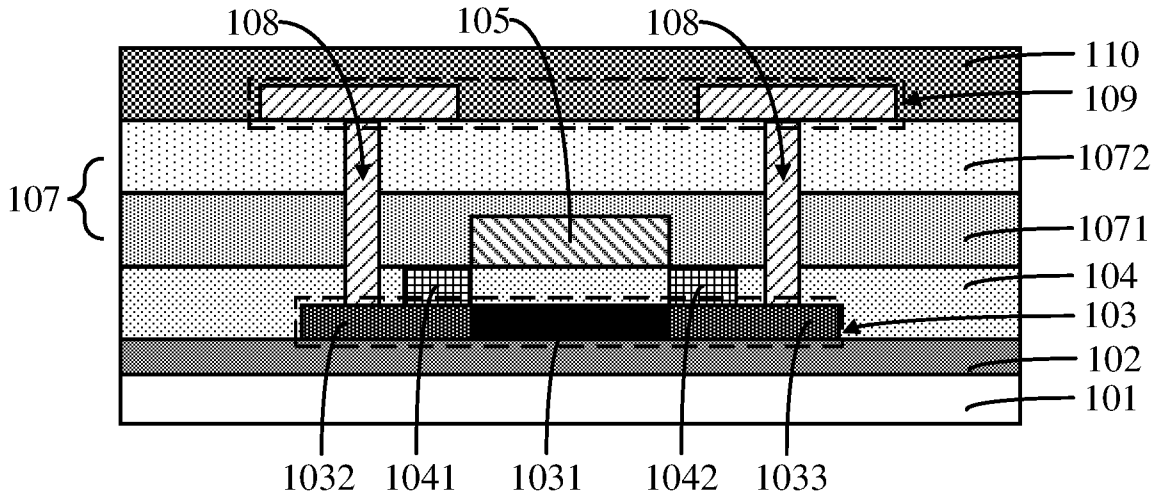

108
105
108
110
109
107
1072
1071
104
103
102
101
1032
1041
1031
1042
1033

图 2G

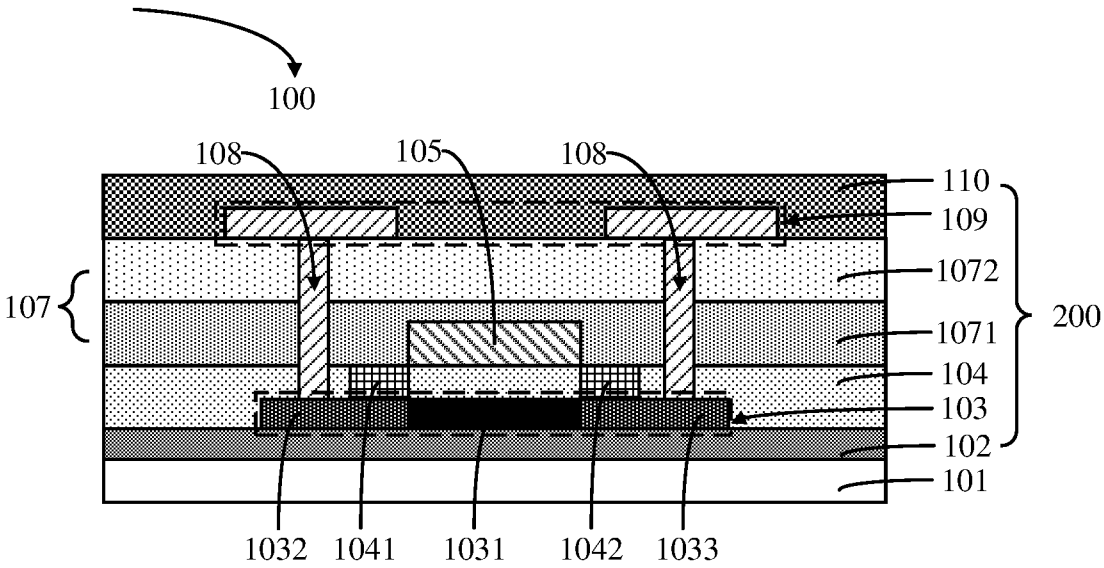

100
108
105
108
110
109
107
1072
200
1071
104
103
102
101
1032
1041
1031
1042
1033

图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/082641

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77(2017.01)i; H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; USTXT; SIPOABS; CNABS; CNTXT; CNKI: 薄膜晶体管, 阵列, 基板, 衬底, 栅极, 绝缘, 有源, 氢, 氟, 掺杂, 保护, 源, 漏, TFT, array, base, board, substrate, gate, illustrating, active, hydrogen, fluorine, doping, protect, source, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1740880 A (TOPPOLY OPTOELECTRONICS CORP.) 01 March 2006 (2006-03-01) description, page 10, line 5 to page 15, line 8, and figures 2A-2F	7-9, 11-12
A	CN 105679705 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 15 June 2016 (2016-06-15) description, paragraphs 58-85, and figures 7-16	1-18
A	CN 108122759 A (BOE TECHNOLOGY GROUP CO., LTD.) 05 June 2018 (2018-06-05) entire document	1-18
A	CN 107195641 A (SHANGHAI TIANMA ORGANIC LUMINESCENT DISPLAY TECHNOLOGY CO., LTD.) 22 September 2017 (2017-09-22) entire document	1-18
A	US 2007090452 A1 (CHO et al.) 26 April 2007 (2007-04-26) entire document	1-18
A	CN 101803031 A (SHARP CORPORATION) 11 August 2010 (2010-08-11) entire document	1-18
A	CN 105470195 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 06 April 2016 (2016-04-06) entire document	1-18

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 October 2019	**30 October 2019**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration** **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/082641

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 1740880 A	01 March 2006	CN 100397217 C	25 June 2008
CN 105679705 A	15 June 2016	CN 105679705 B	26 October 2018
CN 108122759 A	05 June 2018	US 2019081159 A1	14 March 2019
		KR 20180086405 A	31 July 2018
		WO 2018099066 A1	07 June 2018
		IN 201827004492 A	04 January 2019
CN 107195641 A	22 September 2017	US 2018006142 A1	04 January 2018
		US 10068996 B2	04 September 2018
US 2007090452 A1	26 April 2007	KR 100668862 B1	16 January 2007
		US 2008138952 A1	12 June 2008
		US 7482230 B2	27 January 2009
CN 101803031 A	11 August 2010	CN 101803031 B	04 July 2012
		WO 2009037896 A1	26 March 2009
		US 2010207120 A1	19 August 2010
CN 105470195 A	06 April 2016	CN 105470195 B	09 November 2018

国际检索报告

国际申请号
PCT/CN2019/082641

A. 主题的分类

H01L 21/77(2017.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

DWPI;USTXT;SIPOABS;CNABS;CNTXT;CNKI: 薄膜晶体管，阵列，基板，衬底，栅极，绝缘，有源，氢，氟，掺杂，保护，源，漏，TFT，array，base, board,substrate，gate,illustrating, active,hydrogen,fluorine, doping, protect,source,drain

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 1740880 A (统宝光电股份有限公司) 2006年 3月 1日 (2006-03-01) 说明书第10页第5行至第15页第8行，附图2A-2F	7-9，11-12
A	CN 105679705 A (武汉华星光电技术有限公司) 2016年 6月 15日 (2016-06-15) 说明书第58-85段，附图7-16	1-18
A	CN 108122759 A (京东方科技集团股份有限公司) 2018年 6月 5日 (2018-06-05) 全文	1-18
A	CN 107195641 A (上海天马有机发光显示技术有限公司) 2017年 9月 22日 (2017-09-22) 全文	1-18
A	US 2007090452 A1 (CHO 等) 2007年 4月 26日 (2007-04-26) 全文	1-18
A	CN 101803031 A (夏普株式会社) 2010年 8月 11日 (2010-08-11) 全文	1-18
A	CN 105470195 A (武汉华星光电技术有限公司) 2016年 4月 6日 (2016-04-06) 全文	1-18

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 10月 23日	2019年 10月 30日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	柴春英
传真号 (86-10)62019451	电话号码 62089870

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/082641

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1740880	A	2006年 3月 1日	CN	100397217	C	2008年 6月 25日
CN	105679705	A	2016年 6月 15日	CN	105679705	B	2018年 10月 26日
CN	108122759	A	2018年 6月 5日	US	2019081159	A1	2019年 3月 14日
				KR	20180086405	A	2018年 7月 31日
				WO	2018099066	A1	2018年 6月 7日
				IN	201827004492	A	2019年 1月 4日
CN	107195641	A	2017年 9月 22日	US	2018006142	A1	2018年 1月 4日
				US	10068996	B2	2018年 9月 4日
US	2007090452	A1	2007年 4月 26日	KR	100668862	B1	2007年 1月 16日
				US	2008138952	A1	2008年 6月 12日
				US	7482230	B2	2009年 1月 27日
CN	101803031	A	2010年 8月 11日	CN	101803031	B	2012年 7月 4日
				WO	2009037896	A1	2009年 3月 26日
				US	2010207120	A1	2010年 8月 19日
CN	105470195	A	2016年 4月 6日	CN	105470195	B	2018年 11月 9日