

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ŘÁD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

260728
(11) (B1)

[51] Int. Cl.⁴
G 06 F 7/548

(22) Přihlášeno 27 04 87
(21) (PV 2991-87.G)

(40) Zveřejněno 16 05 88

(45) Vydáno 15 05 89

[75]
Autor vynálezu

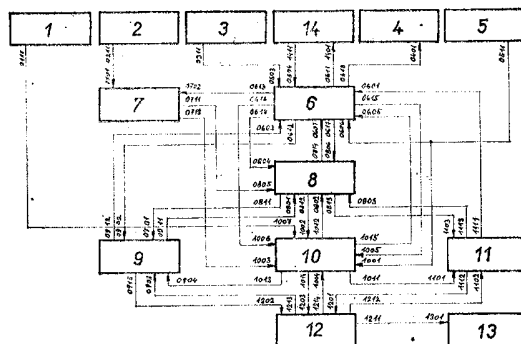
ČERNÝ RICHARD ing., LUDVÍK OTAKAR ing., RAJNIŠ MARTIN ing.,
SOUŠEK JIŘÍ ing., PRAHA

(54) Zapojení korekční jednotky pro generaci parametrů požadované dráhy

1

2

Řešením je zapojení korekční jednotky pro generaci parametrů požadované dráhy s ohledem na lineární a poloměrové korekce řízených souřadnic obráběcího stroje nebo výrobního zařízení při číslíkovém řízení. Spočívá především ve dvouprůchodovém zapojení dekodéru vstupních dat, generátoru ekvidistant a zkracovacího bloku a ve zpracovávání dat prostřednictvím vnitřní paměti.



Vynález se týká zapojení korekční jednotky pro generaci parametrů požadované dráhy s ohledem na lineární a poloměrové korekce řízených souřadnic obráběcího stroje nebo výrobního zařízení při číslicovém řízení.

Jednou ze základních vlastností moderních řídicích systémů obráběcích strojů je schopnost transformovat programovanou dráhu v závislosti na požadovaných korekcích do příslušných ekvidistant, respektive do posunutých ekvidistant vůči této programované dráze. S touto požadovanou vlastností úzce souvisí schopnost systému vkládat vhodné tvarové prvky mezi technologické bloky, jejichž korigované dráhy nemají žádný společný bod a schopnost zkracovat korigované dráhy v případě, že se korigované dráhy dvou po sobě jdoucích bloků protínají.

Dosud známé způsoby řeší tento problém buď speciálními jednodušeji pevně zapojenými bloky, nebo pomocí procesoru disponujícího speciálním korekčním programem. Hlavní nevýhodou prvního způsobu řešení je nárůst přístrojového vybavení řídicího systému a značné potíže spojené s modernizací a rozšiřováním možností takto koncipovaného systému.

Nevýhody druhého způsobu spočívají zejména ve značných nárocích na strojní čas centrální výpočetní jednotky a v nadměrné velikosti příslušného řídicího programu. Přitom se u systémů, které umožňují zkracování drah výše popsaným způsobem, tyto nevýhody projevují zvláště výrazně, neboť je nutno zpracovávat rozsáhlejší soubor vstupních dat.

Tyto nevýhody odstraňuje zapojení korekční jednotky pro generaci parametrů požadované dráhy podle vynálezu, které spočívá především ve dvouprůchodovém zapojení dekodéru vstupních dat, generátoru ekvidistant a zkracovacího bloku. Jeho podstatou je, že první povelový výstup řadiče je spojen s povelovým vstupem dekodéru vstupních dat, jehož synchronizační výstup je spojen s prvním spouštěcím vstupem generátoru ekvidistant.

Druhý spouštěcí vstup generátoru ekvidistant je spojen s druhým spouštěcím výstupem řadiče, jehož druhý povelový výstup je připojen na povelový vstup generátoru ekvidistant. První datový výstup řadiče je spojen se čtvrtým datovým vstupem vnitřní paměti, druhý datový výstup řadiče je připojen na šestý datový vstup vnitřní paměti a pátý datový vstup vnitřní paměti je spojen s datovým výstupem dekodéru vstupních dat. Datový vstup dekodéru vstupních dat je spojen s datovým výstupem programové paměti.

Třetí datový vstup generátoru ekvidistant je připojen na datový výstup korekční paměti. Povelový výstup povelové paměti je spojen s povelovým vstupem řadiče, jehož první datový vstup je připojen na datový

výstup paměti výchozího stavu spolu s prvním datovým vstupem generátoru ekvidistant. Synchronizační výstup generátoru ekvidistant je spojen s třetím synchronizačním vstupem řadiče, jehož první synchronizační vstup je připojen na synchronizační výstup vkládacího bloku.

Druhý synchronizační vstup řadiče je spojen se synchronizačním výstupem zkracovacího bloku, jenž je svým prvním spouštěcím vstupem připojen na první spouštěcí výstup řadiče. Druhý datový vstup řadiče je připojen na čtvrtý datový výstup vnitřní paměti, na jejíž první, druhý a třetí datový výstup jsou po řadě připojeny datový vstup zkracovacího bloku, druhý datový vstup generátoru ekvidistant a datový vstup vkládacího bloku.

Datové výstupy zkracovacího bloku generátoru ekvidistant a vkládacího bloku jsou po řadě připojeny na první, druhý a třetí datový vstup vnitřní paměti, přičemž aktivní výstupy zkracovacího bloku, generátoru ekvidistant a vkládacího bloku jsou po řadě připojeny na druhý, třetí a první aktivní vstup generátoru výstupních parametrů.

Synchronizační vstupy zkracovacího bloku, generátoru ekvidistant a vkládacího bloku jsou po řadě připojeny na druhý, třetí a první synchronizační výstup generátoru výstupních parametrů, druhý spouštěcí vstup zkracovacího bloku a spouštěcí vstup vkládacího bloku jsou po řadě připojeny na druhý a první spouštěcí výstup generátoru ekvidistant. Datový vstup paměti výstupních parametrů je připojen na datový výstup generátoru výstupních parametrů a datový vstup paměti chybových stavů je spojen s chybovým výstupem řadiče. Startovací vstup řadiče je spojen s výstupem synchronizačního bloku a synchronizační výstup řadiče je spojen se vstupem synchronizačního bloku.

Zapojením podle vynálezu byla vytvořena vysoce výkonná struktura umožňující hospodárné generování parametrů požadované dráhy, a to jak z hlediska počtu nezbytných funkčních bloků, tak i z hlediska doby, nutné pro průchod zapojením. Hlavní výhoda spočívá v tom, že stanovení hledaných parametrů je provedeno moderním stavebnicovým způsobem a svou výstavbou principiálně umožňuje i začlenění řady automatizačních prvků, nezbytných pro efektivní využití řídicího systému v bezobslužných provozech typu IVU a PVS.

Na připojeném výkresu je blokové schéma zapojení, přičemž jednotlivé bloky je možno charakterizovat takto:

Korekční paměť 1 je tvořena paměťmi typu RAM, které umožňují zápis a čtení uložených informací a slouží k uchovávání zadaných korekčních hodnot. Programová paměť 2 je vytvořena z paměti typu RAM a slouží k předávání dat mezi dekodérem vstupních uživatelských dat a popisovanou

korekční jednotkou. Povelová paměť **3** je tvořena pamětí typu RAM a slouží ke specifikaci požadavku řídicích bloků na činnost korekční jednotky.

Paměť **4** chybových stavů je tvořena pamětí typu RAM a slouží k přenosu stavových a chybových hlášení z korekční jednotky do řídicích bloků. Paměť **5** výchozího stavu je tvořena pamětí typu RAM a slouží k přenosu informace o dasazené poloze z interpolátoru do korekční jednotky. Řadič **6** je vytvořen z logických prvků sekvenčního a kombinačního charakteru a logické sítě pamětí typu PROM. Vytváří potřebné řídicí informace pro činnost dekodéru **7** vstupních dat zkracovacího bloku **9** a generátoru **10** ekvidistant. Zajišťuje synchronizaci činnosti jednotlivých funkčních bloků korekční jednotky.

Dekodér **7** vstupních dat je tvořen rovněž pamětí typu PROM a vůči programové paměti **2** představuje vlastně vstupní interface korekční jednotky. Vnitřní paměť **8** je tvořena pamětí typu RAM a slouží jednak k přenosu dat mezi jednotlivými bloky korekční jednotky, jednak k uchovávání údajů umožňujících výrazně zefektivnit činnost korekční jednotky při její opětovné aktivaci. Zkracovací blok **9**, generátor **10** ekvidistant a vkladací blok **11** jsou podobného charakteru jako řadič **6** a i ony jsou realizovány pomocí pamětí typu PROM. Jsou jádrem korekční jednotky a ve vzájemné součinnosti zajišťují nezbytné aritmetické a logické operace s daty uloženými ve vnitřní paměti **8**.

Generátor **12** výstupních parametrů je podobného charakteru jako dekodér **7** vstupních dat a jako výstupní interface korekční jednotky je rovněž realizován pomocí pamětí typu PROM. Paměť **13** výstupních parametrů je tvořena pamětí typu RAM a slouží k přenosu dat mezi korekční jednotkou a interpolátorem. Synchronizační blok **14** je podobného typu jako řadič **6** a vůči korekční jednotce má charakter řídicího nadřazeného bloku.

Jednotlivé bloky jsou zapojeny takto:

Startovací vstup **0604** řadiče **6** je připojen na výstup synchronizačního bloku **14**, první povelový vstup **0613** řadiče **6** je spojen s povelovým vstupem **0702** dekodéru **7** vstupních dat. Synchronizační výstup **0712** dekodéru **7** vstupních dat je spojen s prvním spouštěcím vstupem **1003** generátoru **10** ekvidistant. Druhý spouštěcí výstup **0616** řadiče **6** je spojen s druhým spouštěcím vstupem **1006** generátoru **10** ekvidistant.

Druhý povelový výstup **0615** řadiče **6** je připojen na povelový vstup **1005** generátoru **10** ekvidistant. První datový výstup **0614** řadiče **6** je spojen se čtvrtým datovým vstupem **0804** vnitřní paměti **8**. Druhý datový výstup **0617** řadiče **6** je spojen se šestým datovým vstupem **0806** vnitřní paměti **8**. Datový výstup **0711** dekodéru **7** vstupních dat je připojen na pátý datový vstup **0805** vnitř-

ní paměti **8**. Datový výstup **0911** zkracovacího bloku **9** je spojen s prvním datovým vstupem **0801** vnitřní paměti **8**. Datový výstup **1012** generátoru **10** ekvidistant je spojen s druhým datovým vstupem **0802** vnitřní paměti **8**. Datový výstup **1113** vkladacího bloku **11** je připojen na třetí datový vstup **0803** vnitřní paměti **8**.

Datový vstup **0901** zkracovacího bloku **9** je spojen s prvním datovým výstupem **0811** vnitřní paměti **8**. Druhý datový vstup **0607** řadiče **6** je spojen se čtvrtým datovým výstupem **0814** vnitřní paměti **8**. Druhý datový vstup **1002** generátoru **10** ekvidistant je spojen s druhým datovým výstupem **0812** vnitřní paměti **8**. Datový vstup **1103** vkladacího bloku **11** je připojen na třetí datový výstup **0813** vnitřní paměti **8**. Datový vstup **0701** dekodéru **7** vstupních dat je spojen s datovým výstupem **0211** programové paměti **2**.

Třetí datový vstup **1007** generátoru **10** ekvidistant je spojen s datovým výstupem **0111** korekční paměti **1**. První datový vstup **1001** generátoru **10** ekvidistant je spojen s datovým výstupem **0511** paměti **5** výchozího stavu. První datový vstup **0606** řadiče **6** je připojen na datový výstup **0511** paměti **5** výchozího stavu. Synchronizační výstup **1015** generátoru **10** ekvidistant je spojen s třetím synchronizačním vstupem **0605** řadiče **6**. První spouštěcí výstup **0612** řadiče **6** je spojen s prvním spouštěcím vstupem **0902** zkracovacího bloku **9**.

Druhý spouštěcí výstup **1013** generátoru **10** ekvidistant je připojen na druhý spouštěcí vstup **0904** zkracovacího bloku **9**. Spouštěcí vstup **1101** vkladacího bloku **11** je spojen s prvním spouštěcím výstupem **1011** generátoru **10** ekvidistant. Druhý aktivační vstup **1202** generátoru **12** výstupních parametrů je spojen s aktivačním výstupem **0913** zkracovacího bloku **9**. Třetí aktivační vstup **1203** generátoru **12** výstupních parametrů je spojen s aktivačním výstupem **1014** generátoru **10** ekvidistant.

První aktivační vstup **1201** generátoru **12** výstupních parametrů je spojen s aktivačním výstupem **1112** vkladacího bloku **11**. Druhý synchronizační výstup **1213** generátoru **12** výstupních parametrů je připojen na synchronizační vstup **0903** zkracovacího bloku **9**. Třetí synchronizační výstup **1214** generátoru **12** výstupních parametrů je připojen na synchronizační vstup **1004** generátoru **10** ekvidistant.

První synchronizační výstup **1212** generátoru **12** výstupních parametrů je spojen se synchronizačním vstupem **1102** vkladacího bloku **11**. Datový výstup **1211** generátoru **12** výstupních parametrů je spojen s datovým vstupem **1301** paměti **13** výstupních parametrů. Synchronizační výstup **1111** vkladacího bloku **11** je připojen na první synchronizační vstup **0601** řadiče **6**. Synchronizační výstup **0912** zkracovacího bloku **9** je spojen s druhým synchronizačním vstupem **0602** řa-

diče 6 a povelový vstup 0603 řadiče 6 je spojen s povelovým výstupem 0311 povelové paměti 3.

Chybový výstup 0613 řadiče 6 je připojen na datový vstup 0401 paměti 4 chybových stavů. Synchronizační výstup 0611 řadiče 6 je spojen se vstupem 1401 synchronizačního bloku 14.

Zapojení pracuje takto:

Po příchodu startovacího signálu na startovací vstup 0604 řadiče 6 je aktivován dekodér 7 vstupních dat, který v závislosti na obsahu programové paměti 2 naplní vnitřní paměť 8 vstupními daty generátoru 10 ekvidistant. Potom je synchronizačním signálem výstupu 0712 dekodéru 7 vstupních dat aktivován první spouštěcí vstup 1003 generátoru 10 ekvidistant. Současně je řadičem 6 vyhodnocen obsah povelové paměti 3, alternativně je čtena paměť 5 výchozího stavu a do vnitřní paměti 8 je zapsána řídicí informace pro generátor 10 ekvidistant. Potom je přes druhý spouštěcí výstup 0616 řadiče 6 aktivován druhý spouštěcí vstup 1006 generátoru 10 ekvidistant.

Jsou-li aktivovány oba spouštěcí vstupy první 1003 a druhý 1006 generátoru 10 ekvidistant, dojde v závislosti na stavu vnitřní paměti 8 alternativně k aktivaci zkracovacího bloku 9 druhým spouštěcím výstupem 1013 generátoru 10 ekvidistant nebo k aktivaci vkládacího bloku 11 prvním spouštěcím výstupem 1011 generátoru 10 ekvidistant.

Tyto bloky vyhodnocují podrobněji obsah vnitřní paměti 8 a svým aktivačním výstupem 0913 zkracovacího bloku 9, resp. 1112 vkládacího bloku 11, spustí činnost generátoru 12 výstupních parametrů, který signalizuje svým druhým 1213, resp. prvním 1212 synchronizačním vstupem do bloku, z něhož byl aktivován, tj. zkracovacího bloku 9, resp. vkládacího bloku 11, ukončení zápisu do paměti 13 výstupních parametrů. Po příchodu synchronizačního signálu provede zkracovací blok 9, resp. vkládací blok 11 aktualizaci vnitřní paměti 8 a výše signál

na druhý synchronizační vstup 0602, resp. první synchronizační vstup 0601, řadiče 6.

Nyní je v závislosti na původním stavu povelové paměti 3 v době startu řadiče 6 startovacím vstupem 0604 buď aktivován znovu výše popsaný cyklus dekodéru 7 vstupních dat, přičemž je přes první spouštěcí výstup 0612 řadiče 6 vyslán potvrzující signál na první spouštěcí vstup 0902 zkracovacího bloku 9, nebo je provedena aktualizace obsahu vnitřní paměti 8 přímo z řadiče 6, jeho druhým datovým výstupem 0617 a generátor 10 ekvidistant je spuštěn druhým povelovým výstupem 0615 řadiče 6.

Po aktivaci generátoru 10 ekvidistant, buď jeho prvním 1003 a druhým 1006 spouštěcím vstupem, nebo povelovým vstupem 1005, je čten obsah korekční paměti 1, vyhodnocen obsah vnitřní paměti 8 a dále je buď aktivován výše popsaný cyklus zkracovacího bloku 9, anebo dojde k přímé aktivaci generátoru 12 výstupních parametrů aktivačním výstupem 1014 generátoru 10 ekvidistant.

V tomto případě je ukončení zápisu do paměti 13 výstupních parametrů generátorem 12 výstupních parametrů signalizováno třetím synchronizačním výstupem 1214 do generátoru 10 ekvidistant, odkud je provedena aktualizace obsahu vnitřní paměti 8 a synchronizačním výstupem 1015 je vyslán synchronizační signál do řadiče 6. Po příchodu synchronizačního signálu na třetí synchronizační vstup 0605 řadiče 6 od generátoru 10 ekvidistant nebo synchronizačního signálu na druhý synchronizační vstup 0602 řadiče 6 od zkracovacího bloku 9 je řadičem 6 vyhodnocen obsah vnitřní paměti 8 a naplněna paměť 4 chybových stavů. Vysláním synchronizačního signálu na synchronizačním výstupu 0611 řadiče 6 je činnost zapojení ukončena.

Zapojení podle vynálezu bude možno využít zejména při číslicovém řízení obráběcích a jiných pracovních strojů nebo výrobních zařízení.

PŘEDMĚT VYNÁLEZU

Zapojení korekční jednotky pro generaci parametrů požadované dráhy, vyznačující se tím, že první povelový výstup (0613) řadiče (6) je spojen s povelovým vstupem (0702) dekodéru (7) vstupních dat, jehož synchronizační výstup (0712) je spojen s prvním spouštěcím vstupem (1003) generátoru (10) ekvidistant, přičemž druhý spouštěcí vstup (1006) generátoru (10) ekvidistant je spojen s druhým spouštěcím výstupem (0616) řadiče (6), jehož druhý povelový výstup (0615) je připojen na povelový vstup (1005) generátoru (10) ekvidistant, první datový výstup (0614) řadiče (6) je spojen se čtvrtým datovým vstupem (0804) vnitřní paměti

(8), druhý datový výstup (0617) řadiče (6) je připojen na šestý datový vstup (0806) vnitřní paměti (8), jejíž pátý datový vstup (0805) je spojen s datovým výstupem (0711) dekodéru (7) vstupních dat, jehož datový vstup (0701) je spojen s datovým výstupem (0211) programové paměti (2), třetí datový vstup (1007) generátoru (10) ekvidistant je připojen na datový výstup (0111) korekční paměti (1), povelový výstup (0311) povelové paměti (3) je spojen s povelovým vstupem (0603) řadiče (6), jehož první datový vstup (0606) je připojen na datový výstup (0511) paměti (5) výchozího stavu spolu s

prvním datovým vstupem (1001) generátoru (10) ekvidistant, jehož synchronizační výstup (1015) je spojen s třetím synchronizačním vstupem (0605) řadiče (6), první synchronizační vstup (0601) řadiče (6) je připojen na synchronizační výstup (1111) vkládacího bloku (11), druhý synchronizační vstup (0602) řadiče (6) je spojen se synchronizačním výstupem (0912) zkracovacího bloku (9), jenž je svým prvním spouštěcím vstupem (0902) připojen na první spouštěcí výstup (0612) řadiče (6), druhý datový vstup (0607) řadiče (6) je připojen na čtvrtý datový výstup (0814) vnitřní paměti (8), na jejíž první (0811), druhý (0812) a třetí (0813) datový výstup jsou po řadě připojeny datový vstup (0901) zkracovacího bloku (9), druhý datový vstup (1002) generátoru (10) ekvidistant a datový vstup (1103) vkládacího bloku (11), datové výstupy (0911) zkracovacího bloku (9), (1012) generátoru (10) ekvidistant a (1113) vkládacího bloku (11) jsou po řadě připojeny na první (0801), druhý (0802) a třetí (0803) datový vstup vnitřní paměti (8), přičemž aktivační výstupy (0913) zkracovací-

ho bloku (9), (1014) generátoru (10) ekvidistant a (1112) vkládacího bloku (11) jsou po řadě připojeny na druhý (1202), třetí (1203) a první (1201) aktivační vstup generátoru (12) výstupních parametrů, synchronizační vstupy (0903) zkracovacího bloku (9), (1004) generátoru (10) ekvidistant a (1102) vkládacího bloku (11) jsou po řadě připojeny na druhý (1213), třetí (1214) a první (1212) synchronizační výstup generátoru (12) výstupních parametrů, druhý spouštěcí vstup (0904) zkracovacího bloku (9) a spouštěcí vstup (1101) vkládacího bloku (11) jsou po řadě připojeny na druhý (1013) a první (1011) spouštěcí výstup generátoru (10) ekvidistant, přičemž datový vstup (1301) paměti (13) výstupních parametrů je připojen na datový výstup (1211) generátoru (12) výstupních parametrů a datový vstup (0401) paměti (4) chybových stavů je spojen s chybovým výstupem (0618) řadiče (6), přičemž startovací vstup (0604) řadiče (6) je spojen s výstupem (1411) synchronizačního bloku (14) a synchronizační výstup (0611) řadiče (6) je spojen se vstupem (1401) synchronizačního bloku (14).

