



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU / 200 313

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 03.12.75
(21) PV 8230 - 75

(11)

(B1)

(51) Int. Cl.³

H 03 K 19/20

(40) Zveřejněno 31.12.75

(45) Vydáno 30.11.83

(75)

Autor vynálezu

BOCEK KAREL ing. CSc., BYSTŘICE NAD OHŘÍ

(54)

Zapojení pro řízení průchodu signálů

1

Vynález se týká zapojení pro řízení průchodu signálů, přednostně signálů diskretních, a to v soustavách elektrických, pneumatických, popřípadě jiných logických sítí se zvláštním zřetelem na priority průchodu těchto signálů.

Známa zapojení řeší uvolňování průchodu signálů, popřípadě uvolňování průchodu skupin signálů, se vstupů vždy na příslušné přiřazené výstupy, přičemž tato přiřazenost je určena skladbou a zapojením logické sítě. Časové trvání signálů na výstupech je určeno pevně časovým pořadím a časovým trváním signálů na vstupech a výchozí volbou priorit průchodu těchto signálů.

Nedostatkem známých zapojení při syntéze složitých řídicích systémů ve výrobních linkách je pevné časové trvání signálů na výstupech, podmíněné výchozí volbou priorit a časovým pořadím a časovým trváním signálů na vstupech.

Tyto nevýhody odstraňuje zapojení pro řízení průchodu signálů, složené ze dvou signálních vedení a z řídicího členu, jehož podstata spočívá v tom, že první vstup prvního signálního vedení se skládá z prvního záznamového vstupu představujícího zároveň záznamový vstup prvního paměťového obvodu a z prvního mazacího vstupu představujícího zároveň mazací vstup tohoto prvního paměťového obvodu, jehož výstup je spojen jednak se vstupem prvního hradla, kde výstup tohoto prvního hradla je spojen s prvním výstupem prvního signálního vedení, a jednak s jedním vstupem řídicího členu, druhý vstup druhého signálního vedení

se skládá z druhého záznamového vstupu, představujícího zároveň záznamový vstup druhého paměťového obvodu, jehož výstup je spojen jednak se vstupem druhého hradla, kde výstup tohoto druhého hradla je spojen s druhým výstupem druhého signálního vedení, a jednak s dalším vstupem řídicího členu, který se skládá z kombinačního obvodu, jehož další v pořadí vstup je spojen s řídicím vstupem zapojení a jehož výstup je spojen se vstupem paměťového členu, kde první výstup tohoto paměťového členu je spojen s řídicím vstupem prvního hradla a druhý výstup tohoto paměťového členu je spojen s řídicím vstupem druhého hradla.

Výstup druhého paměťového obvodu je spojen s dalším vstupem řídicího členu tak, že vedlejší výstup tohoto paměťového obvodu je spojen s dalším vstupem kombinačního obvodu.

Výstup kombinačního obvodu je spojen s druhým vstupem paměťového členu.

Předností zapojení pro řízení průchodu signálů podle vynálezu je skutečnost, že umožňuje změnu priorit a změnu časového pořadí a časového trvání signálů na výstupech v závislosti od signálů na řídicím vstupu tohoto zapojení.

Zapojení pro řízení průchodu signálů podle vynálezu je v příkladném provedení znázorněno na přiloženém výkrese.

Na výkrese je znázorněno první signální vedení, druhé signální vedení a řídicí člen.

První signální vedení se skládá z prvního vstupu S_1 , z prvního výstupu X_1 , propojených přes první paměťový obvod P_1 a přes první hradlo H_1 , spojené v kaskádě za sebou.

Druhé signální vedení se skládá z druhého vstupu S_2 , z druhého výstupu X_2 , propojených přes druhý paměťový obvod P_2 a přes druhé hradlo H_2 , spojené v kaskádě za sebou.

Řídicí člen se skládá z kombinačního obvodu K_1 a z paměťového členu P_3 , spojených v kaskádě za sebou.

První vstup S_1 prvního signálního vedení se skládá z prvního záznamového vstupu 1P_1 , který představuje zároveň záznamový vstup 1P_1 prvního paměťového obvodu P_1 a z prvního mazacího vstupu 2P_1 , který představuje zároveň mazací vstup 2P_1 tohoto prvního paměťového obvodu P_1 .

Druhý vstup S_2 druhého signálního vedení se skládá z druhého záznamového vstupu 1P_2 , který představuje zároveň záznamový vstup 1P_2 druhého paměťového obvodu P_2 , a z druhého mazacího vstupu 2P_2 , který představuje zároveň mazací vstup 2P_2 tohoto druhého paměťového obvodu P_2 .

První paměťový obvod P_1 má výstup $\langle {}^2P_1 \rangle$ a vedlejší výstup $\langle {}^1P_1 \rangle$. Druhý paměťový obvod P_2 má výstup $\langle {}^2P_2 \rangle$ a vedlejší výstup $\langle {}^1P_2 \rangle$. První hradlo H_1 má vstup h_1 , řídicí vstup K_1 , a výstup $\langle H_1 \rangle$. Druhé hradlo H_2 má vstup h_2 , řídicí vstup K_2 , a výstup $\langle H_2 \rangle$.

Spojení prvního paměťového obvodu P_1 a prvního hradla H_1 v kaskádě za sebou je takové, že výstup $\langle {}^2P_1 \rangle$ tohoto prvního paměťového obvodu P_1 je spojen se vstupem h_1 prvního hradla H_1 , jehož výstup $\langle H_1 \rangle$ je spojen s prvním výstupem X_1 prvního signálního vedení.

Spojení druhého paměťového obvodu P_2 a druhého hradla H_2 v kaskádě za sebou je takové, že výstup $\langle {}^2P_2 \rangle$ tohoto druhého paměťového obvodu P_2 je spojen se vstupem h_2 druhého hradla H_2 , jehož výstup $\langle H_2 \rangle$ je spojen s druhým výstupem X_2 druhého signálního vedení.

Vstupy $\underline{1k_1}$, $\underline{2k_1}$ kombinačního obvodu $\underline{K_1}$ jsou spojeny s výstupy $\langle \underline{2P_1} \rangle$, $\langle \underline{1P_2} \rangle$ prvního paměťového obvodu $\underline{P_1}$ a druhého paměťového obvodu $\underline{P_2}$ tak, že jeden vstup $\underline{1k_1}$ tohoto kombinačního obvodu $\underline{K_1}$ je spojen s výstupem $\langle \underline{2P_1} \rangle$ prvního paměťového obvodu $\underline{P_1}$, další vstup $\underline{2k_1}$ tohoto kombinačního obvodu $\underline{K_1}$ je spojen s vedlejším výstupem $\langle \underline{1P_2} \rangle$ druhého paměťového obvodu $\underline{P_2}$. Další v pořadí vstup $\underline{3k_1}$ tohoto kombinačního obvodu $\underline{K_1}$ je spojen s řídicím vstupem $\underline{R}$ zapojení.

Výstup $\langle \underline{K_1} \rangle$ kombinačního obvodu $\underline{K_1}$ je spojen s druhým vstupem $\underline{2P_3}$ paměťového členu $\underline{P_3}$ tak, že je spojen s jedním elementárním vstupem tohoto druhého vstupu $\underline{2P_3}$.

Výstupy $\langle \underline{1P_3} \rangle$, $\langle \underline{2P_3} \rangle$ paměťového členu $\underline{P_3}$ jsou spojeny s řídicími vstupy $\underline{x_1}$, $\underline{x_2}$ hradel $\underline{H_1}$, $\underline{H_2}$ tak, že první výstup $\langle \underline{1P_3} \rangle$ tohoto paměťového členu $\underline{P_3}$ je spojen s řídicím vstupem $\underline{1}$ prvního hradla $\underline{H_1}$, druhý výstup $\langle \underline{2P_3} \rangle$ tohoto paměťového členu $\underline{P_3}$ je spojen s řídicím vstupem $\underline{x_2}$ druhého hradla $\underline{H_2}$.

Funkce zapojení pro řízení průchodu signálů v příkladném provedení podle výkresu je taková, že se pomocí signálu zvolené logické hodnoty na řídicím vstupu $\underline{R}$ zapojení uvolňuje průchod logických signálů přes první signální vedení nebo přes druhé signální vedení.

Bez újmy na obecnosti řešení se předpokládá, že vstupní signál, který prochází přes první signální vedení, je definován a časově vymezen prvním záznamovým signálem na prvním záznamovém vstupu $\underline{1P_1}$ a prvním mazacím signálem na jednom mazacím vstupu $\underline{2P_1}$, vstupní signál, který prochází přes druhé signální vedení je definován a časově vymezen druhým záznamovým signálem na druhém záznamovém vstupu $\underline{1P_2}$, a druhým mazacím signálem na druhém mazacím vstupu $\underline{2P_2}$.

První paměťový obvod $\underline{P_1}$, popřípadě druhý paměťový obvod $\underline{P_2}$ představuje paměť pro záznam a mazání, dvojkovou paměť, klopný obvod a podobně. Stav po příchodu signálu na záznamový vstup $\underline{1P_1}$, popřípadě na záznamový vstup $\underline{1P_2}$, až do příchodu signálu na mazací vstup $\underline{2P_2}$ se považuje za vybuzený stav prvního paměťového obvodu $\underline{P_1}$, popřípadě druhého paměťového obvodu $\underline{P_2}$, který trvá až do příchodu signálu na mazací vstup $\underline{2P_1}$, popřípadě na mazací vstup $\underline{2P_2}$.

Ve vybuzeném stavu prvního paměťového obvodu $\underline{P_1}$, popřípadě druhého paměťového obvodu $\underline{P_2}$ je přítomen signál na výstupu $\langle \underline{2P_1} \rangle$, popřípadě na výstupu $\langle \underline{2P_2} \rangle$, na vedlejším výstupu $\langle \underline{1P_1} \rangle$, popřípadě na vedlejším výstupu $\langle \underline{1P_2} \rangle$ je signál nepřítomen.

Jako první hradlo $\underline{H_1}$, popřípadě druhé hradlo $\underline{H_2}$ se uvažuje takový logický kombinační obvod se vstupem, s výstupem a s řídicím vstupem, že signál zvolené logické hodnoty na řídicím vstupu $\underline{x_1}$, popřípadě na řídicím vstupu $\underline{x_2}$ uvolňuje průchod signálu ze vstupu $\underline{h_1}$ na výstup $\langle \underline{H_1} \rangle$, popřípadě ze vstupu $\underline{h_2}$ na výstup $\langle \underline{H_2} \rangle$.

Jako kombinační obvod $\underline{K_1}$ se uvažuje přednostně obvod logického součinu, dále obvod logického součtu a negací a podobně, vztaženo na vstupy $\underline{1k_1}$, $\underline{2k_1}$, $\underline{3k_1}$.

Jako paměťový člen $\underline{P_3}$ se uvažuje takový logický sekvenční obvod, kde signál zvolené logické hodnoty přivedený na první vstup $\underline{1P_3}$ způsobuje vybuzení signálu na prvním výstupu $\langle \underline{1P_3} \rangle$, trvajícím až do přivedení signálu na druhý vstup $\underline{2P_3}$, který způsobuje vybuzení signálu na druhém výstupu $\langle \underline{2P_3} \rangle$ a zánik signálu na prvním výstupu $\langle \underline{1P_3} \rangle$ tohoto paměťového členu.

Pro jednoduchost se předpokládá, že signál na prvním vstupu $\underline{1P_3}$ a na druhém vstupu $\underline{2P_3}$ paměťového členu $\underline{P_3}$ se časově nepřekrývají.

Souhrnná funkce zapojení pro řízení průchodu signálů je zřejmá z těchto konkrétních logických stavů :

Ve výchozím stavu se předpokládá přítomnost vstupního signálu na prvním vstupu $\underline{S_1}$, jehož začátek je časově vymezen záznamovým signálem na prvním záznamovém vstupu $\underline{1P_1}$. Tento stav se projevuje jako vybuzení prvního paměťového obvodu $\underline{P_1}$ a přítomnost signálu na výstupu $\langle \underline{2P_1} \rangle$, tedy i na vstupu $\underline{h_1}$ prvního hradla $\underline{H_1}$.

Při takovém stavu paměťového členu $\underline{P_3}$, kdy na prvním výstupu $\langle \underline{1P_3} \rangle$ je přítomen signál, způsobuje tento signál na řídicím vstupu $\underline{H_1}$ prvního hradla $\underline{H_1}$ uvolnění průchodu ze vstupu $\underline{h_1}$ na výstup $\langle \underline{H_1} \rangle$, a tedy na první výstup $\underline{X_1}$ prvního signálního vedení.

Při opačném stavu tohoto paměťového členu $\underline{P_3}$ je průchod prvního hradla $\underline{H_1}$, a tedy i současně průchod prvního signálního vedení uzavřen.

Při nevybuzeném stavu prvního paměťového obvodu $\underline{P_1}$ vzniká při vybuzení druhého paměťového obvodu $\underline{P_2}$ následující průběh signálů: na výstupu $\langle \underline{2P_1} \rangle$ prvního paměťového obvodu $\underline{P_1}$ je nulový logický signál, na vedlejším výstupu $\langle \underline{1P_2} \rangle$ druhého paměťového obvodu $\underline{P_2}$ je nulový logický signál. Při použití kombinačního obvodu $\underline{K_1}$ s funkcí logického součtu s negací vzniká součin těchto nulových logických signálů jako jedničkový logický signál na výstupu $\langle \underline{K_1} \rangle$ tohoto obvodu $\underline{K_1}$, který způsobuje překlopení paměťového členu $\underline{P_3}$ tak, že se uvolňuje průchod druhého hradla $\underline{H_2}$ a tedy souhrnně průchod druhého signálního vedení. Přitom se předpokládalo nulový logický signál na řídicím vstupu $\underline{R}$ zapojení a tedy na dalším v pořadí vstupu $\underline{3K_1}$ kombinačního obvodu $\underline{K_1}$. Je zřejmé, že přivedením jedničkového logického signálu na tento řídicí vstup $\underline{R}$ zapojení se vliv kombinačního obvodu $\underline{K_1}$ na paměťový člen $\underline{P_3}$ neuplatňuje. Průchod prvního signálního vedení a druhého signálního vedení je v tomto případě určen pouze předchozím stavem paměťového členu $\underline{P_3}$.

Odlišnými logickými signály na řídicím vstupu $\underline{R}$ zapojení se uplatňuje přechodně priority druhého signálního vedení oproti prvnímu signálnímu vedení tak, že například jedničkový logický signál na druhém vstupu $\underline{S_2}$ si vynucuje uvolnění průchodu, bez ohledu na předchozí stav paměťového členu $\underline{P_3}$, po dobu působení logického signálu na tomto řídicím vstupu.

Další uplatnění zapojení pro řízení průchodu signálů podle vynálezu záleží v tom, že řídicí vstup $\underline{R}$ zapojení je vícenásobný a skládá se z několika elementárních řídicích vstupů zapojení, a dále řídicí člen se skládá z několika kombinačních obvodů a z několika paměťových členů, spojených v kaskádě za sebou, kde vstupy těchto kombinačních obvodů jsou spojeny s elementárními řídicími vstupy řídicího vstupu $\underline{R}$ zapojení a výstupy těchto paměťových členů jsou spojeny s řídicími vstupy hradel jednotlivých signálních vedení.

Předností tohoto uplatnění je skutečnost, že pouhými řídicími signály lze zcela libovolně měnit priority průchodu signálů jednotlivými signálními vedeními ze vstupů na podřízené výstupy. Tak například působením logického signálu na řídicím vstupu lze přechodně po dobu tohoto působení přiřadit nadřazenou priority signálního vedení nad prvním signálním vedením a podobně. Předností je dále jednoduchost řešení, která spočívá v tom, že pomocí elementárních logických obvodů se realizují velmi složité logické funkce, obsahující prio-

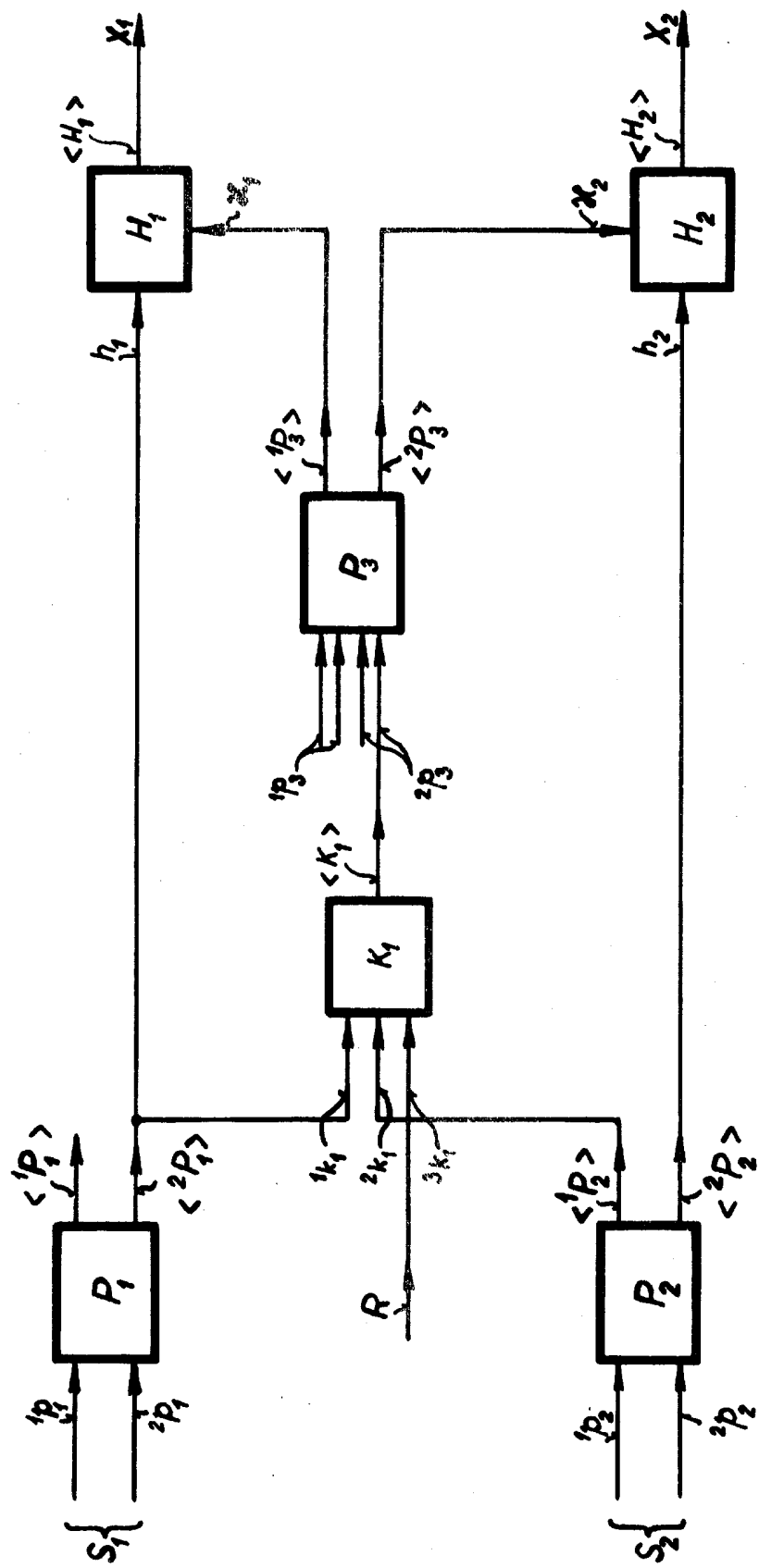
rity závislé jednak na řídicích signálech, jednak na průchodu vstupních signálů samotných.

Uplatnění zapojení pro řízení průchodu signálů podle vynálezu se týká syntézy složitých číslicových obvodů, zejména v oblasti jednoúčelových řídicích soustav výrobních procesů.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro řízení průchodu signálů, složené ze dvou signálních vedení a z řídicího členu, vyznačené tím, že první vstup (S_1) prvního signálního vedení se skládá z prvního záznamového vstupu (1P_1) představujícího zároveň záznamový vstup (1P_1) prvního paměťového obvodu (P_1) a z druhého mazacího vstupu (2P_1) představujícího zároveň mazací vstup (2P_1) tohoto prvního paměťového obvodu (P_1), jehož výstup ($\langle ^2P_1 \rangle$) je spojen jednak se vstupem (h_1) prvního hradla (H_1), kde výstup ($\langle H_1 \rangle$) tohoto prvního hradla (H_1) je spojen s prvním výstupem (X_1) prvního signálního vedení, a jednak s jedním vstupem (1k_1) řídicího členu, druhý vstup (S_2) druhého signálního vedení se skládá z druhého záznamového vstupu (1P_2) představujícího zároveň záznamový vstup (1P_2) druhého paměťového obvodu (P_2) a z druhého mazacího vstupu (2P_2) představujícího zároveň mazací vstup (2P_2) tohoto druhého paměťového obvodu (P_2), jehož výstup ($\langle ^2P_2 \rangle$) je spojen jedna se vstupem (h_2) druhého hradla (H_2), kde výstup ($\langle H_2 \rangle$) tohoto druhého hradla (H_2) je spojen s druhým výstupem (X_2) druhého signálního vedení, a jednak s dalším vstupem (2k_1) řídicího členu, který se skládá z kombinačního obvodu (K_1), jehož další v pořadí vstup (3k_1) je spojen s řídicím vstupem (R) zapojení, a jehož výstup ($\langle K_1 \rangle$) je spojen se vstupem (2P_3) paměťového členu (P_3), kde první výstup ($\langle ^1P_3 \rangle$) tohoto paměťového členu (P_3) je spojen s řídicím vstupem (1k_1) prvního hradla a druhý výstup ($\langle ^2P_3 \rangle$) tohoto paměťového členu (P_3) je spojen s řídicím vstupem (2k_2) druhého hradla.
2. Zapojení podle bodu 1, vyznačené tím, že výstup druhého paměťového obvodu (P_2) je spojen s dalším vstupem řídicího členu tak, že vedlejší výstup ($\langle ^1P_2 \rangle$) tohoto paměťového obvodu (P_2) je spojen s dalším vstupem (2k_1) kombinačního obvodu (K_1).
3. Zapojení podle bodu 1, vyznačené tím, že výstup ($\langle K_1 \rangle$) kombinačního obvodu (K_1) je spojen s druhým vstupem (2P_3) paměťového členu (P_3).

1 výkres



O P R A V A

popisu vynálezu k autorskému osvědčení č. 200 313
/51/ Int.Cl.³ H 03 K 19/20

V popisu vynálezu k autorskému osvědčení č. 200 313 je chybně u autora
uvedeno místo bydliště:

Správně: BOCEK KAREL Ing.Csc.,BYSTŘICE NAD OLŠÍ

ÚŘAD PRO VYNÁLEZY A OBJEVY