



[12] 发明专利申请公开说明书

[21] 申请号 03115167.1

[43] 公开日 2004 年 8 月 18 日

[11] 公开号 CN 1521950A

[22] 申请日 2003.1.27 [21] 申请号 03115167.1
[71] 申请人 上海乐金广电电子有限公司
地址 201206 上海市浦东新区金桥出口加工
区云桥路 600 号
[72] 发明人 朴廷培

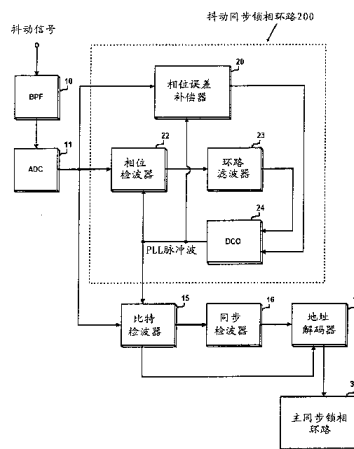
[74] 专利代理机构 上海专利商标事务所
代理人 王月珍

权利要求书 2 页 说明书 7 页 附图 10 页

[54] 发明名称 同步锁相环路抖动装置的相位误差补偿装置及使用方法

[57] 摘要

本发明是关于抖动相位同步锁相环路的相位误差补偿装置及使用方法，抖动相位同步锁相环路主要是在从模拟转化为数字 A/D 的抖动信号在正与负零交叉点 PZCP 上检波相位误差后，在上述交叉点上利用单独的相位误差补偿器，单独并行的瞬间进行相位误差补偿。上述抖动相位同步锁相环路的作用主要有通过滤波器特性、切平、抖动信号的形状等改变抖动信号负荷比来防止出现抖动相位同步锁相环路的定时抖动逐步失效，同时，还可以瞬时同步的生成并输出 PLL 脉冲波。另外，在一定时间内无法读出抖动信号而终止抖动相位同步锁相环路动作的状态下突然读出抖动信号时也能对抖动信号迅速形成抖动相位同步锁相环路动作。



1. 一种同步锁相环路抖动装置的相位误差补偿装置，包括：从 DVD-RW 可记录的光记录媒体读出的抖动信号，被通带滤波器过滤后，被 A/D 转换器模拟转化为数字信号，经由相位检波器、环路滤波器及数字控制振荡器组成的抖动相位同步锁相环路进行相位误差补偿并输出 PLL 脉冲波，再经比特流检波器，同步检波器，解码光记录媒体实际地址的地址解码器，把光记录媒体的实际地址输出到主同步相位锁相环路 300，

其特征在于所述的抖动相位同步锁相环路还包括：

把从所述的数字控制振荡器发生的输出频率 PLL 脉冲波相位同步于所述的抖动信号的相位误差补偿器，根据所述的 PLL 脉冲波和抖动信号间的相位误差，所述的数字控制振荡器产生的频率发生装置中时间计数值改变成事前设定的特定值。

2. 如权利要求 1 所述的同步锁相环路抖动装置的相位误差补偿装置，其特征在于所述的相位误差补偿器是与所述的相位检波器及环路滤波器是相对独立的对所述的数字控制振荡器进行频率发生装置中时间计数值改变成事前设定的特定值，且以瞬时间进行相位补偿动作。

3. 如权利要求 1 所述的同步锁相环路抖动装置的相位误差补偿装置，其特征在于所述的相位误差补偿器是以所述的 A/D 变换的抖动信号从正到负零点交叉的始点，所述的数字控制振荡器频率发生的时间计数值超过事前设定好的最大标准范围时，把现有的时间计数值映射改变。

4. 如权利要求 1 所述的同步锁相环路抖动装置的相位误差补偿装置，其特征在于所述的相位误差补偿器是以所述的 A/D 变换的抖动信号从正到负零点交叉的始点时，所述的数字控制振荡器频率发生的时间计数值包含在事前设定好的最大/最小标准基准范围时，把现有的时间计数值映射改变为默认值的 1/2。

5. 如权利要求 1 所述的同步锁相环路抖动装置的相位误差补偿装置，其特征在于所述的相位误差补偿器是以所述的 A/D 变换的抖动信号从正到负零点交叉的始点时，所述的数字控制振荡器频率发生的时间计数值未达到事前设定好的最小标准范围时，把现有的时间计数值映射改变为零。

6. 一种如权利要求 1 所述的同步锁相环路抖动装置的相位误差补偿装置的使用方法，其特征在于包括：

第 1 步骤：根据所述的数字控制振荡器把 PLL 脉冲波频率相位加以变化输出，把上述输出的频率和模拟转换为数字的抖动信号间的相位误差进行比较；

第 2 步骤：根据所述的相位检波器生成检波出的相位误差，相应的相位补偿值，把上述输出的频率相位 PLL 脉冲波同步于上述抖动信号而形成的抖动相位同步锁相环路的相位误差补偿方法；

根据上述频率和抖动信号间的相位误差，另包括把所述的决定上述频率的时间计数值按事前设定的特定值变换设置的步骤。

7. 如权利要求 6 所述的同步锁相环路抖动装置的相位误差补偿装置的使用方法，其特征在于所述的改变并设定时间计数值的步骤是与第 1 及第 2 步骤是相对独立的，决定频率时间计数值，且把它改变成事前设定为特定值并以瞬时间进行相位的相位补偿动作。

8. 如权利要求 6 所述的同步锁相环路抖动装置的相位误差补偿装置的使用方法，其特征在于所述的改变并设定时间计数值的步骤是以所述的 A/D 变换的抖动信号从正到负零点交叉的始点时，上述时间计数值超过事前设定好的最大标准范围时，把现有的时间计数值映射改变为默认值。

9. 如权利要求 6 所述的同步锁相环路抖动装置的相位误差补偿装置的使用方法，其特征在于所述的改变并设定时间计数值的步骤是以所述的 A/D 变换的抖动信号从正到负零点交叉的始点时，上述时间计数值包含在事前设定好的最大/最小标准范围时，把现有的时间计数值映射改变为默认值的 1/2。

10. 如权利要求 6 所述的同步锁相环路抖动装置的相位误差补偿装置的使用方法，其特征在于所述的改变并设定时间计数值的步骤是以所述的 A/D 变换的抖动信号从正到负零点交叉的始点时，上述时间计数值未达到事前设定好的最小标准范围时，把现有的时间计数值映射改变成零。

同步锁相环路抖动装置的相位误差补偿装置及使用方法

(1) 技术领域

本发明是关于为可记录的 CD, DVD 等光记录媒体的数据记录或再现的方法, 尤其是指使同步锁相环路生成输出的记录频率或再现频率同步于从光记录媒体读出的抖动信号的一种同步锁相环路抖动装置的相位误差补偿装置及使用方法。

(2) 背景技术

首先, 图 1 是图示现有的抖动相位同步锁相环路的构成示意图, 上述抖动相位同步锁相环路 100 包括相位检波器 12、环路滤波器 13 及数字控制振荡器 (DCO) 14。

另外, 从 DVD-RW 等可记录的光记录媒体读出的抖动信号作为推挽式信号, 被通带滤波器 (BPF) 10 过滤, 而消除高频干扰、直流偏移量 (offset) 等不良成分后, 被 A/D 转换器 (ADC) 11 模拟转化为数字信号。

另外, 上述抖动相位同步锁相环路 100 的相位检波器 12 中, 把上述 A/D 转换的抖动信号按事先设定的标准水平切开, 生成并输出如图 2 图示的矩形状的抖动信号。另外, 从上述数字控制振荡器 14 中输出的锁相环路 PLL 脉冲波与已模拟转化为数字的抖动信号的相位误差相比较计算后, 输出到上述环路滤波器 13。

另外, 上述环路滤波器 13 以相位检波器 12 输出的相位误差值为基础, 生成对上述数字控制振荡器 14 锁相环路 PLL 脉冲波的相位补偿值。上述环路滤波器执行一种低域通过滤波器 LPF 的作用, 使从上述数字控制振荡器 14 输出的 PLL 脉冲波同步于上述抖动信号。

另外, 上述数字振荡控制器根据上述环路滤波器 13 中生成并输出的相位补偿值, 补偿目前 PLL 脉冲波的振荡频率, 从而生成并输出同步于抖动信号的 PLL 脉冲波。

另外, 根据如上所述构成及动作的抖动相位同步锁相环路 100 而生成输出的

PLL 脉冲波输入到已附加有上述模拟转化为数字的抖动信号的比特检波器 15。而上述比特检波器 15 又利用 PLL 脉冲波把模拟转化为数字的抖动信号检波并转化为取值为 0 或 1 的比特流 (BIT STREAM)。

另外，从上述比特流检波加载在抖动信号的同步图像(pattern)的同步检波器 16 生成并输出与其同步图像相对应的同步信号。另外，从上述比特检波器 15 的比特流中，解码光记录媒体实际地址的地址解码器 17，以上述同步检波器的同步信号为基础进行解码，并把光记录媒体的实际地址输出到主同步相位锁相环路 300。

另外，如上所述的抖动相位同步锁相环路的相位检波器 12 如图 3 描述的一样，在 A/D 转换的抖动信号从正 (positive) 到负 (negative) 零点交叉时 (NZCP) 检波相位误差。决定上述数字控制振荡器 14 振动频率的时间计数值，例如自由减少 (free down) 时间计数值，会被上述 NZCP 始点检波的相位误差值始终给予补偿。

这时，在上述数字控制振荡器 14 中生成的 PLL 脉冲波相位比在模拟转换为数字的抖动信号波提前时，在上述相位检波器 12 如图 3 所示检波并生成正 (positive) 相位误差而输出到环路滤波器 13。上述环路滤波器中根据上述正 (positive) 相位误差值少量的补偿决定数字控制振荡器 14 频率的计数值。

另外，在上述数字控制振荡器 14 中生成的 PLL 脉冲波的相位比模拟转换为数字的抖动信号相位滞后时，上述相位检波器 12 如图 3 所示检波并生成负 (negative) 相位误差输出到上述环路滤波器 13；在上述环路滤波器中把决定数字控制振荡器 14 频率的时间计数值根据上述负相位误差值进行大的量的补偿。

接着，上述抖动相位同步锁相环路 100 在上述 NZCP 始点检波相位误差值，补偿决定上述数字控制振荡器频率的时间计数值，使至持续进行使 PLL 脉冲波同步于抖动信号相位误差补偿动作。

但是，如上所述模拟转换为数字的抖动信号从正到负零点交叉的始点可根据上述切片的抖动信号的负荷比而有所变化。因为抖动信号的负荷比可根据 BPF 的特性、切平、抖动信号的形状而产生变化，所以以 NZCP 始点为标准进行抖动相位同步锁相环路的动作时，因为 BPF 的特性、切平、抖动信号的形状等原因出现抖动相位同步锁相环路的定时抖动逐步失效的问题。

另外，在上述抖动相位同步锁相环路 100 形成正确的相位误差补偿所需的时间是因环路滤波器特性而变动，因此会出现相位误差补偿工作不能瞬时间完成的问题。

还有，上述抖动信号在不连续的读出时，例如抖动信号在一定时间内没有被读出，在中断抖动相位同步锁相环路工作状态下突然读出抖动信号时，会出现对于抖动信号无法迅速进行抖动相位同步锁相环路工作的问题。

(3)发明内容

本发明是为了解决上述问题而创作的。对抖动相位同步锁相环路来讲，为了在 A/D 变化的抖动信号在从正到负零点交叉的始点检波相位误差，在其 PZCP 始点瞬间进行相位误差补偿的一种同步锁相环路抖动装置的相位误差补偿装置及使用方法。

本发明的目的是这样实现的：

一种同步锁相环路抖动装置的相位误差补偿装置，包括：从 DVD-RW 可记录的光记录媒体读出的抖动信号，被通带滤波器过滤后，被 A/D 转换器模拟转化为数字信号，经由相位检波器、环路滤波器及数字控制振荡器组成的抖动相位同步锁相环路进行相位误差补偿并输出 PLL 脉冲波，再经比特流检波器，同步检波器，解码光记录媒体实际地址的地址解码器，把光记录媒体的实际地址输出到主同步相位锁相环路 300，

其中所述的抖动相位同步锁相环路还包括：

把从所述的数字控制振荡器发生的输出频率 PLL 脉冲波相位同步于所述的抖动信号的相位误差补偿器，根据所述的 PLL 脉冲波和抖动信号间的相位误差，所述的数字控制振荡器产生的频率发生装置中时间计数值改变成事前设定的特定值。

一种如权利要求 1 所述的同步锁相环路抖动装置的相位误差补偿装置的使用方法，包括：

第 1 步骤：根据所述的数字控制振荡器把 PLL 脉冲波频率相位加以变化输出，把上述输出的频率和模拟转换为数字的抖动信号间的相位误差进行比较；

第 2 步骤：根据所述的相位检波器生成检波出的相位误差，相应的相位补偿

值，把上述输出的频率相位 PLL 脉冲波同步于上述抖动信号而形成的抖动相位同步锁相环路的相位误差补偿方法；

根据上述频率和抖动信号间的相位误差，另包括把所述的决定上述频率的时间计数值按事前设定的特定值变换设置的步骤。

本发明的效果：

同上述所构成和运行的抖动相位同步锁相环路的相位误差补偿器及使用方法，它主要在于 PZCP 始点上检波相位误差及利用相位补偿器独立并行运行相位误差瞬时相位补偿功能，所以可防止因受 BPF 特性，切平，抖动信号形状的影响改变抖动信号的负荷比防止抖动相位同步锁相环路定时抖逐步消失现象。且可以生成读出瞬时间同步于抖动信号的 PLL 脉冲波，另外，抖动信号在一定时间内不能读出而中断抖动相位同步锁相环路动作的状态下突然读出

为进一步说明本发明的上述目的、结构特点和效果，以下将结合附图对本发明进行详细的描述。

(4)附图说明

图 1 是图示现有的抖动相位同步锁相环路的构成示意图；

图 2 是图示根据现有的抖动相位同步锁相环路而进行相位误差补偿的 PLL 脉冲波的波形图示意图；

图 3 是图示现有的抖动相位同步锁相环路的相位误差，PLL 脉冲波及数字控制振荡器的时间控制数据值示意图；

图 4 及图 5 是图示有关本发明的抖动相位同步锁相环路的相位误差补偿器及使用方法的构成及流程示意图；

图 6 及 7 是图示有关本发明的抖动相位同步锁相环路的相位误差，PLL 脉冲波及数字控制振荡器的时间控制数据值的示意图；

图 8 至 10 是图示根据有关本发明的抖动相位同步锁相环路所相位补偿的 PLL 脉冲波及对抖动特性的波形示意图。

主要附图中的符号说明：

10：通带滤波器（BPF）

11：模拟/数字转换器（ADC）

- 12, 22: 相位检波器 (PHASE DETECTOR)
- 13, 23: 环路滤波器 (LOOP FILTER)
- 14, 24: 数字控制振荡器 (DCO)
- 15: 比特检波器 (BIT DETECTOR)
- 16: 同步检波器 (SYNC DETECTOR)
- 17: 地址解码器 (ADDRESS DECODER)
- 20: 相位误差补偿器 (PHASE ERROR COMPENSATOR)
- 100, 200: 抖动相位同步锁相环路抖动相位同步锁相环路
- 300: 主同步相位锁相环路 (MAIN PLL)

(5) 具体实施方式

图 4 及图 5 是图示根据本发明的抖动相位同步锁相环路的相位补偿器及方法的构成和进行流程的示图，上述抖动相位同步锁相环路 200 包括参照图 1 所述的相位检波器 22、环路滤波器 23、数字控制振荡器 24 等。另包括为瞬时间的相位误差补偿的相位误差补偿器 20。

另外，上述相位检波器 22 如图 6 及图 7 所图示，模拟转换为数字的抖动信号检波从负 (negative) 到正 (positive) 的零点交叉始点，而检波在其 PZCP 始点上的相位误差值。决定上述数字控制振荡器 24 的频率的时间计数值，例如自由减少 (FREE DOWN) 时间计数值，根据在上述 PZCP 始点中检波的相位误差值而变换补偿。

此时，数字控制振荡器 24 中生成的 PLL 脉冲波相位领先于模拟转换为数字的抖动信号的相位时，上述相位检波器 22 里面如图 6 图示检波生成正 (positive) 相位误差输出到环路滤波器 230，上述环路滤波器中把数字控制振荡器 14 的时间计数值，根据上述正相位误差值少量的往后补偿，在通常的抖动相位同步锁相环路上执行相位误差补偿动作，反之，图 7 中，在负相位误差的情况时，则，往后补偿。

相位误差补偿器的补偿运算法则：

S10 步骤：检测 PZCD，如果没有检测到 PZCD，进入下述 S17 步骤；

S11 步骤：上述相位误差补偿器 20 中如上述 PZCP 始点被检测到时，相位误差

补偿工作相对独立的在上述数字控制振荡器 DC024 里确认时间计数值 CV；

、 S12 步骤：判别上述 CV 是否超过事前设定的最大标准范围， ；

S13 步骤：上述 CV 超过最大标准范围时，数字控制振荡器 24 中把目前计数值变换映射（Mapping）并默认为事前设定值 Vset，进入下述 S17 步骤；

S14 步骤：上述 S12 步骤中判别的 CV 值没有超过事前设定的最大标准范围时，判别数字控制振荡器 24 中的时间计数值 CV 是否包括在事前设定的最大/最小标准范围内；

S15 步骤：上述 CV 值是在事前设定的最大/最小标准范围内时，数字控制振荡器 DC024 中的时间计数值变化映射（Mapping）并默认为事前设定值 Vset 的 1/2 即，执行往后补偿（Backward Gap Compensator），进入下述 S17 步骤；

另外，上述数字控制振荡器 24 中生成的 PLL 脉冲波相位比模拟转换为数字的抖动信号滞后时，上述相位检波器 22 如图 7 所示检波生成负相位误差输出到环路滤波器，上述环路滤波器中的数字控制振荡器 24 的时间计数值根据负相位误差值为大的量补偿确保通常性抖动相位同步锁相环路上执行相位误差的正常动作。

S16 步骤：另外，上述相位误差补偿器 20 在检出上述 PZCP 始点时，与上述相位误差补偿动作相对独立的，确认数字控制振荡器中的时间计数值 CV，超出预先设定的最大/最小标准范围时，例如，达不到最小标准范围时，上述数字控制振荡器 24 把目前的计数值 CV 改变映射为零值，使其能够立刻改变成默认值 VSET；

S17 步骤：进行正常的抖动 PLL 操作。

另外，上述数字控制振荡器 24 的时间计数值包含在事先设定的最小/最大范围内时把数字控制振荡器 24 的时间计数值变换映射并缩小为默认值的 1/2，即，执行往前补偿（FORWARD GAP COMPENSATOR）的动作。

抖动相位同步锁相环路 200 在不受 BPF 特性，切平，抖动信号形状等影响的 PZCP 始点上，检出相位误差，如图 8 图示，矩形抖动信号超过或不足 50%时，相位误差检波周期按对应于 50%负荷比抖动信号，可按一定周期检波。所以可防止抖动相位同步锁相环路的定时抖动逐步消失的现象。

另外，根据本发明的抖动相位同步锁相环路 200，根据上述环路滤波器 23 为基础的正常相位误差补偿动作的同时，独立运行相位补偿器 20 上进行瞬间相位补偿功能。图 9 及 10 所示，因此比现有的抖动相位同步锁相环路 100（图 1 所示）

有更好的抖动特性及生成并输出与抖动信号瞬时同步的 PLL 脉冲波。

另外，根据本发明的抖动相位同步锁相环路 200 为了保障瞬时相位误差补偿功能，抖动信号不连续输出时，也能对抖动信号迅速形成并运行抖动相位同步锁相环路功能。

本技术领域中的普通技术人员应当认识到，以上的实施例仅是用来说明本发明，而并非用作为对本发明的限定，只要在本发明的实质精神范围内，对以上所述实施例的变化、变型都将落在本发明权利要求书的范围内。

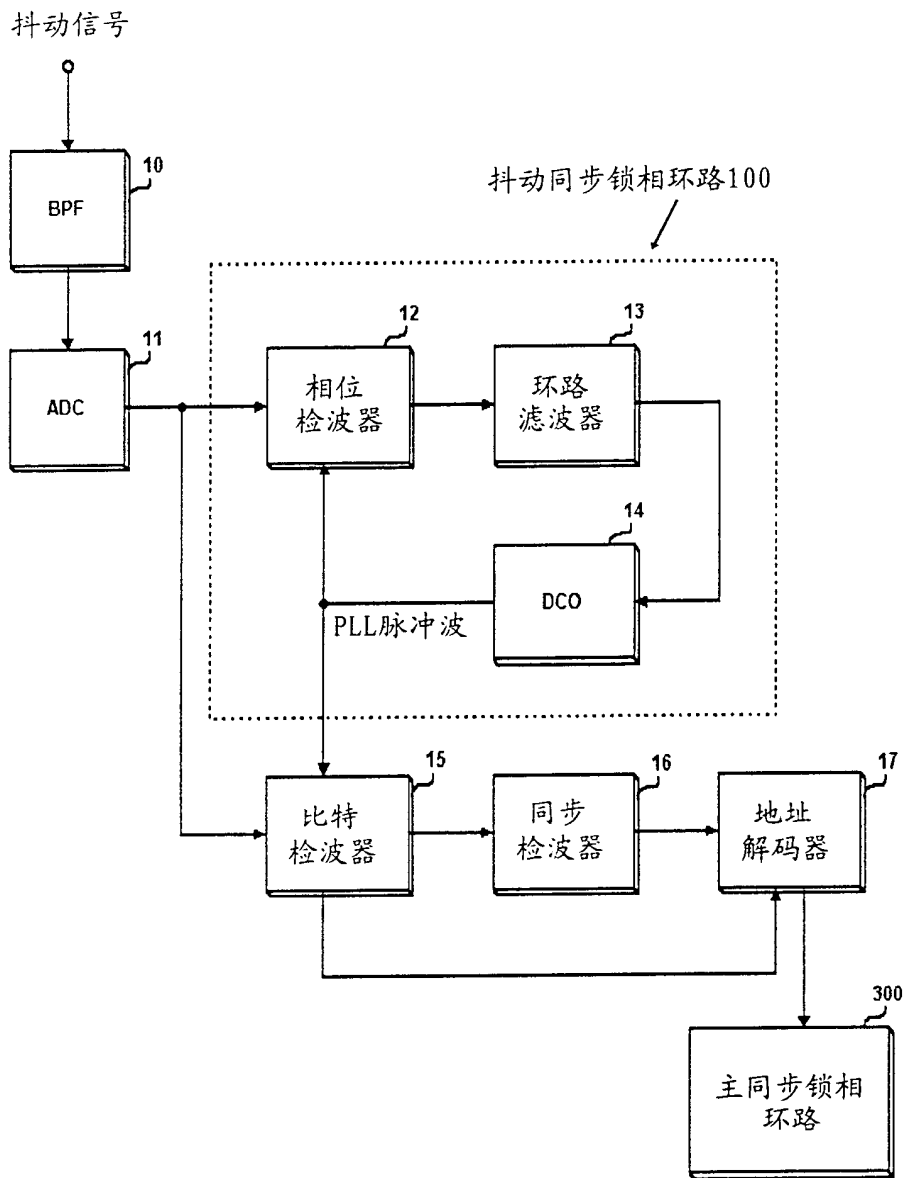


图 1

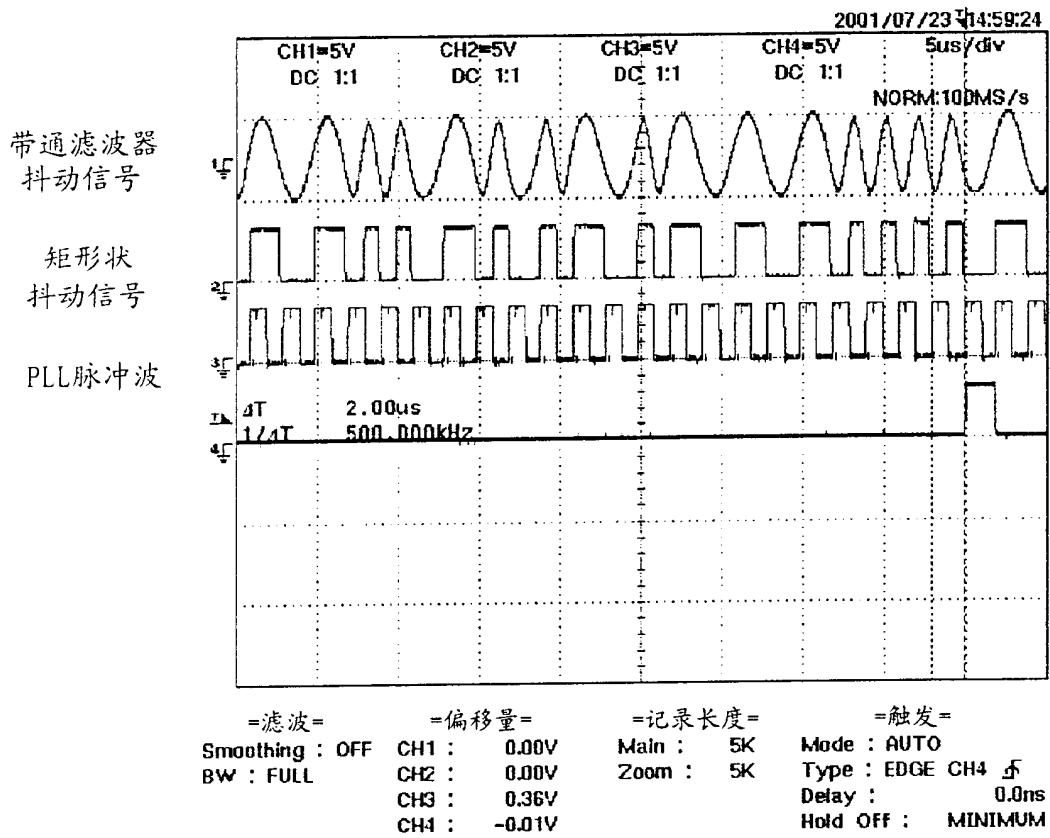


图 2

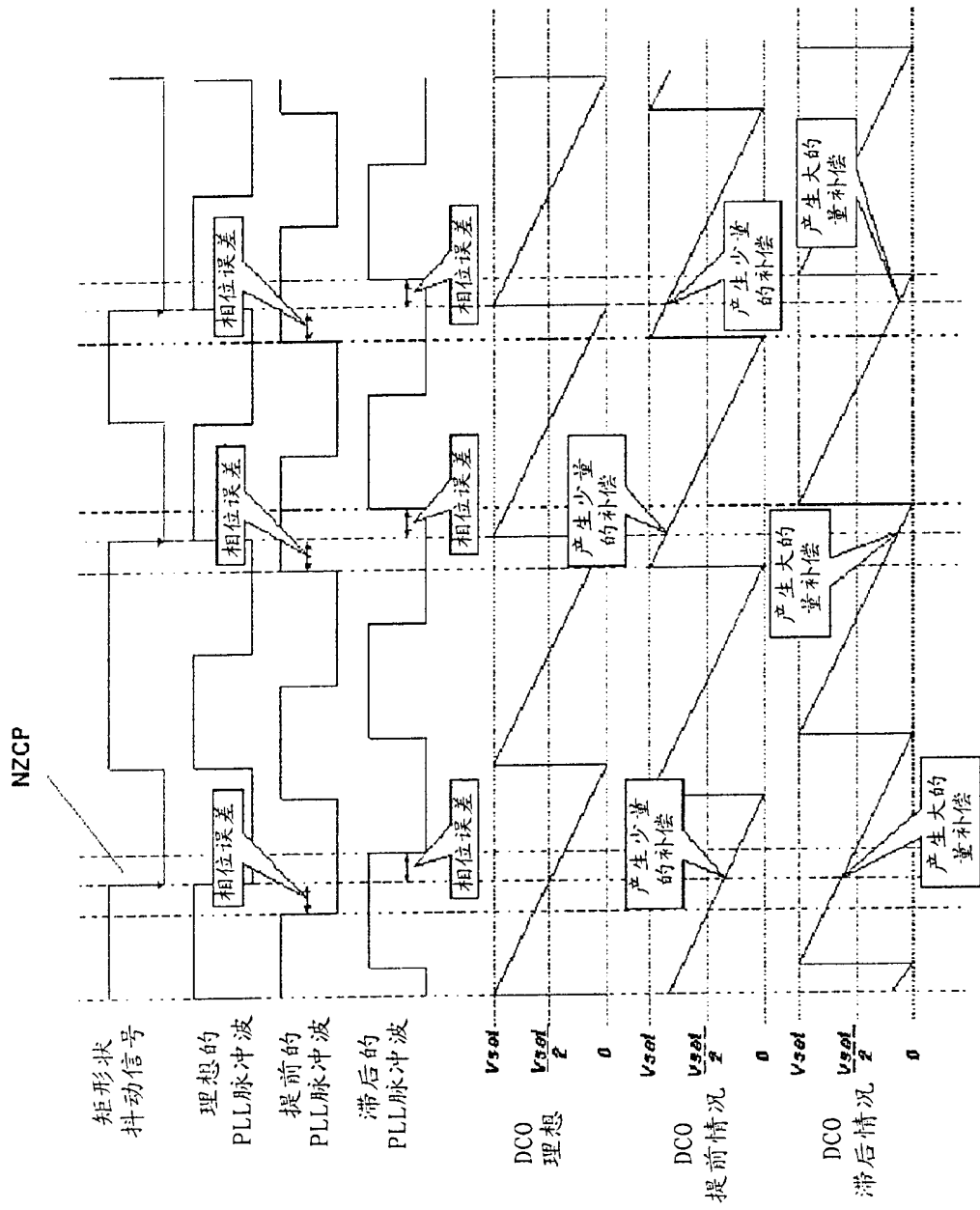


图 3

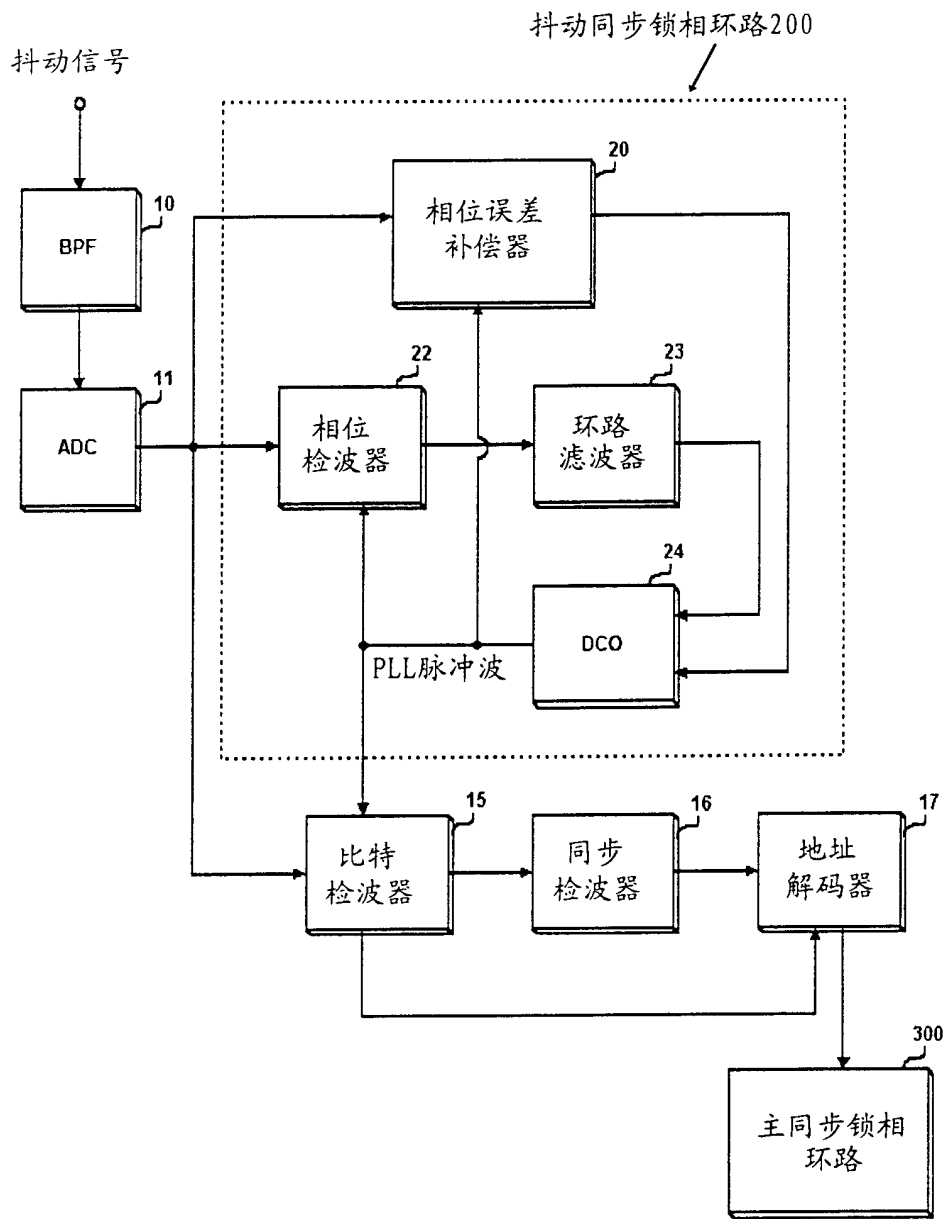


图 4

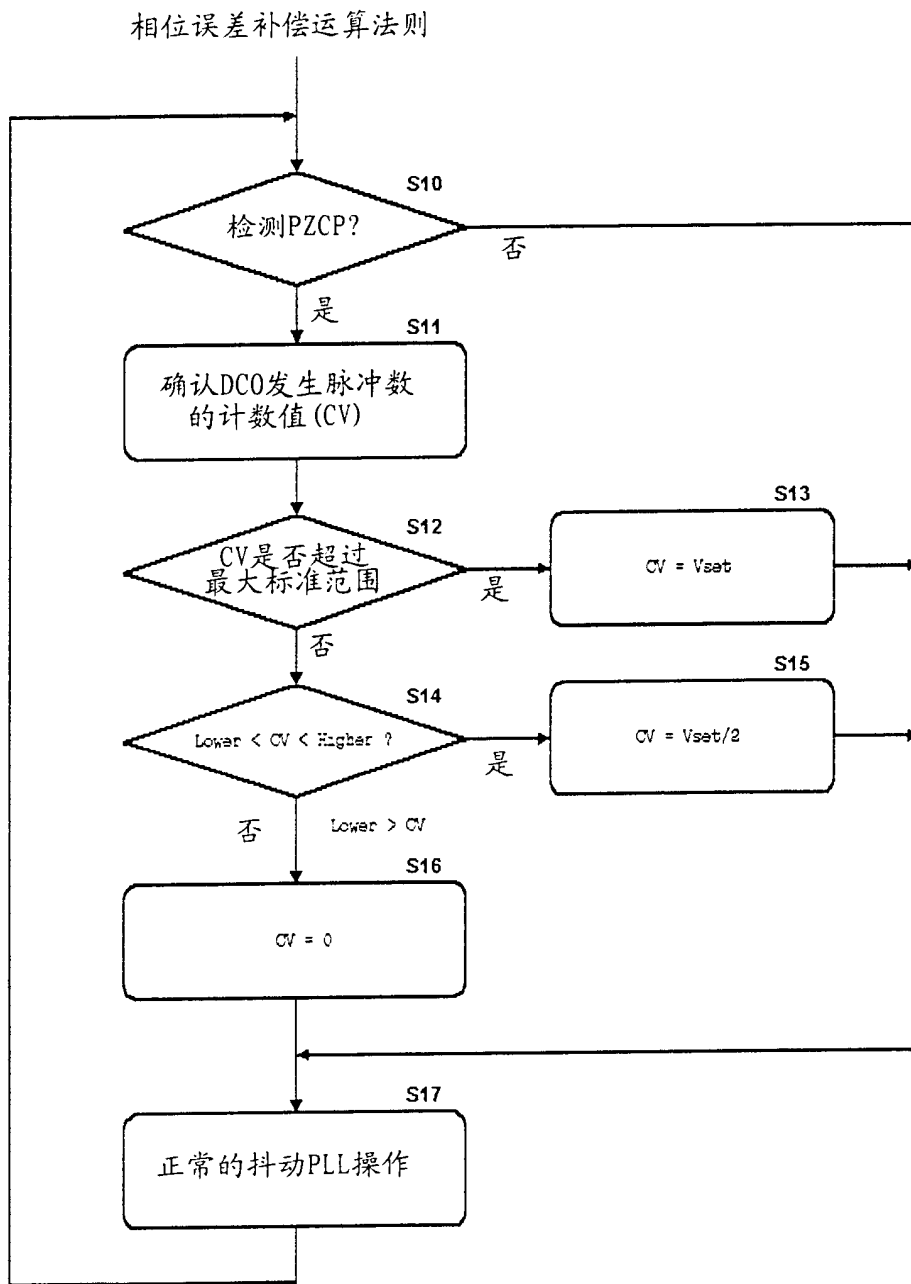
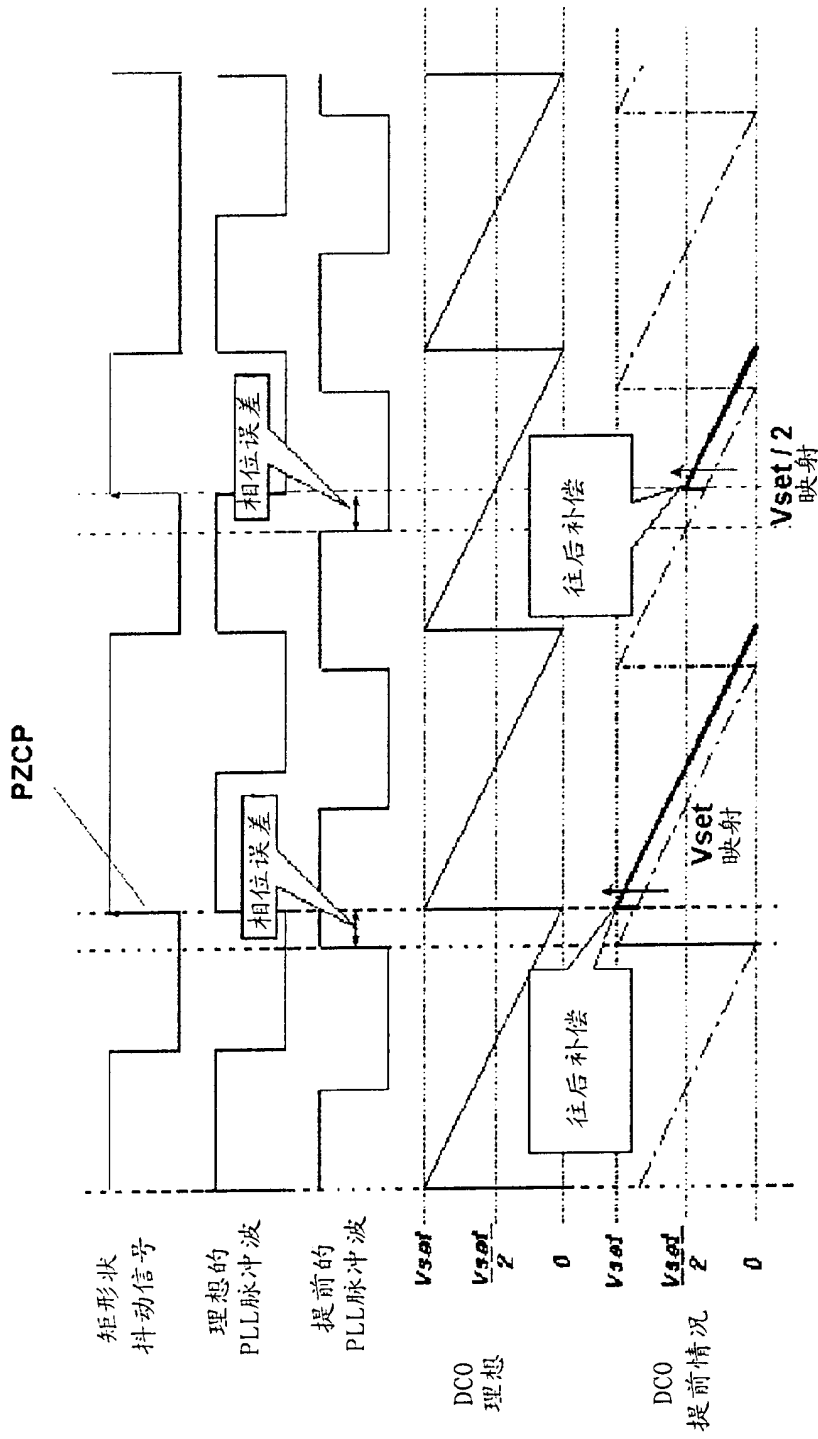
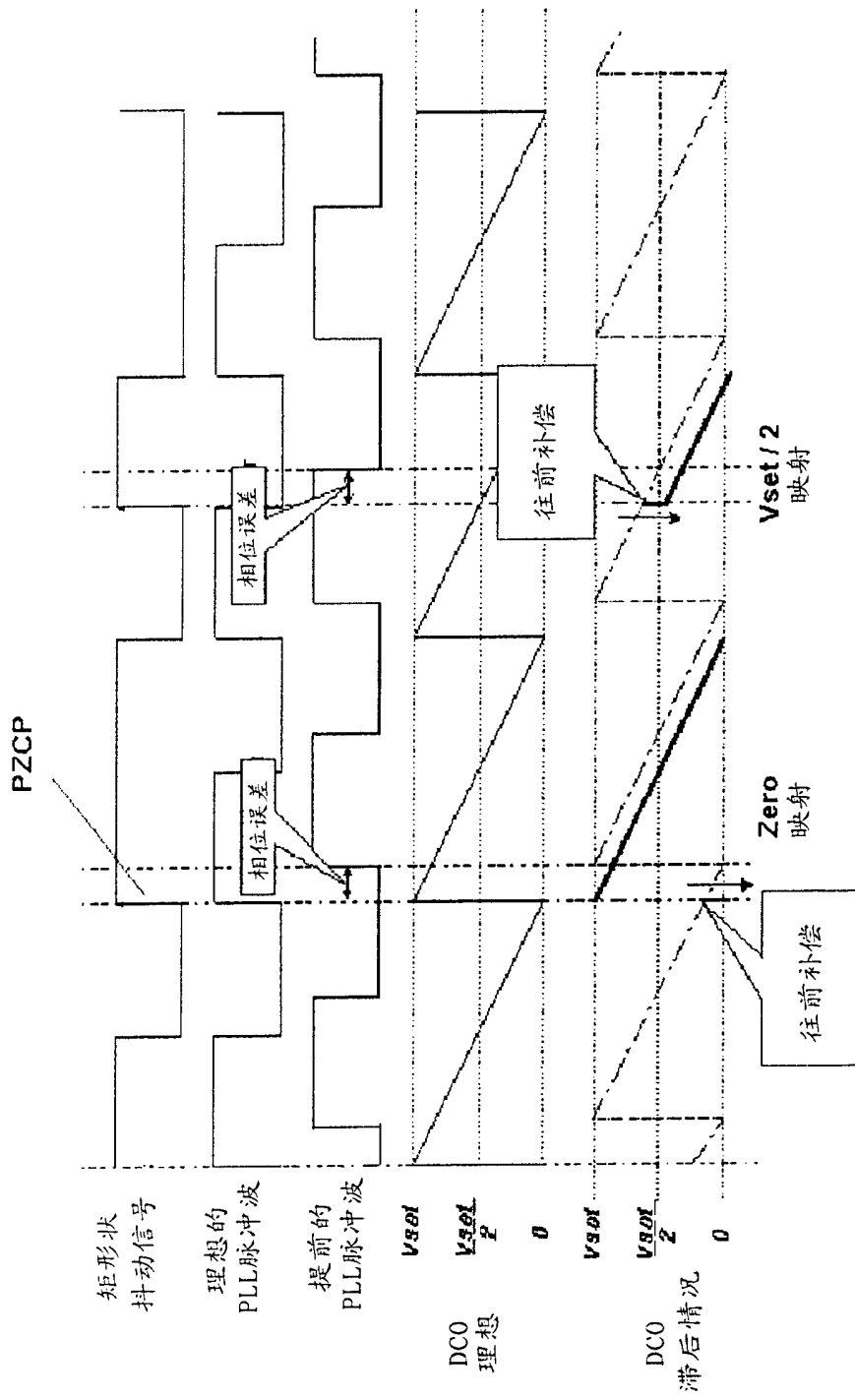


图 5



提前情况

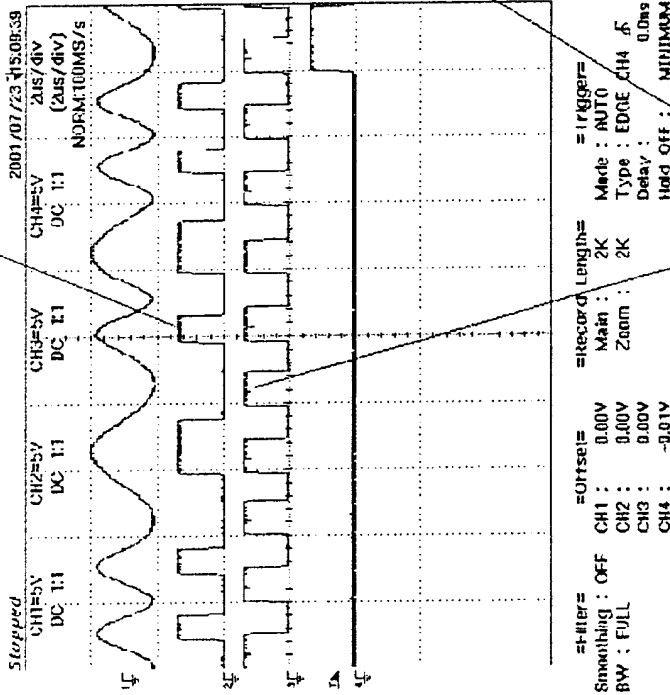
图 6



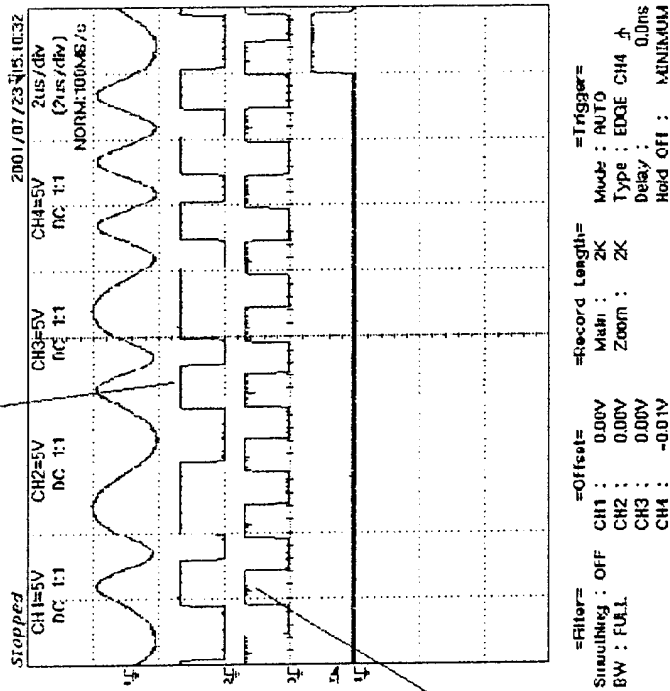
滞后情况

图 7

矩形抖动信号<50[%]

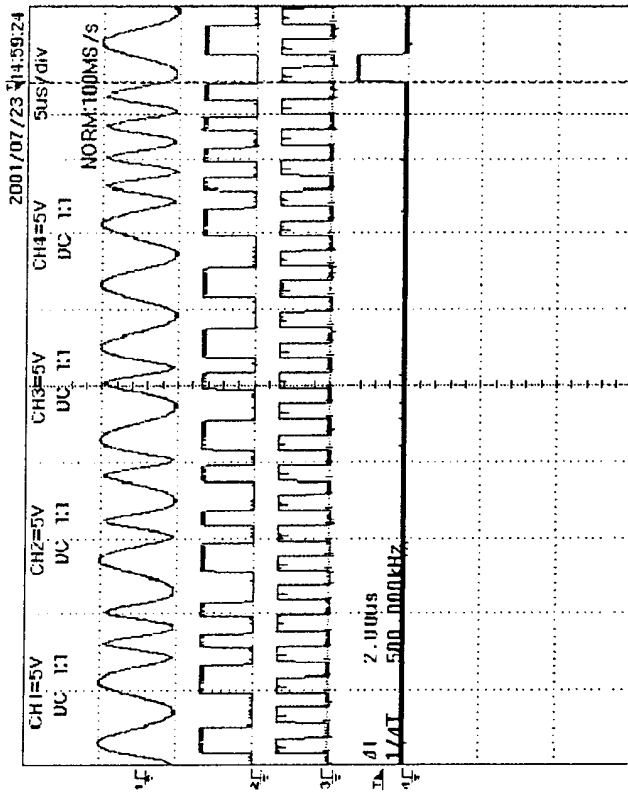


矩形抖动信号>50[%]

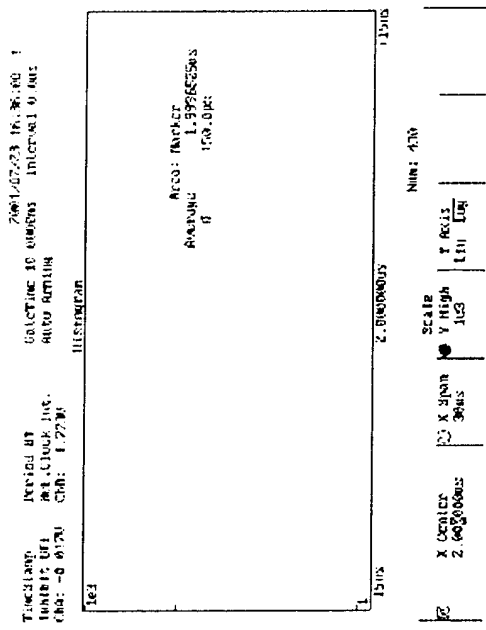


8

抖动PLL脉冲



=Filter= CH1 : 0.00V CH2 : 0.00V CH3 : 0.36V CH4 : -0.01V
 Smoothing : OFF
 BW : FULL
 =Record Length= Main : 5K Zoom : 5K
 =Trigger= Mode : AUTO Type : EDGE CH4 _F Delay : 0.0ns Hold Off : MINIMUM



Sliced-Wobble Signal Duty = 50[%]

[1] f1 = 500[kHz], f2 = 250[kHz]

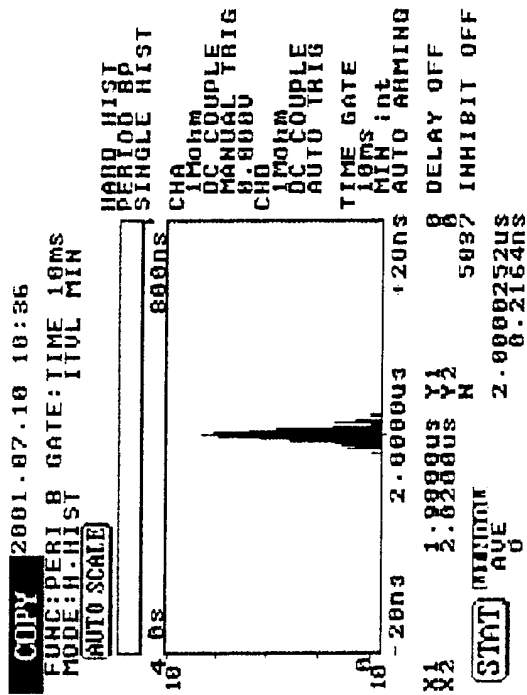
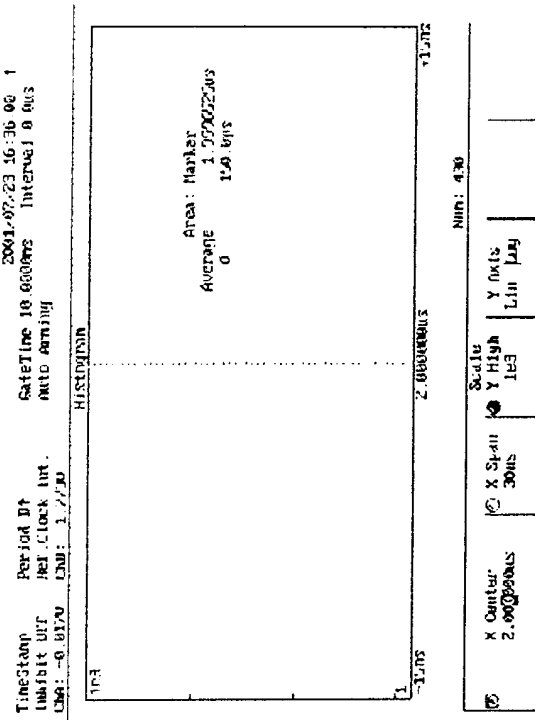
[2] Wobble PLL Clock : 250[kHz]

[3] Average Period : 1.9996525[usec]

[4] Deviation : 0.150[nsec]



9



PLL Clock of without PE Compensator

[1] Center Frequency : 500kHz [2usec]

[2] Average Period : 2.0000252[usec]

[3] Deviation : 0.2164[nsec]



10

PLL Clock of with PE Compensator

[1] Center Frequency : 500kHz [2usec]

[2] Average Period : 1.99996525[usec]

[3] Deviation : 0.150[nsec]