

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年7月3日(03.07.2014)



(10) 国際公開番号
WO 2014/103000 A1

- (51) 国際特許分類:
H01L 29/12 (2006.01) *H01L 29/78* (2006.01)
- (21) 国際出願番号: PCT/JP2012/084023
- (22) 国際出願日: 2012年12月28日(28.12.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所(HITACHI, LTD.)
[JP/JP]; 〒1008280 東京都千代田区丸の内一丁目
6番6号 Tokyo (JP).
- (72) 発明者: 土屋 龍太(TSUCHIYA Ryuta); 〒1858601
東京都国分寺市東恋ヶ窪一丁目280番地 株式
会社日立製作所 中央研究所内 Tokyo (JP). 松
島 宏行(MATSUSHIMA Hiroyuki); 〒1858601 東
京都国分寺市東恋ヶ窪一丁目280番地 株式
会社日立製作所 中央研究所内 Tokyo (JP). 手賀
直樹(TEGA Naoki); 〒1858601 東京都国分寺市東
恋ヶ窪一丁目280番地 株式会社日立製作所
中央研究所内 Tokyo (JP). 久本 大(HISAMOTO
Digh); 〒1858601 東京都国分寺市東恋ヶ窪一丁目
280番地 株式会社日立製作所 中央研究所
内 Tokyo (JP).

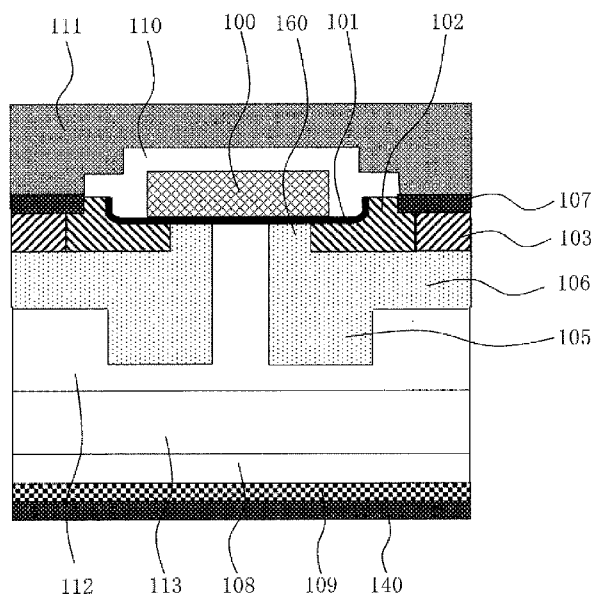
- (74) 代理人: 井上 学, 外(INOUE Manabu et al.); 〒
1008220 東京都千代田区丸の内一丁目6番1号
株式会社日立製作所内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 炭化珪素半導体装置及びその製造方法



(57) Abstract: It has been difficult to achieve both the reduced on-resistance due to a reduced gate length, and the high element withstand voltage in a SiC DMOSFET, in the cases where a gate length is reduced for the purpose of reducing on-resistance. In the present invention, a body layer is formed after recessing a part of a source diffusion layer region after forming the source diffusion layer region. With the presence of the body layer, the distances between the source diffusion layer and respective end portions can be increased, a depletion layer is effectively expanded, and electric field concentration at the end portions can be suppressed, thereby improving withstand voltage characteristics. Consequently, the present invention can provide a silicon carbide semiconductor device that achieves both the reduced channel resistance due to a gate length reduction, and a high element withstand voltage.

(57) 要約: SiCのDMOSFETにおいて、オン抵抗を低減する為にゲート長を縮小した場合、ゲート長縮小によるオン抵抗低減と素子高耐圧を両立することが困難である。ソース拡散層領域を形成した後、この一部をリセスした後、ボディ層を形成することで、ボディ層を形成する。このボディ層の存在により、ソース拡散層との各々の端部の距離を広げることができ、効果的に空乏層を広げ、この端部での電界集中を抑制することが可能となり、耐圧特性が向上する。以上のように、本発明によれば、ゲート長を縮小しによるチャネル抵抗の低減と素子高耐圧を両立する炭化珪素半導体装置を提供することができる。

集中を抑制することが可能となり、耐圧特性が向上する。以上のように、本発明によれば、ゲート長を縮小しによるチャネル抵抗の低減と素子高耐圧を両立する炭化珪素半導体装置を提供することができる。

明 細 書

発明の名称：炭化珪素半導体装置及びその製造方法

技術分野

[0001] 本発明は、炭化珪素半導体装置及びその製造方法に関する。

背景技術

[0002] インバータなどに利用されるパワーデバイスに、炭化珪素基板を利用した SiC-MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) の利用が提案されている (特許文献 1)。この SiC-MOSFET のオン抵抗に関する課題の一つに SiC 特有の低チャネル移動度がある。一般に、基板として 4H-SiC 基板が用いられている。4H-SiC 基板は Si 面と C 面の両面を持つが、例えば、一般的な Si 面をチャネルとして用いた DMOSFET (Double-diffused MOSFET) の場合、チャネル移動度向上に有利と考えられているゲート絶縁膜への SiON 膜 (酸化珪素膜) の適用や埋め込みチャネルの利用を考慮したとしても、チャネル移動度は $50\text{ cm}^2/\text{Vs}$ 以下となる。これは Si-MOSFET と比べて、一桁小さい。このため、SiC パワー MOSFET の寄生抵抗成分の中で、チャネル抵抗成分の占める割合が最も高い。この高チャネル抵抗の問題は、比較的、チャネル移動度が高い C 面を利用したとしても、依然として SiC パワー MOSFET の大きな課題であることに変わりはない。

[0003] この低チャネル移動度の課題が存在するため、従来技術では、DMOSFET のゲート長を縮小することで、チャネル抵抗を低減し、DMOSFET のオン抵抗の低減を行ってきた。

先行技術文献

特許文献

[0004] 特許文献 1：特開 2001-94098 号公報

発明の概要

発明が解決しようとする課題

[0005] 従来技術により、ゲート長を縮小した場合、DMOSFETの耐压特性が低下するという課題が存在する。図3に示す従来DMOSFET構造を用いてその課題について述べる。従来技術にてゲート長を縮小した場合、ソース拡散層102とボディ層106の各々の端部の距離が物理的に近づく。そのため、DMOSFETのドレイン電極に数百～数千Vの電圧が印加された場合、この端部での空乏層を効果的に伸ばすことが出来ず、電界が集中してしまう。その結果、ソース拡散層102、ボディ層106、ドリフト層112間で、所謂パンチスルーが発生し、リーク電流が流れるようになるため耐压が低下する。すなわち、ゲート長縮小によるオン抵抗低減と素子高耐压を両立することは困難であった。

[0006] 本発明の目的は、この素子低オン抵抗化と高耐压化を両立するDMOSFET構造を提供することにある。

課題を解決するための手段

[0007] 本願において開示される発明のうち代表的なものを簡単に説明すれば、次のとおりである。

[0008] 本発明は、第1主面および前記第1主面と反対面の第2主面を有し、炭化珪素からなる第1導電型の基板と、前記基板の前記第1主面上に形成された炭化珪素からなるエピタキシャル層と、前記エピタキシャル層内に形成された前記第1導電型とは異なる第2導電型の第1のボディ層と、前記エピタキシャル層内に形成された前記第1導電型とは異なる第2導電型の第2のボディ層と、前記第1のボディ層内に形成された前記第1導電型の第1のソース領域と、前記第2のボディ層内に形成された前記第1導電型の第2のソース領域と、前記第1のボディ層の横端部と前記第1のソース領域の横端部との間の前記第1のボディ層に位置する前記第1のソース領域に接して形成された前記第2導電型の第1チャンネル領域と、前記第2のボディ層の横端部と前記第2のソース領域の横端部との間の前記第2のボディ層に位置する前記第2のソース領域に接して形成された前記第2導電型の第2チャンネル領域と、前記第1チャンネル領域と前記第2チャンネル領域に接して形成されたゲート絶

縁膜と、前記ゲート絶縁膜に接して形成されたゲート電極と、前記基板の前記第2主面から所定の深さを有して、前記基板に形成された前記第1導電型のドレイン領域と、を備えることを特徴とする炭化珪素半導体装置において、前記第1、及び、第2のソース領域と、前記第1、及び、第2のチャンネル領域がリセスされた炭化珪素半導体装置で、前記ソース領域と、前記チャンネル領域がリセスされた領域のボディ層の接合深さは、前記ソース領域のリセスされていない領域の接合深さよりも深くなっていることを特徴とする炭化珪素半導体装置およびその製造方法である。

[0009] 以上のような本発明によれば、従来技術と比較して、ソース拡散層領域を形成した後、この一部をリセスした後ボディ層を形成するため、図1に示す通り、ボディ層105が形成される。従来構造に比べ、ボディ層105の存在により、ソース拡散層102との各々の端部の距離を広げることができ、効果的に空乏層を広げ、この端部での電界集中を抑制することが可能になる。図4、および、図5に、各々、従来構造、本発明構造の電界分布をデバイスシミュレータを用いて計算した結果を示す。図4の従来構造に比べ、図5に示す本発明構造の方がボディ層端部での電界集中が抑制されていることが分かる。

発明の効果

[0010] 以上のように、本発明によれば、ゲート長を縮小しによるチャンネル抵抗の低減と素子高耐圧を両立する炭化珪素半導体装置を提供することができる。

図面の簡単な説明

[0011] [図1]図1は実施例1における炭化珪素半導体装置の断面構造図を示す説明図である。

[図2]図2は実施例1における炭化珪素半導体装置の平面構造を示す説明図である。

[図3]従来技術における炭化珪素半導体装置の断面構造図を示す説明図である。断面図である。

[図4]シミュレーションにより求めた従来技術における炭化珪素半導体装置の

電界分布図である。

[図5]シミュレーションにより求めた本発明の実施例1における炭化珪素半導体装置の電界分布図である。

[図6(a)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

[図6(b)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

[図6(c)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

[図6(d)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

[図6(e)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

[図6(f)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

[図6(g)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

[図6(h)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

[図6(i)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

[図6(j)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

[図6(k)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

[図6(l)]製造方法を説明する炭化珪素半導体装置の断面工程図である。

発明を実施するための形態

実施例 1

[0012] 以下、実施例1について図面を参照して詳細に説明する。

[0013] 図1は、実施例1の炭化珪素半導体装置の断面模式図である。炭化珪素半導体装置は、DMOSFETの単位セルが複数配置された構造を有している。なお、図1では、複数の単位セルのうち一部が示されている。113はSiC基板であり、SiC基板113とSiC基板113上に形成されたエピタキシャル層112とでSiCエピタキシャル基板が構成されている。SiCエピタキシャル基板の基板表面にMOSFETのチャネル領域を構成するボディ層105、106と、MOSFETのソース領域を構成するソース拡散層領域102とが形成されている。チャネル領域は160となる。SiCエピタキシャル基板の裏面にはMOSFETのドレイン領域を構成するドレイン拡散層領域108が形成されている。103はボディ層105、106

の電位固定用の p^+ 層である。100はMOSFETのゲート電極であり、101はゲート絶縁膜である。110は層間膜である。107はSiCエピタキシャル基板表面の金属シリサイド層であり、109はSiCエピタキシャル基板裏面の金属シリサイド層である。111はソースへの配線用電極であり、140は裏面のドレインへの配線用電極である。

[0014] 100はゲートへの配線用電極を介して外部から供給されるゲート電位、111はソース電位が印加される外部配線と電氣的に接続されており、140もまた、外部から供給されるドレイン電位が印加される。

[0015] 図2は実施例1における半導体装置の平面構造を示す説明図である。図2に示すように、炭化珪素半導体装置を搭載する半導体チップは、複数の n チャンネル型のSiCパワーMOSFETが並列接続されたアクティブ領域（SiCパワーMISFET形成領域）121と、平面視において上記アクティブ領域121を囲む周辺形成領域とによって構成される。周辺形成領域には、平面視において上記アクティブ領域121を囲むように形成された複数の p 型のフローティング・フィールド・リミッティング・リング（Floating Field Limited Ring：FLR）125と、さらに平面視において上記複数の p 型のフローティング・フィールド・リミッティング・リング125を囲むように形成された n^+ 型のガードリング124が形成されている。

[0016] n 型のSiCエピタキシャル基板のアクティブ領域の表面側に、SiCパワーMOSFETのゲート電極、 n^+ 型のソース領域、チャンネル領域等が形成され、SiCエピタキシャル基板の裏面側に、SiCパワーMOSFETの n^+ 型のドレイン領域が形成されている。

[0017] 複数の p 型のフローティング・フィールド・リミッティング・リング125をアクティブ領域121の周辺に形成することにより、オフ時において、最大電界部分が順次外側の p 型のフローティング・フィールド・リミッティング・リング125へ移り、最外周の p 型のフローティング・フィールド・リミッティング・リングで降伏するようになるので、炭化珪素半導体装置を高耐圧とすることが可能となる。図2では、3つの p 型のフローティング・

フィールド・リミッティング・リング 125 が形成されている例を図示しているが、これに限定されるものではない。また、 n^+ 型のガードリング 124 は、アクティブ領域 121 に形成された SiC パワー MOSFET を保護する機能を有する。

[0018] アクティブ領域 121 内に形成された複数の SiC パワー MOSFET のそれぞれのゲート電極は、平面視において連結してストライプパターンとなっており、それぞれのストライプパターンに接続する引出配線（ゲートバスライン）によって、全ての SiC パワー MOSFET のゲート電極はゲート配線用電極 122 と電氣的に接続している。図 2 では、ゲート電極はストライプパターンに形成されいるが、これに限定されるものではなく、たとえば、ボックスパターンや多角形パターンなどがある。

[0019] また、複数の SiC パワー MOSFET のそれぞれのソース領域は、複数の SiC パワー MOSFET を覆う層間絶縁膜に形成された開口部 123 を通じてソース配線用電極 120 と電氣的に接続している。ゲート配線用電極 122 とソース配線用電極 120 とは互いに離間して形成されており、ソース配線用電極 120 は、ゲート配線用電極 122 が形成された領域を除いて、アクティブ領域 121 のほぼ全面に形成されている。また、 n 型の SiC エピタキシャル基板の裏面側に形成された n^+ 型のドレイン領域は、 n 型の SiC エピタキシャル基板の裏面全面に形成されたドレイン配線用電極と電氣的に接続している。

[0020] 図 6 (a) から図 6 (l) を用いて、図 1 に示された実施例 1 の炭化珪素半導体装置の製造方法を説明する。本製造方法は、ソース拡散層領域を形成した後、この一部をリセスした後ボディ層を形成するため、ボディ層 105 が形成され、従来構造に比べ、ソース拡散層 110 との各々の端部の距離を広げることができ、効果的に空乏層を広げ、この端部での電界集中を抑制することが可能になり、ゲート長を縮小しによるチャネル抵抗の低減と素子高耐圧を両立する炭化珪素半導体装置を実現できる。

[0021] まず、炭化珪素半導体装置は、4H-SiC 基板に設けられている。Si

C基板には、n型の不純物が注入されている。この不純物は、たとえば、窒素であり、たとえば、不純物濃度は $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。また、SiC基板の表面はSi面でもC（炭素）面のどちらでもよい。

[0022] このSiC基板113上にSiC基板113よりも低濃度にn型不純物が注入されたSiCのn⁻型のエピタキシャル層112がエピタキシャル成長されている。このn⁻型のエピタキシャル層112の不純物濃度は炭化珪素半導体装置の素子定格に依存するが、たとえば、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の範囲である。

[0023] 以上の工程を経て、SiCエピタキシャル基板が完成する。次に、SiCエピタキシャル基板の裏面にドレインとなるn⁺型の拡散層領域108を設ける。この不純物濃度は高濃度であることが望ましく、例えば $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である（図6（a））。

[0024] 次に、ソース拡散層102を形成する。ソース拡散層102はの深さは～0.5～であり、通常、注入エネルギーが数百keVとなる。そのため、マスクとしてはSiO₂（酸化珪素）などのハードマスクを用いるのが一般的である。まず、SiO₂膜をプラズマCVD（化学気相成長）装置によって、1～3μm程度堆積させる。次にポジレジストを塗布、露光、現像し、所望のボディ層の形状のレジストパターンを形成する。その後、SiO₂膜をドライエッチングによって加工、レジスト除去をすることによって、パターニングされたマスク130がSiCエピタキシャル基板上に形成される（図6（b））。次に、イオン注入でn⁺型のソース拡散層領域102を形成する。不純物は、たとえば、N（窒素）である。不純物濃度は、たとえば、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である（図6（b））。

[0025] 続いて、ボディ層105、106の電位を固定するために、シリサイド層形成部分にp⁺層103を形成する。まず、プラズマCVD装置によって、SiO₂膜を堆積させる。次にポジレジストを塗布、露光、現像し、所望のボディ層の形状のレジストパターンを形成する。その後、SiO₂膜をドライエッ

チングによって加工、レジスト除去をすることによって、パターニングされたマスク 130 が SiC エピタキシャル基板上に形成される (図 6 (c))。続いて、イオン注入で p⁺ 層 103 を形成する。不純物はたとえば Al である。不純物濃度は、たとえば、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である (図 6 (c))。

[0026] 次に、ボディ層 105 を形成するためにソース拡散層 102 の一部をリセスする。まず、プラズマ CVD 装置によって、SiO₂ 膜を堆積させる。次にポジレジストを塗布、露光、現像し、所望のボディ層の形状のレジストパターンを形成する。その後、SiO₂ 膜をドライエッチングによって加工、レジスト除去をすることによって、パターニングされたマスク 130 が SiC エピタキシャル基板上に形成される (図 6 (d))。

[0027] 続いて、ソース拡散層領域 102、および、SiC エピタキシャル基板を例えばドライエッチングを用いてリセス領域 131 を形成する (図 6 (e))。リセスする深さは、たとえば、10 ~ 200 nm の範囲である。

[0028] 次に、ボディ層 105、106 を形成する。ボディ層の深さは 0.5 ~ 2 μm と深く、通常、注入エネルギーが数百 keV から数 MeV となる。そのため、マスクとしては SiO₂ (酸化珪素) などのハードマスクを用いるのが一般的である。まず、SiO₂ 膜をプラズマ CVD (化学気相成長) 装置によって、1 ~ 3 μm 程度堆積させる。次にポジレジストを塗布、露光、現像し、所望のボディ層の形状のレジストパターンを形成する。その後、SiO₂ 膜をドライエッチングによって加工、レジスト除去をすることによって、パターニングされたマスク 130 が SiC エピタキシャル基板上に形成される (図 6 (f))。

[0029] 続いて、イオン注入を用いて p 型不純物を注入してボディ層を形成する。不純物はたとえば Al (アルミニウム) である。不純物濃度は、たとえば、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である (図 6 (f))。本工程により従来のボディ層 106 よりも、更に深いボディ層 105 を形成でき、耐圧低下の原因となるパンチスルーが抑制可能となる。

[0030] 全ての不純物注入後、注入した不純物の活性化を行う。SiCの活性化熱処理には、1500℃以上の温度が要求される。しかし、1500℃以上を超えるとSiC基板表面からSi原子や注入した不純物の離脱が起きる。また、表面平坦性が劣化してしまう。そこで、SiCエピタキシャル基板の表面と裏面を活性化熱処理前に炭素膜を被覆する。炭素膜はプラズマCVD装置によって、SiCエピタキシャル基板の表面と裏面に30nm程度堆積させる。この炭素膜を被覆した後、1500℃以上の高温で数分間活性化熱処理を行う。活性化熱処理後、被覆した炭素膜は酸素プラズマ処理で除去する。

[0031] 炭素膜を被覆したことによって、SiCエピタキシャル基板表面近傍には炭素が余剰に入った層が形成される。この層を除去するため、高温水素雰囲気中でSiCエピタキシャル基板表面をエッジングする。この時の温度は、1000℃以上が望ましい。また、この高温水素熱処理によるエッジングにより、先にリセスして形成したソース拡散層領域102のエッジ部分を丸めることができる。チャンネル領域207のソース拡散層領域側端部が曲率5nm以上の角をなすことが望ましい。なお、この水素熱処理を行わずに、素子を形成しても良い。

[0032] 次に、ゲート絶縁膜101とゲート電極100を形成する。ゲート絶縁膜101は、一酸化窒素ガスを用いてSiON膜をゲート絶縁膜101のSiCエピタキシャル基板表面層とするのが望ましい。ただし、ゲート絶縁膜101の膜厚を厚く形成するために、熱CVD装置によりSiO₂膜を堆積させ、ゲート絶縁膜101を多層膜とするのが望ましい（図6（g））。ゲート絶縁膜101の膜厚は50～150nmの範囲である。ゲート絶縁膜101を設けた後、ゲート電極100となるSi膜161を堆積する。Si膜161として、Pが注入された多結晶Si膜161を堆積させるのが一般的である（図6（g））。多結晶Si膜161の膜厚は100～500nmの範囲である。続いて、多結晶Si膜161を加工する。ポジレジストを塗布、露光、現像し、所望のゲート電極100の形状のレジストパターン132を形

成する。レジストパターン132を形成後、Si膜161をドライエッチングによって所望の形状に加工し、ゲート電極110を形成する（図6（h））。

[0033] レジストパターン132を除去後、プラズマCVD装置によって、層間膜110を堆積させる。その後、層間膜110を1000℃で焼きしめた後、続いて、ソース拡散層領域102と、ボディ層105、106の電位を固定するためのp⁺層103 p⁺層へ配線用電極を設ける為に、層間膜110、及び、ゲート絶縁膜101の一部を開口し、コンタクト領域を形成する。ポジレジストを塗布、露光、現像し、所望の開口形状を得るためのレジストマスク132を形成する。次に、層間膜110及びゲート絶縁膜101をドライエッチングによって所望の形状に加工し、コンタクト領域を形成する（図6（i））。

[0034] 続いて、ソース拡散層領域102とp⁺層103と配線用電極の接触抵抗を下げるために、ソース拡散層領域102とp⁺層103上に金属シリサイド層107を形成する。まず、マグネトロンスパッタ装置を用いて、金属膜を20nm程度堆積させる。金属膜を堆積させた後、500℃～900℃のシリサイド化アニールを行い金属膜とSiCエピタキシャル基板を反応させて、金属シリサイド層107を形成する。続いて、ウェットエッチングを用いて、未反応の金属膜を除去する。この金属膜除去のためのウェットエッチングには、たとえば、硫酸加水が用いられる。（図6（j））

[0035] 次に、裏面のn⁺型の拡散層領域108を覆うように金属シリサイド層109を形成する。SiCエピタキシャル基板の裏面にマグネトロンスパッタ装置を用いて、金属膜を100nm程度堆積させる。次に800℃～1200℃のシリサイド化アニールを行い金属膜とSiCエピタキシャル基板を反応させて、金属シリサイド109を設ける（図6（k））。その後、裏面の金属シリサイド109を覆うように金属膜140を所望の膜厚堆積させる。

[0036] 次に、ゲート100上へ配線用電極を設けるために、層間膜110の一部を開口する。ポジレジストを塗布、露光、現像し、所望のゲート開口部の形

状のレジストパターンを形成する。レジストパターンを形成後、ドライエッチングによって所望の形状に加工する。続いて、ソースへの配線用電極 111 とゲートへの配線用電極を設ける。電極はメタルCVD装置によって、チタンと、窒化チタンと、アルミニウムを積層させる（図2-(r)）。アルミニウム膜の膜厚は配線への接続を考慮し、2 μ m以上の膜厚にするのが好ましい。電極のための金属膜を積層させた後、余分な金属膜を除去する。この時、ソースへの配線用電極 111 とゲートへの配線用電極の分離も行われる。その後、ソースへの配線用電極へ配線が接続され、ゲートへの配線用電極へも配線が接続される。

[0037] 以上、実施例1により、深いボディ層 105 を持つ炭化珪素半導体装置を形成できた。本構造によれば、従来技術と比較して、ソース拡散層領域を形成した後、この一部をリセスした後ボディ層を形成することで、従来ボディ層 106 よりも更に深いボディ層 105 を形成することができる。ボディ層 105 の存在により、従来構造に比べ、ソース拡散層 102 との各々の端部の距離を広げることができ、効果的に空乏層を広げ、この端部での電界集中を抑制し、耐圧特性を向上させることが可能になる。以上より、耐ゲート長を縮小しによるチャネル抵抗の低減と素子高耐圧を両立する炭化珪素半導体装置を提供することができる。

符号の説明

[0038] 100・・・ゲート電極、101・・・ゲート絶縁膜、102・・・ソース拡散層、103・・・p⁺層、105・・・深いボディ層、106・・・ボディ層、107・・・表面金属シリサイド層、108・・・ドレイン拡散層領域、109・・・裏面金属シリサイド層、110・・・層間膜、111・・・ソース電極、112・・・SiCエピタキシャル層、113・・・SiC基板、120・・・ソース配線用電極、121・・・アクティブ領域、122・・・ゲート配線用電極、123・・・開口部、124・・・ガードリング、125・・・p型のフローティング・フィールド・リミッティング・リング、130、132・・・マスク層、131・・・リセス領域、140・

・ ・ 金属膜、 1 6 0 ・ ・ ・ チャネル領域

請求の範囲

[請求項1]

第1主面および前記第1主面と反対面の第2主面を有し、炭化珪素からなる第1導電型の基板と、

前記基板の前記第1主面上に形成された炭化珪素からなるエピタキシャル層と、

前記エピタキシャル層内に形成された前記第1導電型とは異なる第2導電型の第1のボディ層と、

前記エピタキシャル層内に形成された前記第1導電型とは異なる第2導電型の第2のボディ層と、

前記第1のボディ層内に形成された前記第1導電型の第1のソース領域と、

前記第2のボディ層内に形成された前記第1導電型の第2のソース領域と、

前記第1のボディ層の横端部と前記第1のソース領域の横端部との間の前記第1のボディ層に位置する前記第1のソース領域に接して形成された前記第2導電型の第1チャンネル領域と、

前記第2のボディ層の横端部と前記第2のソース領域の横端部との間の前記第2のボディ層に位置する前記第2のソース領域に接して形成された前記第2導電型の第2チャンネル領域と、

前記第1チャンネル領域と前記第2チャンネル領域に接して形成されたゲート絶縁膜と、

前記ゲート絶縁膜に接して形成されたゲート電極と、

前記基板の前記第2主面から所定の深さを有して、前記基板に形成された前記第1導電型のドレイン領域と、

前記第1及び第2のソース領域と、前記第1及び第2のチャンネル領域がリセスされていることを特徴とする炭化珪素半導体装置。

[請求項2]

請求項1において、

前記ソース領域と、前記チャンネル領域がリセスされた領域のボディ

層の接合深さは、前記ソース領域のリセスされていない領域の接合深さよりも深くなっていることを特徴とする炭化珪素半導体装置。

[請求項3]

請求項1において、

前記チャネル領域がリセスされた領域のボディ層の接合深さと、前記ソース領域のリセスされていない領域の接合深さ異なる横端部が、前記ソース領域のリセスされた横端部よりも、外側配置されていることを特徴とする炭化珪素半導体装置。

[請求項4]

請求項1において、

前記ソース領域と、前記チャネル領域がリセスされた領域のボディ層の接合深さと、前記ソース領域のリセスされていない領域の接合深さの差が、10～200nmであることを特徴とする炭化珪素半導体装置。

[請求項5]

第1主面および前記第1主面と反対面の第2主面を有し、炭化珪素からなる第1導電型の基板と、

前記基板の前記第1主面上に炭化珪素からなるエピタキシャル層を形成する工程と、

前記エピタキシャル層内に前記第1導電型とは異なる第2導電型の第1のボディ層を形成する工程と、

前記エピタキシャル層内に前記第1導電型とは異なる第2導電型の第2のボディ層を形成する工程と、

前記第1のボディ層内に前記第1導電型の第1のソース領域を形成する工程と、

前記第2のボディ層内に前記第1導電型の第2のソース領域を形成する工程と、

前記第1のボディ層の横端部と前記第1のソース領域の横端部との間の前記第1のボディ層に位置する前記第1のソース領域に接して前記第2導電型の第1チャネル領域を形成する工程と、

前記第2のボディ層の横端部と前記第2のソース領域の横端部との

間の前記第2のボディ層に位置する前記第2のソース領域に接して前記第2導電型の第2チャンネル領域を形成する工程と、

前記第1チャンネル領域と前記第2チャンネル領域に接してゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜に接してゲート電極を形成する工程と、

前記基板の前記第2主面から所定の深さを有して、前記基板に前記第1導電型のドレイン領域を形成する工程と、

前記第1及び第2のソース領域と、前記第1及び第2のチャンネル領域をリセスする工程と、

前記リセスした領域を形成した後に、ボディ層が形成されていることを特徴とする炭化珪素半導体装置の製造方法。

[請求項6]

請求項5において、

前記ソース領域と、前記チャンネル領域がリセスされた領域のボディ層の接合深さは、前記ソース領域のリセスされていない領域の接合深さよりも深く形成されていることを特徴とする炭化珪素半導体装置の製造方法。

[請求項7]

請求項5において、

前記チャンネル領域がリセスされた領域のボディ層の接合深さと、前記ソース領域のリセスされていない領域の接合深さ異なる横端部が、前記ソース領域のリセスされた横端部よりも、外側配置して形成されていることを特徴とする炭化珪素半導体装置の製造方法。

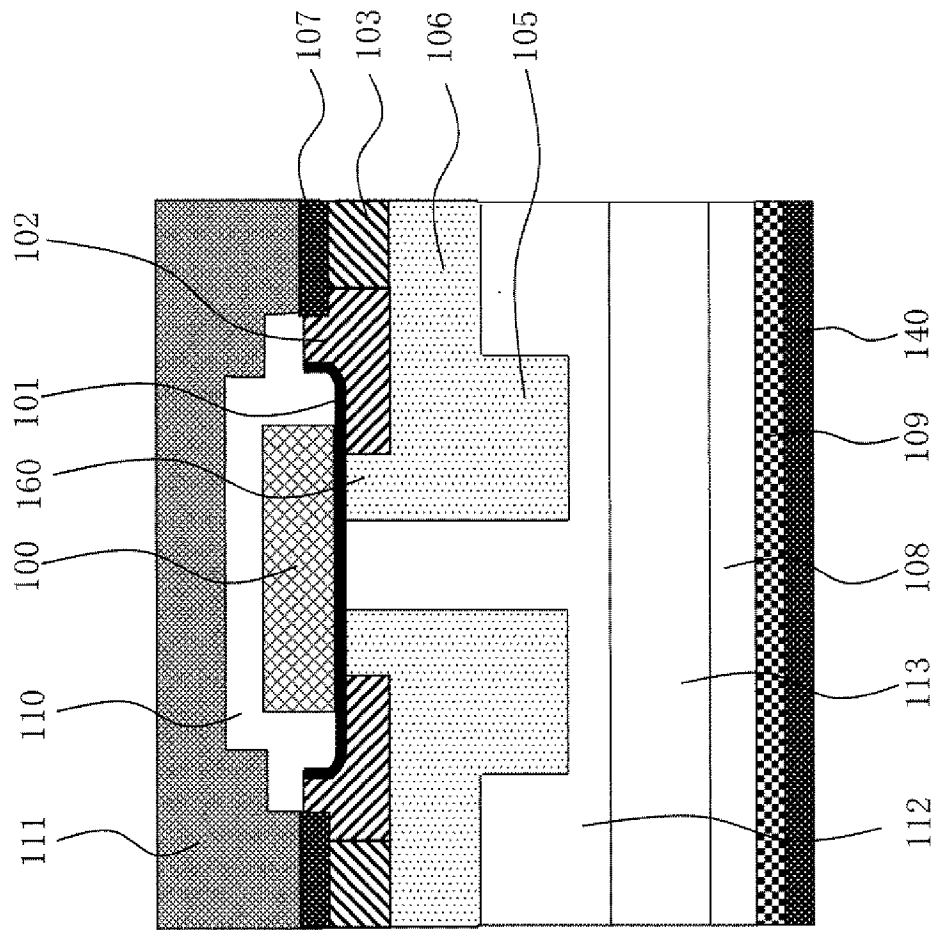
[請求項8]

請求項5において、

前記ソース領域と、前記チャンネル領域がリセスされた領域のボディ層の接合深さと、前記ソース領域のリセスされていない領域の接合深さの差が、10～200nmで形成されていることを特徴とする炭化珪素半導体装置の製造方法。

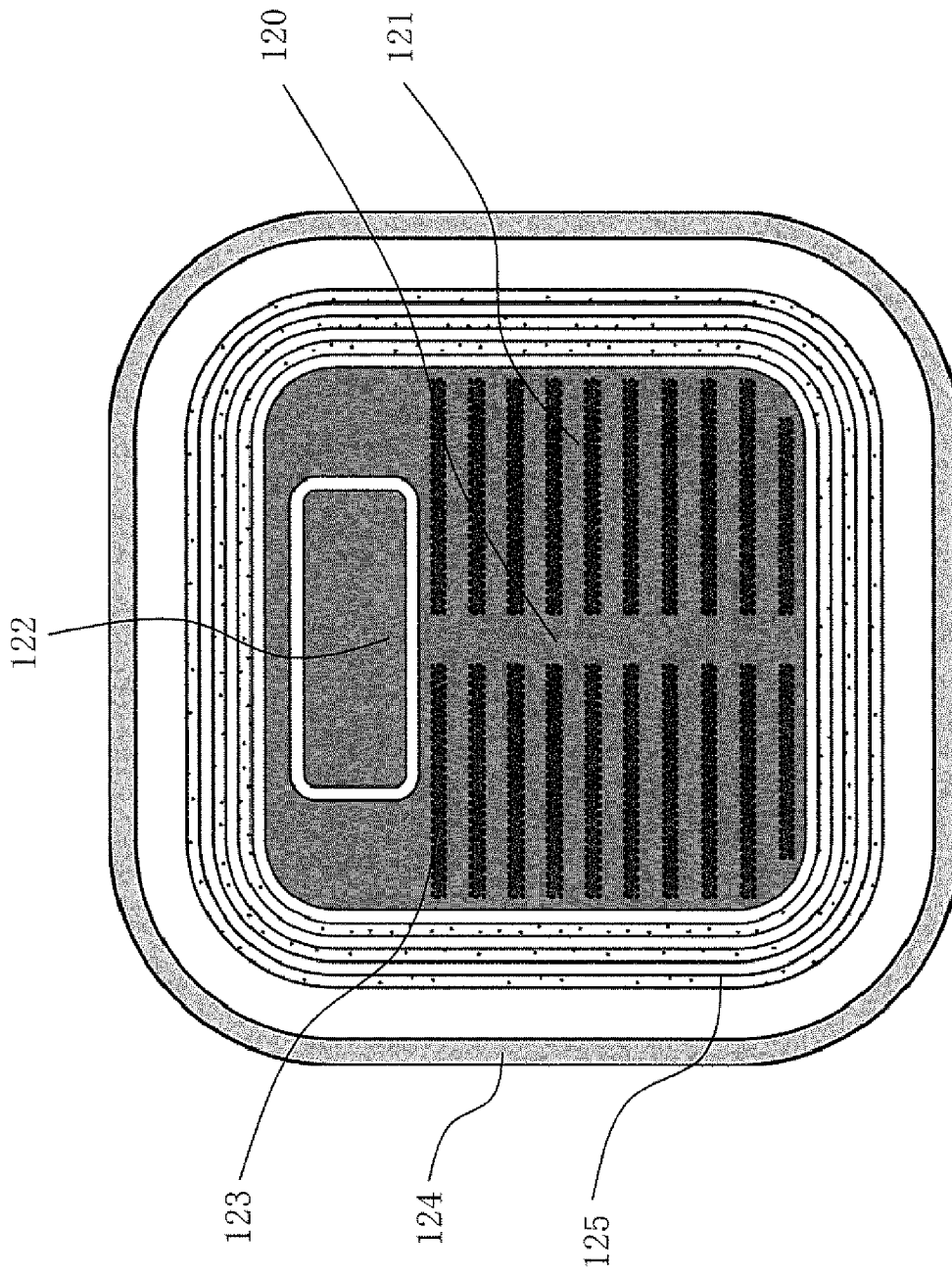
[図1]

図1



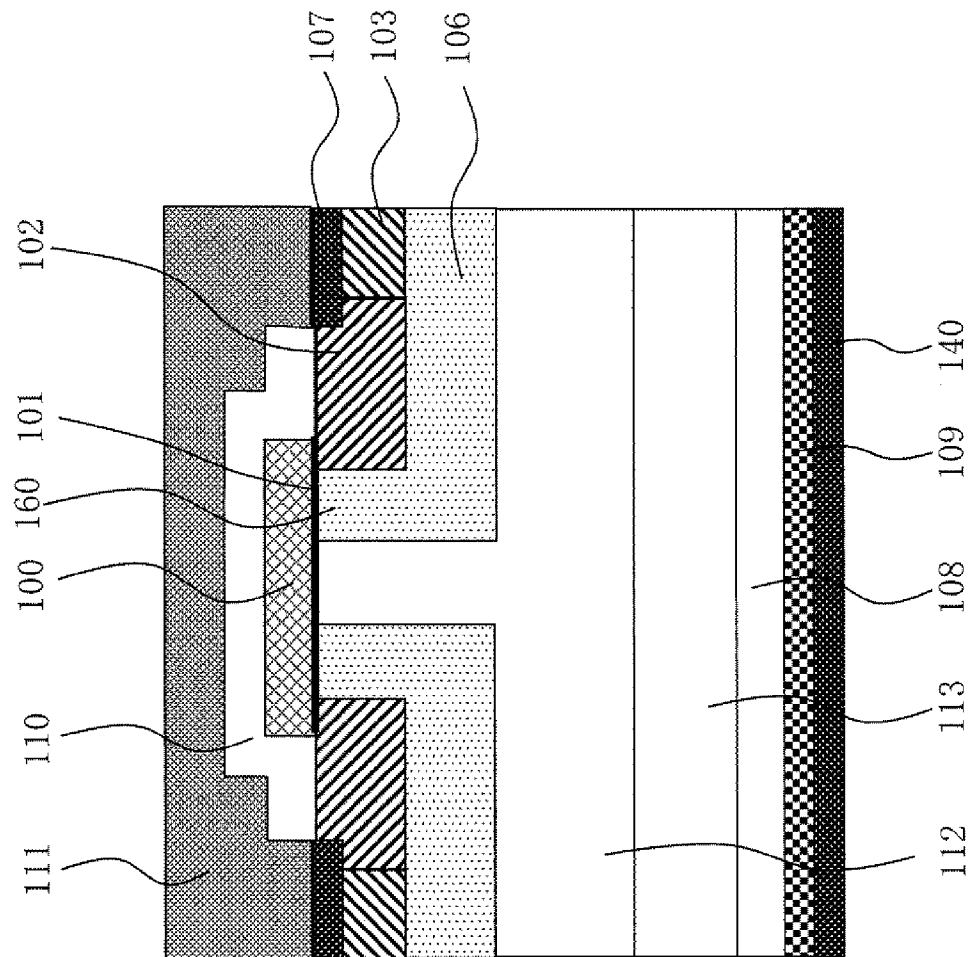
[図2]

図2



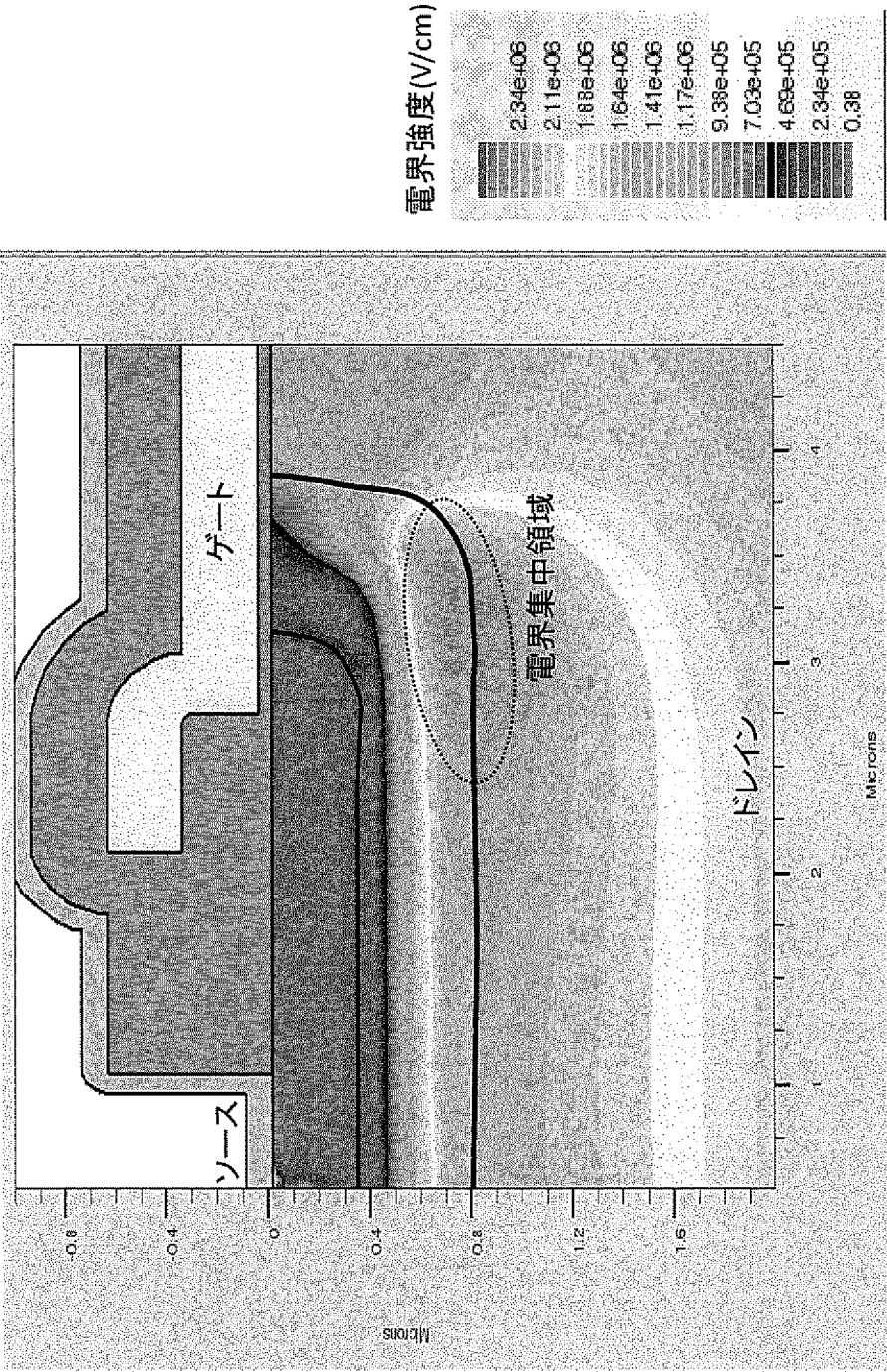
[図3]

図3



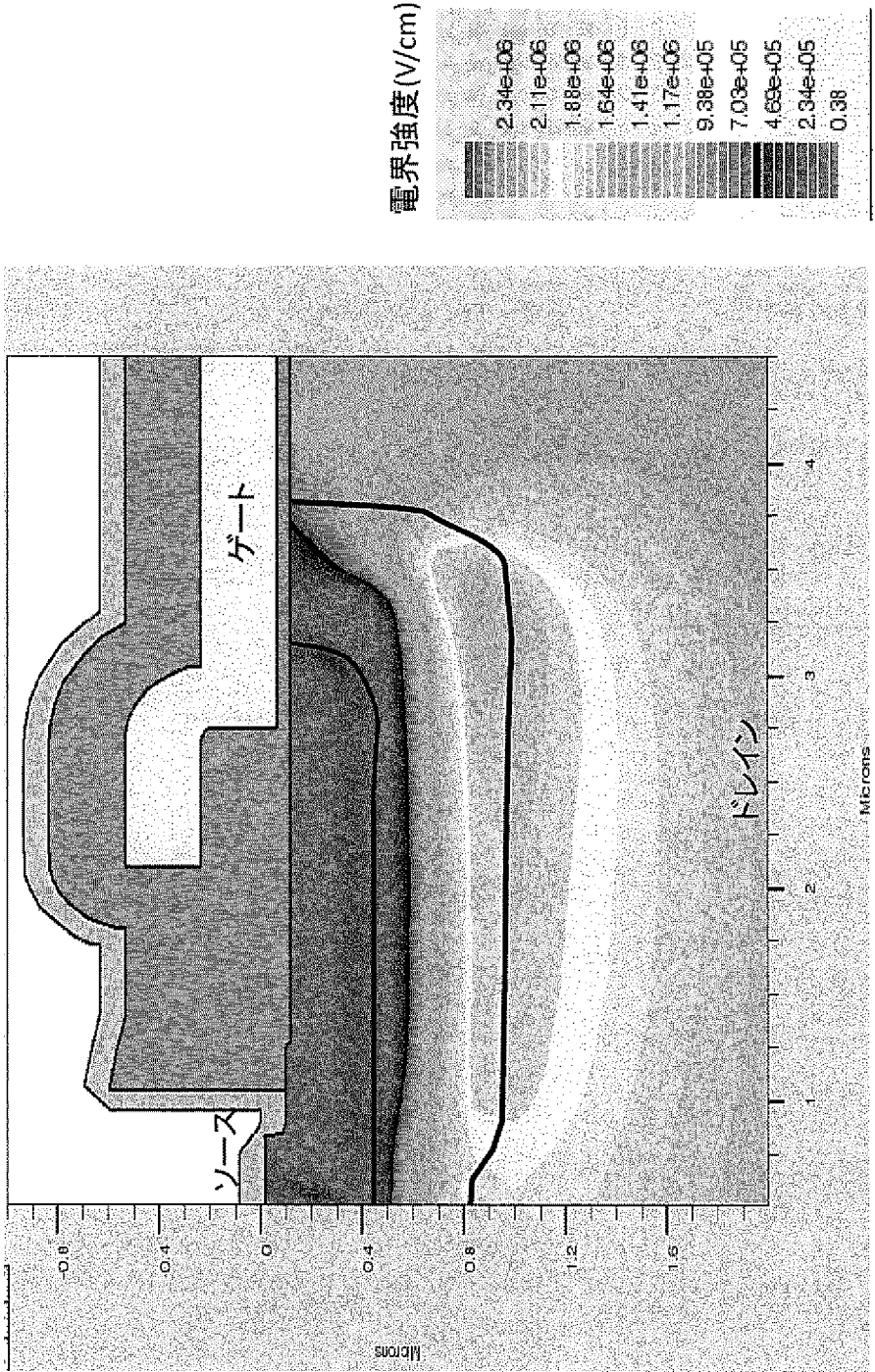
[図4]

図4



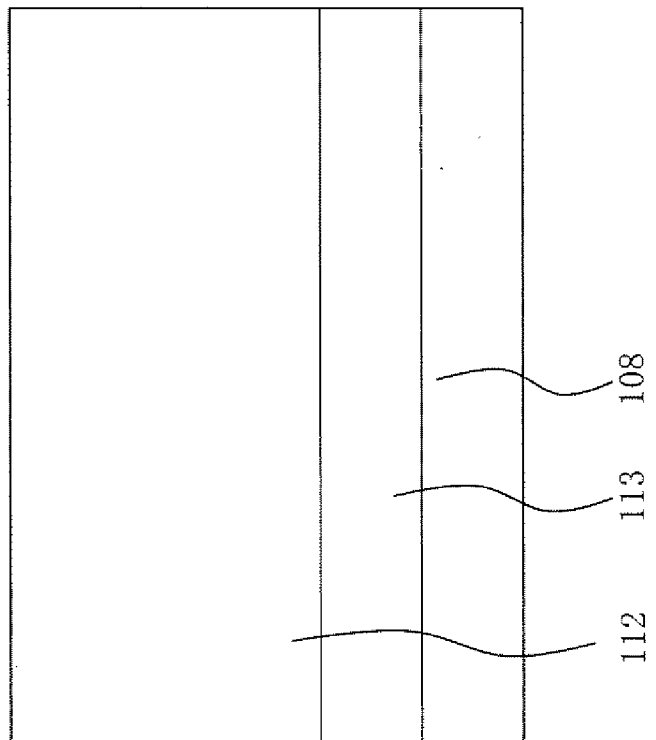
[図5]

図5

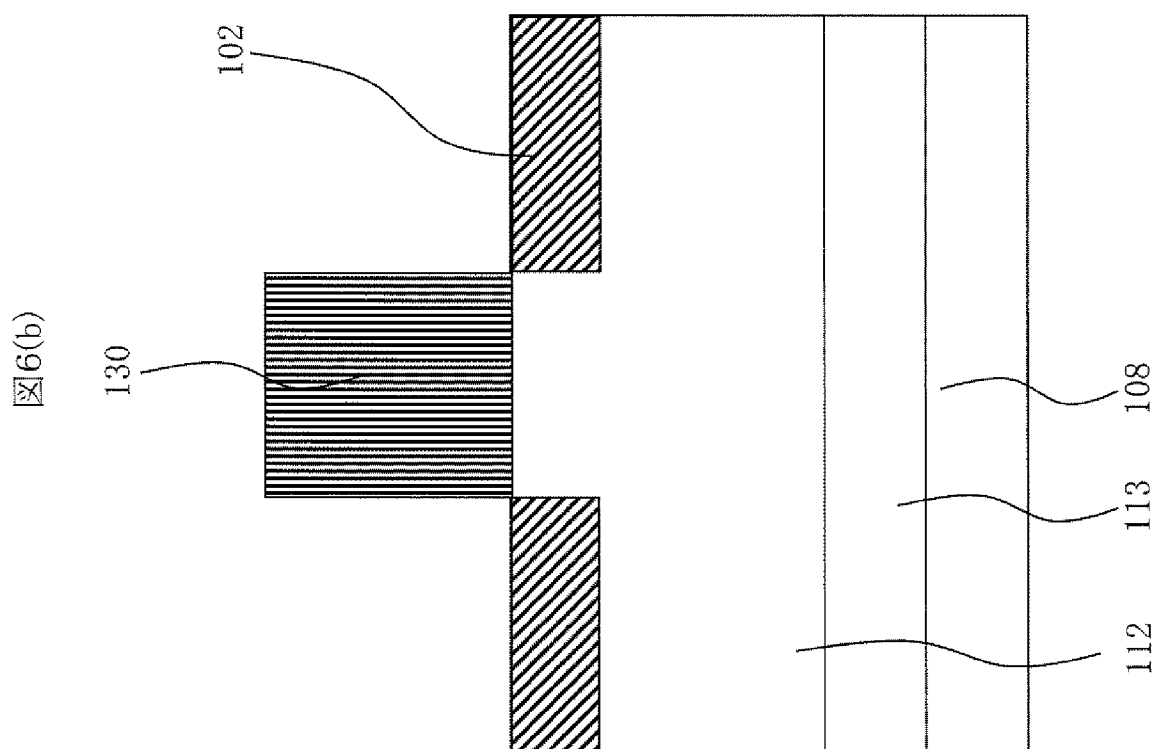


[図6(a)]

図6(a)

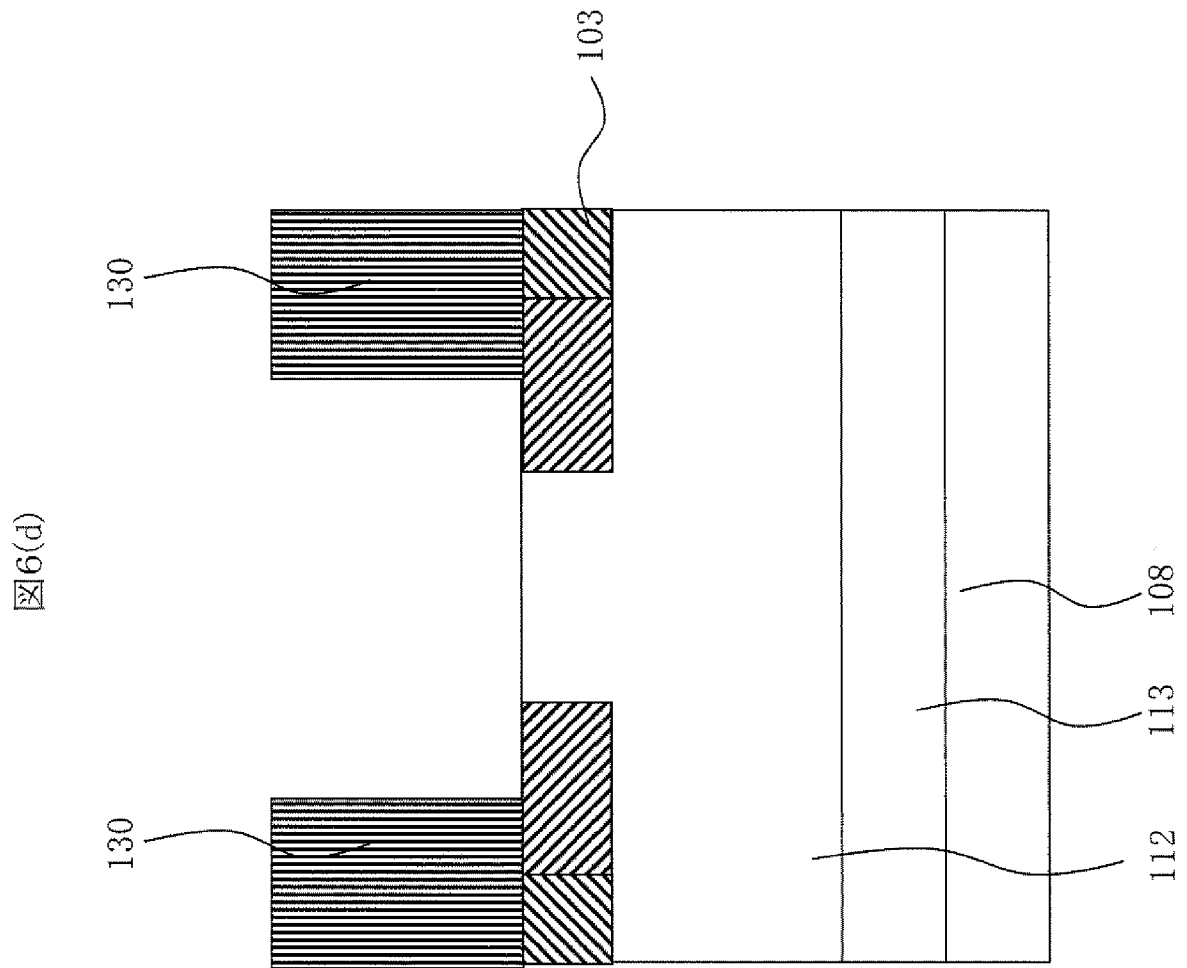


〔図6(b)〕

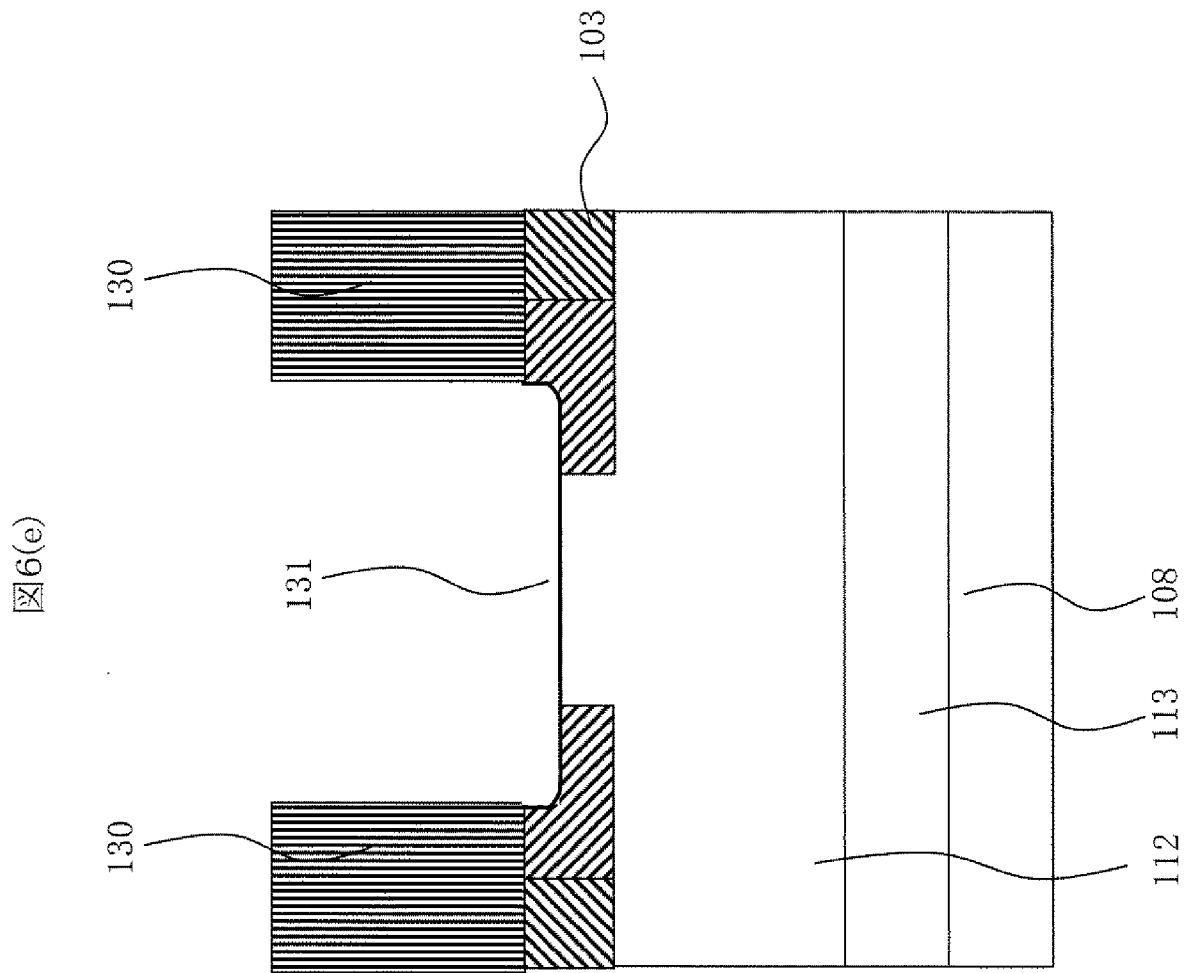


96(b)

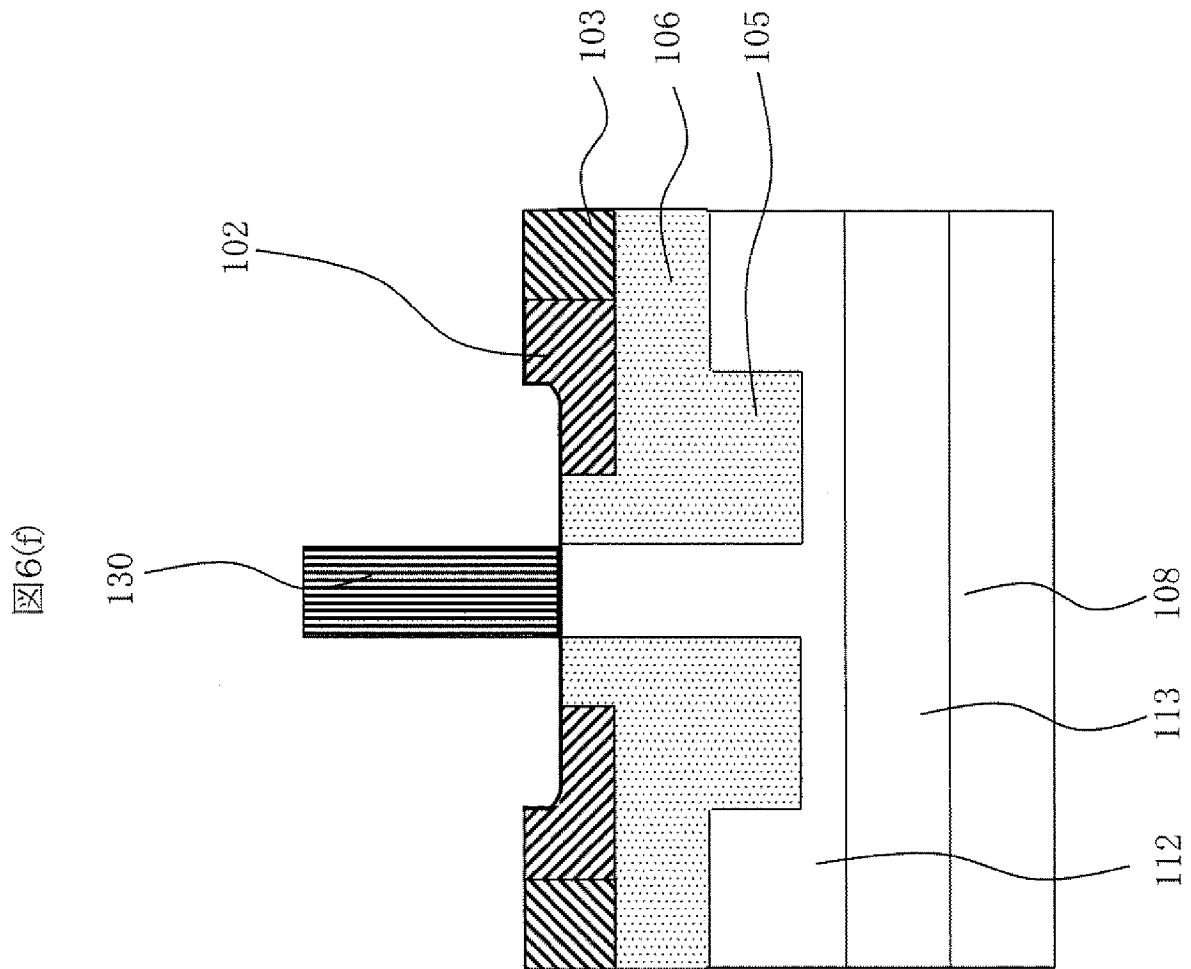
[図6(d)]



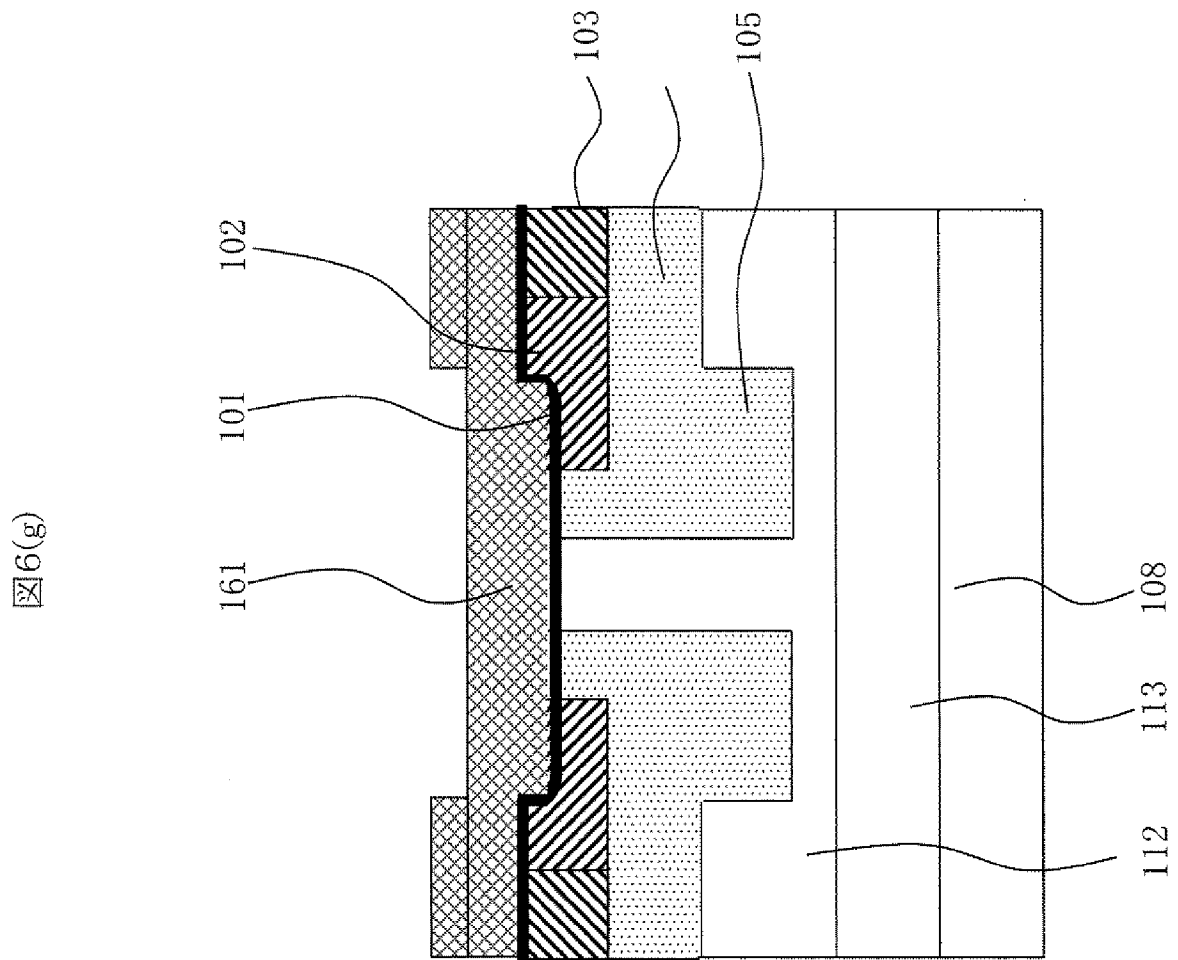
[図6(e)]



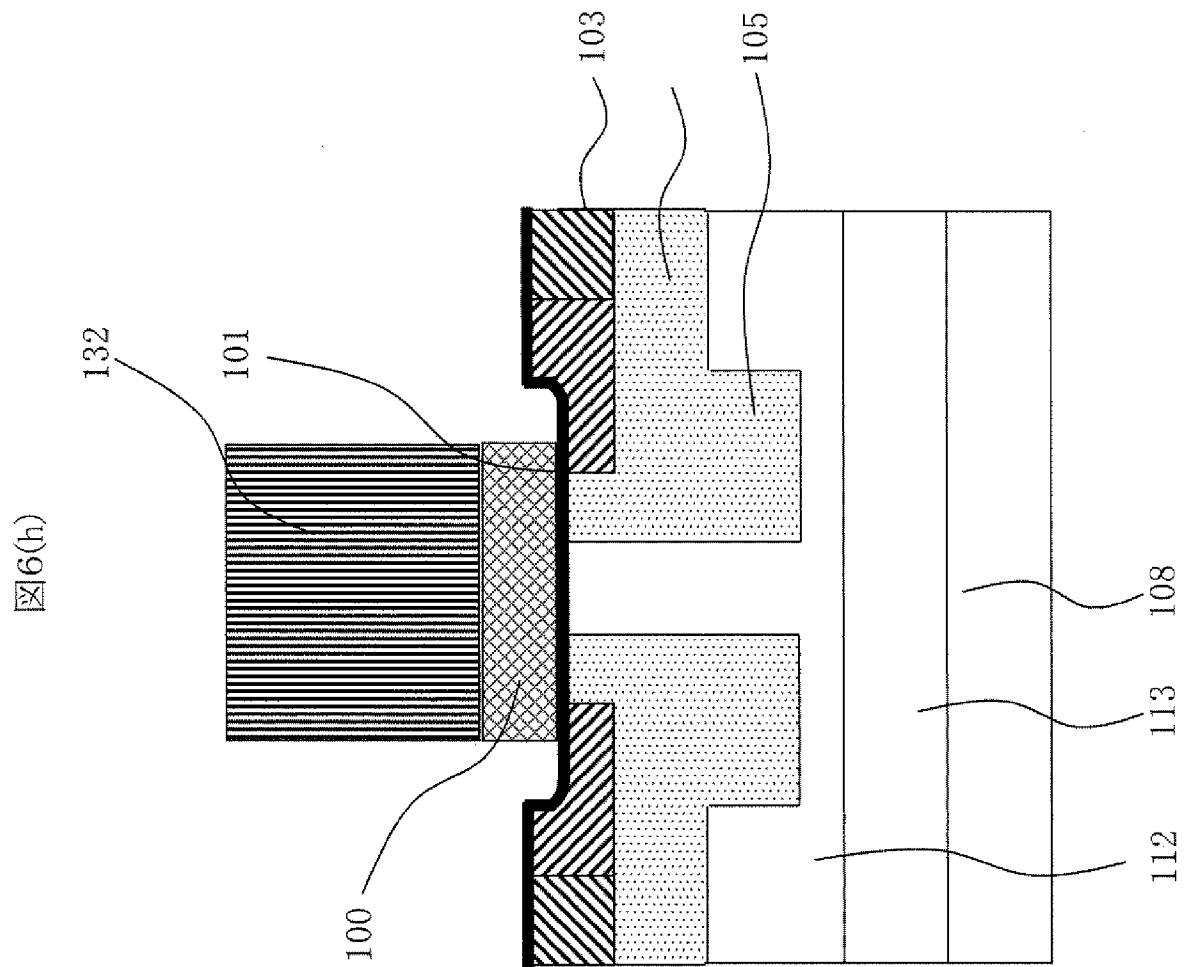
[図6(f)]



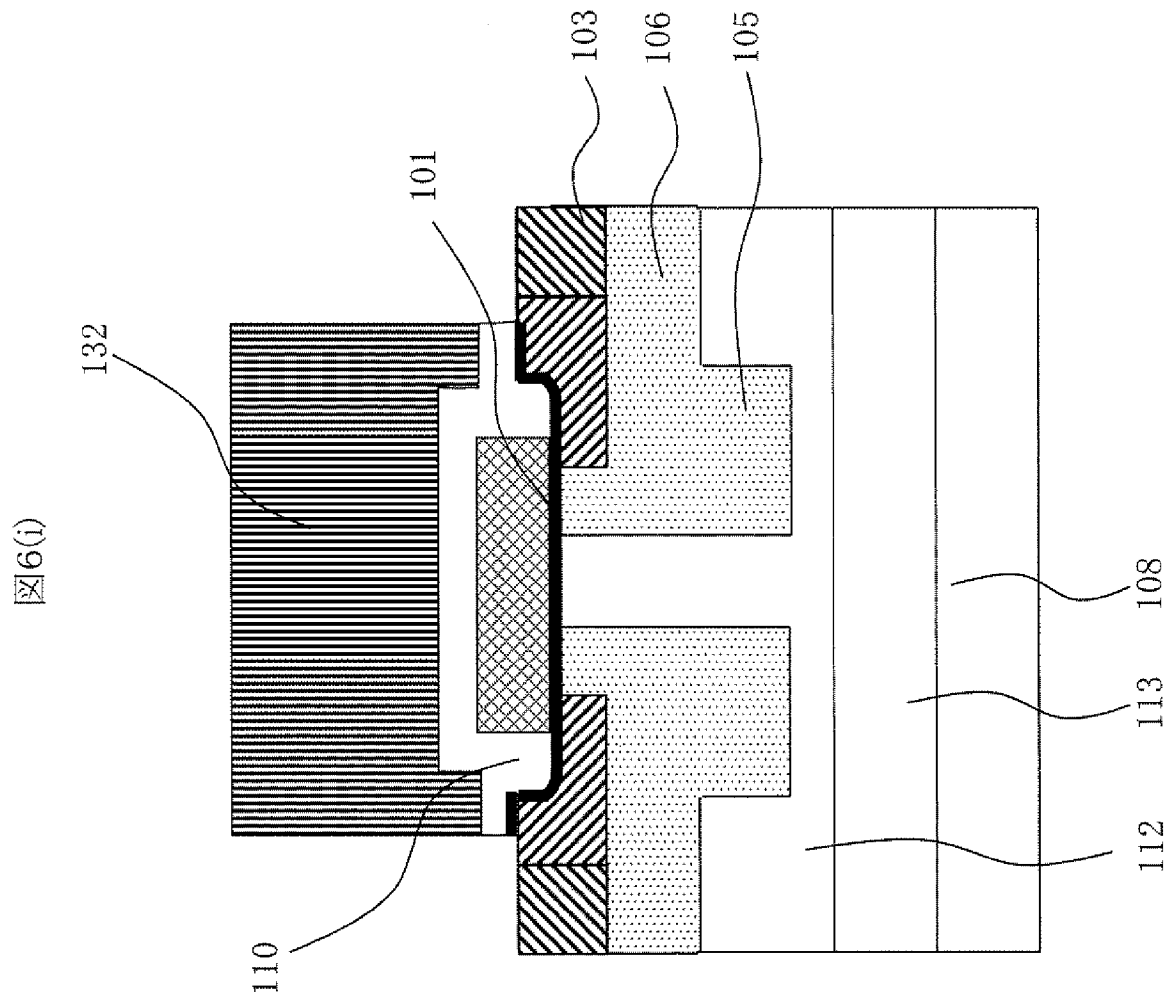
[図6(g)]



[図6(h)]

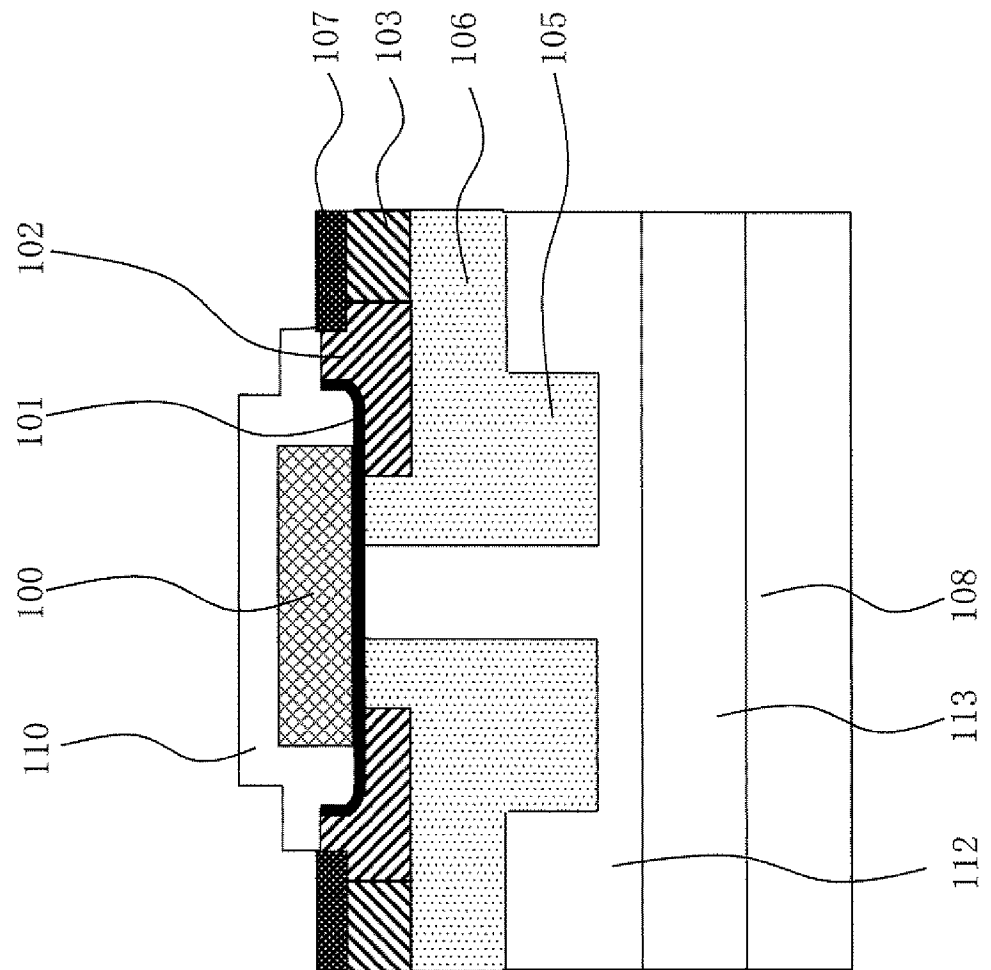


[図6(i)]

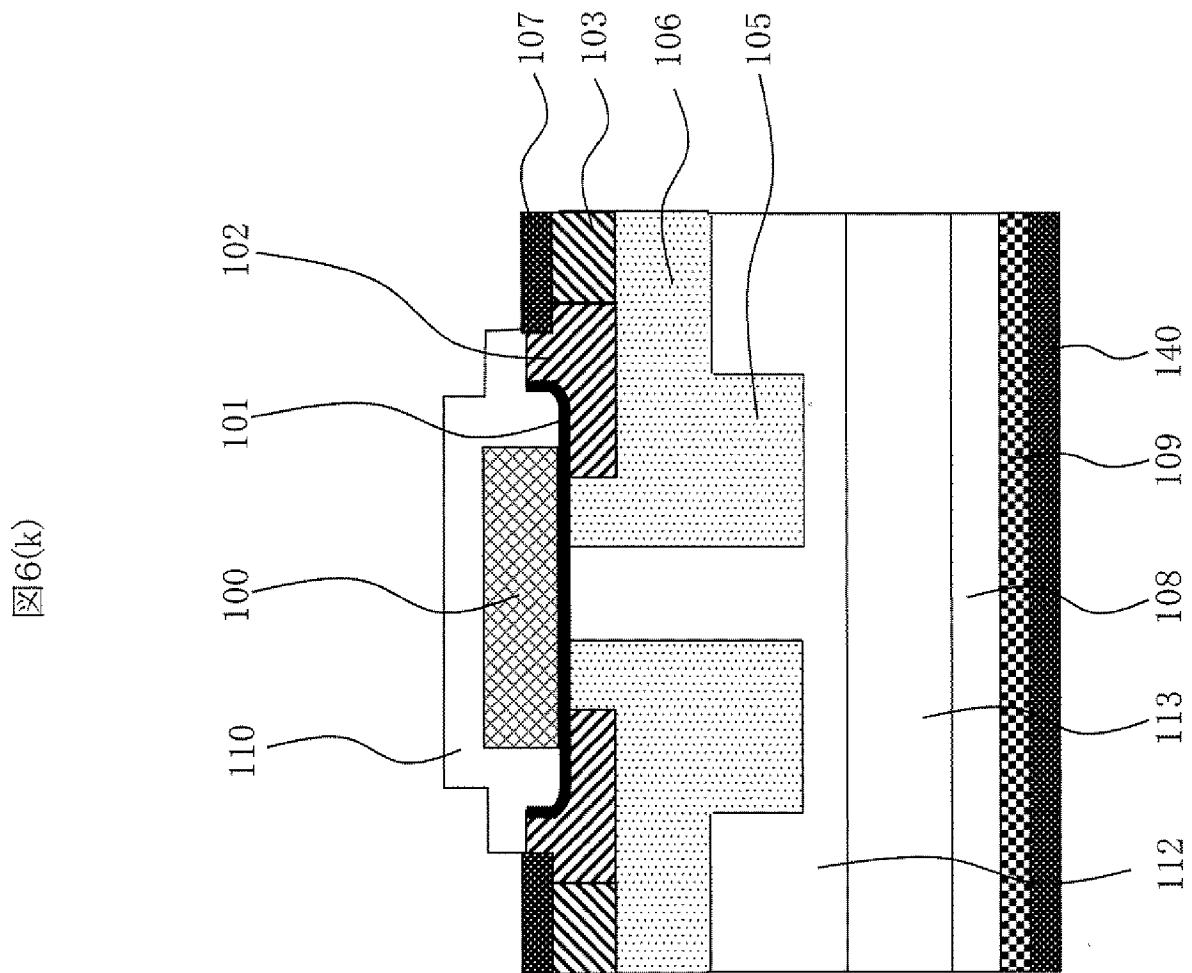


[図6(j)]

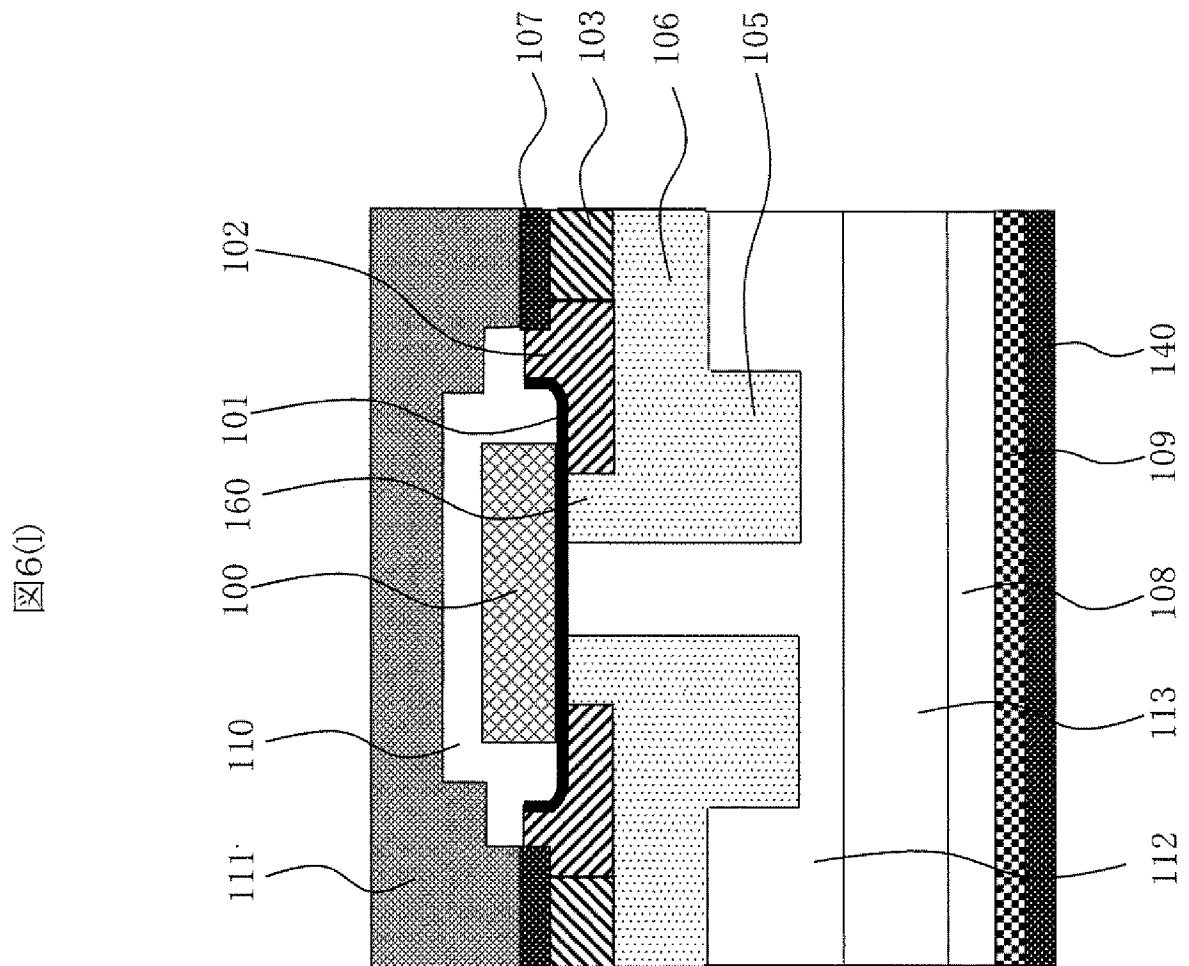
図6(j)



[図6(k)]



[図6(l)]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/084023

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/12(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-335917 A (Nissan Motor Co., Ltd.), 25 November 2004 (25.11.2004), entire text; all drawings (Family: none)	1-8
A	JP 2002-93742 A (National Institute of Advanced Industrial Science and Technology), 29 March 2002 (29.03.2002), entire text; all drawings (Family: none)	1-8
A	JP 2001-94098 A (Denso Corp.), 06 April 2001 (06.04.2001), entire text; all drawings (Family: none)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06 March, 2013 (06.03.13)

Date of mailing of the international search report
19 March, 2013 (19.03.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/12(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2013年
日本国実用新案登録公報	1996-2013年
日本国登録実用新案公報	1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 4 - 3 3 5 9 1 7 A (日産自動車株式会社) 2 0 0 4 . 1 1 . 2 5、全文全図 (ファミリーなし)	1 - 8
A	J P 2 0 0 2 - 9 3 7 4 2 A (独立行政法人産業技術総合研究所) 2 0 0 2 . 0 3 . 2 9、全文全図 (ファミリーなし)	1 - 8
A	J P 2 0 0 1 - 9 4 0 9 8 A (株式会社デンソー) 2 0 0 1 . 0 4 . 0 6、全文全図 (ファミリーなし)	1 - 8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

06.03.2013

国際調査報告の発送日

19.03.2013

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

工藤 一光

電話番号 03-3581-1101 内線 3516

5 F

9274