

申請日期	87. 8. 28
案 號	8711427K
類 別	H03K ⁵ / ₂₅₂ , H04L ⁷ / ₀₀

公 告 本

A4
C4

504902

(以上各欄由本局填註)

發 明 專 利 說 明 書
新 型

一、發明 名稱	中 文	抑制干擾性脈衝所用之具有濾波器單元之數位電路
	英 文	Digital circuit with a filter unit to suppress the interference impulses
二、發明 創作人	姓 名	1. 托艾泰勒 Thoai-Thai Le 2. 艾克哈德布拉斯 Eckhard Brass 3. 馬庫斯畢布 Markus Biebl
	國 籍	1.-3. 皆屬德國
三、申請人	住、居所	1. 德國慕尼黑 D-81737 奧托布納街 43 號 2. 德國溫特哈青 D-82008 阿德耶路 20 號 3. 德國奧格斯堡 D-86163 歐柏蘭達街 24C 號
	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

德

1997年9月8日 19739245.8 (主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

本發明係關於一種抑制干擾性脈衝所用之具有濾波器單元之數位電路。

第1圖顯示此種習知之電路，其中顯示邏輯電路單元S1, S2。輸入信號A經由此數位電路之輸入端IN而傳送至電路單元S1, S2。相對應之輸出信號在此電路單元S1, S2之輸出端OUT1, OUT2處會自動調整。由於輸入信號A可能含有干擾性脈衝(尖波)，這些干擾性脈衝不應作用在輸出端OUT1, OUT2之信號上，因此第1圖中之電路具有一個濾波器F，具有干擾性脈衝之輸入信號A傳送至濾波器F且此濾波器由輸入信號A中產生一種不具備干擾性脈衝之信號A"。已被濾波之信號A"然後傳送至電路單元S1, S2。

上述之先前技藝之缺點是：使用濾波器單元F，其決定了已被濾波之信號A"相對於輸入信號A之延伸時間，在輸入信號A和輸出端OUT1, OUT2上之輸出信號之間的全部延遲時間或信號傳送時間會由於濾波器單元F而增加。在輸出端OUT1和輸入端IN之間的延遲時間之計算方式例如是由經由濾波器單元F之延遲時間加上經由第一電路單元S1之延遲時間所得之和(SUM)。

本發明之目的是提供一種數位電路，其可抑制輸入信號之干擾性脈衝，在此電路之輸入信號和輸出信號之間的信號延遲時間則不會因此而大大地提高。

上述目的是以申請專利範圍第1項之數位電路來達成。本發明之其它形式和構造則敘述在申請專利範圍各附

五、發明說明(>)

屬項中。

本發明之數位電路在信號輸入端和信號輸出端之間具有邏輯電路單元，其輸出端經由一個開關元件而與數位電路之信號輸出端相連接。於是輸出信號之位準在此邏輯電路之輸出端上依據其輸入端上之信號位準變化而自動變化。此外，此種數位電路具有一個濾波器單元，其輸入端同樣是與信號輸入端相連接且其輸出端是與開關元件之控制輸入端相連接，其中此濾波器單元可抑制一種施加至其輸入端上之數位信號中之干擾性脈衝。

在本發明中，一種同樣具有干擾性脈衝之位於輸入端處之輸入信號未被濾波而傳送至邏輯電路單元，此種邏輯電路單元是用來進行組合性之連結(組合式電路)，因此在邏輯電路單元之輸出端上之輸出信號會受到此種干擾性脈衝所影響。但輸入信號亦平行於此邏輯電路單元而傳送至濾波器單元(其可產生一種已被濾波之信號)，此種已被濾波之信號所具有之干擾性脈衝較輸入信號者還小或在最有利之情況下根本就沒有干擾性脈衝。此種已被濾波之信號可用來控制上述之開關元件(其較有利之方式是一種邏輯閘，例如，AND-閘或OR-閘)。以此種已被濾波之信號來控制該開關元件，則邏輯電路單元之輸出信號之受到輸入信號之干擾性脈衝所影響之此一部份不會導通至數位電路之信號輸出端。

本發明之優點是：在數位電路之信號輸出端上之輸出信號可不受信號輸入端上之輸入信號之干擾性脈衝所影

五、發明說明()

響，而在此二個信號之間的總延遲時間不會較經由此邏輯電路單元之信號傳送時間大很多。本發明之數位電路因此較第1圖中所示之電路還快。

本發明以下將依據與圖式相關之實施例作詳細描述。圖式簡單說明如下：

第1圖 本文之導言中所述先前技藝之積體電路。

第2圖 本發明之數位電路的實施例。

第3, 4圖 顯示第2圖之濾波器單元的實施例。

第5圖 顯示第3圖之濾波器單元的信號對時間之關係圖。

第6圖 顯示第2圖中所示實施例之信號對時間之關係圖。

第2圖顯示一種數位電路，其具有信號輸入端 IN，第一信號輸出端 OUT1'及第二信號輸出端 OUT2'。開關元件 SW1, SW2分別連接於信號輸出端 OUT', OUT2'之前。第一開關元件 SW1是一種 AND-閘而第二開關元件 SW2是一種 n-通道-電晶體。第一邏輯電路單元 S1在輸入側是與信號輸入端 IN相連接且在輸出側是與第一開關元件 SW1之輸入端相連接。第二邏輯電路單元 S2在輸入側同樣是與信號輸入端 IN相連接且在輸出側是經由第二開關元件 SW2而與第二信號輸出端 OUT2'相連接。

在邏輯電路單元 S1, S2中，其在本實施例中是與組合電路有關以便進行組合式連結。本發明亦可使用其它電路單元。但就所有電路單元 S1, S2而言必須使輸出信號

五、發明說明(4)

在輸出端 OUT1, OUT2 上依據某種程度之信號延遲時間而自動調整，輸出信號之位準是依據信號輸入端 IN 上之“高位準驅動 (high active)”之輸入信號 A 之位準變化而變化。在第 2 圖中亦表示：邏輯電路單元 S1, S2 可具有其它輸入端，這些輸入端不與信號輸入端 IN 相連接。此外，電路單元 S1, S2 亦可具有其它輸出端。

此外，第 2 圖顯示一個濾波器單元 F，其輸入端是與信號輸入端 IN 相連接且其輸出端是與開關元件 SW1, SW2 之控制輸入端相連接。第一開關元件 SW1 之控制輸入端是與及 (AND)- 閘之另一輸入端有關。第二開關元件 SW2 之控制輸入端是 n- 通道 - 電晶體之閘極端。當然開關元件 SW1, SW2 亦能以其它方式製成，特別是在此二種情況中此二個開關元件可以是相同型式，例如，可以是二個及 - 閘。濾波器單元 F 可由輸入信號 A 中產生一個已被濾波器之信號 A"，其中干擾性脈衝 (其可能具有上述之輸入信號 A) 會受到抑制。利用此種已被濾波之信號 A" 來控制上述之開關元件 SW1, SW2。

第 3 圖是第 2 圖中濾波器單元 F 的一種實施形式，其是用來濾除輸入信號 A 中之正的干擾性脈衝 (尖波)，其活性 (active) 位準是高位準 ("active high")。濾波器單元 F 具有一個及 - 閘 G，已被濾波之信號 A" 在及 - 閘 G 之輸出端上自動調整。輸入信號 A 傳送及 - 閘 G 之第一輸入端。輸入信號 A 經由延遲單元 V (其時間延遲為 t_D) 而以已延遲之輸入信號 A' 傳送及 - 閘 G 之第二輸入端。

五、發明說明(5)

第5圖是第3圖中所示信號之信號對時間之關係圖。輸入信號A最初具有一個寬度為 t_G 之正的(positive)干擾性脈衝(尖波)，此種尖波是在寬度為 t_w 之原來之有效信號產生之前即已存在。延遲單元V之輸出端上之已延遲之信號A'相對於輸入信號A而言在時間上已被延遲單元V偏移了一個延遲量 t_D 。因此對已被濾波之信號A''而言產生了如圖所示之對時間之關係圖，其中若輸入信號A和已延遲之信號A'都具有一種高位準，則已被濾波器之信號A''只具有一種高位準。只有在已被濾波之信號A''具有高位準期間第2圖之開關元件SW1, SW2才接通，這在以下將依據第6圖再作詳細說明。

為了確保可藉由濾波器單元F而抑制輸入信號A中之干擾性脈衝，則第3圖中之延遲單元V之延遲量 t_D 必須大於干擾性脈衝之寬度 t_G 。較大寬度 t_G 之干擾性脈衝不會被濾波器單元所抑制。當然此延遲量 t_D 必須小於有效信號之寬度 t_w 。

第4圖是濾波器單元F之另一實施例以用於濾除輸入信號中負的干擾性脈衝，此種濾波器單元F是“低位準驅動(active low)”的，其與第3圖之濾波器單元F之不同點是：其使用或(OR)-閘G而不是使用及-閘。在使用第4圖之濾波器單元F時，第2圖之開關元件SW1, SW2之作用方式亦可能須作改變。就其它方面而言其作用方式類似於第2圖，這在以下將針對第3圖之濾波器單元F作詳細說明。

五、發明說明(b)

第 6 圖是一些顯示在第 2 圖中之信號的信號-時間關係圖。輸入信號 A 和已被濾波之信號 A"已在第 5 圖中討論過。此外，第 6 圖顯示第一邏輯電路單元 S1 之輸出信號 OUT1 之波形，輸出信號 OUT1 之位準是依據輸入信號 A 之位準變化而變化。輸出信號 OUT1 相較於輸入信號 A 而言有一信號延遲時間 t_{s1} ，其較經由濾波器單元 F 或其延遲單元 V 所產生之延遲量 t_D 還短。在第 6 圖中顯示輸出信號 OUT1 之波形。輸出信號 OUT1 之位準變化是由輸入信號 A 中之干擾性脈衝所引起。但此種由干擾性脈衝所引起之位準變化不應出現在數位電路之輸出端 OUT1' 上，這是因為這樣會使連接於後面之電路單元之功能受到損害。由第 6 圖可得知的是：第一電路單元 S1 之輸出端 OUT1 上之信號所延遲之時間是其經由第一電路單元 S1 之傳送時間 t_{s1}

在第 6 圖中亦顯示此數位電路之信號輸出端上之輸出信號 OUT1' 之波形。很明顯的是：由於本發明藉由已被濾波之信號 A" 來控制第一開關元件 SW1，則在第一邏輯電路單元 S1 之輸出端上之輸出信號 OUT1 之由輸入信號 A 之干擾性脈衝所觸發之位準變化不會進一步傳送至信號輸出端 OUT1' 上。

和第 2 圖所示者不同的是，本發明之數位電路亦可只具有此種與信號輸入端 IN 相連接之邏輯電路單元 S1, S2 中之一或亦可多於二個。為了使電路之功能不會發生錯誤，則在每一情況中須要的是：濾波器單元 F 之延遲時

五、發明說明(2)

間 t_D 較延遲時間最大之邏輯電路單元 S1, S2 之延遲時間 t_{s1}, t_{s2} 還大。此外，亦須要的是：輸入信號 A 中之有效信號之在第 5 圖和第 6 圖中所示之寬度 t_w 較最慢之邏輯電路單元 S1, S2 之信號傳送時間 t_{s1}, t_{s2} 還大。

由第 6 圖可知：在本發明中數位電路之信號輸出端 OUT1' 上之信號相對於輸入信號 A 以有利之方式總共只延遲濾波器單元 F 所具有之延遲時間 t_D (包括開關元件 SW1 之延遲時間)。本發明之數位電路因此較第 1 圖中所示之電路還快，其中輸出信號 OUT1 相對於輸入信號 A 所延遲之時間是濾波器單元 F 之延遲時間 (其是和待抑制之干擾性脈衝之最大寬度 t_G 有關) 和邏輯電路單元 S1 之信號傳送時間之和 (SUM)。在本發明中，全部之延遲時間等於濾波器單元 F 之延遲時間 t_D 。此種延遲時間 t_D 必須 (已如上所述) 只稍微較電路單元 S1 之延遲時間 t_{s1} 大。

本發明適合提高非同步數位系統之干擾穩定性，例如就像一些記憶體 (特別是 DRAMs) 中所存在者一樣，在 DRAMs 之情況中，本發明例如適合由適當之可能具有干擾性脈衝之外部信號來產生內部之輸出致能信號，寫入致能信號，CAS (Column Address Strobe) 信號或 RAS (Row Address Strobe) 信號。

在本發明中，在系統具有相同之總延遲量時可選取濾波器單元 F 之延遲時間 t_D 使其大於第 1 圖中所述之先前技藝者。因此，在本發明 (電路具有相同之總延遲時

五、發明說明 (8)

間時)中可被抑制之干擾性脈衝之寬度 t_G 較直至今目前為止者還大。

本發明相對於第1圖所示電路之其它優點是：第1圖之電路之輸出信號OUT1, OUT2之位準變化時之時間點只和經由相對應之邏輯電路單元S1, S2之信號傳送時間有關。反之，在本發明中，在信號輸出端OUT1', OUT2'之信號之位準變化時之時間點由於開關元件SW1, SW2是由共同之已被濾波之信號A"所控制而可互相同步，使整個系統之時間特性可大大地更加容易地被預先決定。

參考符號說明

SW1, SW2....開關元件

S1, S2.....邏輯電路單元

F.....濾波器單元

V.....延遲單元

G.....邏輯閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

四、中文發明摘要(發明之名稱：)

抑制干擾性脈衝所用之具有濾波器
單元之數位電路

本發明之數位電路具有一個信號輸入端 IN 和一個信號輸出端 (OUT1')。其具有一個邏輯電路單元 (S1)，電路單元 (S1) 之輸入端是與信號輸入端 (IN) 相連接且其輸出端 (OUT1) 經由開關元件 (SW1) 而與信號輸出端 (OUT1') 相連接。此外，此種數位電路具有一個濾波器單元 (F)，其輸入端是與信號輸入端 (IN) 相連接且其輸出端是與開關元件 (SW1) 之控制輸入端相連接。濾波器單元 (F) 用來抑制一種施加至其輸入端處之數位信號 (A) 中之干擾性脈衝。

英文發明摘要(發明之名稱： Digital circuit with a filter unit)
to suppress the interference
impulses

The digital circuit has a signal-input (IN) and a signal-output (OUT1'). It has a logical circuit-unit (S1), the input of S1 is connected with said signal-input (IN) and its output (OUT1) is through a switch-element (SW1) connected with said signal-output (OUT1'). In addition, it has a filter-unit (F), the input of F is connected with said signal-input (IN) and its output is connected with the control-input of said switch-element (SW1). Said filter-element (F) is used to suppress the interference-impulses in the digital signal (A) applied to its input.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第 87114274 號「抑制干擾性脈衝所用之具有濾波器單元之數位電路」專利案 (90 年 5 月修正)

六 申請專利範圍：

1. 一種數位電路，具有信號輸入端 (IN) 和至少二個信號輸出端 (OUT1', OUT2')，其特徵為：
 - 具有至少二個邏輯電路單元 (S1, S2)，其係用來執行邏輯運算，電路單元 (S1, S2) 分別具有一個輸入端 (其是與信號輸入端 (IN) 相連接) 及一個輸出端 (OUT1', OUT2')，各輸出端 (OUT1, OUT2) 分別經由開關元件 (SW1; SW2) 而與信號輸出端 (OUT1', OUT2') 相連接，
 - 在邏輯電路單元 (S1, S2) 之輸入端上之位準變化同樣可在其輸出端 (OUT1, OUT2) 上造成位準變化，
 - 具有一個濾波器單元 (F)，其具有一與信號輸入端 (IN) 相連接之輸入端，其中此濾波器單元 (F) 可抑制一種施加至其輸入端之數位信號 (A) 中之干擾性脈衝且將其輸入端處之不具備干擾性脈衝之此種信號發送至輸出端，
 - 其開關元件 (SW1; SW2) 分別具有一種控制輸入端，此輸入端是與濾波器單元 (F) 之輸出端相連接且各開關元件 (SW1; SW2) 可經由此濾波器單元 (F) 而設定成二種切換狀態；
 - 在開關元件 (SW1; SW2) 之第一切換狀態中，在相對應之信號輸出端 (OUT1', OUT2') 上之信號是與相對應之邏輯電路單元 (S1, S2) 之輸出端 (OUT1, OUT2) 上之

六、申請專利範圍

信號相一致，

- 在開關元件 (SW1;SW2) 之第二切換狀態時這些開關是關閉的，
- 在信號輸入端 (IN) 上之數位信號 (A) 之位準變化之前此濾波器單元 (F) 使開關元件 (SW1;SW2) 首先保持在第二切換狀態中且在一段時間延遲 (t_D) 之後發生位準變化時使開關元件 (SW1;SW2) 轉換成第一切換狀態，該時間延遲較邏輯單元 (S1,S2) 之輸入端和輸出端 (OUT1, OUT2) 之間最大之信號傳送時間 (t_{s1}) 還大。

2. 如申請專利範圍第 1 項之數位電路，其中濾波器單元 (F) 包含一個邏輯閘 (G)，其

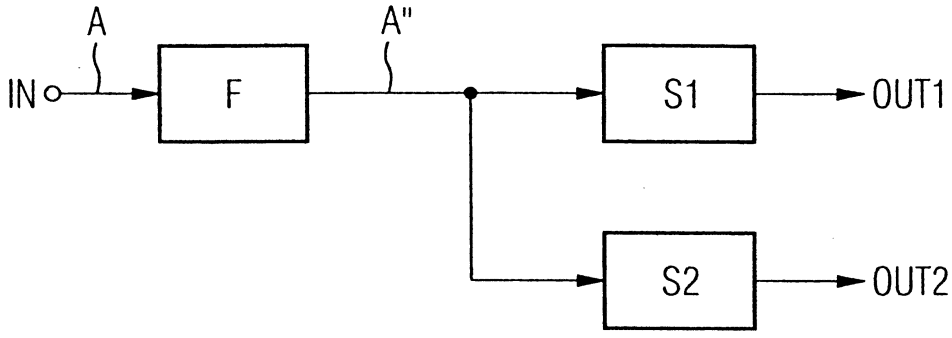
- 具有第一輸入端，其是與濾波器單元 (F) 之輸入相連接，
- 具有第二輸入端，其經由延遲單元 (V) 而與濾波器單元 (F) 之輸入端相連接，
- 具有一個輸出端，其是與濾波器單元 (F) 之輸出端相連接。

3. 如申請專利範圍第 2 項之數位電路，其中經由延遲單元 (V) 之在時間上之延遲 (t_D) 是較邏輯電路單元 (S1) 之輸入端和輸出端 (OUT1) 之間的信息傳送時間 (t_{s1}) 還大。

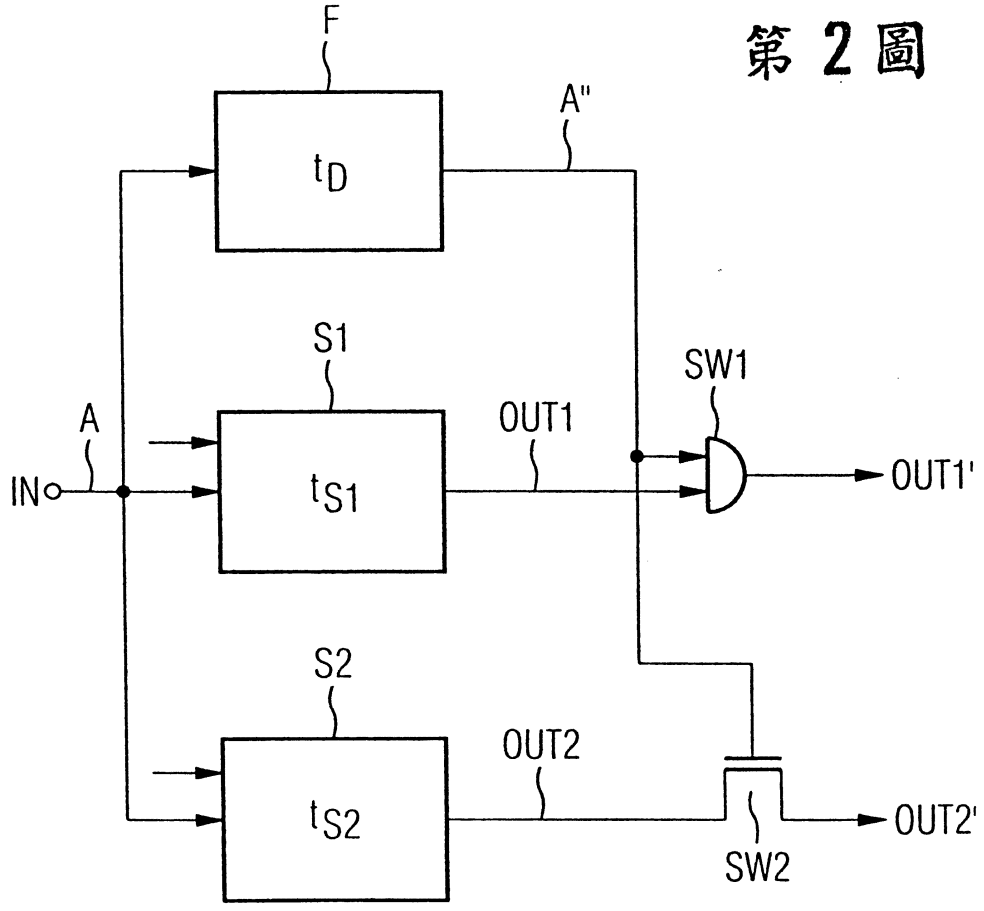
4. 如申請專利範圍第 1 至第 3 項中任一項之數位電路，其中開關元件 (SW1) 是一種邏輯閘或電晶體。

第 1 圖

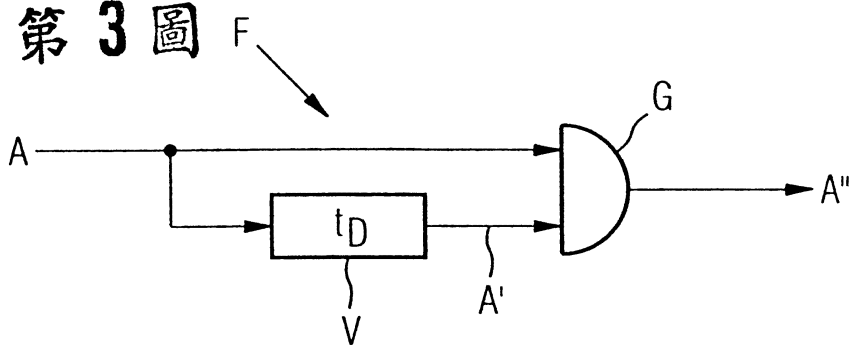
先前技藝



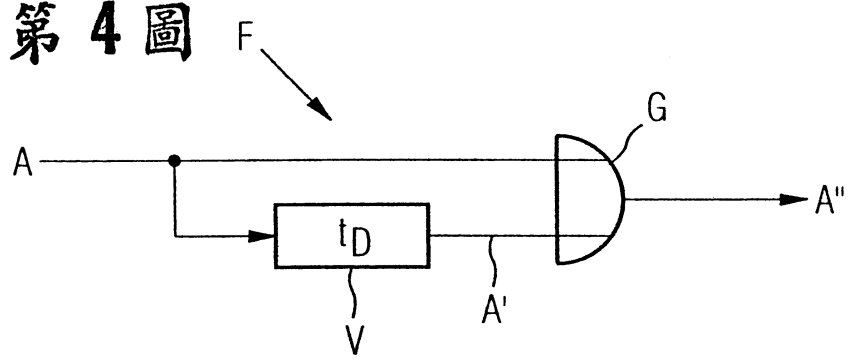
第 2 圖



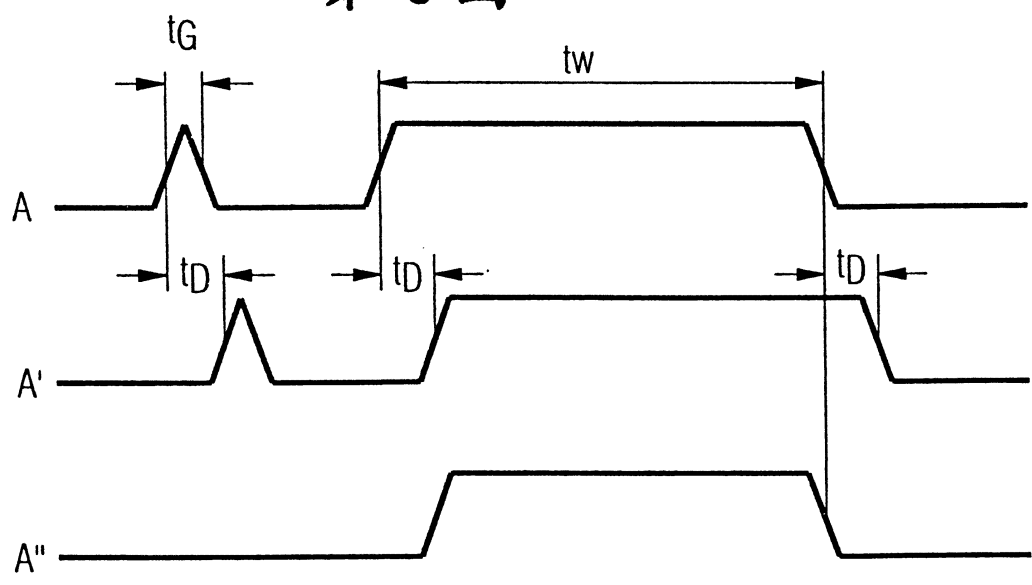
第 3 圖



第 4 圖



第 5 圖



第 6 圖

