

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012 年 12 月 20 日(20.12.2012)



(10) 国際公開番号

WO 2012/172708 A1

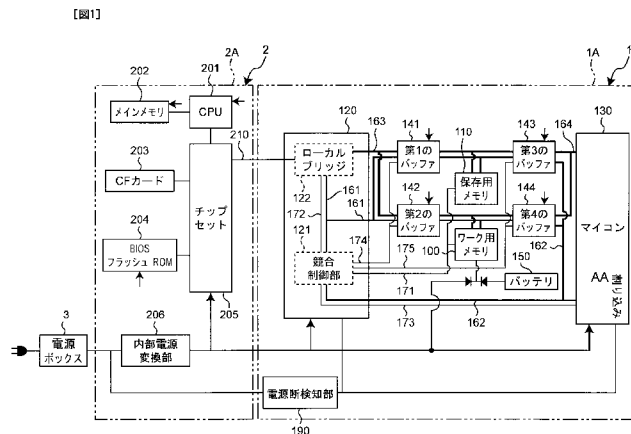
- (51) 国際特許分類:  
G06F 12/16 (2006.01) G06F 12/00 (2006.01)
- (21) 国際出願番号: PCT/JP2011/078511
- (22) 国際出願日: 2011 年 12 月 9 日(09.12.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-132435 2011 年 6 月 14 日(14.06.2011) JP
- (71) 出願人(米国を除く全ての指定国について): オムロン株式会社(OMRON Corporation) [JP/JP]; 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町 8 0 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 牛島 徳治(USHIJIMA, Tokuji) [JP/JP]; 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町 8 0 1 番地 オムロン株式会社内 Kyoto (JP).

- (74) 代理人: 田中 光雄, 外(TANAKA, Mitsuo et al.); 〒5400001 大阪府大阪市中央区城見 1 丁目 3 番 7 号 IMPビル 青山特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: BACKUP DEVICE AND OPERATING METHOD FOR BACKUP DEVICE

(54) 発明の名称: バックアップ装置およびバックアップ装置の動作方法



- 100 Working memory  
110 Storage-use memory  
121 Conflict control unit  
122 Local bridge  
130 Microcomputer  
141 First buffer  
142 Second buffer  
143 Third buffer  
144 Fourth buffer  
150 Battery  
190 Power supply failure detection unit  
202 Main memory  
203 CF card  
204 BIOS flash ROM  
205 Chipset  
206 Internal power supply conversion unit  
3 Power supply box  
AA Interrupt

(57) Abstract: This backup device (1) is provided with a working memory (100) comprising SRAM for which data stored therein can be battery backed-up, and a storage-use memory (110) comprising non-volatile memory of higher recording density than the working memory (100). Additionally provided is a microcomputer (130) which performs control wherein log data which has been transferred from a host computer (2) via an interface unit (120) and stored in the working memory (100) is transferred to and stored in the storage-use memory (110).

(57) 要約: バックアップ装置(1)は、格納したデータがバッテリーバックアップされるSRAMからなるワーク用メモリ(100)と、ワーク用メモリ(100)よりも記録密度が高い不揮発性メモリからなる保存用メモリ(110)とを備える。また、ホストコンピュータ(2)からインターフェイス部(120)を介してワーク用メモリ(100)に転送されて格納されたログデータを保存用メモリ(110)に転送して格納する制御を行うマイコン(130)を備える。

WO 2012/172708 A1

**WO 2012/172708 A1**



---

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：

バックアップ装置およびバックアップ装置の動作方法

技術分野

[0001] この発明は、コンピュータが作成するログデータのバックアップを行うバックアップ装置およびバックアップ装置の動作方法に関する。

背景技術

[0002] 従来、コンピュータを安全に動作させるために、コンピュータに無停電電源装置（UPS：Uninterruptible Power Supply）が付設される場合がある（特開2009-3789号公報、図2（特許文献1））。コンピュータは、商用電源から電源供給を受け、UPSは商用電源から充電用の電源供給を受けている。商用電源の停電（以下「電源断」という。）が発生したときは、UPSが内蔵するバッテリーがコンピュータ等の電源となって電気を供給することによって、コンピュータが作成するログデータを安全かつ確実に保存することができる。

先行技術文献

特許文献

[0003] 特許文献1：特開2009-3789号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上記UPSを設けた場合、ログデータを安全かつ確実に保存できる一方、UPSが一般に大型であるため、設置スペースの確保が難しく、また、UPSのコストが高いという問題がある。

[0005] ここで、コンピュータが作成したバックアップすべきログデータが小容量（例えば4MB以下）であれば、例えば、バッテリーバックアップされたSRAMを用いる方式によって、小型かつ低コストでログデータを保存できる。しかしながら、一般的に言って、SRAMは1個当たりの記憶容量が比較的

少ない。このため、単にSRAMを用いる方式では、バックアップすべきログデータが大容量（数十MB）になると、SRAMの数（部品数）が増えて大型化し、かつ高コストになる。

[0006] そこで、この発明の課題は、大容量のログデータを安全かつ確実に保存することができると共に、小型かつ低コストで実現できるバックアップ装置を提供することにある。

### 課題を解決するための手段

[0007] 上記課題を解決するため、この発明のバックアップ装置は、  
格納したデータがバッテリバックアップされうるSRAMからなるワーク用メモリと、  
上記ワーク用メモリよりも記録密度が高い不揮発性メモリからなる保存用メモリと、  
ホストコンピュータと上記ワーク用メモリ及び上記保存用メモリとの間に介在し、上記ホストコンピュータによる上記ワーク用メモリ及び上記保存用メモリへのアクセスを許容するインターフェイス部と、  
上記ホストコンピュータから上記インターフェイス部を介して上記ワーク用メモリに転送されて格納されたログデータを、上記保存用メモリに転送して格納する制御を行う制御部と  
を備えることを特徴とする。

[0008] この発明のバックアップ装置では、大容量のログデータを次のようにして格納する。上記ホストコンピュータは、上記インターフェイス部を介して、上記ワーク用メモリに大容量のログデータの一部を転送する。上記制御部は、上記ワーク用メモリを制御して、上記ログデータの上記一部を上記保存用メモリに転送して格納する。次に、上記制御部は、上記ログデータの別の一部を上記保存用メモリに転送して格納する。このように、上記制御部は、上記ログデータの一部を順次上記保存用メモリに転送して、格納する。上記ワーク用メモリはSRAMからなるため、上記ログデータを上記ワーク用メモリに比較的高速に格納できる。一方、上記保存用メモリは上記ワーク用メモ

りよりも記録密度が高いため、より大容量のログデータを上記保存用メモリに格納できる。

[0009] また、上記ワーク用メモリは、バッテリバックアップされうるSRAMからなると共に、上記保存用メモリは、不揮発性メモリからなる。したがって、電源断が発生しても、上記ログデータを上記ワーク用メモリまたは上記保存用メモリに保持し続けることができる。このため、大容量の上記ログデータを安全かつ確実に保存できる。

[0010] また、このバックアップ装置は、市販の部品を用いて比較的小型かつ低コストで実現でき、UPSを設ける場合に比してスペースおよびUPSのコストを省略できる。

[0011] なお、保存用メモリを省略して、ログデータをSRAMからなるワーク用メモリのみでバックアップするものとする、SRAMの数（部品数）が増えて、大型化し高コストになる。一方、ワーク用メモリを省略して、ログデータを保存用メモリのみでバックアップするものとする、不揮発性メモリからなる保存用メモリは比較的動作速度が遅いため、ログデータを保存用メモリに格納する速度が遅くなる。

[0012] 一実施形態のバックアップ装置では、

電源断が発生したことを検知する電源断検知部と、

上記電源断検知部が上記電源断を検知したとき、上記ワーク用メモリ及び上記保存用メモリへのアクセスを遮断する制御を行う遮断制御部と、

上記電源断から復帰したとき、上記電源断の発生時に上記ワーク用メモリに格納された上記ログデータの一部が上記保存用メモリへ転送され、上記ログデータのうち他の部分が残っている転送途中の状態であったか否かを検知する転送状態検知部と

を備え、

上記制御部は、上記転送状態検知部が、上記電源断の発生時に上記転送途中の状態であったことを検知したとき、上記ワーク用メモリに未転送で残っている上記ログデータの上記他の部分を上記保存用メモリに転送して格納す

る制御を行うことを特徴とする。

[0013] この実施形態のバックアップ装置によれば、電源断（商用電源の停電）が発生したとき、上記電源断検知部が上記電源断を検知する。そして、上記遮断制御部が上記保存用メモリへのアクセスを遮断する制御を行う。上記電源断が発生したとき、上記ワーク用メモリに格納された上記ログデータを上記保存用メモリへ転送する過程にあった場合、上記ログデータの上記一部は上記保存用メモリへ転送され、上記ログデータの他の部分は上記ワーク用メモリに未転送で残っている状態（これを「転送途中の状態」と呼ぶ。）となる。上記電源断から復帰したとき、上記転送状態検知部は、上記転送途中の状態であったか否かを検知する。上記制御部は、上記転送状態検知部が、上記転送途中の状態であったことを検知したとき、上記ワーク用メモリに未転送で残っている上記ログデータの上記他の部分を上記保存用メモリに転送して格納する制御を行う。このため、電源断発生時に上記転送途中の状態であったとしても、上記電源断から復帰したとき、上記ワーク用メモリに未転送で残っている上記ログデータの上記他の部分を、上記保存用メモリへ確実に転送できる。したがって、大容量の上記ログデータをより安全かつ確実に保存できる。

[0014] 一実施形態のバックアップ装置では、上記ワーク用メモリへのアクセスと、上記保存用メモリへのアクセスとの競合を調停する競合制御部を備えることを特徴とする。

[0015] この実施形態のバックアップ装置によれば、上記ホストコンピュータおよび上記制御部による上記ワーク用メモリへのアクセスと、上記保存用メモリへのアクセスとの競合を調停するので、上記ホストコンピュータおよび上記制御部が、それぞれ、上記ワーク用メモリおよび上記保存用メモリに円滑にアクセスできる。

[0016] 一実施形態のバックアップ装置では、上記インターフェイス部はローカルブリッジを含み、このローカルブリッジは、上記ホストコンピュータが有するデータバスと、上記制御部、上記ワーク用メモリ及び上記保存用メモリの

間に設けられたデータバスとを接続していることを特徴とする。

[0017] この実施形態のバックアップ装置によれば、上記ホストコンピュータのデータバスと、上記制御部、上記ワーク用メモリ及び上記保存用メモリの間に設けられたデータバスとが、上記ローカルブリッジによって接続されているので、上記ホストコンピュータは、上記ワーク用メモリおよび上記保存用メモリへ直接アクセスすることができる。

[0018] 一実施形態のバックアップ装置では、上記ホストコンピュータのマザーボードに対して着脱可能な基板を備え、上記ワーク用メモリ、上記保存用メモリ、上記インターフェイス部、及び上記制御部は、上記基板上に搭載されていることを特徴とする。

[0019] この実施形態のバックアップ装置によれば、上記基板上に上記ワーク用メモリ、上記保存用メモリ、上記インターフェイス部、及び上記制御部が搭載されている。したがって、マザーボードとは別体の1ボード（基板）タイプのバックアップ装置が構成される。このような1ボードタイプのバックアップ装置は、マザーボードの設計変更を要せず、既存のホストコンピュータに容易に装着して適用できる。

[0020] 一実施形態のバックアップ装置では、上記ワーク用メモリ、上記保存用メモリ、上記インターフェイス部、及び上記制御部は、上記ホストコンピュータのマザーボード上に搭載されていることを特徴とする。

[0021] この実施形態のバックアップ装置によれば、上記マザーボード上に上記ワーク用メモリ、上記保存用メモリ、上記インターフェイス部、及び上記制御部が搭載されているので、マザーボードとともにバックアップ装置の構成を全体として小型にすることができる。

[0022] 一実施形態のバックアップ装置では、上記ワーク用メモリは、上記ホストコンピュータから転送される上記ログデータの転送速度で書き込み可能であることを特徴とする。

[0023] この実施形態のバックアップ装置によれば、上記ログデータが上記ホストコンピュータから転送される速度で、上記ログデータを上記ワーク用メモリ

に書き込むことができるので、上記ログデータを上記ワーク用メモリから上記保存用メモリに円滑に転送して格納できる。

[0024] 一実施形態のバックアップ装置では、上記ワーク用メモリは、物理的に独立した2つの上記SRAMからなることを特徴とする。

[0025] この実施形態のバックアップ装置によれば、上記ワーク用メモリは、物理的に独立した2つの上記SRAMからなるので、ハードウェア的な制約を低減することができて、設計の自由度を上げることができる。

[0026] 一実施形態のバックアップ装置では、上記保存用メモリは、NOR型フラッシュメモリであることを特徴とする。

[0027] この実施形態のバックアップ装置によれば、上記保存用メモリは、NOR型フラッシュメモリからなるので、NAND系と異なり、電断時にファイル管理エリアなどの構成が破壊されることがない。したがって、上記ログデータをより安全かつ確実に保存できる。

[0028] この発明のバックアップ装置の動作方法では、上記制御部は、上記ワーク用メモリに格納された上記ログデータの一部を、上記ワーク用メモリの記憶容量の単位で上記保存用メモリに転送して格納する第1の処理と、上記ワーク用メモリに未転送で残っている上記ログデータの別の一部を、上記ワーク用メモリの記憶容量の単位で上記保存用メモリに転送して格納する第2の処理とを少なくとも順次行うことを特徴とする。

[0029] この発明のバックアップ装置の動作方法によれば、上記ワーク用メモリに格納された上記ログデータの一部を、上記ワーク用メモリの記憶容量の単位で上記保存用メモリに転送して格納する処理を繰り返すので、上記ログデータを上記ワーク用メモリから上記保存用メモリに効率よく転送して格納できる。

[0030] この発明のバックアップ装置は、  
FeRAMからなるワーク用メモリと、  
上記ワーク用メモリよりも記録密度が高い不揮発性メモリからなる保存用メモリと、



ホストコンピュータと上記ワーク用メモリ及び上記保存用メモリとの間に介在し、上記ホストコンピュータによる上記ワーク用メモリ及び上記保存用メモリへのアクセスを許容するインターフェイス部と、

上記ホストコンピュータから上記インターフェイス部を介して上記ワーク用メモリに転送されて格納されたログデータを、上記保存用メモリに転送して格納する制御を行う制御部とを備えることを特徴とする。

[0031] この発明のバックアップ装置では、大容量のログデータを次のようにして格納する。上記ホストコンピュータは、上記インターフェイス部を介して、上記ワーク用メモリに大容量のログデータの一部を転送する。上記制御部は、上記ワーク用メモリを制御して、上記ログデータの上記一部を上記保存用メモリに転送して格納する。次に、上記制御部は、上記ログデータの別の一部を上記保存用メモリに転送して格納する。このように、上記制御部は、上記ログデータの一部を順次上記保存用メモリに転送して、格納する。上記ワーク用メモリはF e R A M (Ferroelectric Random Access Memory) からなるため、上記制御部は、上記ログデータを上記ワーク用メモリに比較的高速に格納できる。一方、上記保存用メモリは上記ワーク用メモリよりも記録密度が高いため、上記制御部は、より大容量のログデータを上記保存用メモリに格納できる。

[0032] また、上記ワーク用メモリは、不揮発性メモリであるF e R A Mからなると共に、上記保存用メモリは、不揮発性メモリからなる。したがって、電源断が発生しても、上記ログデータを上記ワーク用メモリまたは上記保存用メモリに保持し続けることができる。このため、大容量の上記ログデータを安全かつ確実に保存できる。

[0033] また、このバックアップ装置は、市販の部品を用いて比較的小型かつ低コストで実現でき、UPSを設ける場合に比してスペースおよびUPSのコストを省略できる。

[0034] なお、保存用メモリを省略して、ログデータをF e R A Mからなるワーク

用メモリのみでバックアップするものとする、F e R A Mの数（部品数）が増えて、大型化し高コストになる。一方、ワーク用メモリを省略して、ログデータを保存用メモリのみでバックアップするものとする、不揮発性メモリからなる保存用メモリは比較的動作速度が遅いため、ホストコンピュータからログデータを保存用メモリに格納する速度が遅くなる。

### 発明の効果

[0035] この発明のバックアップ装置によれば、大容量のログデータを安全かつ確実に保存することができると共に、小型かつ低コストで実現できるバックアップ装置を実現できる。

[0036] この発明のバックアップ装置の動作方法によれば、ワーク用メモリに格納されたログデータの一部を、ワーク用メモリの記憶容量の単位で保存用メモリに転送して格納する処理を繰り返すので、ログデータをワーク用メモリから保存用メモリに効率良く転送して格納できる。

### 図面の簡単な説明

[0037] [図1]この発明の一実施形態のバックアップ装置がホストコンピュータに接続された態様を示す図である。

[図2]上記バックアップ装置のワーク用メモリおよび保存用メモリについて、ログデータを格納する前の初期状態を示す図である。

[図3]上記ワーク用メモリへのログデータの格納と、上記ワーク用メモリから上記保存用メモリへのログデータの転送および格納とを説明する図である。

[図4]上記ワーク用メモリへのログデータの格納と、マイコンによる完了フラグの書き込みとを説明する図である。

[図5]上記ワーク用メモリへのログデータの格納と、上記ワーク用メモリから上記保存用メモリへのログデータの転送および格納とを説明する図である。

[図6]上記保存用メモリがログデータで満杯になった状態を説明する図である。

[図7]上記保存用メモリがログデータで満杯になった場合に、上記保存用メモリに格納されたログデータの一部を消去する方法を説明する図である。

[図8]上記保存用メモリがログデータで満杯になった後における、上記ワーク用メモリから上記保存用メモリへのログデータの転送および格納と、上記保存用メモリからログデータの一部を消去する方法とを説明する図である。

### 発明を実施するための形態

[0038] 以下、この発明を図示の実施形態により詳細に説明する。

[0039] 図1は、この発明の一実施形態のバックアップ装置1がホストコンピュータ2に接続された態様を示している。

[0040] 上記バックアップ装置1は、1枚の基板1Aを備えている。この基板1A上に、ワーク用メモリ100と、保存用メモリ110と、インターフェイス部としてのFPGA(Field-Programmable Gate Array)120と、制御部としてのマイクロコンピュータ(以後、「マイコン」と略称する)130と、第1乃至第4のバッファ141, 142, 143, 144と、ワーク用メモリ100をバッテリバックアップするためのバッテリ150と、電源断検知部190と、アドレスを指定するアドレスバス161と、データを転送するデータバス162と、アクセスを制御する制御信号バス163とが搭載されている。上記FPGA120は、競合制御部121とローカルブリッジ122とを有している。また、上記バックアップ装置1は、ホストコンピュータ2に接続されている。具体的には、バックアップ装置1の基板1Aが、ホストコンピュータ2のマザーボード2Aに対して図示しないPCI(Peripheral Component Interconnect)スロットを介して着脱可能に取り付けられている。したがって、このような1ボードタイプのバックアップ装置1は、ホストコンピュータのマザーボードの設計変更を要さず、既存のホストコンピュータに容易に適用できる。

[0041] 上記ワーク用メモリ100は、図2中に示すように、4MBの記憶容量を有する1個のSRAMからなる第1のワーク用メモリ101と、同じく4MBの記憶容量を有する1個のSRAMからなる第2のワーク用メモリ102との、計2個の部品からなっている。ワーク用メモリ100はSRAMからなるため、上記ログデータをワーク用メモリ100に比較的高速に格納でき

る。また、ワーク用メモリ１００を２個のＳＲＡＭに分けて構成しているので、ハードウェア的な制約を低減することができて、設計の自由度を上げることができる。

[0042] 上記第１のワーク用メモリ１０１、第２のワーク用メモリ１０２の各メモリセルは、アドレスを指定してアクセスされる。図２では、便宜上、第１のワーク用メモリ１０１および第２のワーク用メモリ１０２の記憶領域を、それぞれ１ＭＢの４つの記憶領域１０１ａ～１０１ｄ，１０２ａ～１０２ｄに区画して示している。

[0043] これらの第１，第２のワーク用メモリ１０１，１０２は、それぞれ図１中のバッテリー１５０によってバッテリーバックアップされている。図１中に示すように、上記ワーク用メモリ１００は、アドレスバス１６１および第２のバッファ１４２を介してＦＰＧＡ１２０の競合制御部１２１およびローカルブリッジ１２２に接続される一方、ローカルアドレスバス１６２および第４のバッファ１４４を介して、競合制御部１２１およびマイコン１３０に接続されている。また、上記ワーク用メモリ１００は、データバス１６３および第２のバッファ１４２を介して、ローカルブリッジ１２２に接続される一方、ローカルデータバス１６４および第４のバッファ１４４を介して、マイコン１３０に接続されている。さらに、上記ワーク用メモリ１００は、メモリ制御信号バス１７１を介して、競合制御部１２１に接続されている。

[0044] 一方、上記保存用メモリ１１０は、ワーク用メモリ１００よりも記録密度が高い不揮発性メモリであるＮＯＲ型フラッシュメモリからなっている。保存用メモリ１１０はワーク用メモリ１００よりも記録密度が高いため、より大容量のログデータを保存用メモリ１１０に格納できる。また、保存用メモリ１１０は、ＮＡＮＤ型フラッシュメモリと異なり、電断時にファイル管理エリアなどの構成が破壊されることがない。したがって、ログデータをより安全かつ確実に保存できる。また、ワーク用メモリ１００は、バッテリーバックアップされうるＳＲＡＭからなると共に、保存用メモリ１１０は、不揮発性メモリからなる。したがって、電源断が発生しても、ログデータをワーク

用メモリ 100 または保存用メモリ 110 に保持し続けることができる。このため、大容量の上記ログデータを安全かつ確実に保存できる。

[0045] 上記保存用メモリ 110 の各メモリセルは、第 1 のワーク用メモリ 101 と第 2 のワーク用メモリ 102 と同様に、アドレスを指定してアクセスされる。図 2 では、便宜上、上記保存用メモリ 110 の記憶領域を、それぞれ 1 MB の N 個の記憶領域 110a ~ 110n に区画して示している。この例では、N = 64、つまり保存用メモリ 110 は、64 MB の記憶容量を有している。

[0046] 図 1 中に示すように、上記保存用メモリ 110 は、ワーク用メモリ 100 と同様に、アドレスバス 161 および第 1 のバッファ 141 を介して、FPGA 120 の競合制御部 121 およびローカルブリッジ 122 に接続される一方、ローカルアドレスバス 162 および第 3 のバッファ 143 を介して、競合制御部 121 およびマイコン 130 に接続されている。また、上記保存用メモリ 110 は、データバス 163 および第 1 のバッファ 141 を介してローカルブリッジ 122 に接続される一方、ローカルデータバス 164 および第 3 のバッファ 143 を介して、マイコン 130 に接続されている。さらに、上記保存用メモリ 110 は、メモリ制御信号バス 171 を介して、競合制御部 121 に接続されている。

[0047] 上記ローカルブリッジ 122 は、アドレスバス 161 およびメインメモリ制御信号バス 172 を介して、競合制御部 121 に接続される一方、PCI バスまたは PCI express（登録商標、以下、PCIe という。）バス 210 を介して、後述するホストコンピュータ 2 のチップセット 205 に接続されている。上記ローカルブリッジ 122 は、ホストコンピュータ 2 からのデータを、ログデータと、ログデータが格納されるべきアドレス情報と、ワーク用メモリ 100 または保存用メモリ 110 へのアクセス要求とにそれぞれ変換する。そして、上記ローカルブリッジ 122 は、ログデータをデータバス 163 を介して第 2 のバッファ 142 に転送するとともに、ログデータが格納されるべきアドレス情報をアドレスバス 161 を介して第 2 のバッファ

１４２に転送する。また、上記ローカルブリッジ１２２は、ログデータが格納されるべきアドレス情報をアドレスバス１６１を介して競合制御部１２１に転送するとともに、ワーク用メモリ１００または保存用メモリ１１０へのアクセス要求をメインメモリ制御信号バス１７２を介して競合制御部１２１に転送する。したがって、ホストコンピュータ２は、ワーク用メモリ１００および保存用メモリ１１０へ直接アクセスすることができる。

[0048] 上記競合制御部１２１は、上述したように、ローカルブリッジ１２２から、ログデータが格納されるべきアドレス情報と、ワーク用メモリ１００または保存用メモリ１１０へのアクセス要求とを受信する。また、上記競合制御部１２１は、ローカルアドレスバス１６２と、ローカルメモリ制御信号バス１７３とを介して、マイコン１３０に接続されている。そして、上記競合制御部１２１は、マイコン１３０からログデータが格納されるべきアドレス情報とワーク用メモリ１００または保存用メモリ１１０へのアクセス要求とを受信する。

[0049] また、上記競合制御部１２１は、メインバッファ制御信号バス１７４を介して、第１，第２のバッファ１４１，１４２に接続される一方、ローカルバッファ制御線１７５を介して、第３，第４のバッファ１４３，１４４に接続されている。上記競合制御部１２１は、ローカルブリッジ１２２およびマイコン１３０から受信したデータ（ログデータが格納されるべきアドレス情報やワーク用メモリ１００または保存用メモリ１１０へのアクセス要求信号）に基づいて、第１乃至第４のバッファ１４１，１４２，１４３，１４４を制御する。具体的には、上記競合制御部１２１は、ホストコンピュータ２からワーク用メモリ１００または保存用メモリ１１０へのアクセス要求と、マイコン１３０からのワーク用メモリ１００または保存用メモリ１１０へのアクセス要求との競合を調停する。上記競合制御部１２１は、ホストコンピュータ２またはマイコン１３０のどちらか一方のみ、ワーク用メモリ１００または保存用メモリ１１０へアクセスすることを許可し、他方については、アクセスを許可しない。したがって、ホストコンピュータ２およびマイコン１３

0が、それぞれ、ワーク用メモリ100および保存用メモリ110に円滑にアクセスできる。

[0050] 上記マイコン130は、ワーク用メモリ100を制御して、ワーク用メモリ100に格納されているログデータの一部を保存用メモリ110に転送して格納する。次に、上記マイコン130は、上記ログデータの別の一部を保存用メモリ110に転送して格納する。その他、マイコン130は、バックアップ装置1全体の動作を制御する。

[0051] 上記電源断検知部190は、ホストコンピュータ2を経由して、電源ボックス3に接続される一方、FPGA120と、マイコン130とに接続されている。上記電源断検知部190は、電源ボックス3の電源断の発生を電圧によって検知して、ホストコンピュータ2のCPU201と、FPGA120の競合制御部121と、マイコン130とへ電源断の発生信号を送信する。

[0052] なお、電源断検知部190は、バックアップ装置1の基板1A上ではなく、ホストコンピュータ2のマザーボード2A上に搭載されていてもよい。

[0053] 上記ホストコンピュータ2は、図1中に示すように、CPU201と、メインメモリ202と、図示しないハードディスクと、リムーバブルディスクとしてのCFカード203と、BIOS (Basic Input/Output System) フラッシュROM204と、チップセット205と、内部電源変換部206とを有している。

[0054] 上記CPU201は、マザーボード2A上のバスを介して、メインメモリ202とチップセット205とに接続されている。上記チップセット205は、上記バスを介して、CFカード203と、BIOS フラッシュROM204に接続されると共に、上述したように、PCIバスまたはPCIeバス210を介して、バックアップ装置1のローカルブリッジ122に接続されている。

[0055] 上記内部電源変換部206は、電源ボックス3に接続される一方、図1中に示すように、バックアップ装置1のワーク用メモリ100と、保存用メモ

リ１１０と、ＦＰＧＡ１２０と、マイコン１３０と、第１乃至第４のバッファ１４１，１４２，１４３，１４４と、ホストコンピュータ２のＣＰＵ２０１と、メインメモリ２０２と、上記ハードディスクおよびＣＦカード２０３と、ＢＩＯＳフラッシュＲＯＭ２０４と、チップセット２０５とに接続されている。上記内部電源変換部２０６は、電源ボックス３の交流電源を直流電源に変換して、バックアップ装置１およびホストコンピュータ２の接続されている各要素へ供給する。

[0056] 上記バックアップ装置１はホストコンピュータ２とともに、概略、次のように動作する。

[0057] 上記ＣＰＵ２０１の制御により、ログデータは、ＣＰＵ２０１からチップセット２０５を経由してローカルブリッジ１２２へ転送される。すると、ログデータは、ローカルブリッジ１２２で変換されて、ログデータが格納されるべきアドレス情報とワーク用メモリ１００へのアクセスを要求する信号とが、競合制御部１２１へ転送される。競合制御部１２１は、ＣＰＵ２０１からログデータが格納されるべきアドレス情報とワーク用メモリ１００へのアクセスを要求する信号とを受信すると、マイコン１３０からワーク用メモリ１００または保存用メモリ１１０へのアクセス要求があるかどうか判定する。マイコン１３０からワーク用メモリ１００へのアクセス要求がないと判断すると、競合制御部１２１は、第２のバッファ１４２を制御して、ＣＰＵ２０１からワーク用メモリ１００へのアクセスを許可する。一方、マイコン１３０からもワーク用メモリ１００へのアクセス要求がなされていれば、競合制御部１２１は、競合制御を行って、直ちに、または所定の時間を経過後に第２のバッファ１４２を制御して、ＣＰＵ２０１からワーク用メモリ１００へのアクセスを許可する。そして、ローカルブリッジ１２２からワーク用メモリ１００にログデータとログデータが格納されるべきアドレス情報とを転送して、ログデータをワーク用メモリ１００内の所定のアドレスに格納する。このとき、ワーク用メモリ１００へログデータを格納する速度、つまり書き込み速度は、比較的高速で、ＣＰＵ２０１からワーク用メモリ１００への



ログデータの転送速度と略同じである。したがって、ログデータをワーク用メモリ１００から保存用メモリ１１０に円滑に転送して格納できる。

[0058] 次に、バックアップのために、ワーク用メモリ１００に保存したログデータを保存用メモリ１１０へ転送するとき、上記マイコン１３０の制御により、ログデータが格納されるべきアドレス情報とワーク用メモリ１００へのアクセスを要求する信号とをマイコン１３０から競合制御部１２１へ送信する。競合制御部１２１は、マイコン１３０からログデータが格納されるべきアドレス情報とワーク用メモリ１００へのアクセスを要求する信号とを受信すると、ＣＰＵ２０１からワーク用メモリ１００または保存用メモリ１１０へのアクセス要求があるかどうか判定する。ＣＰＵ２０１からワーク用メモリ１００へのアクセス要求がないと判断すると、競合制御部１２１は、第４のバッファ１４４を制御して、マイコン１３０からワーク用メモリ１００へのアクセスを許可する。一方、ＣＰＵ２０１からもワーク用メモリ１００へのアクセス要求があると判断すると、競合制御部１２１は、競合制御を行って、直ちに、または所定の時間を経過後に第４のバッファ１４４を制御して、マイコン１３０からワーク用メモリ１００へのアクセスを許可する。そして、マイコン１３０はワーク用メモリ１００にログデータが格納されるべきアドレス情報を転送して、ワーク用メモリ１００から所定のログデータを読み込む。

[0059] 上記所定のログデータについて、上記マイコン１３０の制御により、ログデータが格納されるべきアドレス情報と保存用メモリ１１０へのアクセスを要求する信号とをマイコン１３０から競合制御部１２１へ送信する。競合制御部１２１は、マイコン１３０から上記所定のログデータが格納されるべきアドレス情報と保存用メモリ１１０へのアクセスを要求する信号とを受信すると、ＣＰＵ２０１からワーク用メモリ１００または保存用メモリ１１０へのアクセス要求があるかどうか判定する。ＣＰＵ２０１から保存用メモリ１１０へのアクセス要求がないと判断すると、競合制御部１２１は、第３のバッファ１４３を制御して、マイコン１３０から保存用メモリ１１０へのアク

セスを許可する。一方、CPU 201からもワーク用メモリ100へのアクセス要求があると判断すると、競合制御部121は、競合制御を行って、直ちに、または所定の時間を経過後に第3のバッファ143を制御して、マイコン130からワーク用メモリ100へのアクセスを許可する。そして、マイコン130は保存用メモリ110に上記所定のログデータと、ログデータが格納されるべきアドレス情報とを転送して、上記所定のログデータを保存用メモリ110内の所定のアドレスに格納する。

[0060] バックアップ装置1は、電源断の発生を検知したとき、次のように動作する。

[0061] 上記電源断検知部190は、電源ボックス3の電源断の発生を電圧によって検知すると、電源異常信号をFPGA120とマイコン130とへ送信する。上記FPGA120が上記電源異常信号を受信すると、競合制御部121は、遮断制御部として働いて、メモリ制御信号バス171を介して、メモリアクセス中止信号をワーク用メモリ100と保存用メモリ110とに送信する。ワーク用メモリ100および保存用メモリ110がメモリアクセス中止信号を受信すると、ワーク用メモリ100および保存用メモリ110へのアクセスができなくなる。

[0062] また、上記FPGA120は、CPU201に対して、電源異常割り込みを発行する。上記CPU201は、この電源異常割り込みを受けると、ワーク用メモリ100および保存用メモリ110へのアクセスを中止して、電源が落ちるのを待つ。また、上記マイコン130は、上記電源異常信号を受信すると、ワーク用メモリ100および保存用メモリ110へのアクセスを中止して、電源が落ちるのを待つ。

[0063] 次に、図2から図8までのメモリマップを用いて、ログデータが、例えば64MBのサイズである場合の、保存用メモリ110への格納、つまりログデータの保存処理について、詳細に説明する。

[0064] この例では、格納すべきログデータ(64MB)が、「0001」, 「0002」, …, 「N」からなるものとする。

[0065] 図2に示すように、ログデータを格納する前の初期状態では、第1のワーク用メモリ101、第2のワーク用メモリ102、および保存用メモリ110は、ログデータが格納されていない状態にある。また、第1のワーク用メモリ101の先頭の記憶領域101aの先頭アドレスおよび第2のワーク用メモリ102の先頭の記憶領域102aの先頭アドレスには、それぞれ開放を知らせる開放フラグ(F00)が書き込まれている。なお、第1、第2のワーク用メモリ101、102の先頭アドレス(数バイト)は、フラグ用に確保されており、ログデータが書き込まれることはない。

[0066] まず、ホストコンピュータ2のCPU201から転送されてきたログデータ「0001」、「0002」、「0003」、「0004」を、第1のワーク用メモリ101の4つの記憶領域101a~101dに、先頭の記憶領域101aから順次アドレス順に格納していく。

[0067] 図3に示すように、第1のワーク用メモリ101の記憶領域101a~101dがログデータ「0001」、「0002」、「0003」、「0004」で満杯になると、次に、ログデータ「0005」、「0006」、「0007」、「0008」を第2のワーク用メモリ102の4つの記憶領域102a~102dに先頭の記憶領域102aから順次アドレス順に格納していく。一方、マイコン130は、第1のワーク用メモリ101に格納されたログデータ「0001」、「0002」、「0003」、「0004」を保存用メモリ110に転送して、保存用メモリ110の記憶領域110a~110dに、先頭の記憶領域110aから順次アドレス順に格納していく。

[0068] 次に、図4に示すように、マイコン130は、第1のワーク用メモリ101から保存用メモリ110へのログデータの転送および格納が完了すると、第1のワーク用メモリ101に格納されているログデータのうち、最も古いログデータ「0001」を格納している記憶領域101aに、完了フラグFF00を書き込む。一方、ログデータ「0008」は、第2のワーク用メモリ102の末尾の記憶領域102dに格納される。

[0069] 次に、図5に示すように、第2のワーク用メモリ102の記憶領域102

a～102dがログデータ「0005」,「0006」,「0007」,「0008」で満杯になると、マイコン130は、第1のワーク用メモリ101の先頭の記憶領域101aに完了フラグFF00が書き込まれているかどうか確認する。第1のワーク用メモリ101の先頭の記憶領域101aに完了フラグが書き込まれていると判断すれば、この記憶領域101aに、ログデータ「0009」を上書きして格納する。一方、マイコン130は、第2のワーク用メモリ102に格納されたログデータ「0005」,「0006」,「0007」,「0008」を保存用メモリ110に転送して、保存用メモリ110の記憶領域110e～110hに、先頭の記憶領域110eから順次アドレス順に格納していく。

[0070] その後、同様に、ホストコンピュータ2のCPU201から転送されてきたログデータを、リングバッファ方式により、第1のワーク用メモリ101および第2のワーク用メモリ102に既に格納されているログデータのうち古いものから順次上書きして、格納していく。

[0071] 一方、上記マイコン130は、(i)第1のワーク用メモリ101の記憶領域101a～101dが全て上書きされると、上述したように第1のワーク用メモリ101に格納されたログデータを全て保存用メモリ110に転送して、順次アドレス順に格納していく。次に、マイコン130は、(ii)第2のワーク用メモリ102の記憶領域102a～102dが全て上書きされると、上述したように第2のワーク用メモリ102に格納されたログデータを全て保存用メモリ110に転送して、順次アドレス順に格納していく。そして、上記マイコン130は、上記(i), (ii)を順次繰り返す。したがって、上記ログデータをワーク用メモリ100から保存用メモリ110に効率よく転送して格納できる。

[0072] 図6に示すように、保存用メモリ110の記憶領域110a～110nが、ログデータ「0001」,「0002」, ..., 「N-1」, 「N」で満杯になると、図7に示すように、上記マイコン130は、保存用メモリ110に格納されているログデータのうち、最も古いログデータ「0001」, 「

「０００２」，「０００３」，「０００４」を消去して、保存用メモリ１１０の記憶領域１１０ａ～１１０ｄを空にする。

[0073] 図８に示すように、第１のワーク用メモリ１０１の記憶領域１０１ａ～１０１ｄにログデータ「Ｎ＋１」，「Ｎ＋２」，「Ｎ＋３」，「Ｎ＋４」を上書きして格納すると、次に、第２のワーク用メモリ１０２の先頭の記憶領域１０２ａにログデータ「Ｎ＋５」を上書きして格納する。一方、マイコン１３０は、第１のワーク用メモリ１０１に格納されたログデータ「Ｎ＋１」，「Ｎ＋２」，「Ｎ＋３」，「Ｎ＋４」を保存用メモリ１１０に転送して、保存用メモリ１１０の空いている記憶領域１１０ａ～１１０ｄに、先頭の記憶領域１１０ａから順次アドレス順に格納していく。そして、マイコン１３０は、保存用メモリ１１０の記憶領域に格納されているログデータのうち、最も古いログデータ「０００５」，「０００６」，「０００７」，「０００８」を消去して、保存用メモリ１１０の記憶領域１１０ｅ～１１０ｈを空にする。

[0074] このようにして、リングバッファ方式により、保存用メモリ１１０に既に格納されているログデータのうち古いものから順次消去および書き換えを行って、ログデータを格納していく。

[0075] 次に、電源断が発生したときのログデータの保障について、説明する。

[0076] 上記電源断が発生したとき、電源断検知部１９０が上記電源断を検知して、ホストコンピュータ２のＣＰＵ２０１と、ＦＰＧＡ１２０の競合制御部１２１と、マイコン１３０とへ電源断の発生信号を送信する。そして、上記ＣＰＵ２０１とマイコン１３０とは、上記電源断の発生信号を受信すると、ワーク用メモリまたは保存用メモリ１１０へのアクセスを上記電源断の発生前に中止する。一方、遮断制御部としての競合制御部１２１は、電源断検知部１９０から上記電源断の発生信号を受信すると、第１乃至第４のバッファ１４１，１４２，１４３，１４４を制御して、ワーク用メモリ１００または保存用メモリ１１０へのアクセスを遮断する制御を行う。

[0077] また、上記電源断が発生したときに、例えば、図３に示すように、ログデ

ータ「０００１」，「０００２」，「０００３」，「０００４」が第１のワーク用メモリ１０１から保存用メモリ１１０への転送途中の状態であった場合、上記マイコン１３０は、転送途中の状態であったことを知らせる転送途中フラグをワーク用メモリ１００中の所定の場所書き込む。例えば、転送途中フラグＦＦＦ０を第１のワーク用メモリ１０１の先頭の記憶領域１０１ａの先頭アドレスに書き込む。電源断からの復帰後、上記マイコン１３０は、転送状態検知部として働いて、ワーク用メモリ１００に書き込まれた上記転送途中フラグＦＦＦ０を検知すると、保存用メモリ１１０に格納された転送途中のログデータ「０００１」，「０００２」，「０００３」，「０００４」を消去する。そして、上記マイコン１３０は、再度、第１のワーク用メモリ１０１のログデータ「０００１」，「０００２」，「０００３」，「０００４」を保存用メモリ１１０に転送して、格納する。このため、電源断発生時に転送途中の状態であったとしても、上記電源断から復帰したとき、ワーク用メモリ１００に未転送で残っている上記ログデータの上記他の部分を、保存用メモリ１１０へ確実に転送できる。したがって、大容量の上記ログデータをより安全かつ確実に保存できる。

- [0078] また、上記電源断が発生したとき、例えば、図７に示すように、上記マイコン１３０が保存用メモリ１１０におけるログデータ「０００１」，「０００２」，「０００３」，「０００４」を消去途中であった場合、上記マイコン１３０は、ログデータを消去途中であったことを知らせる消去途中フラグをワーク用メモリ１００中の所定の場所書き込む。例えば、消去途中フラグＦＦＦＦを第１のワーク用メモリ１０１の先頭の記憶領域１０１ａの先頭アドレス（完了フラグに続くアドレス）に書き込む。電源断からの復帰後、上記マイコン１３０は、ワーク用メモリ１００に書き込まれた上記消去途中フラグＦＦＦＦを検知すると、保存用メモリ１１０における消去途中のログデータ「０００１」，「０００２」，「０００３」，「０００４」を再度消去する。このため、電源断発生時にログデータを消去途中であったとしても、上記電源断から復帰したとき、保存用メモリ１１０に消去されずに残って

いるログデータを確実に消去できる。

[0079] このバックアップ装置 1 は、市販の部品を用いて比較的小型かつ低コストで実現でき、UPS を設ける場合に比してスペースおよびUPS のコストを省略できる。

[0080] 上記実施形態では、ワーク用メモリ 100 は、バッテリー 150 によってバッテリーバックアップされうるSRAMからなっていたが、この発明では、FeRAMからなってもよい。

[0081] また、上記実施形態では、上記バックアップ装置 1 は、基板 1A 上に搭載されており、この基板 1A がホストコンピュータ 2 のマザーボード 2A に着脱可能に取り付けられていたが、この発明では、ホストコンピュータ 2 のマザーボード 2A 上に搭載されていてもよい。この場合、マザーボード上にワーク用メモリ、保存用メモリ、インターフェイス部、及び制御部が搭載されるので、マザーボードとともにバックアップ装置の構成を全体として小型にすることができる。

[0082] また、上記実施形態では、開放フラグ F00、完了フラグ F F 00、転送途中フラグ F F F 0、消去途中フラグ F F F F をワーク用メモリ 100 に書き込んだが、これに限られるものではない。例えば、それらのフラグは、ワーク用メモリ 100 とは別のSRAMを設けて、そのSRAMに書き込んでもよい。

[0083] また、上記実施形態では、上記保存用メモリ 110 は、NOR型フラッシュメモリからなっていたが、この発明では、NAND型フラッシュメモリや、SDカードメモリを使用してもよい。

[0084] また、上記実施形態では、インターフェイス部として、FPGA 120 を使用していたが、この発明では、ASIC (Application Specific Integrated Circuit) を使用してもよい。

[0085] また、上記実施形態では、制御部として、マイコン 130 を使用していたが、この発明では、FPGA を使用してもよい。

## 符号の説明

- [0086] 1 バックアップ装置
- 1 A 基板
  - 2 ホストコンピュータ
  - 2 A マザーボード
  - 1 0 0 ワーク用メモリ
  - 1 0 1 第1のワーク用メモリ
  - 1 0 2 第2のワーク用メモリ
  - 1 1 0 保存用メモリ 1 1 0
  - 1 2 0 F P G A
  - 1 2 1 競合制御部
  - 1 2 2 ローカルブリッジ
  - 1 3 0 マイコン
  - 1 5 0 バッテリ
  - 1 6 1 アドレスバス
  - 1 6 2 ローカルアドレスバス
  - 1 6 3 データバス
  - 1 6 4 ローカルデータバス
  - 1 7 1 メモリ制御信号バス
  - 1 7 2 メインメモリ制御信号バス
  - 1 7 3 ローカルメモリ制御信号バス
  - 1 9 0 電源断検知部
  - 2 1 0 P C IバスまたはP C I eバス



## 請求の範囲

- [請求項1]           格納したデータがバッテリバックアップされうるSRAMからなるワーク用メモリと、
- 上記ワーク用メモリよりも記録密度が高い不揮発性メモリからなる保存用メモリと、
- ホストコンピュータと上記ワーク用メモリ及び上記保存用メモリとの間に介在し、上記ホストコンピュータによる上記ワーク用メモリ及び上記保存用メモリへのアクセスを許容するインターフェイス部と、
- 上記ホストコンピュータから上記インターフェイス部を介して上記ワーク用メモリに転送されて格納されたログデータを、上記保存用メモリに転送して格納する制御を行う制御部と
- を備えることを特徴とするバックアップ装置。
- [請求項2]           請求項1に記載のバックアップ装置において、
- 電源断が発生したことを検知する電源断検知部と、
- 上記電源断検知部が上記電源断を検知したとき、上記ワーク用メモリ及び上記保存用メモリへのアクセスを遮断する制御を行う遮断制御部と、
- 上記電源断から復帰したとき、上記電源断の発生時に上記ワーク用メモリに格納された上記ログデータの一部が上記保存用メモリへ転送され、上記ログデータのうち他の部分が残っている転送途中の状態であったか否かを検知する転送状態検知部と
- を備え、
- 上記制御部は、上記転送状態検知部が、上記電源断の発生時に上記転送途中の状態であったことを検知したとき、上記ワーク用メモリに未転送で残っている上記ログデータの上記他の部分を上記保存用メモリに転送して格納する制御を行うことを特徴とするバックアップ装置。
- [請求項3]           請求項1又は2に記載のバックアップ装置において、

上記ワーク用メモリへのアクセスと、上記保存用メモリへのアクセスとの競合を調停する競合制御部を備えることを特徴とするバックアップ装置。

[請求項4]       請求項1 から3 のいずれか1 つに記載のバックアップ装置において、

上記インターフェイス部はローカルブリッジを含み、このローカルブリッジは、上記ホストコンピュータが有するデータバスと、上記制御部、上記ワーク用メモリ及び上記保存用メモリの間に設けられたデータバスとを接続していることを特徴とするバックアップ装置。

[請求項5]       請求項1 から4 のいずれか1 つに記載のバックアップ装置において、

上記ホストコンピュータのマザーボードに対して着脱可能な基板を備え、

上記ワーク用メモリ、上記保存用メモリ、上記インターフェイス部、及び上記制御部は、上記基板上に搭載されていることを特徴とするバックアップ装置。

[請求項6]       請求項1 から4 のいずれか1 つに記載のバックアップ装置において、

上記ワーク用メモリ、上記保存用メモリ、上記インターフェイス部、及び上記制御部は、上記ホストコンピュータのマザーボード上に搭載されていることを特徴とするバックアップ装置。

[請求項7]       請求項1 から6 のいずれか1 つに記載のバックアップ装置において、

上記ワーク用メモリは、上記ホストコンピュータから転送される上記ログデータの転送速度で書き込み可能であることを特徴とするバックアップ装置。

[請求項8]       請求項1 から7 のいずれか1 つに記載のバックアップ装置において、

上記ワーク用メモリは、物理的に独立した2つの上記S R A Mからなることを特徴とするバックアップ装置。

[請求項9]           請求項1 から8 のいずれか1 つに記載のバックアップ装置において、

上記保存用メモリは、N O R型フラッシュメモリであることを特徴とするバックアップ装置。

[請求項10]          請求項1 に記載のバックアップ装置の動作方法であって、  
上記制御部は、

上記ワーク用メモリに格納された上記ログデータの一部を、上記ワーク用メモリの記憶容量の単位で上記保存用メモリに転送して格納する第1の処理と、

上記ワーク用メモリに未転送で残っている上記ログデータの別の一部を、上記ワーク用メモリの記憶容量の単位で上記保存用メモリに転送して格納する第2の処理と  
を少なくとも順次行うことを特徴とするバックアップ装置の動作方法。

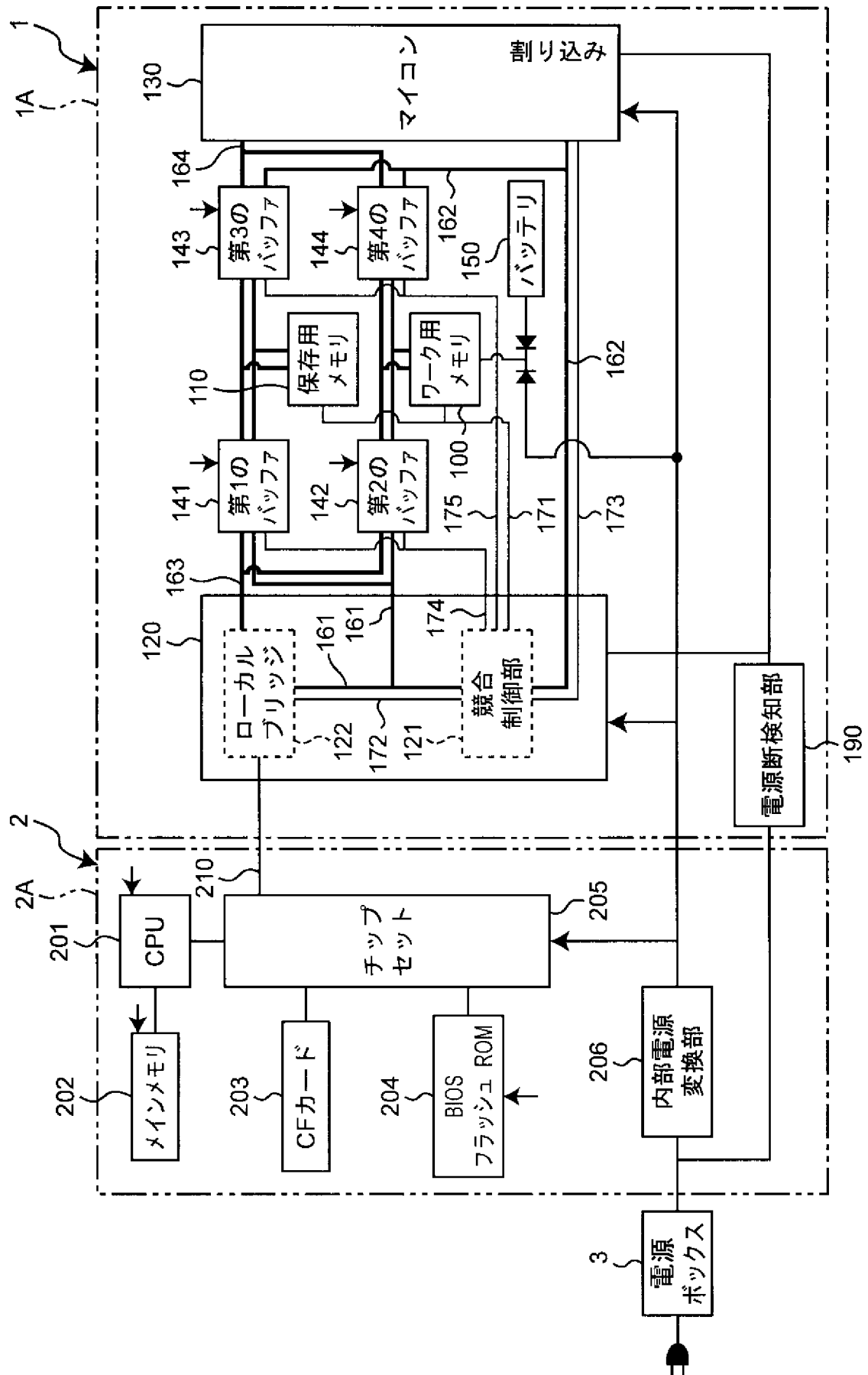
[請求項11]          F e R A Mからなるワーク用メモリと、

上記ワーク用メモリよりも記録密度が高い不揮発性メモリからなる保存用メモリと、

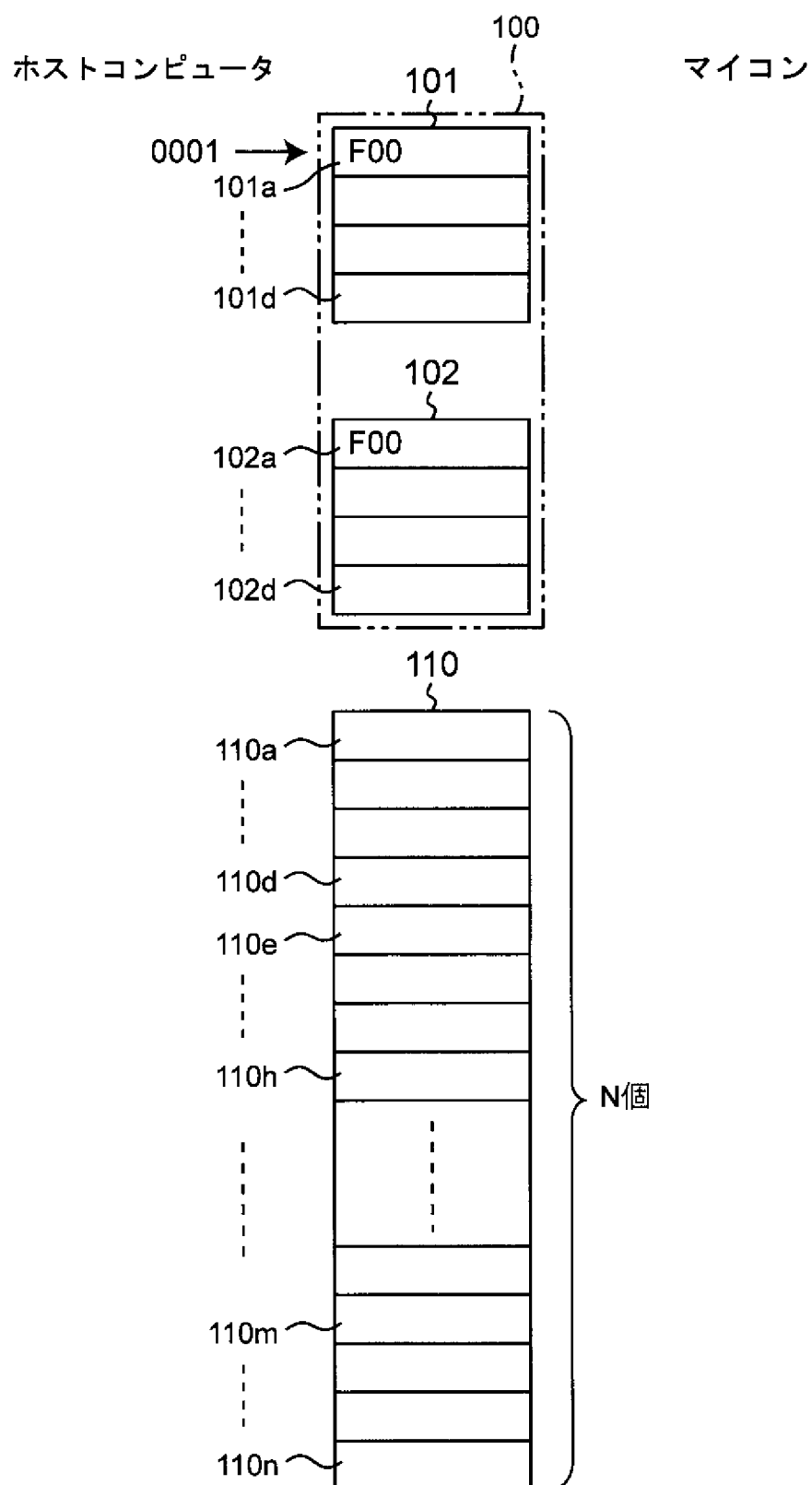
ホストコンピュータと上記ワーク用メモリ及び上記保存用メモリとの間に介在し、上記ホストコンピュータによる上記ワーク用メモリ及び上記保存用メモリへのアクセスを許容するインターフェイス部と、

上記ホストコンピュータから上記インターフェイス部を介して上記ワーク用メモリに転送されて格納されたログデータを、上記保存用メモリに転送して格納する制御を行う制御部と  
を備えることを特徴とするバックアップ装置。

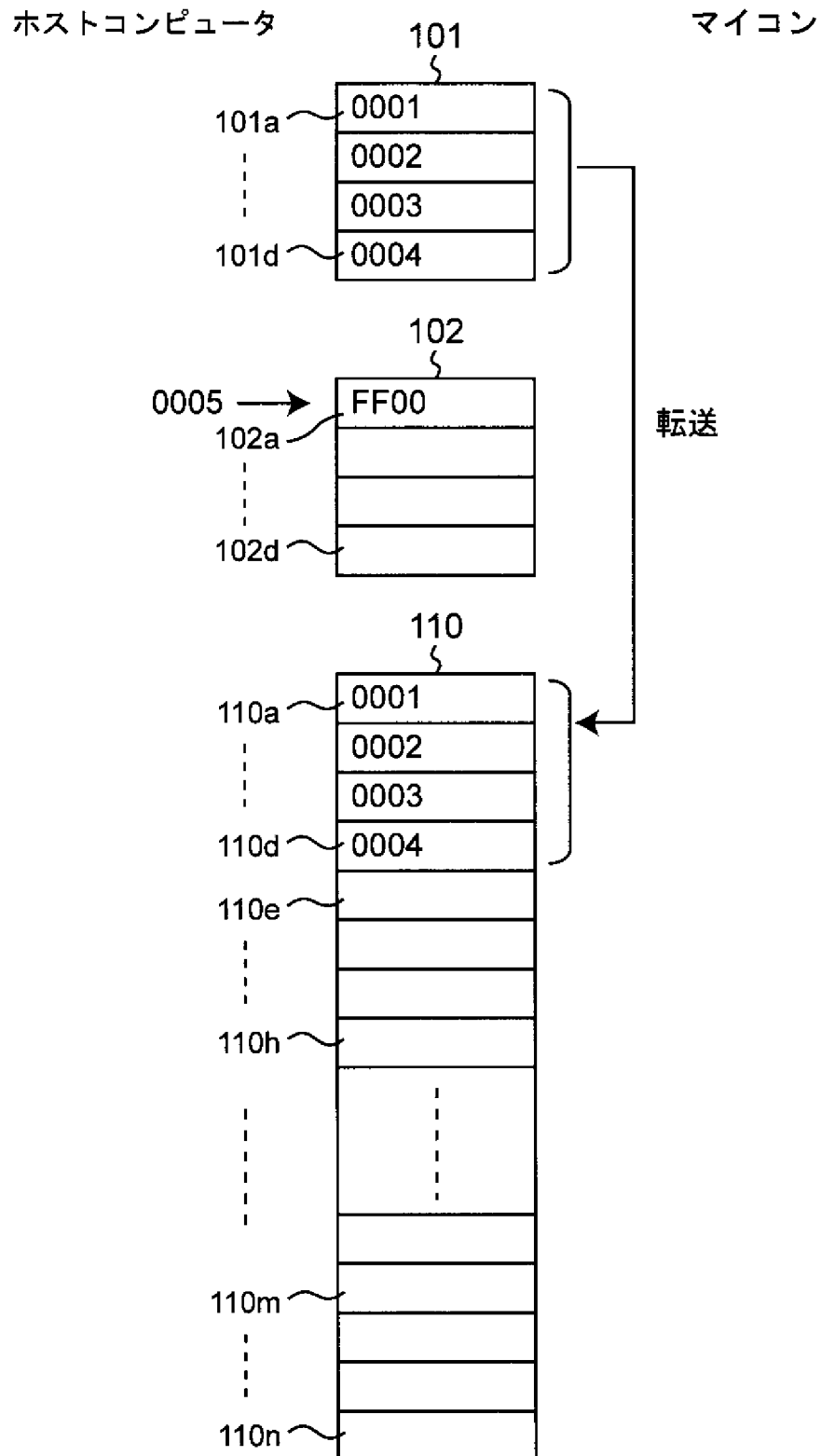
[図1]



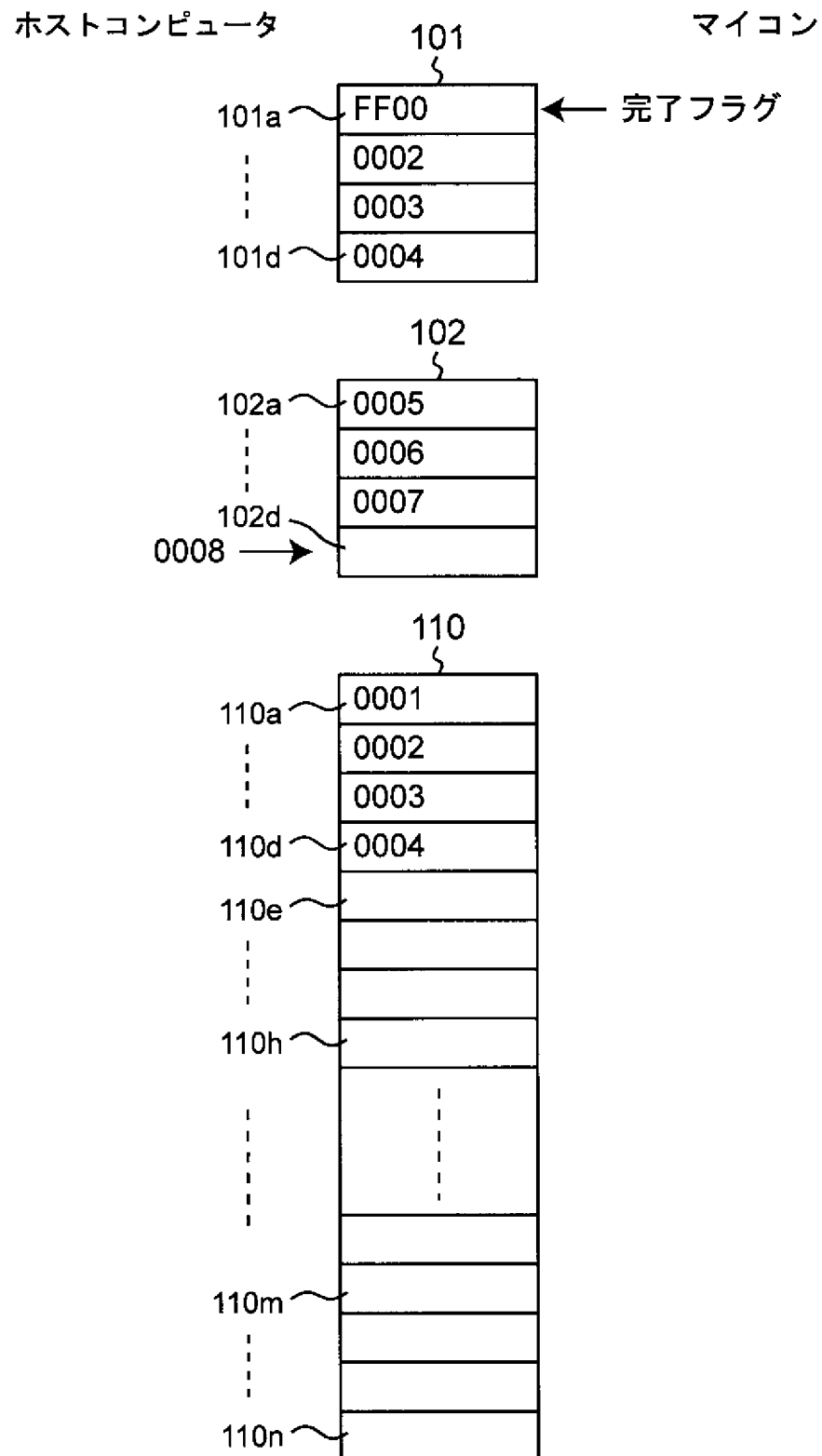
[図2]



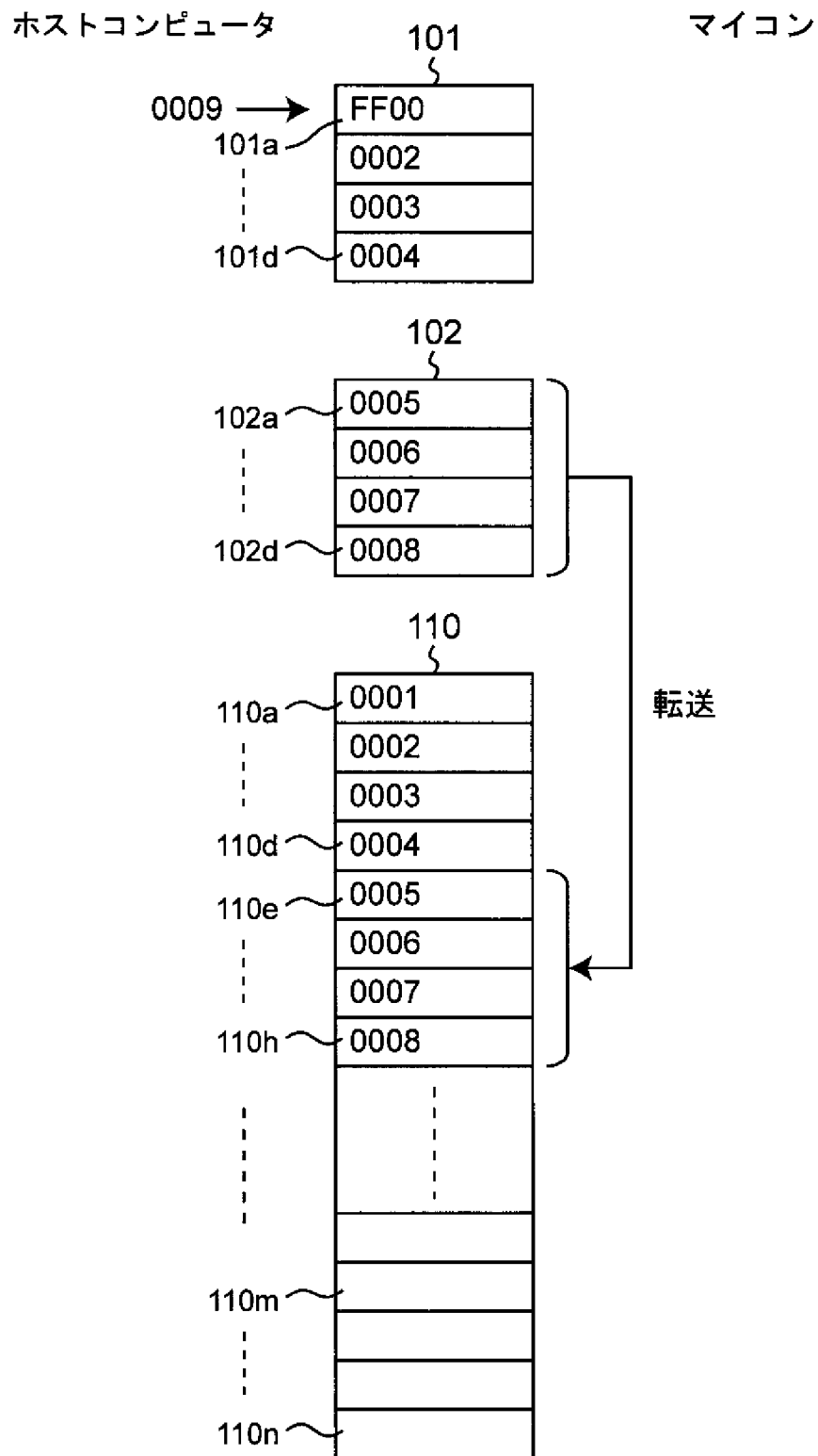
[図3]



[図4]

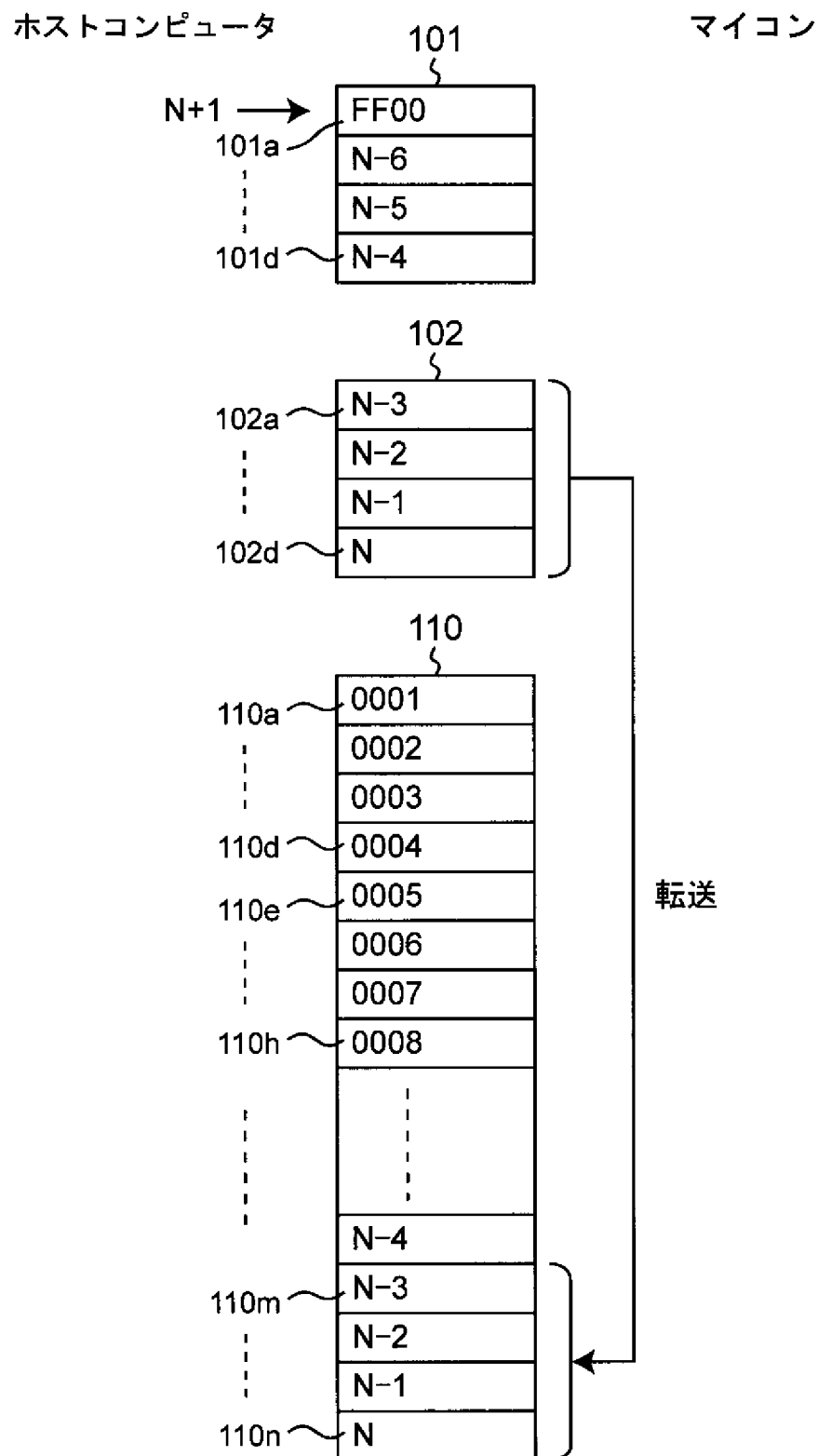


[図5]

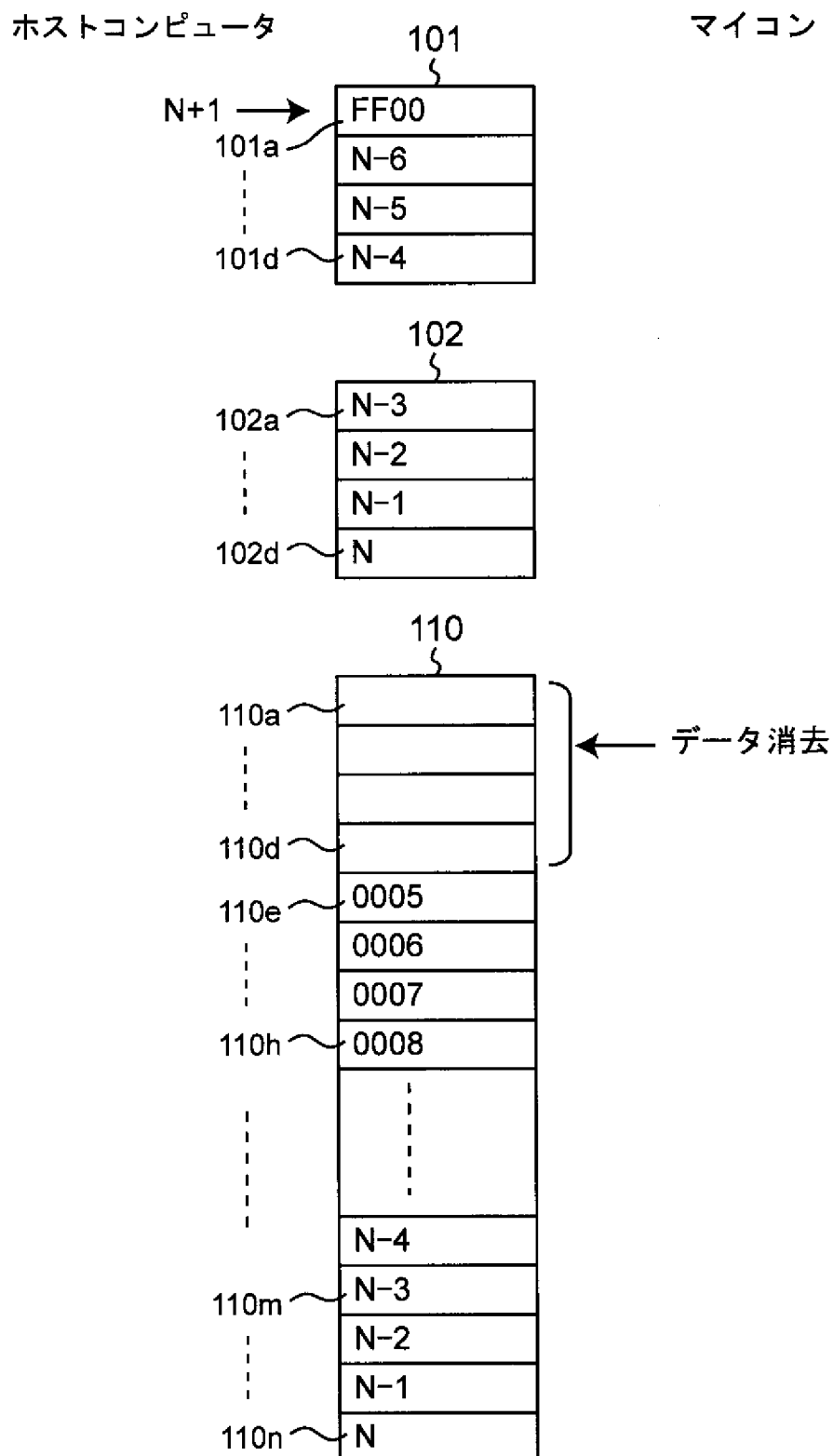




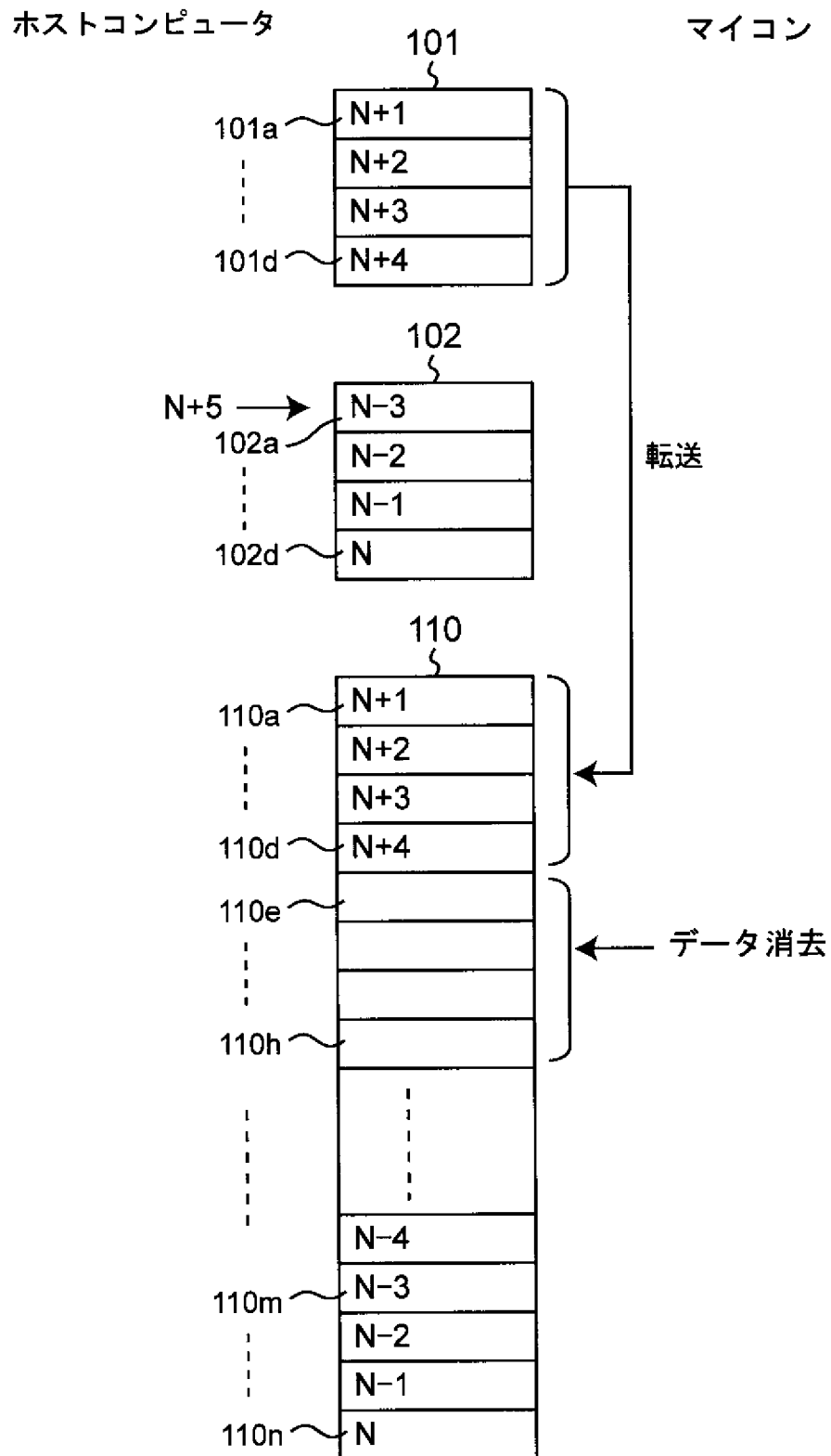
[図6]



[図7]



[図8]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/078511

## A. CLASSIFICATION OF SUBJECT MATTER

G06F12/16(2006.01)i, G06F12/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/16, G06F12/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                 | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | document 1: JP 2008-97635 A (Mitsubishi Electric Corp.),<br>24 April 2008 (24.04.2008),<br>paragraphs [0002] to [0021]; fig. 1 to 3<br>& US 6571312 B1 & US 6795890 B1                             | 1-11                  |
| Y         | document 2: JP 2011-515727 A (NetApp, Inc.),<br>19 May 2011 (19.05.2011),<br>paragraphs [0011] to [0059]; fig. 1 to 5<br>& US 2011/0035548 A1 & EP 2263145 A<br>& WO 2009/102425 A1 & CA 2714745 A | 1-11                  |
| A         | document 3: JP 2008-108026 A (Hitachi, Ltd.),<br>08 May 2008 (08.05.2008),<br>entire text; all drawings<br>& US 2008/0104344 A1                                                                    | 1-11                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
01 March, 2012 (01.03.12)

Date of mailing of the international search report  
13 March, 2012 (13.03.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））  
Int.Cl. G06F12/16(2006.01)i, G06F12/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F12/16, G06F12/00

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 2 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 2 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 2 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                          | 関連する<br>請求項の番号 |
|-----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| Y               | 文献 1: JP 2008-97635 A（三菱電機株式会社）2008.04.24, 段落<br>[0002]-[0021], 図 1-3 & US 6571312 B1 & US 6795890 B1                                                      | 1 - 11         |
| Y               | 文献 2: JP 2011-515727 A（ネットアップ, インコーポレイテッド）<br>2011.05.19, 段落[0011]-[0059], 図 1-5 & US 2011/0035548 A1 & EP<br>2263145 A & WO 2009/102425 A1 & CA 2714745 A | 1 - 11         |
| A               | 文献 3: JP 2008-108026 A（株式会社日立製作所）2008.05.08, 全文,<br>全図 & US 2008/0104344 A1                                                                                | 1 - 11         |

❑ C 欄の続きにも文献が列挙されている。

❑ パテントファミリーに関する別紙を参照。

|                                                              |                                                                      |
|--------------------------------------------------------------|----------------------------------------------------------------------|
| * 引用文献のカテゴリー                                                 | の日の後に公表された文献                                                         |
| 「A」特に関連のある文献ではなく、一般的技術水準を示すもの                                | 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの       |
| 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                        | 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                       |
| 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」口頭による開示、使用、展示等に言及する文献                                     | 「&」同一パテントファミリー文献                                                     |
| 「P」国際出願日前で、かつ優先権の主張の基礎となる出願                                  |                                                                      |

国際調査を完了した日

0 1 . 0 3 . 2 0 1 2

国際調査報告の発送日

1 3 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先  
日本国特許庁（I S A / J P）  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

原 秀人

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 9

5 M

9 6 4 4