

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月2日(02.01.2020)



(10) 国際公開番号

WO 2020/004198 A1

(51) 国際特許分類:

H01L 21/338 (2006.01) H01L 29/417 (2006.01)
H01L 21/28 (2006.01) H01L 29/778 (2006.01)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 21/8234 (2006.01) H01L 29/786 (2006.01)
H01L 27/088 (2006.01) H01L 29/812 (2006.01)

(21) 国際出願番号: PCT/JP2019/024368

(22) 国際出願日: 2019年6月19日(19.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-123232 2018年6月28日(28.06.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

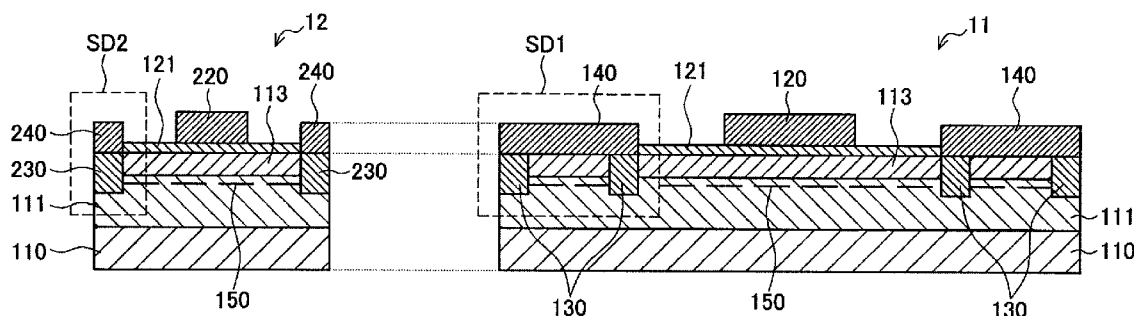
(72) 発明者: 東 孝 紀 (HIGASHI, Takanori); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 柳田 将志(YANAGITA, Masashi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人 酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE AND HIGH FREQUENCY MODULE

(54) 発明の名称: 半導体装置及び高周波モジュール



(57) Abstract: This semiconductor device comprises first and second transistors that are high-electron-mobility transistors. The plane area of a source electrode or drain electrode (140) of the first transistor (11) is larger than the plane area of a source electrode or drain electrode (140) of the second transistor (12), and the cross-sectional width of a contact layer (130) provided below the source electrode or drain electrode (140) of the first transistor (11) is of a size that corresponds to the cross-sectional width of a contact layer (130) provided below the source electrode or drain electrode (140) of the second transistor (12).

(57) 要約: 高電子移動度トランジスタである第1及び第2のトランジスタを備え、前記第1のトランジスタ(11)のソース電極又はドレイン電極(140)の平面面積は、前記第2のトランジスタ(12)のソース電極又はドレイン電極(140)の平面面積よりも大きく、前記第1のトランジスタ(11)のソース電極及びドレイン電極(140)の下に設けられたコンタクト層(130)の断面幅は、前記第2のトランジスタ(12)のソース電極及びドレイン電極(140)の下に設けられたコンタクト層(130)の断面幅に対応する大きさである、半導体装置。

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置及び高周波モジュール

技術分野

[0001] 本開示は、半導体装置及び高周波モジュールに関する。

背景技術

[0002] 化合物半導体のヘテロ接合を用いた高電子移動度トランジスタ（High Electron Mobility Transistor: HEMT）は、他のトランジスタと比較して、高耐圧、高耐熱、高飽和電子速度、及び高チャネル電子濃度という特性を有する。そのため、高電子移動度トランジスタは、小型かつ高性能のパワーデバイス又は高周波デバイス等への適用が期待されている。

[0003] このような高電子移動度トランジスタでは、異なる化合物半導体にて形成されるチャネル層及びバリア層をヘテロ接合することで、バリア層と接するチャネル層の界面にチャネルとなる二次元電子ガスを形成している。ただし、バリア層は、ポテンシャル障壁が高く、良好なオーミックコンタクトを形成することが困難であるため、高電子移動度トランジスタでは、コンタクト抵抗が高くなり易かった。

[0004] そのため、高電子移動度トランジスタのコンタクト抵抗を低減させる手法が種々検討されている。

[0005] 例えば、下記の特許文献1には、バンドギャップが小さい化合物半導体層をソース電極又はドレイン電極の下に選択的に再成長させ、該化合物半導体層によってソース電極又はドレイン電極と二次元電子ガスとのコンタクトを形成する技術が開示されている。特許文献1に開示された技術によれば、ソース電極又はドレイン電極と、チャネルである二次元電子ガスとの間のオーミック特性を向上させることができるため、高電子移動度トランジスタのコンタクト抵抗を低減することができる。

先行技術文献

特許文献

[0006] 特許文献1：特開2011-159795号公報

発明の概要

発明が解決しようとする課題

[0007] しかし、化合物半導体の成長速度及び結晶品質は、化合物半導体を成長させる平面面積によって異なる。そのため、1つのチップ又は基板に、ソース又はドレインの面積が異なる複数種のトランジスタが混載する場合、再成長させた化合物半導体層の結晶品質又は膜厚等が異なってしまうことがあった。このような場合、混載された複数種のトランジスタで、同様なオーミック特性を得ることが困難であった。

[0008] そこで、ソース又はドレインの面積が異なるトランジスタのいずれでも、同程度の良好なコンタクト抵抗を得ることが可能な技術が求められていた。

課題を解決するための手段

[0009] 本開示によれば、第1の化合物半導体にて形成されたチャネル層と、前記第1の化合物半導体と異なる第2の化合物半導体にて前記チャネル層の上に形成されたバリア層と、前記バリア層の上に設けられたゲート電極と、前記バリア層の上に前記ゲート電極を挟んで両側に設けられたソース電極及びドレイン電極と、前記ソース電極及び前記ドレイン電極の下にそれぞれ前記バリア層を貫通して設けられたコンタクト層と、をそれぞれ有する第1及び第2のトランジスタを備え、前記第1のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積は、前記第2のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積よりも大きく、前記第1のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面における前記コンタクト層の幅は、前記第2のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面における前記コンタクト層の幅に対応する大きさである、半導体装置が提供される。

[0010] また、本開示によれば、第1の化合物半導体にて形成されたチャネル層と

、前記第 1 の化合物半導体と異なる第 2 の化合物半導体にて前記チャネル層の上に形成されたバリア層と、前記バリア層の上に設けられたゲート電極と、前記バリア層の上に前記ゲート電極を挟んで両側に設けられたソース電極及びドレイン電極と、前記ソース電極及び前記ドレイン電極の下にそれぞれ前記バリア層を貫通して設けられたコンタクト層と、をそれぞれ有する第 1 及び第 2 のトランジスタを備え、前記第 1 のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積は、前記第 2 のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積よりも大きく、前記第 1 のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面における前記コンタクト層の幅は、前記第 2 のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面における前記コンタクト層の幅に対応する大きさである、高周波モジュールが提供される。

[0011] 本開示によれば、形状又は大きさが異なる第 1 のトランジスタ及び第 2 のトランジスタにおいて、コンタクト層の面積を互いに対応する大きさにて形成する。これによれば、第 1 のトランジスタ及び第 2 のトランジスタの各々において、コンタクト層の結晶の成長速度を略同じとすることができる。

発明の効果

[0012] 以上説明したように本開示によれば、ソース又はドレインの面積が異なるトランジスタのいずれでも同程度の良好なコンタクト抵抗を得ることが可能である。

[0013] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0014] [図1]本開示の一実施形態に係る半導体装置の概要を示す縦断面図である。

[図2A]図 1 のソース又はドレイン領域 S D 2 の平面構造及び断面構造を示す平面図及び縦断面図である。

[図2B]図 1 のソース又はドレイン領域 S D 1 の平面構造及び断面構造を示す

平面図及び縦断面図である。

[図3]第1のトランジスタの具体的な断面構造及び平面構造を示す縦断面図及び平面図である。

[図4A]同実施形態に係る半導体装置に備えられる第1のトランジスタの製造方法の一工程を説明する縦断面図である。

[図4B]同実施形態に係る半導体装置に備えられる第1のトランジスタの製造方法の一工程を説明する縦断面図である。

[図4C]同実施形態に係る半導体装置に備えられる第1のトランジスタの製造方法の一工程を説明する縦断面図である。

[図4D]同実施形態に係る半導体装置に備えられる第1のトランジスタの製造方法の一工程を説明する縦断面図である。

[図4E]同実施形態に係る半導体装置に備えられる第1のトランジスタの製造方法の一工程を説明する縦断面図である。

[図4F]同実施形態に係る半導体装置に備えられる第1のトランジスタの製造方法の一工程を説明する縦断面図である。

[図4G]同実施形態に係る半導体装置に備えられる第1のトランジスタの製造方法の一工程を説明する縦断面図である。

[図4H]同実施形態に係る半導体装置に備えられる第1のトランジスタの製造方法の一工程を説明する縦断面図である。

[図5]第1の変形例に係る第1のトランジスタの断面構造及び平面構造を示す縦断面図及び平面図である。

[図6]第2の変形例に係る第1のトランジスタの断面構造及び平面構造を示す縦断面図及び平面図である。

[図7]第3の変形例に係る第1のトランジスタの断面構造及び平面構造を示す縦断面図及び平面図である。

[図8]第4の変形例に係る第1のトランジスタの断面構造及び平面構造を示す縦断面図及び平面図である。

[図9]第5の変形例に係る第1のトランジスタの断面構造及び平面構造を示す

縦断面図及び平面図である。

[図10]同実施形態に係る半導体装置が適用される高周波モジュールを説明する模式的な斜視図である。

発明を実施するための形態

[0015] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0016] 以下の説明にて参照する各図面では、説明の便宜上、一部の構成部材の大きさを誇張して表現している場合がある。したがって、各図面において図示される構成部材同士の相対的な大きさは、必ずしも実際の構成部材同士の大小関係を正確に表現するものではない。また、以下の説明では、基板及び層の積層方向を上下方向と表現し、基板が存在する方向を下方向と表現し、該下方向と対向する方向を上方向と表現する。

[0017] また、本明細書において、「略同じ」という表現は、完全一致している場合に加えて、製造上又は設計上の要因による差が存在する場合を許容するものとする。例えば、「略同じ」という表現は、完全一致している場合に加えて、10%以内の差が存在する場合も含んでいてもよい。

[0018] なお、説明は以下の順序で行うものとする。

1. 概要
2. 構造例
3. 製造方法
4. 変形例
5. 適用例

[0019] <1. 概要>

まず、図1～図2Bを参照して、本開示の一実施形態に係る半導体装置の概要について説明する。図1は、本実施形態に係る半導体装置の概要を示す縦断面図である。

[0020] 図1に示すように、本実施形態に係る半導体装置は、形状又は大きさが互いに異なる第1のトランジスタ11及び第2のトランジスタ12を含む。具体的には、第1のトランジスタ11は、基板110と、チャネル層111と、バリア層113と、ゲート絶縁膜121と、ゲート電極120と、ソース又はドレイン電極140と、コンタクト層130と、を備える。第2のトランジスタ12は、基板110と、チャネル層111と、バリア層113と、ゲート絶縁膜121と、ゲート電極220と、ソース又はドレイン電極240と、コンタクト層230と、を備える。第1のトランジスタ11及び第2のトランジスタ12は、チャネル層111及びバリア層113の界面に高移動度の二次元電子ガス150が形成される高電子移動度トランジスタである。

[0021] 以下では、本実施形態に係る半導体装置は、形状又は大きさが互いに異なる2種類の高電子移動度トランジスタを含むものとして説明するが、本実施形態はかかる例示に限定されない。本実施形態に係る半導体装置は、形状又は大きさが互いに異なる3種類以上の高電子移動度トランジスタを含んでもよい。

[0022] 高電子移動度トランジスタについて、第2のトランジスタ12を例に挙げて説明すると以下のとおりである。なお、ゲート電極120、ソース又はドレイン電極140及びコンタクト層130は、ゲート電極220、ソース又はドレイン電極240及びコンタクト層230と形状又は大きさが異なる以外は、実質的に同様である。

[0023] なお、以下では、第2のトランジスタ12は、いわゆるMIS (Metal-Insulator-Semiconductor) ゲート構造を備える高電子移動度トランジスタとして説明するが、本実施形態はかかる例示に限定されない。第2のトランジスタ12のゲート構造は、公知のいずれのゲート構造であってもよい。

[0024] 基板110は、第1のトランジスタ11又は第2のトランジスタ12の各層が積層される基板である。基板110は、例えば、化合物半導体で形成さ

れた基板であってもよい。また、基板 110 は、シリコン (Si) 基板、炭化シリコン (SiC) 基板又はサファイア基板などの一般的な半導体装置に用いられる基板であってもよい。

[0025] チャネル層 111 は、第 1 の化合物半導体で形成され、基板 110 の上に設けられる。チャネル層 111 には、バリア層 113 との分極電荷量の差によって、電子が高移動度で走行する二次元電子ガス 150 が形成される。チャネル層 111 は、例えば、窒化物半導体で形成されてもよい。

[0026] バリア層 113 は、第 1 の化合物半導体とは異なる第 2 の化合物半導体で形成され、チャネル層 111 の上に設けられる。バリア層 113 は、チャネル層 111 との分極電荷量の差によってチャネル層 111 に電子を蓄積させ、チャネル層 111 に二次元電子ガス 150 を形成する。バリア層 113 は、例えば、チャネル層 111 とは異なる窒化物半導体で形成されてもよい。

[0027] ゲート絶縁膜 121 は、絶縁性の誘電体で形成され、バリア層 113 の上に設けられる。具体的には、ゲート絶縁膜 121 は、ソース又はドレイン電極 240 が設けられる領域を除いた領域のバリア層 113 の上に設けられる。ゲート絶縁膜 121 は、例えば、無機酸化物又は無機窒化物で形成されてもよい。

[0028] ゲート電極 220 は、導電性材料で形成され、ゲート絶縁膜 121 の上に設けられる。具体的には、ゲート電極 220 は、例えば、複数の金属材料を積層することで構成されてもよい。

[0029] ソース又はドレイン電極 240 は、導電性材料で形成され、バリア層 113 の上にゲート電極 220 を挟んで両側にそれぞれ設けられる。ソース又はドレイン電極 240 は、ゲート電極 220 を挟んで一方がソース電極となり、他方がドレイン電極となる。ソース又はドレイン電極 240 は、ソース又はドレイン電極 240 の下に設けられたコンタクト層 230 を介して、チャネル層 111 に形成された二次元電子ガス 150 と電氣的に接続する。ソース又はドレイン電極 240 は、例えば、複数の金属材料を積層することで構成されてもよい。

[0030] コンタクト層 230 は、導電型不純物が導入された化合物半導体で形成され、ソース又はドレイン電極 240 の下にバリア層 113 を貫通してチャネル層 111 に達するように設けられる。具体的には、コンタクト層 230 は、チャネル層 111 と同じ化合物半導体、又はチャネル層 111 とのバンドギャップの差が小さい化合物半導体で形成されることで、チャネル層 111 の二次元電子ガス 150 とのコンタクト抵抗を低下させる。例えば、コンタクト層 230 は、チャネル層 111 と同様に窒化物半導体で形成されてもよい。また、コンタクト層 230 は、導電型不純物が高濃度で導入されることで、ソース又はドレイン電極 240 とのコンタクト抵抗を低下させる。これにより、コンタクト層 230 は、ソース又はドレイン電極 240 から二次元電子ガス 150 への電流経路を形成することができる。例えば、コンタクト層 230 は、エッチングによって、バリア層 113 と、チャネル層 111 の一部とを除去して開口を形成した後、該開口の内部に、導電型不純物を添加しながら化合物半導体を結晶再成長させることで形成することができる。

[0031] 本実施形態に係る半導体装置では、第 1 のトランジスタ 11 及び第 2 のトランジスタ 12 は、形状又は大きさが互いに異なるように形成される。具体的には、第 1 のトランジスタ 11 は、大電流を流した際の電力損失を低減するために、ソース又はドレイン電極 140、ゲート電極 120、及びチャネル長がより大きくなるように形成される。一方、第 2 のトランジスタ 12 は、寄生容量による信号の損失を低減するために、ソース又はドレイン電極 240、ゲート電極 220、及びチャネル長がより小さくなるように形成される。

[0032] そのため、第 1 のトランジスタ 11 は、例えば、数十 μm 程度で設けられ、第 2 のトランジスタ 12 は、例えば、数 μm 程度で設けられることになる。このような場合、第 1 のトランジスタ 11 のソース又はドレイン電極 140 が設けられる領域の大きさと、第 2 のトランジスタ 12 のソース又はドレイン電極 240 が設けられる領域の大きさとが大きく異なってしまう。

[0033] ここで、コンタクト層 130、230 は、化合物半導体の結晶再成長によ

って形成されるが、結晶再成長における結晶の成長速度は、面積が小さい領域ほど結晶の成長速度が高くなる。これは、化合物半導体の結晶再成長における結晶の成長速度は、原料の供給量に依存するためである。したがって、結晶再成長によって、面積が異なる領域に同時にコンタクト層を形成した場合、形成されたコンタクト層の膜厚、結晶品質、及びチャネル層 1 1 1 との界面の結合性は、コンタクト層が形成される領域の面積によって異なってしまう。

[0034] このような場合、膜厚、結晶品質、及びチャネル層 1 1 1 との界面の結合性が異なるコンタクト層では、チャネル層 1 1 1 とのコンタクト抵抗が異なってしまう。また、これらのコンタクト層では、膜厚が異なるため、導電型不純物の導入量も異なってしまう、ソース又はドレイン電極とのコンタクト抵抗も異なってしまう。したがって、互いに面積が異なるソース又はドレイン電極 1 4 0、及びソース又はドレイン電極 2 4 0 の下の領域に、結晶再成長によって同時にコンタクト層 1 3 0、2 3 0 を形成した場合、第 1 のトランジスタ 1 1 及び第 2 のトランジスタ 1 2 のコンタクト抵抗は、互いに異なることになる。これによれば、第 1 のトランジスタ 1 1 又は第 2 のトランジスタ 1 2 のいずれかで所望のコンタクト抵抗を実現できない可能性が高い。

[0035] 本実施形態に係る半導体装置では、形状又は大きさが異なる第 1 のトランジスタ 1 1 及び第 2 のトランジスタ 1 2 において、コンタクト層 1 3 0、2 3 0 の面積を互いに対応する大きさにて形成する。具体的には、ソース又はドレイン電極 1 4 0 の下に形成されるコンタクト層 1 3 0 を、ソース又はドレイン電極 1 4 0 が形成された領域の一部領域に形成し、かつコンタクト層 2 3 0 と略同じオーミック幅となるように形成する。これにより、本実施形態に係る半導体装置では、第 1 のトランジスタ 1 1 及び第 2 のトランジスタ 1 2 のコンタクト層 1 3 0、2 3 0 を同様の膜厚及び結晶品質等になるように形成することができる。

[0036] ここで、オーミック幅とは、ソース又はドレイン電極の各々を結ぶ直線でトランジスタを切断した断面におけるコンタクト層の幅を表す。または、ソ

ース又はドレイン電極が直線又は折線形状で形成される場合、オーミック幅とは、コンタクト層の延伸方向と直交する方向の幅を表してもよい。なお、以下では、ソース又はドレイン電極 140、240 の各々を結ぶ直線の延伸方向をチャンネル方向とも称する。

[0037] 本実施形態によれば、半導体装置は、形状又は大きさが異なる第 1 のトランジスタ 11 及び第 2 のトランジスタ 12 が混載された場合でも、それぞれに同程度の適切なコンタクト抵抗を実現することが可能である。

[0038] なお、本実施形態に係る半導体装置が、形状又は大きさが異なる 3 種類以上のトランジスタを含む場合、各トランジスタのコンタクト層のオーミック幅は、最も大きさが小さいトランジスタのコンタクト層のオーミック幅と略同じとなるように形成され得る。

[0039] ここで、図 2 A 及び図 2 B を参照して、第 1 のトランジスタ 11 のコンタクト層 130 の平面構造、並びに第 2 のトランジスタ 12 のコンタクト層 230 の平面構造について、より具体的に説明する。図 2 A は、図 1 のソース又はドレイン領域 SD2 の平面構造及び断面構造を示す平面図及び縦断面図であり、図 2 B は、図 1 のソース又はドレイン領域 SD1 の平面構造及び断面構造を示す平面図及び縦断面図である。図 2 A 及び図 2 B の下段の断面図は、図 2 A 及び図 2 B の上段の平面図の A-A 線で切断した断面を示す。

[0040] 図 2 A に示すように、第 2 のトランジスタ 12 では、ソース又はドレイン電極 240 は、チャンネル方向と直交する方向に延伸した矩形形状の平面形状にて形成され、ソース又はドレイン電極 240 の下に設けられるコンタクト層 230 は、ソース又はドレイン電極 240 が形成された領域に対応する領域に形成される。例えば、コンタクト層 230 は、ソース又はドレイン電極 240 が形成された領域と略同じ大きさの領域に形成されてもよい。このとき、第 2 のトランジスタ 12 の特性で決定されるソース又はドレイン電極 240 のチャンネル方向の幅を w_2 とすると、コンタクト層 230 のオーミック幅（チャンネル方向のコンタクト層 230 の幅）は、 w_2 であり、ソース又はドレイン電極 240 のチャンネル方向の幅と略同じとなる。

[0041] 一方、図2Bに示すように、第1のトランジスタ11では、ソース又はドレイン電極140は、チャンネル方向に延伸した矩形形状の平面形状にて形成され、ソース又はドレイン電極140の下に設けられるコンタクト層130は、ソース又はドレイン電極140が形成された領域の一部領域に形成される。例えば、ソース又はドレイン電極140は、ソース又はドレイン電極140の外周に沿って中空の矩形形状にて形成されてもよい。このとき、第1のトランジスタ11の特性で決定されるソース又はドレイン電極140のチャンネル方向の幅を w_1 とすると、中空の矩形形状で形成されるコンタクト層130のオーミック幅は、 w_1 よりも小さい w_{s1} となる。

[0042] ここで、コンタクト層130のオーミック幅 w_{s1} を第2のトランジスタ12のコンタクト層230のオーミック幅 w_2 と略同じとしてコンタクト層130を形成することで、結晶の成長速度をコンタクト層230の結晶の成長速度と略同じとすることができる。これにより、本実施形態に係る半導体装置は、混載される第1のトランジスタ11及び第2のトランジスタ12のコンタクト抵抗を同程度に制御することができる。ただし、ソース又はドレイン電極140、240のチャンネル方向と直交する方向の長さは、第1のトランジスタ11及び第2のトランジスタ12で同じである。

[0043] なお、第1のトランジスタ11のコンタクト層130の平面形状については、図2Bで示した中空の矩形形状以外にも種々のバリエーションが考えられ得る。すなわち、第1のトランジスタ11のコンタクト層130の平面形状は、第2のトランジスタ12のコンタクト層230と結晶の成長速度を略同じにすることができれば、どのような形状であってもよい。例えば、第1のトランジスタ11のコンタクト層130の平面形状は、第2のトランジスタ12のコンタクト層230の平面形状を変形又は複数組み合わせた形状であってもよい。

[0044] <2. 構造例>

続いて、図3を参照して、本実施形態に係る半導体装置に備えられる第1のトランジスタ11の具体的な構造例について説明する。図3は、第1のト

ランジスタ 11 の具体的な断面構造及び平面構造を示す縦断面図及び平面図である。図 3 の上段の断面図は、図 3 の下段の平面図の A-A 線で切断した断面を示す。

[0045] 図 3 に示すように、第 1 のランジスタ 11 は、基板 110 と、バッファ層 115 と、チャネル層 111 と、バリア層 113 と、ゲート絶縁膜 121 と、ゲート電極 120 と、ソース又はドレイン電極 140 と、コンタクト層 130 と、を備える。また、図示しないが、第 1 のランジスタ 11 は、第 1 のランジスタ 11 よりも平面面積が小さい第 2 のランジスタ 12 と同じ基板 110 に混載されているものとする。

[0046] なお、第 1 のランジスタ 11 は、素子分離領域 117 によって、他のランジスタ（例えば、第 2 のランジスタ 12 等）と電氣的に絶縁されている。素子分離領域 117 は、例えば、チャネル層 111 及びバリア層 113 をホウ素（B）の導入によって高抵抗化することで形成されてもよく、チャネル層 111 及びバリア層 113 をエッチング等で除去することで形成されてもよい。

[0047] 基板 110 は、第 1 のランジスタ 11 の各構成の支持体である。基板 110 は、化合物半導体で形成された基板であってもよく、具体的には、III-V 族化合物半導体で形成された基板であってもよい。例えば、基板 110 は、半絶縁性を有する単結晶の窒化ガリウム（GaN）基板であってもよい。ただし、後述するバッファ層 115 を設けることによって、基板 110 は、チャネル層 111 と格子定数を略一致させずともよくなる。このような場合、基板 110 は、シリコン（Si）、炭化シリコン（SiC）又はサファイア等のチャネル層 111 と格子定数が異なる材質で形成された基板を用いることも可能である。

[0048] バッファ層 115 は、化合物半導体で形成され、基板 110 の上に設けられる。具体的には、バッファ層 115 は、チャネル層 111 を形成する第 1 の化合物半導体と格子定数が近い化合物半導体を基板 110 の上にエピタキシャル成長させることで形成される。バッファ層 115 は、チャネル層 11

1が形成される面の格子定数を制御することで、チャネル層111の結晶状態を良好とすることができると共に、チャネル層111を形成した後の基板110の反りを制御することができる。例えば、基板110がシリコンで形成され、チャネル層111がGa_aNで形成される場合、バッファ層115は、AlN、AlGa_aN又はGa_aNで形成されてもよい。

[0049] チャネル層111は、第1の化合物半導体で形成され、バッファ層115の上に設けられる。チャネル層111は、バリア層113との分極電荷量の差によって、キャリアとなる電子を蓄積する。これにより、チャネル層111には、チャネルとして機能する二次元電子ガス150が形成される。チャネル層111は、窒化物半導体で形成された層でもよく、例えば、Al_{1-a-b}Ga_aIn_bN（ただし、 $0 \leq a \leq 1$ 、 $0 \leq b \leq 1$ 、 $a + b \leq 1$ ）のエピタキシャル成長層であってもよい。

[0050] バリア層113は、第1の化合物半導体と異なる第2の化合物半導体で形成され、チャネル層111の上に設けられる。バリア層113は、チャネル層111との分極電荷量の差によって、チャネル層111にキャリアとなる電子を蓄積させる。バリア層113は、チャネル層111とは異なる窒化物半導体で形成された層でもよく、例えば、Al_{1-c-d}Ga_cIn_dN（ただし、 $0 \leq c \leq 1$ 、 $0 \leq d \leq 1$ 、 $c + d \leq 1$ 、 $(c, d) \neq (a, b)$ ）のエピタキシャル成長層であってもよい。

[0051] また、バリア層113は、不純物が添加されていない（すなわち、アンドープの）Al_{1-c-d}Ga_cIn_dNで形成されてもよい。このような場合、バリア層113は、チャネル層111中の電子の不純物散乱を抑制することができるため、二次元電子ガス150の移動度をより高くすることができる。

[0052] ゲート絶縁膜121は、絶縁性を有する誘電体で形成され、バリア層113の上に設けられる。具体的には、ゲート絶縁膜121は、ソース又はドレイン電極240が設けられる領域を除いた領域のバリア層113の上に設けられる。例えば、ゲート絶縁膜121は、バリア層113及びゲート電極120に対して絶縁性を有する誘電体で形成されてもよく、SiO₂、Si₃N₄

若しくは Al_2O_3 、又は HfO_2 等で形成されてもよい。

[0053] ゲート電極 120 は、導電性材料で形成され、ゲート絶縁膜 121 の上に設けられる。具体的には、ゲート電極 120 は、一方の素子分離領域 117 から他方の素子分離領域 117 にかけて、ゲート絶縁膜 121 を横断するように設けられる。例えば、ゲート電極 120 は、例えば、ゲート絶縁膜 121 側から、ニッケル (Ni) 及び金 (Au) を順次積層することで形成されてもよい。

[0054] ソース又はドレイン電極 140 は、バリア層 113 の上にゲート電極 120 を挟んで両側にそれぞれ設けられる。ソース又はドレイン電極 140 は、ゲート電極 120 を挟んで一方がソース電極であり、他方がドレイン電極である。ソース又はドレイン電極 140 は、ソース又はドレイン電極 140 の下の一部領域に設けられたコンタクト層 130 を介して、チャネル層 111 に形成された二次元電子ガス 150 と電氣的に接続する。ソース又はドレイン電極 140 は、例えば、バリア層 113 側から、チタン (Ti)、Al アルミニウム (Al)、ニッケル (Ni) 及び金 (Au) を順次積層することで形成されてもよい。

[0055] コンタクト層 130 は、導電型不純物が導入された化合物半導体で形成され、ソース又はドレイン電極 140 の下にバリア層 113 を貫通してチャネル層 111 に達するように設けられる。具体的には、コンタクト層 130 は、チャネル層 111 と同じ化合物半導体、又はチャネル層 111 とバンドギャップの差が小さい化合物半導体で形成されることで、チャネル層 111 の二次元電子ガス 150 とのコンタクト抵抗を低下させる。また、コンタクト層 130 は、導電型不純物が高濃度で導入されることで、ソース又はドレイン電極 140 とのコンタクト抵抗を低下させる。具体的には、コンタクト層 130 は、n 型不純物を導入した窒化物半導体で形成されてもよい。例えば、コンタクト層 130 は、 $\text{Al}_{1-a-b}\text{Ga}_a\text{In}_b\text{N}$ (ただし、 $0 \leq a \leq 1$ 、 $0 \leq b \leq 1$ 、 $a + b \leq 1$) のエピタキシャル成長層にシリコン (Si) 又はゲルマニウム (Ge) などを 1×10^{18} 個/cm³ 以上にて導入することで形

成されてもよい。

[0056] コンタクト層 130 は、ソース又はドレイン電極 140 の下の一部領域に、第 2 のトランジスタ 12 のコンタクト層 230 の平面形状に基づいた平面形状にて設けられる。具体的には、コンタクト層 130 は、ソース又はドレイン電極 140 が形成された領域の外周に沿った中空の矩形形状にて設けられてもよい。また、コンタクト層 130 の平面形状である中空の矩形形状の外径と内径との差（すなわち、額縁状形状の幅）は、第 2 のトランジスタ 12 のコンタクト層 230 のチャネル方向の幅と略同じであってもよい。これによれば、コンタクト層 130 は、結晶の成長速度を第 2 のトランジスタ 12 のコンタクト層 230 と略同じとすることができる。したがって、半導体装置では、第 1 のトランジスタ 11 及び第 2 のトランジスタ 12 を同程度のコンタクト抵抗にて形成することが可能である。

[0057] ただし、コンタクト層 130 は、ソース又はドレイン電極 140 が形成された領域のうち、少なくともゲート電極 120 に対向する領域に設けられ得る。具体的には、ソース又はドレイン電極 140 が矩形形状で形成される場合、コンタクト層 130 は、ソース又はドレイン電極 140 の矩形形状のうちゲート電極 120 と対向する辺に少なくとも設けられ得る。第 1 のトランジスタ 11 のチャネル長は、コンタクト層 130 の各々が二次元電子ガス 150 と接続する位置の距離で定まる。そのため、この構成によれば、第 1 のトランジスタ 11 は、ソース又はドレイン電極 140 の一方から他方までの間に形成されるチャネル長をより高い精度で制御することが可能である。

[0058] なお、図 3 では、コンタクト層 130 は、バリア層 113 を貫通し、チャネル層 111 に形成された凹部を埋め込むようにチャネル層 111 の内部にまで形成されているが、第 1 のトランジスタ 11 の構造はかかる例に限定されない。例えば、コンタクト層 130 は、チャネル層 111 のバリア層 113 が設けられた面上に設けられてもよい。すなわち、チャネル層 111 には凹部が形成されず、コンタクト層 130 は、バリア層 113 と同様にチャネル層 111 の一主面上に設けられてもよい。

[0059] 第1のトランジスタ11でチャネルとなる二次元電子ガス150は、バリア層113及びチャネル層111の界面に形成される。したがって、コンタクト層130は、バリア層113と同様にチャネル層111の一主面上に設けられていれば、底面にて二次元電子ガス150と電氣的に接続することが可能である。

[0060] 以上の構造を備える第1のトランジスタ11によれば、本実施形態に係る半導体装置は、平面面積が異なるトランジスタのいずれでも、同程度の良好なコンタクト抵抗を得ることが可能である。

[0061] <3. 製造方法>

次に、図4A～図4Hを参照して、本実施形態に係る半導体装置に備えられる第1のトランジスタ11の製造方法について説明する。図4A～図4Hは、本実施形態に係る半導体装置に備えられる第1のトランジスタ11の製造方法の各工程を説明する縦断面図である。

[0062] まず、図4Aに示すように、シリコン等で形成された基板110の上にバッファ層115、チャネル層111、バリア層113及び絶縁層160を順次積層する。

[0063] 具体的には、シリコン等で形成された基板110の上にAlN、AlGa_N又はGa_Nをエピタキシャル成長させることでバッファ層115を形成する。次に、バッファ層115の上に不純物を添加せずにGa_Nをエピタキシャル成長させることでチャネル層111を形成する。続いて、チャネル層111の上にAlInNをエピタキシャル成長させることでバリア層113を形成する。その後、CVD (Chemical Vapor Deposition) 等を用いて、バリア層113の上にSiO₂にて絶縁層160を形成する。

[0064] 次に、図4Bに示すように、絶縁層160、バリア層113及びチャネル層111をパターニングすることで、開口161を形成する。

[0065] 具体的には、フォトリソグラフィによってパターニングされたレジストを絶縁層160の上に形成した後、該レジストをマスクとして、バリア層11

3及びチャネル層111をウェットエッチング又はドライエッチングする。これにより、絶縁層160、バリア層113及びチャネル層111に開口161を形成することができる。なお、このとき、第1のトランジスタ11のソース又はドレインとなる領域の外周領域もエッチングすることで、該外周領域にリセス構造を形成してもよい。

[0066] 続いて、図4Cに示すように、開口161の内部のチャネル層111の上にコンタクト層130を選択的に形成する。

[0067] 具体的には、バリア層113の上に形成された絶縁層160をマスクとして、開口161の内部のチャネル層111の上にコンタクト層130をエピタキシャル成長させる。このとき、コンタクト層130は、チャネル層111と同様にGa_{0.5}Nにて形成されてもよい。このようなコンタクト層130のエピタキシャル成長は、結晶再成長ともいう。コンタクト層130へのn型不純物の導入は、結晶再成長の際にSi又はGeなどのn型不純物を取り込ませながらエピタキシャル成長させることで行われてもよい。または、コンタクト層130へのn型不純物の導入は、結晶再成長の後、Si又はGeなどのn型不純物をイオン注入することで行われてもよい。なお、コンタクト層130に導入されるn型不純物の濃度は、例えば、 1×10^{18} 個/cm³以上としてもよい。

[0068] なお、コンタクト層130の結晶再成長は、エッチングガス等が用いられない条件で行われる。CVD等の通常の堆積では、エッチングガス等を用いることで、堆積領域ごとに堆積速度を制御することができるが、エピタキシャルに結晶を成長させることが重要なコンタクト層130の結晶再成長では、エッチングガス等による調整が困難である。そのため、本実施形態に係る半導体装置では、コンタクト層130の結晶の成長速度をコンタクト層130の平面形状にて制御している。

[0069] 次に、図4Dに示すように、ウェットエッチング又はドライエッチングによって絶縁層160を除去する。

[0070] 続いて、図4Eに示すように、コンタクト層130の上、かつ第1のトラ

ンジスタ 11 のソース又はドレインとなる領域にソース又はドレイン電極 140 を形成する。

[0071] 具体的には、第 1 のトランジスタ 11 のソース又はドレインとなる領域に、 Ti 、 Al 、 Ni 及び Au を順次積層することで、ソース又はドレイン電極 140 を形成する。その後、図示しないが、第 1 のトランジスタ 11 の周囲に素子分離領域 117 を形成することで、第 1 のトランジスタ 11 を他のトランジスタ（例えば、第 2 のトランジスタ 12 等）と電氣的に絶縁する。素子分離領域 117 は、例えば、イオン注入によってホウ素（B）を導入し、化合物半導体で形成されたバリア層 113 及びチャネル層 111 を高抵抗化することで形成されてもよい。また、素子分離領域 117 は、例えば、ドライエッチングによってバリア層 113 及びチャネル層 111 を除去することで形成されてもよい。

[0072] 次に、図 4 F に示すように、ソース又はドレイン電極 140、及びバリア層 113 の上にゲート絶縁膜 121 を一様に形成する。ゲート絶縁膜 121 は、例えば、 Al_2O_3 にて形成されてもよく、複数の誘電体又は絶縁材料の積層構造で形成されてもよい。

[0073] 続いて、図 4 G に示すように、ゲート絶縁膜 121 の上にゲート電極 120 を形成する。具体的には、ソース又はドレイン電極 140 の間のゲート絶縁膜 121 の上に、 Ni 及び Au を順次積層することで、ゲート電極 120 を形成する。

[0074] その後、図 4 H に示すように、ソース又はドレイン電極 140 の上に形成されたゲート絶縁膜 121 を除去する。具体的には、ウェットエッチング又はドライエッチングによって、ソース又はドレイン電極 140 の上に形成されたゲート絶縁膜 121 を除去することで、ソース又はドレイン電極 140 を露出させる。

[0075] 以上の工程によれば、本実施形態に係る半導体装置に備えられる第 1 のトランジスタ 11 を製造することができる。

[0076] <4. 変形例>

続いて、図5～図9を参照して、本実施形態に係る半導体装置に備えられる第1のトランジスタ11の構造の変形例について説明する。図5～図9は、第1～第5の変形例に係る第1のトランジスタの断面構造及び平面構造を示す縦断面図及び平面図である。図5～図9の上段の断面図は、それぞれ図5～図9の下段の平面図のA-A線で切断した断面を示す。

[0077] (第1の変形例)

図5に示すように、第1のトランジスタ11Aでは、ソース又はドレイン電極141がコンタクト層130と同様にパターニングされており、ソース又はドレイン電極141は、コンタクト層130と対応する平面形状にて設けられ得る。すなわち、第1のトランジスタ11Aは、ソース又はドレイン電極141がコンタクト層130の上にだけ形成される点が図3で示す第1のトランジスタ11と異なる。

[0078] 具体的には、ソース又はドレイン電極141は、中空の矩形形状の平面形状にて設けられ、コンタクト層130は、ソース又はドレイン電極141と同様に中空の矩形形状の平面形状にて設けられる。このとき、ソース又はドレイン電極141、及びコンタクト層130の中空の矩形形状の外径と内径との差（すなわち、額縁状形状の幅）は、第2のトランジスタ12のコンタクト層230のチャネル方向の幅と略同じとなる。

[0079] このような場合でも、コンタクト層130は、オーミック幅を第2のトランジスタ12のコンタクト層230のオーミック幅と略同じとすることができ、結晶の成長速度を第2のトランジスタ12のコンタクト層230と略同じとすることができる。したがって、コンタクト層130は、コンタクト抵抗を第2のトランジスタ12のコンタクト層230と略同じにすることが可能である。

[0080] 第1の変形例によれば、ソース又はドレイン電極141がバリア層113の上に設けられないため、ソース又はドレイン電極141からの意図しないリーク電流が発生することを抑制することができる。また、第1の変形例によれば、ソース又はドレイン電極141及びバリア層113の間で抵抗又は

損失等が発生することを防止することができる。

[0081] (第2の変形例)

図6に示すように、第1のトランジスタ11Bでは、コンタクト層131は、ソース又はドレイン電極140の下の一部領域に、チャネル方向と直交する方向に延伸する複数の矩形の平面形状にて設けられ得る。すなわち、第1のトランジスタ11Bは、コンタクト層131の平面形状が異なる点が図3で示す第1のトランジスタ11と異なる。

[0082] 具体的には、コンタクト層131は、チャネル方向と直交する方向に延伸する3つの矩形の平面形状にて設けられ得る。このとき、コンタクト層131のチャネル方向の幅は、第2のトランジスタ12のコンタクト層230のチャネル方向の幅と略同じであってもよい。すなわち、コンタクト層131の平面形状のうちの1つの矩形形状は、第2のトランジスタ12のコンタクト層230の平面形状と略同じであってもよい。

[0083] このような場合でも、コンタクト層131は、オーミック幅を第2のトランジスタ12のコンタクト層230のオーミック幅と略同じとすることができるため、結晶の成長速度を第2のトランジスタ12のコンタクト層230と略同じとすることができる。したがって、コンタクト層131は、コンタクト抵抗を第2のトランジスタ12のコンタクト層230と略同じにすることが可能である。

[0084] 第2の変形例によれば、コンタクト層131の平面形状が第2のトランジスタ12のコンタクト層230の平面形状の組み合わせで形成されるため、コンタクト層131の結晶の成長速度を第2のトランジスタ12のコンタクト層230とより一致させることが可能となる。したがって、第2の変形例によれば、第1のトランジスタ11及び第2のトランジスタ12のコンタクト抵抗をより一致させることが可能である。

[0085] (第3の変形例)

図7に示すように、第1のトランジスタ11Cでは、ソース又はドレイン電極142がコンタクト層131と同様にパターニングされており、ソース

又はドレイン電極 1 4 2 は、コンタクト層 1 3 1 と対応する平面形状にて設けられ得る。すなわち、第 1 のトランジスタ 1 1 C は、ソース又はドレイン電極 1 4 2 がコンタクト層 1 3 1 の上にだけ形成される点が図 6 で示す第 1 のトランジスタ 1 1 B と異なる。

[0086] 具体的には、ソース又はドレイン電極 1 4 2 は、チャネル方向と直交する方向に延伸する複数の矩形の平面形状にて設けられ、コンタクト層 1 3 1 は、ソース又はドレイン電極 1 4 2 と同様にチャネル方向と直交する方向に延伸する複数の矩形の平面形状にて設けられる。このとき、ソース又はドレイン電極 1 4 2、及びコンタクト層 1 3 1 のチャネル方向の幅は、第 2 のトランジスタ 1 2 のコンタクト層 2 3 0 のチャネル方向の幅と略同じであってもよい。すなわち、ソース又はドレイン電極 1 4 2、及びコンタクト層 1 3 1 の平面形状のうちの 1 つの矩形形状は、第 2 のトランジスタ 1 2 のコンタクト層 2 3 0 の平面形状と略同じであってもよい。

[0087] このような場合でも、コンタクト層 1 3 1 は、オーミック幅を第 2 のトランジスタ 1 2 のコンタクト層 2 3 0 のオーミック幅と略同じとすることができ、結晶の成長速度を第 2 のトランジスタ 1 2 のコンタクト層 2 3 0 と略同じとすることができる。したがって、コンタクト層 1 3 1 は、コンタクト抵抗を第 2 のトランジスタ 1 2 のコンタクト層 2 3 0 と略同じにすることが可能である。

[0088] 第 3 の変形例によれば、ソース又はドレイン電極 1 4 2 がバリア層 1 1 3 の上に設けられないため、ソース又はドレイン電極 1 4 2 からの意図しないリーク電流が発生することを抑制することができる。また、第 3 の変形例によれば、ソース又はドレイン電極 1 4 2 及びバリア層 1 1 3 の間で抵抗又は損失等が発生することを防止することができる。

[0089] (第 4 の変形例)

図 8 に示すように、第 1 のトランジスタ 1 1 D では、コンタクト層 1 3 2 は、ソース又はドレイン電極 1 4 0 の下の一部領域に、チャネル方向と直交する方向に延伸する複数の矩形の平面形状にて設けられ得る。すなわち、第

1のトランジスタ11Dは、コンタクト層132の平面形状が異なる点が図3で示す第1のトランジスタ11と異なる。

[0090] 具体的には、コンタクト層132は、チャネル方向と直交する方向に延伸する2つの矩形の平面形状にて設けられ得る。より具体的には、コンタクト層132は、ソース又はドレイン電極140の矩形形状のチャネル方向の二辺に沿った2つの矩形形状にて設けられてもよい。このとき、コンタクト層132のチャネル方向の幅は、第2のトランジスタ12のコンタクト層230のチャネル方向の幅と略同じであってもよい。すなわち、コンタクト層132の平面形状のうちの1つの矩形形状は、第2のトランジスタ12のコンタクト層230の平面形状と略同じであってもよい。

[0091] このような場合でも、コンタクト層132は、オーミック幅を第2のトランジスタ12のコンタクト層230のオーミック幅と略同じとすることができ、結晶の成長速度を第2のトランジスタ12のコンタクト層230と略同じとすることができる。したがって、コンタクト層132は、コンタクト抵抗を第2のトランジスタ12のコンタクト層230と略同じにすることが可能である。

[0092] 第4の変形例によれば、コンタクト層132の平面形状が第2のトランジスタ12のコンタクト層230の平面形状の組み合わせで形成されるため、コンタクト層132の結晶の成長速度を第2のトランジスタ12のコンタクト層230とより一致させることが可能となる。したがって、第4の変形例によれば、第1のトランジスタ11及び第2のトランジスタ12のコンタクト抵抗をより一致させることが可能である。

[0093] (第5の変形例)

図9に示すように、第1のトランジスタ11Eでは、ソース又はドレイン電極143がコンタクト層132と同様にパターニングされており、ソース又はドレイン電極143は、コンタクト層132と対応する平面形状にて設けられ得る。すなわち、第1のトランジスタ11Eは、ソース又はドレイン電極143がコンタクト層132の上にだけ形成される点が図8で示す第1

のトランジスタ 1 1 D と異なる。

[0094] 具体的には、ソース又はドレイン電極 1 4 3 は、チャンネル方向と直交する方向に延伸する 2 つの矩形の平面形状にて設けられ、コンタクト層 1 3 2 は、ソース又はドレイン電極 1 4 3 と同様に、チャンネル方向と直交する方向に延伸する複数の矩形の平面形状にて設けられる。このとき、ソース又はドレイン電極 1 4 3、及びコンタクト層 1 3 2 のチャンネル方向の幅は、第 2 のトランジスタ 1 2 のコンタクト層 2 3 0 のチャンネル方向の幅と略同じであってもよい。すなわち、ソース又はドレイン電極 1 4 3、及びコンタクト層 1 3 2 の平面形状のうちの 1 つの矩形形状は、第 2 のトランジスタ 1 2 のコンタクト層 2 3 0 の平面形状と略同じであってもよい。

[0095] このような場合でも、コンタクト層 1 3 2 は、オーミック幅を第 2 のトランジスタ 1 2 のコンタクト層 2 3 0 のオーミック幅と略同じとすることができ、結晶の成長速度を第 2 のトランジスタ 1 2 のコンタクト層 2 3 0 と略同じとすることができる。したがって、コンタクト層 1 3 2 は、コンタクト抵抗を第 2 のトランジスタ 1 2 のコンタクト層 2 3 0 と略同じにすることが可能である。

[0096] 第 5 の変形例によれば、ソース又はドレイン電極 1 4 3 がバリア層 1 1 3 の上に設けられないため、ソース又はドレイン電極 1 4 3 からの意図しないリーク電流が発生することを抑制することができる。また、第 5 の変形例によれば、ソース又はドレイン電極 1 4 3 及びバリア層 1 1 3 の間で抵抗又は損失等が発生することを防止することができる。

[0097] < 5. 適用例 >

次に、図 1 0 を参照して、本実施形態に係る半導体装置が適用される高周波モジュールについて説明する。図 1 0 は、本実施形態に係る半導体装置が適用される高周波モジュールを説明する模式的な斜視図である。

[0098] 図 1 0 に示すように、高周波モジュール 1 は、例えば、エッジアンテナ 2 0 と、ドライバ 3 1 と、位相調整回路 3 2 と、スイッチ 1 0 と、低ノイズアンプ 4 1 と、バンドパスフィルタ 4 2 と、パワーアンプ 4 3 と、を備える。

- [0099] 高周波モジュール1は、アレイ状に形成されたエッジアンテナ20と、スイッチ10、低ノイズアンプ41、バンドパスフィルタ42及びパワーアンプ43等のフロントエンド部品とが1つのモジュールとして一体化して実装されたアンテナ一体型モジュールである。このような高周波モジュール1は、例えば、通信向けトランシーバとして用いられ得る。高周波モジュール1に備えられるスイッチ10、低ノイズアンプ41、及びパワーアンプ43等を構成するトランジスタは、高周波に対する利得を高くするために、例えば、高電子移動度トランジスタで構成され得る。
- [0100] ここで、スイッチ10及び低ノイズアンプ41を構成するトランジスタは、信号の損失を低減するために、より小さく形成され得る。また、高周波モジュール1のコントロールIC(Integrated Circuit)を構成するトランジスタについても、消費電力を低減するために、より小さく形成され得る。例えば、このようなトランジスタは、数 μm 程度で形成され得る。
- [0101] 一方、パワーアンプ43を構成するトランジスタは、大電流を流した際の電力損失を低減するために、より大きく形成され得る。例えば、このようなトランジスタは、数十 μm 程度で形成され得る。
- [0102] すなわち、高周波モジュール1には、異なる大きさの高電子移動度トランジスタが混載され得る。このような高周波モジュール1に本実施形態に係る半導体装置を適用することによって、1つのチップに同時に形成され、かつ大きさが異なるトランジスタの各々にて、良好なコンタクト抵抗を実現することが可能である。
- [0103] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0104] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0105] 例えば、上記実施形態では、半導体装置は、形状又は大きさが互いに異なる第1のトランジスタ11及び第2のトランジスタ12を含むとしたが、本開示に係る技術はかかる例示に限定されない。本実施形態に係る半導体装置は、単一の形状又は大きさのトランジスタを含んでいてもよい。このような場合でも、本実施形態に係る半導体装置は、該トランジスタのコンタクト層の平面形状が上述したようにパターニングされることにより、上述したように良好なコンタクト抵抗を得ることが可能である。

[0106] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

第1の化合物半導体にて形成されたチャネル層と、

前記第1の化合物半導体と異なる第2の化合物半導体にて前記チャネル層の上に形成されたバリア層と、

前記バリア層の上に設けられたゲート電極と、

前記バリア層の上に前記ゲート電極を挟んで両側に設けられたソース電極及びドレイン電極と、

前記ソース電極及び前記ドレイン電極の下にそれぞれ前記バリア層を貫通して設けられたコンタクト層と、

をそれぞれ有する第1及び第2のトランジスタを備え、

前記第1のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積は、前記第2のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積よりも大きく、

前記第1のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面における前記コンタクト層の幅は、前記第2のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面にお

る前記コンタクト層の幅に対応する大きさである、半導体装置。

(2)

前記第1のトランジスタの前記コンタクト層の幅は、前記第2のトランジスタの前記コンタクト層の幅と略同じである、前記(1)に記載の半導体装置。

(3)

前記第2のトランジスタの前記ソース電極又は前記ドレイン電極は、単一の矩形形状で設けられる、前記(1)又は(2)に記載の半導体装置。

(4)

前記第1のトランジスタの前記コンタクト層は、前記ソース電極又は前記ドレイン電極が設けられた平面領域の一部領域に設けられる、前記(1)～(3)のいずれか一項に記載の半導体装置。

(5)

前記第1のトランジスタの前記コンタクト層は、前記ソース電極又は前記ドレイン電極の前記ゲート電極に対向する一部領域に設けられる、前記(4)に記載の半導体装置。

(6)

前記第1のトランジスタの前記コンタクト層の平面形状は、前記ソース電極又は前記ドレイン電極が設けられた平面領域の外周に沿って設けられた中空の矩形形状である、前記(4)又は(5)に記載の半導体装置。

(7)

前記第1のトランジスタの前記コンタクト層の平面形状は、前記ソース電極及び前記ドレイン電極を結ぶ直線と直交する方向に延伸する複数の長方形形状である、前記(4)又は(5)に記載の半導体装置。

(8)

前記第1のトランジスタの前記コンタクト層は、前記ソース電極又は前記ドレイン電極が設けられた平面領域に設けられる、前記(1)～(3)のいずれか一項に記載の半導体装置。

(9)

前記第1のトランジスタの前記ソース電極又は前記ドレイン電極の平面形状は、中空の矩形形状である、前記(8)に記載の半導体装置。

(10)

前記第1のトランジスタの前記ソース電極又は前記ドレイン電極の平面形状は、前記ソース電極及び前記ドレイン電極を結ぶ直線と直交する方向に延伸する複数の長方形形状である、前記(8)に記載の半導体装置。

(11)

前記第1の化合物半導体、及び前記第2の化合物半導体は、窒化物半導体である、前記(1)～(10)のいずれか一項に記載の半導体装置。

(12)

前記第1及び第2のトランジスタの前記コンタクト層は、導電型不純物が導入された化合物半導体にて形成される、前記(1)～(11)のいずれか一項に記載の半導体装置。

(13)

前記第1及び第2のトランジスタの前記コンタクト層は、前記チャネル層の前記バリア層が設けられた面上に設けられる、前記(1)～(12)のいずれか一項に記載の半導体装置。

(14)

前記第1及び第2のトランジスタの前記コンタクト層は、前記チャネル層の前記バリア層が設けられた面に形成された凹部を埋め込むように設けられる、前記(1)～(12)のいずれか一項に記載の半導体装置。

(15)

前記第1及び第2のトランジスタの前記コンタクト層は、側面で前記バリア層及び前記チャネル層の界面に接触するように設けられる、前記(1)～(14)のいずれか一項に記載の半導体装置。

(16)

前記ゲート電極は、前記バリア層の上にゲート絶縁膜を介して設けられる

、前記（１）に記載の半導体装置。

（１７）

第１の化合物半導体にて形成されたチャネル層と、

前記第１の化合物半導体と異なる第２の化合物半導体にて前記チャネル層の上に形成されたバリア層と、

前記バリア層の上に設けられたゲート電極と、

前記バリア層の上に前記ゲート電極を挟んで両側に設けられたソース電極及びドレイン電極と、

前記ソース電極及び前記ドレイン電極の下にそれぞれ前記バリア層を貫通して設けられたコンタクト層と、

をそれぞれ有する第１及び第２のトランジスタを備え、

前記第１のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積は、前記第２のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積よりも大きく、

前記第１のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面における前記コンタクト層の幅は、前記第２のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面における前記コンタクト層の幅に対応する大きさである、高周波モジュール。

符号の説明

[0107]	１	高周波モジュール
	１１	第１のトランジスタ
	１２	第２のトランジスタ
	１１０	基板
	１１１	チャネル層
	１１３	バリア層
	１１５	バッファ層
	１１７	素子分離領域
	１２０、２２０	ゲート電極

- 1 2 1 ゲート絶縁膜
- 1 3 0、2 3 0 コンタクト層
- 1 4 0、2 4 0 ドレイン電極
- 1 5 0 二次元電子ガス

請求の範囲

- [請求項1] 第1の化合物半導体にて形成されたチャネル層と、
前記第1の化合物半導体と異なる第2の化合物半導体にて前記チャネル層の上に形成されたバリア層と、
前記バリア層の上に設けられたゲート電極と、
前記バリア層の上に前記ゲート電極を挟んで両側に設けられたソース電極及びドレイン電極と、
前記ソース電極及び前記ドレイン電極の下にそれぞれ前記バリア層を貫通して設けられたコンタクト層と、
をそれぞれ有する第1及び第2のトランジスタを備え、
前記第1のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積は、前記第2のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積よりも大きく、
前記第1のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面における前記コンタクト層の幅は、前記第2のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面における前記コンタクト層の幅に対応する大きさである、半導体装置。
- [請求項2] 前記第1のトランジスタの前記コンタクト層の幅は、前記第2のトランジスタの前記コンタクト層の幅と略同じである、請求項1に記載の半導体装置。
- [請求項3] 前記第2のトランジスタの前記ソース電極又は前記ドレイン電極は、単一の矩形形状で設けられる、請求項1に記載の半導体装置。
- [請求項4] 前記第1のトランジスタの前記コンタクト層は、前記ソース電極又は前記ドレイン電極が設けられた平面領域の一部領域に設けられる、請求項1に記載の半導体装置。
- [請求項5] 前記第1のトランジスタの前記コンタクト層は、前記ソース電極又は前記ドレイン電極の前記ゲート電極に対向する一部領域に設けられ

る、請求項4に記載の半導体装置。

[請求項6] 前記第1のトランジスタの前記コンタクト層の平面形状は、前記ソース電極又は前記ドレイン電極が設けられた平面領域の外周に沿って設けられた中空の矩形形状である、請求項4に記載の半導体装置。

[請求項7] 前記第1のトランジスタの前記コンタクト層の平面形状は、前記ソース電極及び前記ドレイン電極を結ぶ直線と直交する方向に延伸する複数の長方形形状である、請求項4に記載の半導体装置。

[請求項8] 前記第1のトランジスタの前記コンタクト層は、前記ソース電極又は前記ドレイン電極が設けられた平面領域に設けられる、請求項1に記載の半導体装置。

[請求項9] 前記第1のトランジスタの前記ソース電極又は前記ドレイン電極の平面形状は、中空の矩形形状である、請求項8に記載の半導体装置。

[請求項10] 前記第1のトランジスタの前記ソース電極又は前記ドレイン電極の平面形状は、前記ソース電極及び前記ドレイン電極を結ぶ直線と直交する方向に延伸する複数の長方形形状である、請求項8に記載の半導体装置。

[請求項11] 前記第1の化合物半導体、及び前記第2の化合物半導体は、窒化物半導体である、請求項1に記載の半導体装置。

[請求項12] 前記第1及び第2のトランジスタの前記コンタクト層は、導電型不純物が導入された化合物半導体にて形成される、請求項1に記載の半導体装置。

[請求項13] 前記第1及び第2のトランジスタの前記コンタクト層は、前記チャネル層の前記バリア層が設けられた面上に設けられる、請求項1に記載の半導体装置。

[請求項14] 前記第1及び第2のトランジスタの前記コンタクト層は、前記チャネル層の前記バリア層が設けられた面に形成された凹部を埋め込むように設けられる、請求項1に記載の半導体装置。

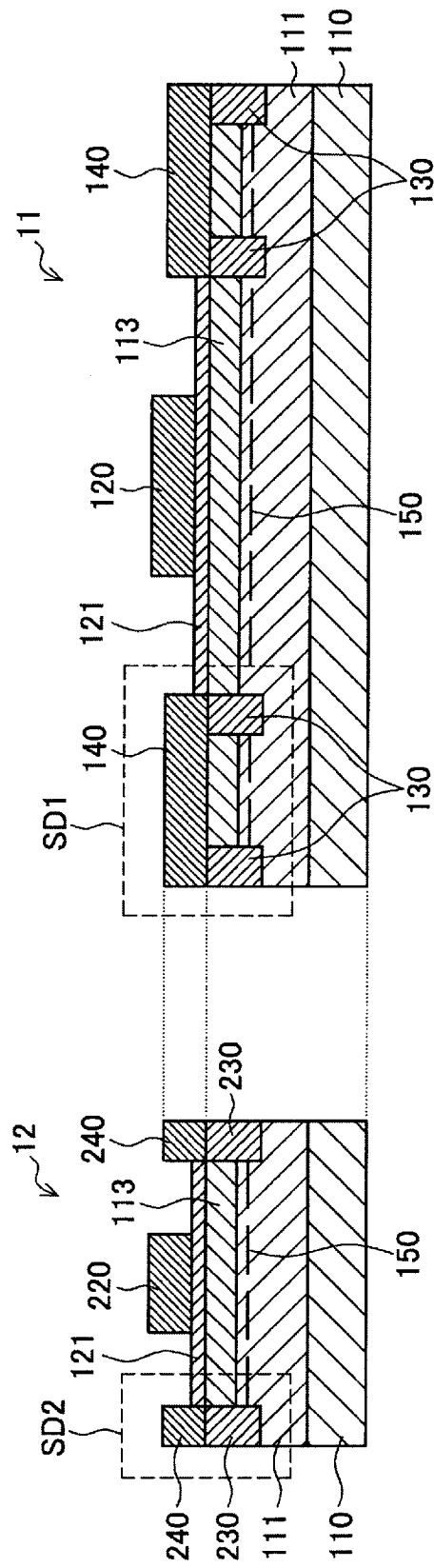
[請求項15] 前記第1及び第2のトランジスタの前記コンタクト層は、側面で前

記バリア層及び前記チャネル層の界面に接触するように設けられる、請求項 1 に記載の半導体装置。

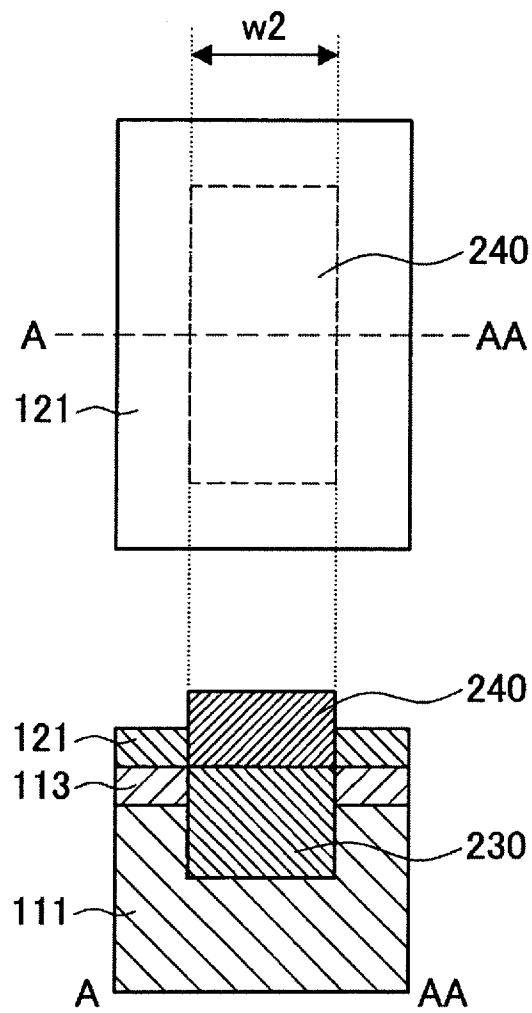
[請求項16] 前記ゲート電極は、前記バリア層の上にゲート絶縁膜を介して設けられる、請求項 1 に記載の半導体装置。

[請求項17] 第 1 の化合物半導体にて形成されたチャネル層と、
前記第 1 の化合物半導体と異なる第 2 の化合物半導体にて前記チャネル層の上に形成されたバリア層と、
前記バリア層の上に設けられたゲート電極と、
前記バリア層の上に前記ゲート電極を挟んで両側に設けられたソース電極及びドレイン電極と、
前記ソース電極及び前記ドレイン電極の下にそれぞれ前記バリア層を貫通して設けられたコンタクト層と、
をそれぞれ有する第 1 及び第 2 のトランジスタを備え、
前記第 1 のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積は、前記第 2 のトランジスタの前記ソース電極又は前記ドレイン電極の平面面積よりも大きく、
前記第 1 のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面における前記コンタクト層の幅は、前記第 2 のトランジスタの前記ソース電極と前記ドレイン電極とを結ぶ直線で切断した断面における前記コンタクト層の幅に対応する大きさである、高周波モジュール。

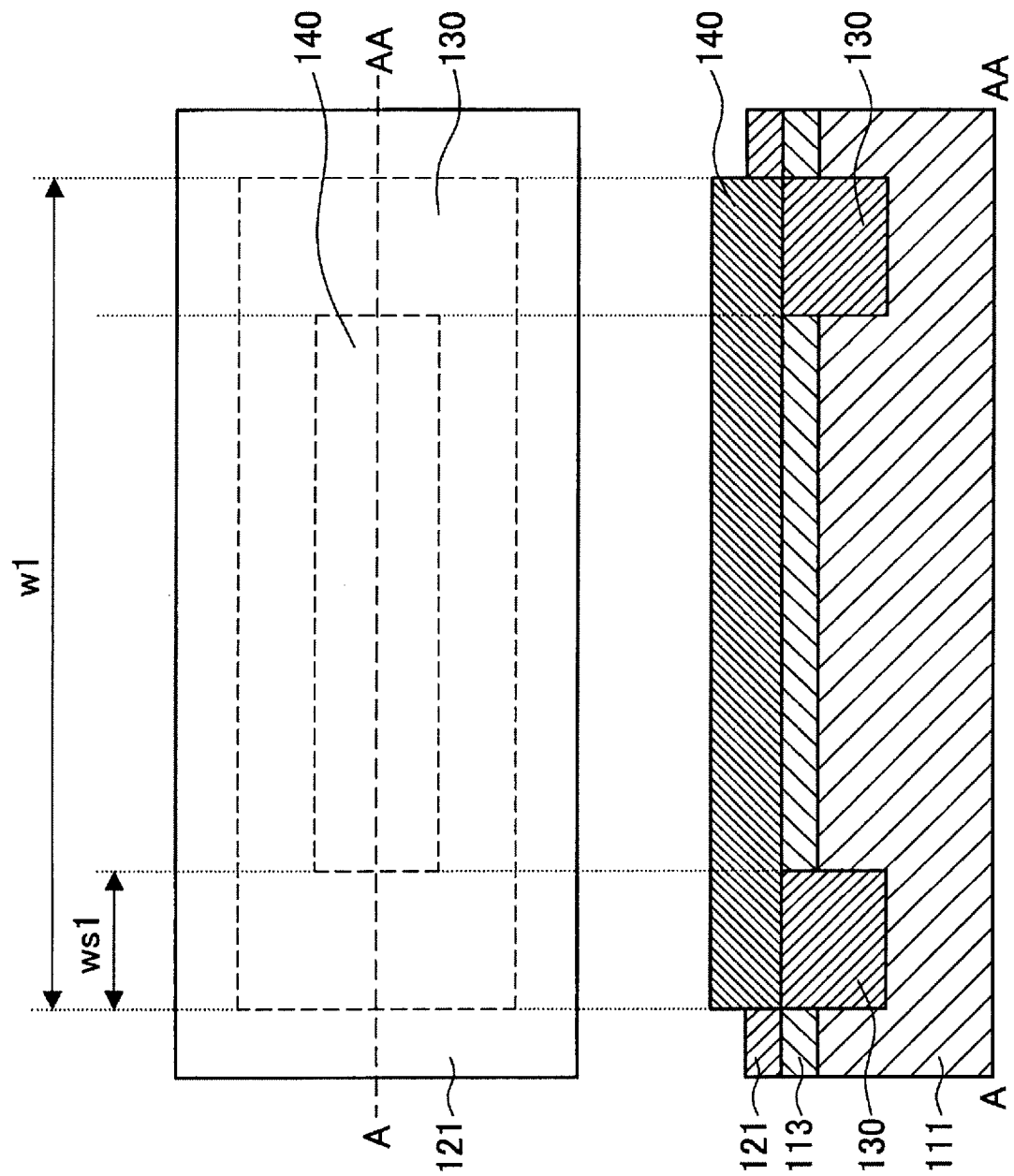
[図1]



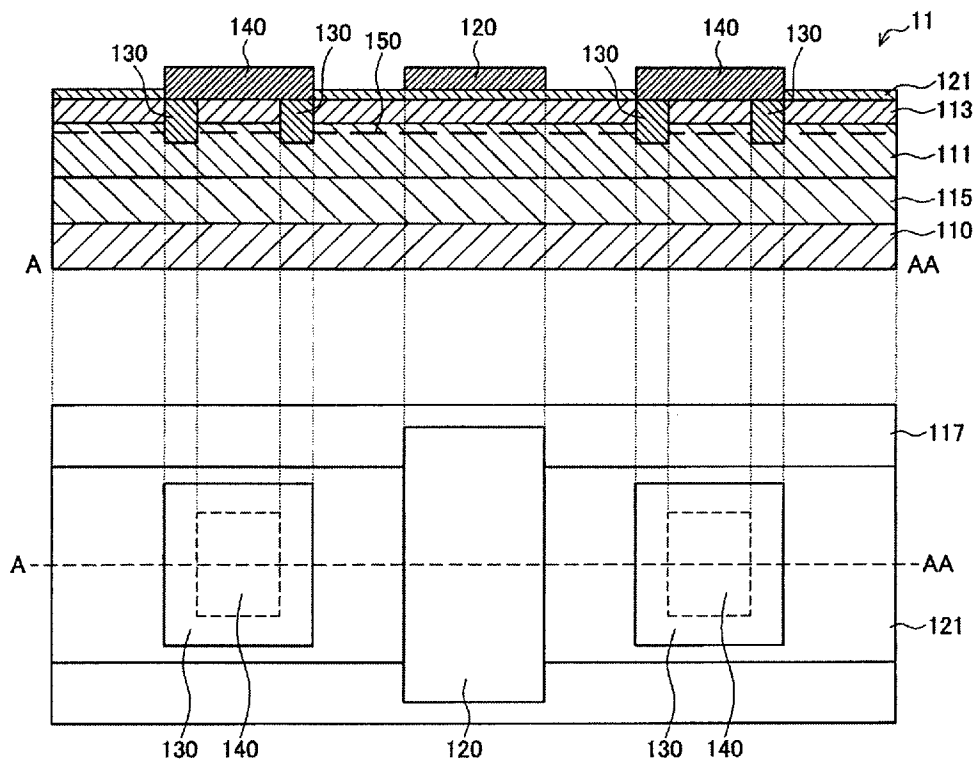
[図2A]



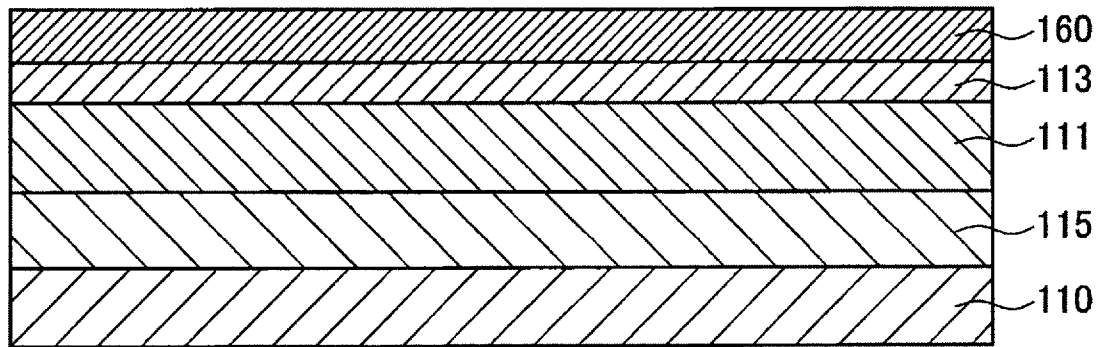
[図2B]



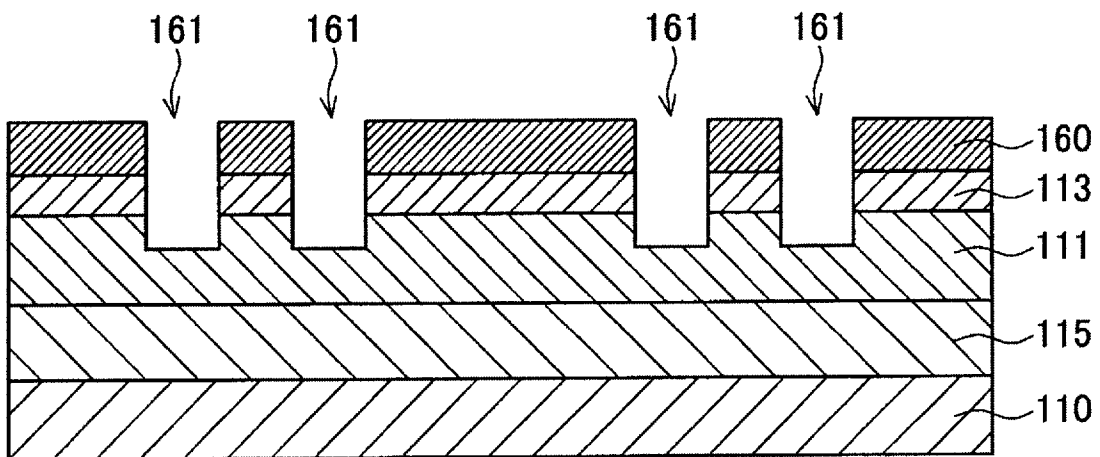
[図3]



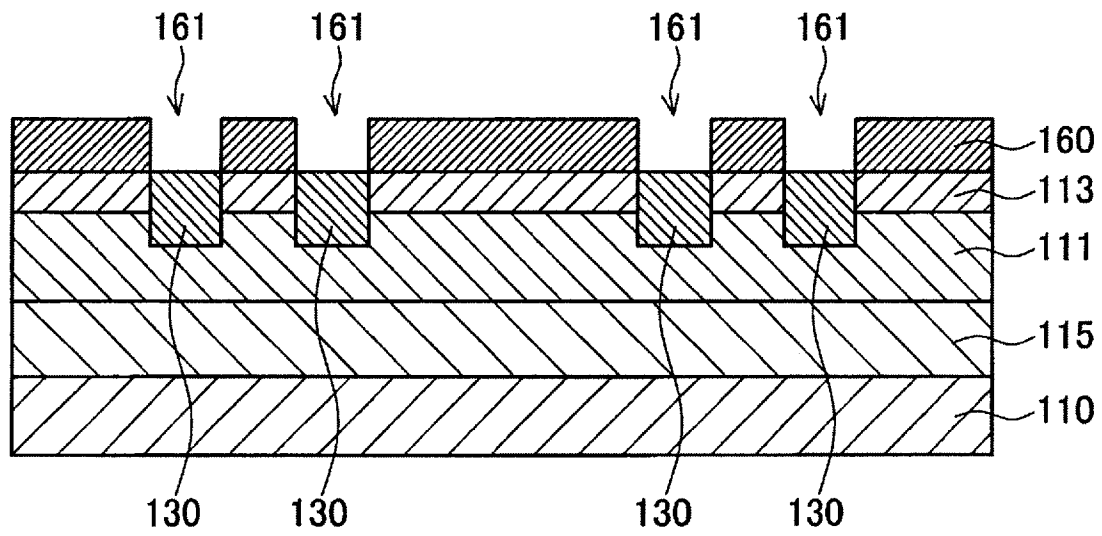
[図4A]



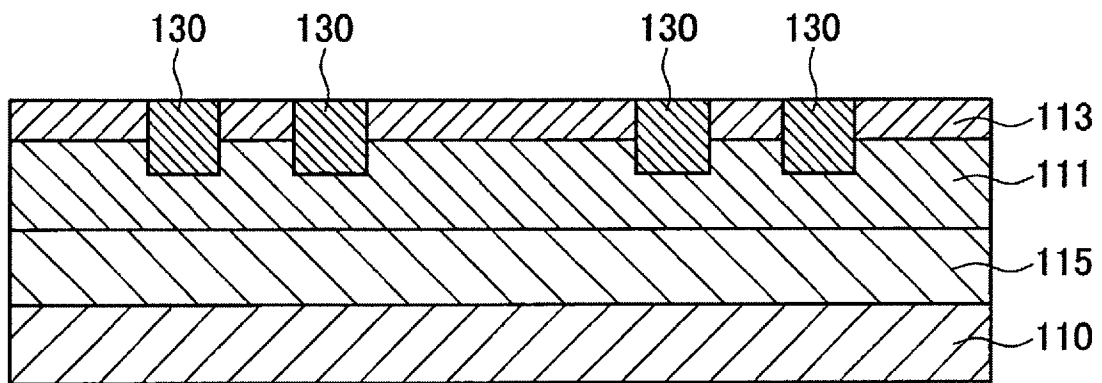
[図4B]



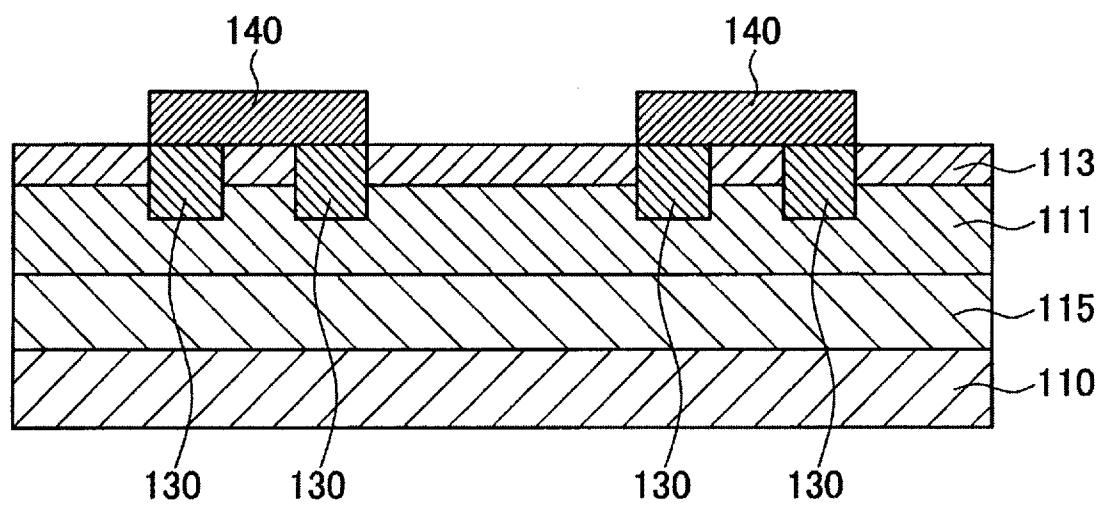
[図4C]



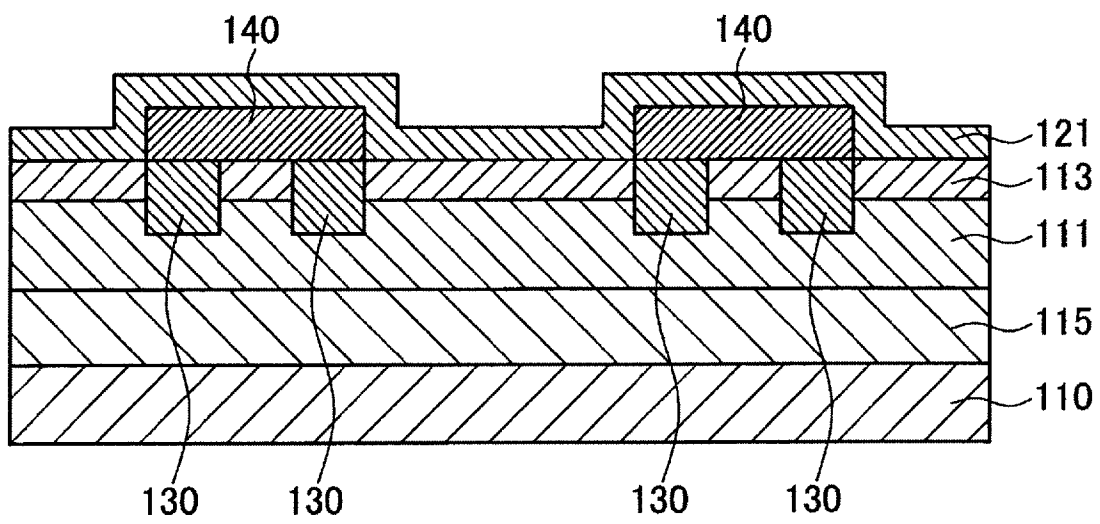
[図4D]



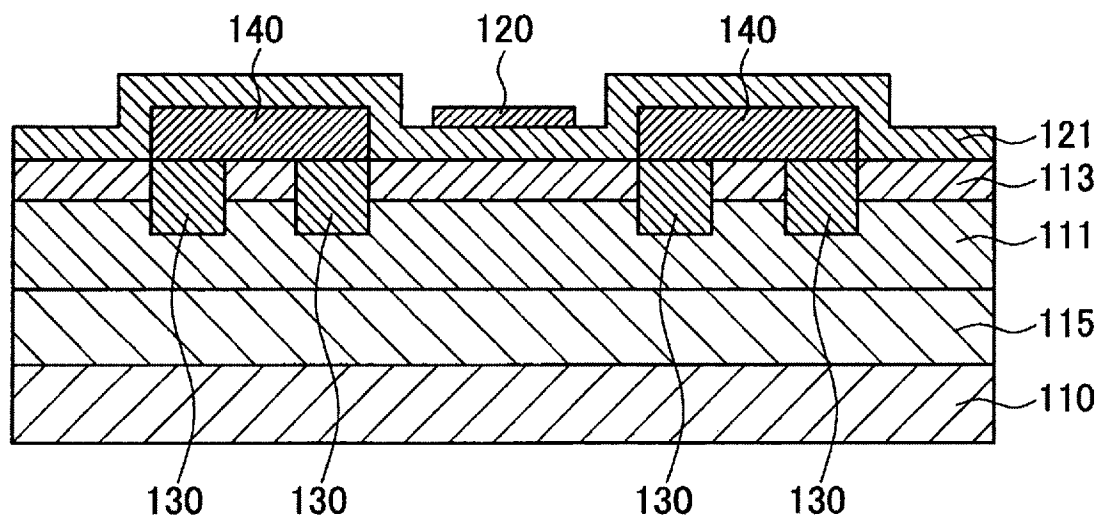
[図4E]



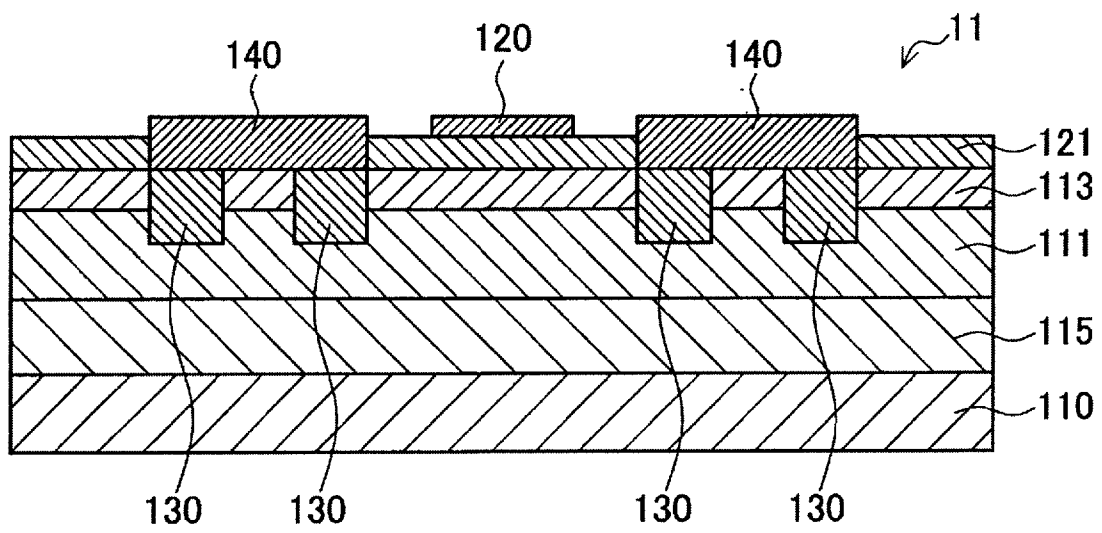
[図4F]



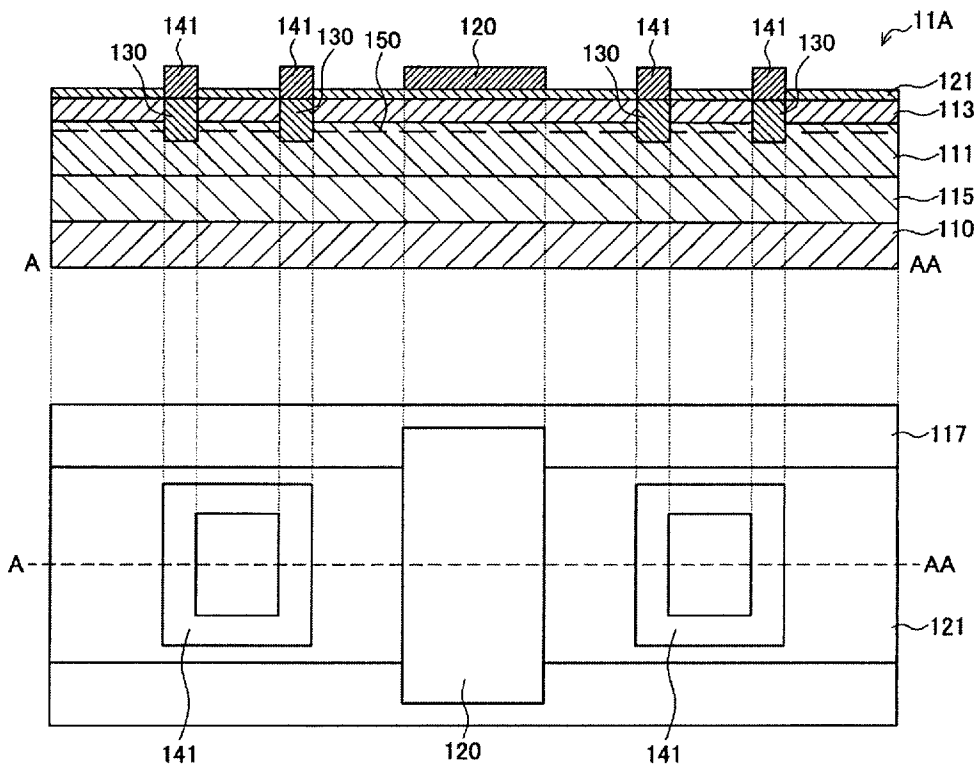
[図4G]



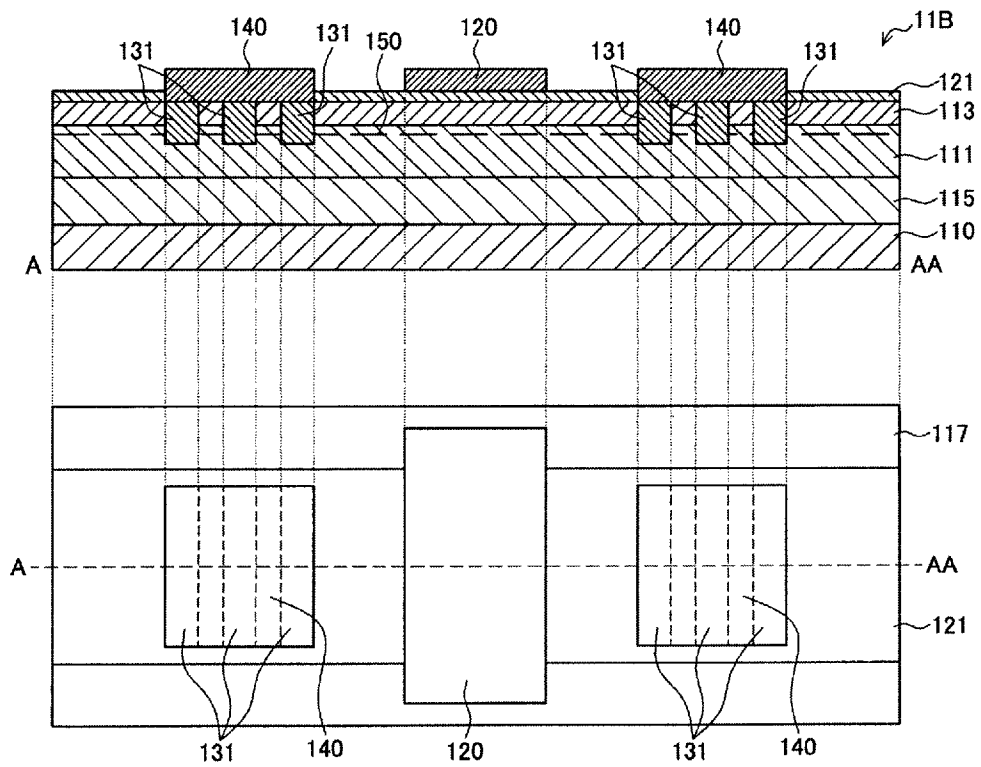
[図4H]



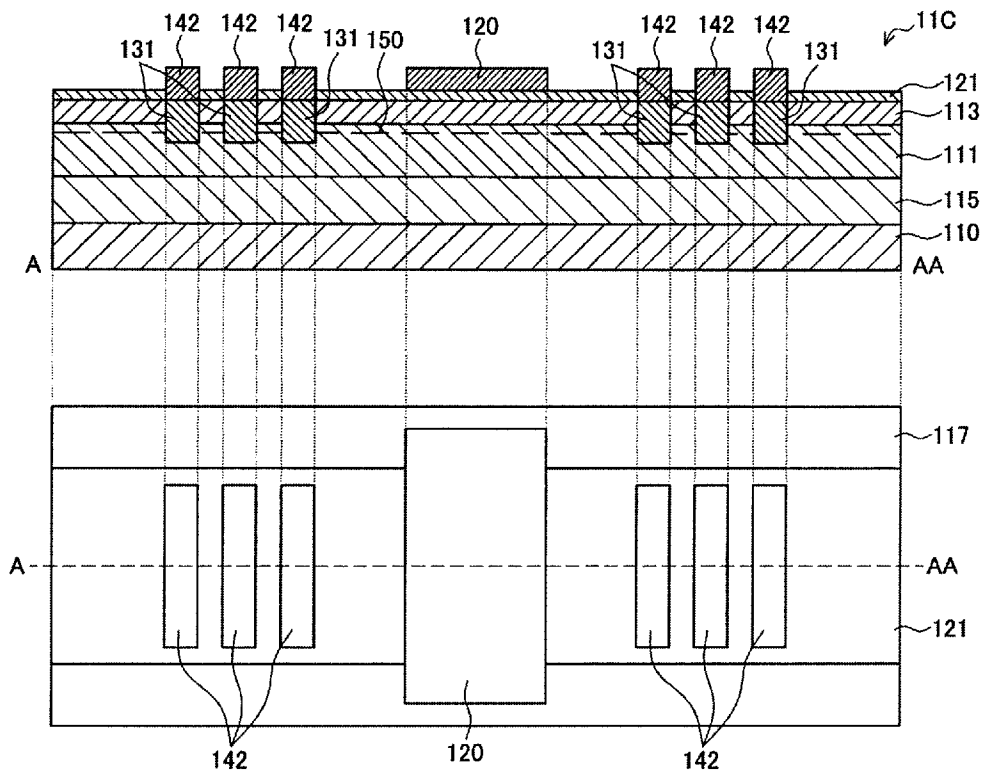
[図5]



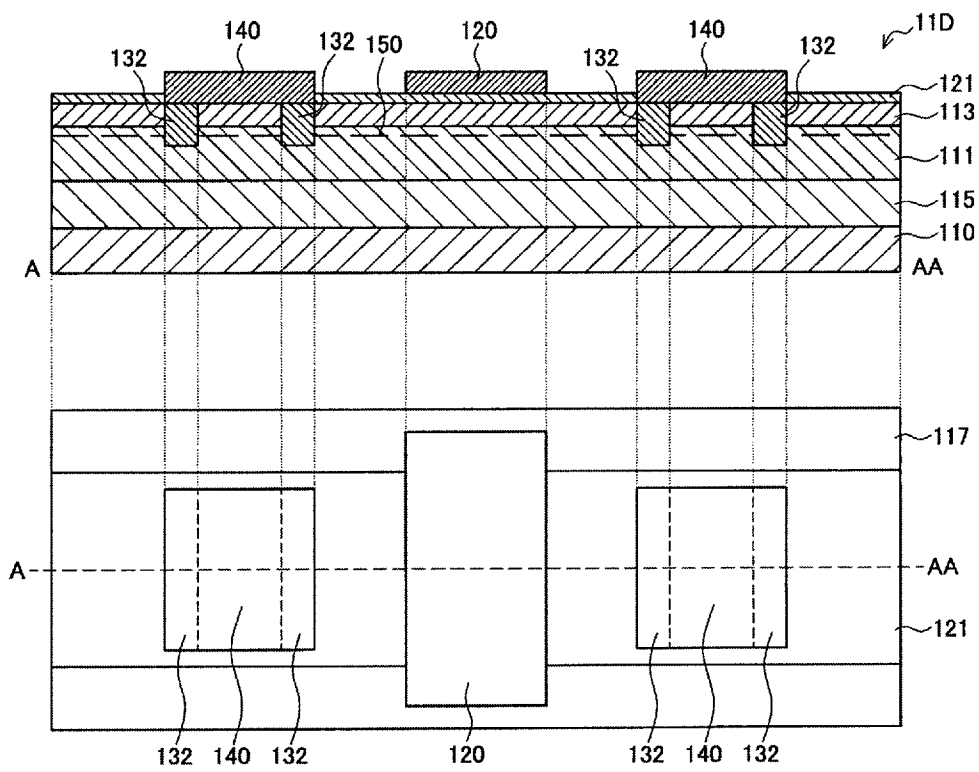
[図6]



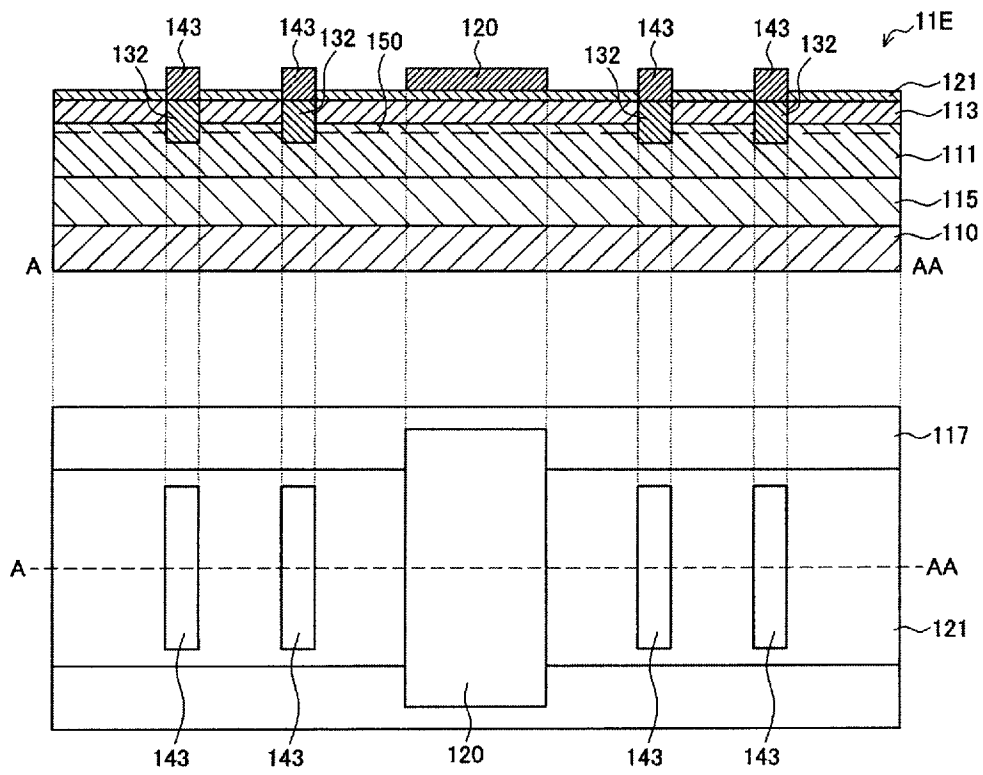
[図7]



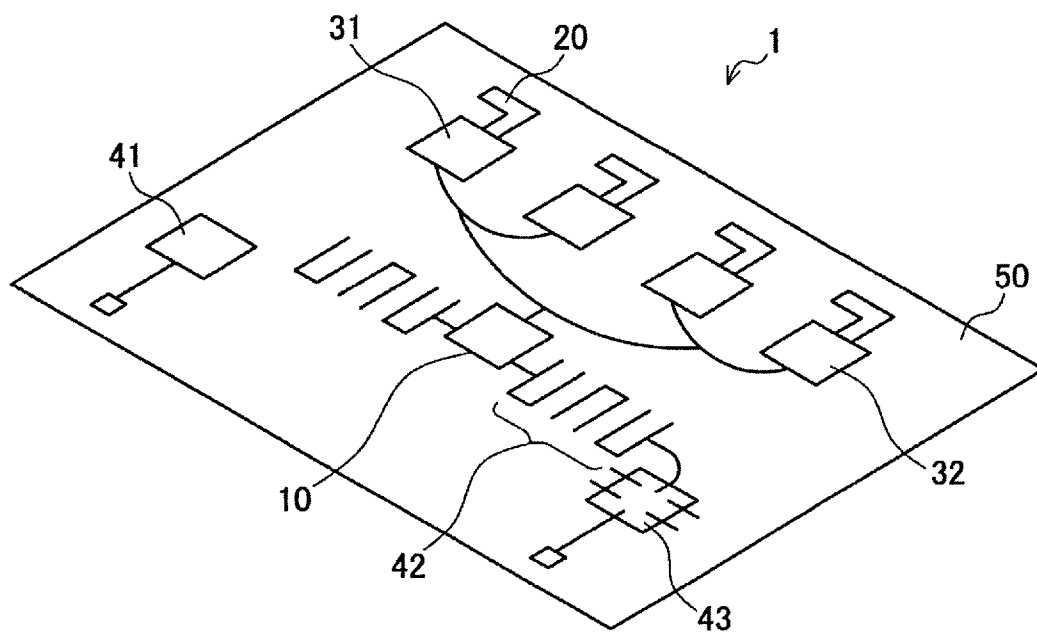
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024368

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/338(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L21/8234(2006.01)i, H01L27/088(2006.01)i,
H01L29/417(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i,
H01L29/786(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/338, H01L21/28, H01L21/336, H01L21/8234, H01L27/088,
H01L29/417, H01L29/778, H01L29/78, H01L29/786, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 63-161677 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 05 July 1988, page 1, lower right column, line 4 to page 2, upper left column, line 6, page 2, upper right column, line 6 to lower right column, line 5, fig. 1, 2, 5, 6 (Family: none)	1-3, 8 4-5, 7, 10-17 6, 9
Y A	JP 2007-165446 A (OKI ELECTRIC INDUSTRY CO., LTD.) 28 June 2007, paragraphs [0062]-[0078], fig. 5-7 & US 2007/0132037 A1, paragraphs [0066]-[0083], fig. 6-9 & CN 1983628 A	4-5, 7, 10-11 6, 8-9, 12-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 August 2019 (14.08.2019)

Date of mailing of the international search report
27 August 2019 (27.08.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024368

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 6-310539 A (FUJITSU LTD.) 04 November 1994, paragraphs [0020]-[0036], fig. 3 (Family: none)	12, 14-15 13, 16-17
Y A	JP 1-179458 A (FUJITSU LTD.) 17 July 1989, page 3, upper left column, line 8 to page 4, upper right column, line 3, fig. 1-4 (Family: none)	13 14-17
Y A	JP 60-196976 A (HITACHI, LTD.) 05 October 1985, page 2, upper left column, line 19 to lower right column, line 2, fig. 1 (Family: none)	16 17
Y A	JP 61-125089 A (FUJITSU LTD.) 12 June 1986, page 3, upper right column, line 12 to lower right column, line 18, fig. 1 (Family: none)	16 17
Y	JP 2005-159157 A (RENESAS TECHNOLOGY CORP.) 16 June 2005, paragraphs [0017]-[0043], fig. 36 & US 2005/0116253 A1, paragraphs [0069]-[0095], fig. 36	17
A	JP 2004-241471 A (RENESAS TECHNOLOGY CORP.) 26 August 2004, paragraphs [0021]-[0029], fig. 1 (Family: none)	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/338(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i,
H01L27/088(2006.01)i, H01L29/417(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i,
H01L29/786(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/338, H01L21/28, H01L21/336, H01L21/8234, H01L27/088, H01L29/417, H01L29/778, H01L29/78,
H01L29/786, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 63-161677 A (松下電器産業株式会社)	1-3, 8
Y	1988.07.05, 第1頁右下欄第4行-第2頁左上欄第6行, 第2頁右上	4-5, 7, 10-17
A	欄第6行-同右下欄第5行, 第1図, 第2図, 第5図, 第6図 (ファミリーなし)	6, 9
Y	JP 2007-165446 A (沖電気工業株式会社)	4-5, 7, 10-11
A	2007.06.28, 段落[0062]-[0078], 図5-7 & US 2007/0132037 A1, 段落[0066]-[0083], 図6-9 & CN 1983628 A	6, 8-9, 12-17

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

14.08.2019

国際調査報告の発送日

27.08.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

杉山 芳弘

5 F

6311

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 6-310539 A (富士通株式会社) 1994. 11. 04, 段落[0020]-[0036], 図 3 (ファミリーなし)	12, 14-15 13, 16-17
Y A	JP 1-179458 A (富士通株式会社) 1989. 07. 17, 第 3 頁左上欄第 8 行-第 4 頁右上欄第 3 行, 第 1 図-第 4 図 (ファミリーなし)	13 14-17
Y A	JP 60-196976 A (株式会社日立製作所) 1985. 10. 05, 第 2 頁左上欄第 19 行-同右下欄第 2 行, 第 1 図 (ファミリーなし)	16 17
Y A	JP 61-125089 A (富士通株式会社) 1986. 06. 12, 第 3 頁右上欄第 12 行-同右下欄第 18 行, 第 1 図 (ファミリーなし)	16 17
Y	JP 2005-159157 A (株式会社ルネサステクノロジ) 2005. 06. 16, 段落[0017]-[0043], 図 36 & US 2005/0116253 A1, 段落[0069]-[0095], 図 36	17
A	JP 2004-241471 A (株式会社ルネサステクノロジ) 2004. 08. 26, 段落[0021]-[0029], 図 1 (ファミリーなし)	1-17