

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

H01L 29/36 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200910030066.4

[43] 公开日 2009年8月19日

[11] 公开号 CN 101510561A

[22] 申请日 2009.3.30

[21] 申请号 200910030066.4

[71] 申请人 东南大学

地址 210096 江苏省南京市四牌楼2号

[72] 发明人 钱钦松 刘 侠 孙伟锋 华国环

陆生礼 时龙兴

[74] 专利代理机构 南京经纬专利商标代理有限公司

代理人 陆志斌

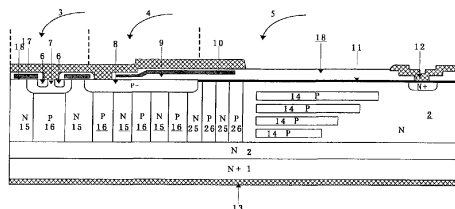
权利要求书2页 说明书5页 附图3页

[54] 发明名称

超结纵向双扩散金属氧化物半导体管

[57] 摘要

一种超结纵向双扩散金属氧化物半导体管，包括：兼做漏区的N型掺杂硅衬底、N型掺杂硅外延层、原胞区域、设在原胞区域周围的终端区域及位于原胞区域与终端区域之间的过渡区域，所述的N型掺杂硅外延层设在N型掺杂硅衬底上，原胞区域和终端区域设在N型掺杂硅外延层上，所述晶体管的终端区域包括第一超结结构和N型硅掺杂半导体区，其中第一超结结构包括N型柱和P型柱，在N型硅掺杂半导体区中设有横向P型柱和高浓度N型区域，在第一超结结构和N型硅掺杂半导体区的表面设有一层高浓度的N型薄层，在N型薄层上设有场氧化层，其特征在于在N型硅掺杂半导体区内设有横向P型柱以及在晶体管终端区域的表面设有一层高浓度的N型薄层。



1. 一种超结纵向双扩散金属氧化物半导体管，包括：兼做漏区的 N 型掺杂硅衬底 (1)、N 型掺杂硅外延层 (2)、原胞区域 (3)、设在原胞区域 (3) 周围的终端区域 (5) 及位于原胞区域 (3) 与终端区域 (5) 之间的过渡区域 (4)，所述的 N 型掺杂硅外延层 (2) 设在 N 型掺杂硅衬底 (1) 上，原胞区域 (3) 和终端区域 (5) 设在 N 型掺杂硅外延层 (2) 上，所述晶体管的终端区域 (5) 包括第一超结结构和 N 型硅掺杂半导体区 (2)，其中第一超结结构包括 N 型柱 (25) 和 P 型柱 (26)，在 N 型硅掺杂半导体区 (2) 中设有横向 P 型柱 (14) 和高浓度 N 型区域 (12)，在第一超结结构和 N 型硅掺杂半导体区 (2) 的表面设有一层高浓度的 N 型薄层 (11)，在 N 型薄层 (11) 上设有场氧化层 (18)，在 N 型重掺杂半导体区 (12) 上连接有金属层 (12)，其特征在于在 N 型硅掺杂半导体区 (2) 内设有横向 P 型柱 (14) 以及在晶体管终端区域 (5) 的表面设有一层高浓度的 N 型薄层 (11)。

2. 根据权利要求 1 所述的超结纵向双扩散金属氧化物半导体管，其特征在于在 N 型硅掺杂半导体区 (2) 中的横向 P 型柱 (14) 可以是长度相等的，也可以是从下到上依次增大的，且横向 P 型柱 (14) 的左端到第一超结结构的距离相等。

3. 根据权利要求 1 所述的超结纵向双扩散金属氧化物半导体管，其特征在于该晶体管原胞区域 (3) 中设有第二超结结构，该第二超结结构包括 P 型柱 (16) 和 N 型柱 (15)，在第二超结结构的 P 型柱 (16) 上设有 P 型掺杂硅半导体区 (7) 且 P 型掺杂硅半导体区 (7) 延伸进入与所述 P 型柱 (16) 相邻的 N 型柱 (15) 内，在 P 型掺杂硅半导体区 (7) 中设有 N 型重掺杂源区 (6)，在第二超结结构、P 型掺杂硅半导体区 (7) 及 N 型重掺杂源区 (6) 表面设有栅氧化层 (18)，在栅氧化层 (18) 上设有多晶硅栅 (17) 且多晶硅栅 (17) 位于第二超结结构的 N 型柱 (15) 上方，在多晶硅栅 (17) 上设有场氧化层，在 N 型重掺杂源区 (6) 上连接有源极金属 (9)。

4. 根据权利要求 1 所述的超结纵向双扩散金属氧化物半导体管，其特征在

于该晶体管过渡区域(4)中设有第三超结结构,该第三超结结构包括P型柱(16)和N型柱(15),在第三超结结构的上方设有低浓度的P型区(8),在低浓度的P型区(8)上设有接触孔和源极金属(9)相连。

5. 根据权利要求1所述的超结纵向双扩散金属氧化物半导体管,其特征在于晶体管终端区域(5)中的第一超结结构中N型柱(25)和P型柱(26)的个数由所设计的晶体管的耐压要求决定。

6. 根据权利要求1所述的超结纵向双扩散金属氧化物半导体管,其特征在于第二超结结构中的P型柱(16)、第一超结结构中的P型柱(26)、第三超结结构中的P型柱(16)及终端区域(5)中的横向P型柱(14)的浓度都相等;

超结纵向双扩散金属氧化物半导体管

技术领域：

本发明涉及一种硅制高压功率金属氧化物半导体器件，更准确的讲，涉及一种硅制高压超结纵向双扩散金属氧化物半导体场效应晶体管（super junction VDMOS，即超结VDMOS，以下均简写为超结VDMOS）。

背景技术：

目前，功率器件在日常生活、生产等领域的应用越来越广泛，特别是功率金属氧化物半导体场效应晶体管，由于它们拥有较快的开关速度、较小的驱动电流、较宽的安全工作区，因此受到了众多研究者的青睐。如今，功率器件正向着提高工作电压、增大工作电流、减小导通电阻和集成化的方向快速发展。在众多的功率金属氧化物半导体场效应晶体管器件中，尤其是在纵向功率金属氧化物半导体场效应晶体管中，超结半导体功率器件的发明，它克服传统功率MOS晶体管导通电阻与击穿电压之间的矛盾，改变了传统功率器件依靠漂移层耐压的结构，而是采用了一种“超结结构”——P型、N型硅半导体材料柱状相互交替排列的形式。这种结构改善了击穿电压和导通电阻不易同时兼顾的情况，在截止态时，由于P型柱和N型柱中的耗尽区电场产生相互补偿效应，使P型和N型柱的掺杂浓度可以做得很高而不会引起器件击穿电压的下降。导通时，这种高浓度的掺杂使器件的导通电阻明显降低。由于超结VDMOS的这种独特器件结构，使它的电性能明显优于传统功率金属氧化物半导体场效应晶体管，因此这种技术被人们称为功率金属氧化物半导体场效应晶体管技术上的一个里程碑。如今，功率器件的原胞区域已经可以能够通过设计使其达到上千伏的耐压水平，但是在实际的生产过程中，还需要考虑晶体管的边缘区域，对于垂直器件来说，一个芯片的边缘部分的原胞除了要承受垂直方向上的电压外还要承受水平方向上的电压，因此器件的终端边缘区域成为制约整个器件击穿电压的一个不可忽视的因素。因此，要使一个晶体管的整体耐压提高，终端边缘区域的结构也必须经过优化和改善。

对于传统的功率器件的终端结构来说，除了在体硅表面制作场板等终端结构之外，在体硅内部利用较低浓度的漂移层来保证耐压水平，但是由于超结器件特殊的原胞结构，漂移区的浓度较高，漂移层的厚度也较小，普通的高压功率器件

的终端结构不再适合超结结构器件。因此在超结结构器件中，目前应用最为普遍的是附图2的结构，该结构将超结VDMOS的终端结构分成了两部分：一部分是过渡区域；另一部分是终端边缘区域，主要依据的设计原理仍是超结结构耐压原理。

发明内容：

针对现有硅制高压超结纵向双扩散金属氧化物半导体场效应晶体管中，体硅内部终端结构采用的基本上都是在水平方向上P型柱状结构和N型柱状结构相互交替堆叠的形式，本发明提供一种能够降低表面漏电流的超结纵向双扩散金属氧化物半导体管。

本发明采用如下技术方案：

本发明的设计原理主要是将硅制高压超结纵向双扩散金属氧化物半导体场效应晶体管原胞区域外的区域分为了纵向耐压区域和横向耐压区域，如附图1中所示，晶体管过渡区域4和终端区域5中的第一超结结构（包括P型柱26和N型柱25）共同构成了纵向耐压结构；终端区域5中的N型硅掺杂半导体区2和横向柱14构成了横向耐压结构。

本发明提出了一种超结纵向双扩散金属氧化物半导体管，该晶体管能够有效的保证终端区域的耐压水平，同时这种结构的制造工艺兼顾了传统超结功率器件的制造工艺，都采用了多次外延和多次离子注入的方式，并没有增加工艺制造的难度。

与现有技术相比，本发明具有如下优点：

1、本发明结构的终端区域不采用传统终端区域所采用的水平方向上P型柱（见附图3中316）和N型柱（见附图3中315）交替相互堆叠的形式，而是将器件终端区域分成了两个部分，一部分仍然采用水平方向上P型柱（见附图1中26）和N型柱（见附图1中25）交替相互堆叠的形式，而另一部分则采用了垂直方向上P柱和N型柱交替相互堆叠的形式，并且P型柱14的水平延伸长度是变化，靠近表面的P柱的长度长，靠近底部的P柱的长度短，因此，当晶体管工作在反偏状态时，对于晶体管终端区域的各个方向上都是理想的超结耐压情况，同时在不影响晶体管整体耐压水平的情况下减小了终端结构的面积，从而可以增大晶体管芯片的有效工作区域的面积，即可以增加芯片内原胞单元的个数，从而增加了晶体管的工作电流；

2、本发明结构的终端区域在表面形成了一层高浓度场注入层，使得晶体管的终端区域表面的漏电流很小，使得晶体管的关断状态更加理想，增加了晶体管工作的稳定性；

本发明的有益效果是，这种终端结构利用了最短的超结结构承受终端区域的横向电场强度。从而缩短终端结构的面积。同时使用场注入层减小了终端区域表面的漏电流。

附图说明

图1是本发明超结纵向双扩散金属氧化物半导体管示意图，其中终端区域中的横向P型柱（14）的长度不等。

图2是本发明超结纵向双扩散金属氧化物半导体管示意图，其中终端区域中的横向P型柱（214）的长度相等。

图3是传统超结纵向双扩散金属氧化物半导体管示意图。

图4a是通过仿真软件得出的采用传统终端区域结构的耐压为400V的晶体管的器件结构图，S1表示的是该结构的长度；

图4b是通过仿真软件得出的采用本发明的终端区域结构的耐压为400V的晶体管的器件结构图，S2表示的是该结构的长度，且S2为S1的80.3%。

图5是通过仿真软件得到的该发明超结纵向双扩散金属氧化物半导体管和传统超结纵向双扩散金属氧化物半导体管击穿电压的对比示意图，图中带方块的线表示的是传统超结纵向双扩散金属氧化物半导体管的击穿曲线图；图中带圆圈的线表示的是该发明超结纵向双扩散金属氧化物半导体管的击穿曲线图。

具体实施方式

一种超结纵向双扩散金属氧化物半导体管，包括：兼做漏区的N型掺杂硅衬底1、N型掺杂硅外延层2、原胞区域3、设在原胞区域13周围的终端区域5及位于原胞区域3与终端区域5之间的过渡区域4，所述的N型掺杂硅外延层2设在N型掺杂硅衬底1上，原胞区域3和终端区域5设在N型掺杂硅外延层2上，所述晶体管的终端区域5包括第一超结结构和N型硅掺杂半导体区2，其中第一超结结构包括N型柱25和P型柱26，在N型硅掺杂半导体区2中设有横向P型柱14和高浓度N型区域12，其中横向P型柱14可以是长度相等的，也可以是从下到上依次增大的，且横向P型柱14的左端到第一超结结构的距离相等。在第一超结结构和N型硅掺杂半导体

区2的表面设有一层高浓度的N型薄层11，在N型薄层11上设有场氧化层18，在N型重掺杂半导体区12上连接有金属层12，其特征在于在N型硅掺杂半导体区2内设有横向P型柱14以及在晶体管终端区域5的表面设有一层高浓度的N型薄层11。

在本实施例中，

所述的晶体管原胞区域3中设有第二超结结构，该第二超结结构包括P型柱16和N型柱15，在第二超结结构的P型柱16上设有P型掺杂硅半导体区7且P型掺杂硅半导体区7延伸进入与所述P型柱16相邻的N型柱15内，在P型掺杂硅半导体区7中设有N型重掺杂源区6，在第二超结结构、P型掺杂硅半导体区7及N型重掺杂源区6表面设有栅氧化层18，在栅氧化层18上设有多晶硅栅17且多晶硅栅17位于第二超结结构的N型柱15上方，在多晶硅栅17上设有场氧化层，在N型重掺杂源区6上连接有源极金属9。

所述的晶体管过渡区域4中设有第三超结结构，该第三超结结构包括P型柱16和N型柱15，在第三超结结构的上方设有低浓度的P型区8，在低浓度的P型区8上设有接触孔和源极金属9相连。

下面结合附图1，对本发明作详细说明,如附图1中所示，这个晶体管结构是一个垂直器件结构，总体结构包括三个部分，分别是晶体管的原胞 3、晶体管的过渡区域 4、晶体管的终端区域5，该晶体管包括一个N型掺杂硅衬底1，在N型掺杂硅衬底1上生长一层N型掺杂硅外延层2，然后采用多次外延和多次离子注入的方法生长上面的结构；

其中外延的杂质类型和离子注入的杂质类型相反，对于N沟道器件来说，一般采用N型掺杂外延和P型掺杂离子注入，附图1中所示的结构采用的是四次外延离子注入的结果，每外延生长一层外延层后就进行一次P型离子注入形成P型柱16、16、26和横向P型柱14，其中横向P型柱14的长度随着外延次数的增加在逐渐增长，也就是注入的区域越来越大，最靠近表面的横向P型柱14的长度最长；在多次外延和离子注入工艺形成了晶体管原胞区域3的第二超结结构、晶体管过渡区域4的第三超结结构和晶体管终端区域5中的第一超结结构和横向P型柱之后，再进行一次外延，并且外延之后同样再进行一次注入形成晶体管过渡区域4中的P型掺杂半导体区8和晶体管原胞区域中的P型掺杂硅半导体区7，注入的杂质的类型和外延的类型也相反，P型掺杂硅半导体区7形成之后再采用一次离子注入形成N型掺杂源区6，最后在晶体管的终端区域的表面进行一次高浓度的P型注入，形成场注层11，这样可以有效的抑制表面漏电流的产生。然后生长栅氧化层16、多

晶硅栅17和多晶硅场板10，其余的部分都是厚场氧区18，最后在N型掺杂源区6和P型掺杂硅半导体区7的上方、P型掺杂半导体区8的上方及晶体管终端区域5的末端刻出接触孔，然后在正反两面都淀积铝并进行刻蚀形成源极金属接触并将其延伸形成金属场板9、漏极金属13和金属层12，其中多晶硅场板10和源极金属的延伸区金属场板9共同组成了的场板结构能够有效的提高表面的击穿电压。

上述晶体管原胞区域由第二超结结构（包括N型柱15和P型柱16）、P型掺杂硅半导体区7、源极金属9构成。

上述晶体管的过渡区域由第三超结结构（包括N型柱15和P型柱16）、P型掺杂半导体区8和源极金属9构成。

上述晶体管终端区域由第一超结结构（包括N型柱25和P型柱26）、横向P型柱14、N型硅掺杂半导体区（2）、沟道截止环结构12、场注层11组成。

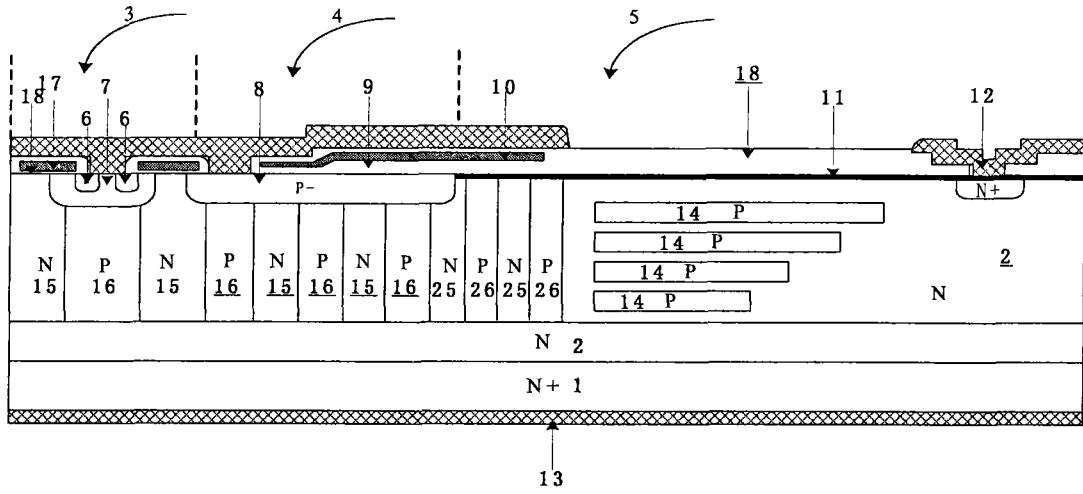


图1

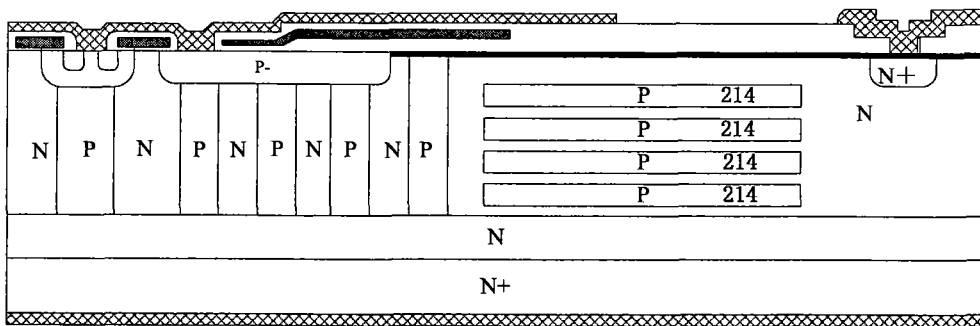


图2

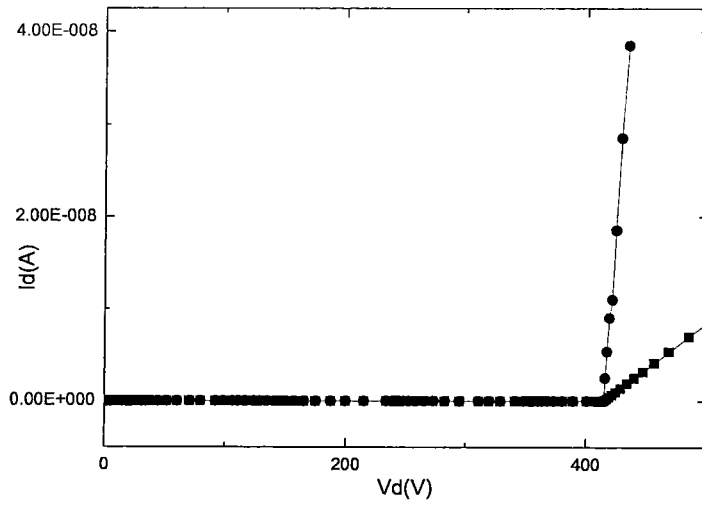


图5